



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 36 654 T2** 2007.11.22

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 1 107 317 B1**

(21) Deutsches Aktenzeichen: **699 36 654.2**

(96) Europäisches Aktenzeichen: **99 309 891.2**

(96) Europäischer Anmeldetag: **09.12.1999**

(97) Erstveröffentlichung durch das EPA: **13.06.2001**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **25.07.2007**

(47) Veröffentlichungstag im Patentblatt: **22.11.2007**

(51) Int Cl.⁸: **H01L 29/788** (2006.01)
H01L 29/423 (2006.01)

(73) Patentinhaber:

Hitachi Europe Ltd., Maidenhead, Berkshire, GB

(74) Vertreter:

**Reinhardt, M., Dipl.-Ing.Univ., Pat.-Anw., 83224
Grassau**

(84) Benannte Vertragsstaaten:

DE, GB, NL

(72) Erfinder:

Nakazato, Kazuo, Cambridge, CB2 2RP, GB

(54) Bezeichnung: **Speicheranordnung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Speicheranordnung und betrifft insbesondere, jedoch nicht ausschließlich, die Anwendung bei Flash-Speicheranordnungen.

[0002] Anstrengungen sind unternommen worden, ein Speichermedium mit hoher Kapazität zu finden, das die Platten-Laufwerke bei Computeranwendungen ersetzt. Das Speichermedium sollte dabei keinerlei bewegte Teile aufweisen, sollte eine vergleichbare Kapazität aufweisen und äquivalente, falls nicht gar bessere, Zugriffszeiten, verglichen mit den derzeit erhältlichen Platten-Laufwerken, haben. Ein möglicher Kandidat für einen Ersatz ist ein nicht-flüchtiger Speicher basierend auf einer Flash-Speicheranordnung.

[0003] Eine Flash-Speicherzelle ist eine elektrisch löschbare und programmierbare, nichtflüchtige Speicheranordnung und ein Überblick über diese Gebiet wird in „Flash Memory Cells – An Overview“ von Pavan et al., Seiten 1248 bis 1271, Proceedings of the IEEE, Vol. 85; Nr. 8 (1997) gegeben.

[0004] Eine Flash-Speicherzelle basiert auf einem Floating Gate Transistordesign, bei dem ein Floating Gate durch ein Tunneloxid von einem Kanal getrennt ist. Die Zelle wird programmiert und gelöscht, indem Elektronen in das und aus dem Floating Gate durch das Tunneloxid hindurch tunneln.

[0005] Um eine Ladung zu halten, die in dem Floating Gate gespeichert ist, ist das Tunneloxid relativ dick ausgebildet. Im Ergebnis benötigt man eine lange Zeit, in der Größenordnung von 100 μs , um die Zelle zu programmieren oder zu löschen. Darüber hinaus wird über die Barriere eine hohe Spannung angelegt, um es den Elektronen zu ermöglichen, in das Floating Gate ein zu tunneln bzw. dort heraus zu tunneln.

[0006] Während der Programmierzyklen wird das Tunneln von dem Kanal in das Floating Gate unterstützt durch die Tatsache, dass die Elektronen „erhitzt“ werden, wenn diese entlang des Kanals durchtreten und durch die Tatsache, dass die effektive Höhe der Tunnelbarriere reduziert wird, nämlich durch Band-bending an der Schnittstelle des Kanals und der Tunnelbarriere. Das Nettoergebnis dieser Vorgänge ist, dass Elektronen die Tunnelbarriere als heiße Elektronen treffen und der Tunnelstrom deutlich erhöht wird.

[0007] Ein heißes Elektron ist ein Elektron, welches sich mit dem Atomgitter nicht in einem thermischen Gleichgewicht befindet, und welches eine Energie aufweist, die ein mehrfaches $k_b T$ oberhalb der Fermi-Energie liegt, wobei k_b die Boltzmann-Konstante

ist und T die Temperatur des Gitters in Grad Kelvin ist.

[0008] Auf der anderen Seite profitieren von diesen Vorgängen die Elektronen nicht, während der Löschkzyklen, wenn diese Elektronen von dem Floating Gate aus tunneln, sowie der Elektronentransport durch die Tunnelbarriere nur durch den Fowler-Nordheim-Tunneleffekt erfolgt. In der Folge ist eine höhere Spannung erforderlich, um die Informationen zu löschen. Darüber hinaus sind die Fowler-Nordheim-Tunneleffekte geringer als bei den Tunnelströmen mit heißen Elektronen und so benötigt man für das Löschen länger als für das Programmieren. Somit begrenzt der Löschkzyklus die Geschwindigkeit des Betriebs der Zelle.

[0009] In der DE-A-19648285 ist eine Flash-Speicherzelle beschrieben, bei der die Dicke des Tunneloxids oberhalb des Quellenbereichs reduziert ist und bei der das Floating Gate einen Halbleiterbereich vom P-Typ oberhalb des dünneren Tunneloxids umfasst.

[0010] In der EP-A-0831524 ist ein Transistor mit einem Floating Gateoxid mit dualer Dicke beschrieben, wobei ein Floating Gateoxid vorgesehen ist, welches einen ersten dickeren Bereich und einen zweiten dünneren Bereich oberhalb eines Abschnitts der Senke aufweist sowie einen dritten dünneren Bereich oberhalb des Quellenbereichs hat.

[0011] Die vorliegende Erfindung versucht diese Probleme hoher Betriebsspannungen und des langsamen Betriebs zu lösen.

[0012] In Übereinstimmung mit einem ersten Aspekt nach der vorliegenden Erfindung ist eine Speicheranordnung vorgesehen, mit Quellen- und Senkenbereichen, mit einem Kanal für Ladungsträger zwischen den Quellen- und Senkenbereichen, mit einer Tunnelbarriere, die über dem Kanal und Abschnitten der Quellen- und Senkenbereichen liegt, mit einem Knoten zum Speichern von Ladungsträgern, um ein Feld zu erzeugen, welches die Leitfähigkeit des Kanals ändert, wobei der Knoten auf der Tunnelbarriere über dem Kanal angeordnet ist; und mit ersten und zweiten Bereichen aus einem intrinsischen Halbleitermaterial oder aus einem Halbleitermaterial, welche mit Störstellen mit einer Konzentration von weniger als 10^{17} cm^{-3} dotiert sind, wobei die ersten und die zweiten Bereiche mit dem Knoten verbunden sind und auf der Tunnelbarriere angeordnet sind, jeweils über den Abschnitten der Quellen- und Senkenbereiche, so dass steuerbare Pfade für die Ladungsträger zwischen dem Knoten und den Quellen- und Senkenbereichen geschaffen sind; wobei die Dicke der Tunnelbarriere über dem Kanal im wesentlichen gleich der Dicke der Tunnelbarriere über den Abschnitten der Quellen- und Senkenbereiche ist.

[0013] Dadurch wird es erlaubt, dass dünnere Tunnelbarrieren benutzt werden und somit wird die Zeit reduziert, um den Knoten zu laden oder zu entladen, während die Zeitdauer maximiert wird, für die eine gespeicherte Ladung erhalten bleibt.

[0014] Diese Speicheranordnung kann weiterhin eine Steuerelektrode umfassen, die das Laden und Entladen des Knotens kontrolliert. Die Anordnung kann derart konfiguriert sein, dass die Ladungsträger von dem Kanal aus die Tunnelbarriere durchtunneln, um den Knoten in Reaktion auf eine Spannungskonfiguration zum Laden des Knotens zu erreichen. Die Anordnung kann derart konfiguriert sein, dass Ladungsträger von dem Knoten in einen ersten Bereich passieren und von dem ersten Bereich die Tunnelbarriere aus durchtunneln, um den Quellenbereich zu erreichen, nämlich in Reaktion auf eine Spannungskonfiguration zum Entladen des Knotens.

[0015] Das Halbleitermaterial kann Silizium sein. Die Verunreinigung bzw. Dotierung kann ein Element sein, welches Elektronen freisetzt, wie etwa Phosphor oder Arsen, oder kann ein Element sein, welches Elektronen aufnimmt, wie etwa Bor.

[0016] Die Ladungsträger können Elektronen umfassen.

[0017] Die Tunnelbarriere kann Siliziumdioxid umfassen und die Tunnelbarriere kann eine Dicke von 4 nm haben. Die Tunnelbarriere kann Siliziumnitrid umfassen und die Tunnelbarriere kann eine Dicke von 7 nm haben. Die Tunnelbarriere kann Siliziumoxy-nitrid umfassen und die Dicke der Tunnelbarriere kann 5 nm sein. Die Dicke der Tunnelbarriere kann zwischen 2 und 10 nm liegen.

[0018] Die Speicheranordnung kann weiterhin erste und zweite Diffusionsbarrieren zwischen jeweils dem Knoten und den ersten und den zweiten Bereichen aus Halbleitermaterial aufweisen. Die Diffusionsbarriere kann Siliziumnitrid aufweisen. Die Dicke der Diffusionsbarriere kann zwischen 0,5 und 3 nm liegen.

[0019] Der Knoten kann n-leitendes Silizium umfassen und kann dotiertes polykristallines Silizium aufweisen. Der Knoten kann „T“-förmig im Querschnitt ausgebildet sein.

[0020] Die Dicke der Tunnelbarriere kann so sein, dass der Knoten in etwa 100 ns ladbar ist, die gespeicherte Ladung auf dem Knoten für zumindest 10 Jahre erhalten bleibt und der Knoten in etwa 100 ns entladbar ist.

[0021] Entsprechend einem zweiten Gesichtspunkt der vorliegenden Erfindung wird ein Verfahren zum Programmieren der Speicheranordnung vorgeschlagen, wobei das Verfahren umfasst: Anlegen einer

Spannung von etwa 5 Volt an die Steuerelektrode, Erden des Quellenbereichs, und Anlegen einer Spannung von etwa 6 Volt an den Senkenbereich.

[0022] Entsprechend einem dritten Gesichtspunkt der vorliegenden Erfindung wird ein Verfahren zum Löschen der Speicheranordnung vorgeschlagen, wobei die Tunnelbarriere und die ersten und die zweiten Bereiche einen negativen Differenzwiderstand zeigen, wobei der Differenzwiderstand bei einer vorgegebenen Spannung (V_1) auftritt, wobei das Verfahren umfasst: Erden der Steuerelektrode; einem der Quellen- oder Senkenbereiche es erlauben, sich zu verändern (to float) und Anlegen einer Spannung, die der vorgegebenen Spannung entspricht, an dem anderen der Quellen- oder Senkenbereiche.

[0023] Die Tunnelbarriere kann SiO_2 umfassen und kann eine Dicke haben, die etwa 4 nm beträgt und das Verfahren kann das Anlegen einer Spannung von etwa 6 V an den anderen der Quellen- oder Senkenbereiche umfassen. Die Tunnelbarriere kann Si_3N_4 umfassen und kann eine Dicke von etwa 7 nm haben und das Verfahren kann das Anlegen einer Spannung von etwa 3 V an den anderen der Quellen- oder Senkenbereiche umfassen. Die Tunnelbarriere kann SiON umfassen und kann eine Dicke von etwa 5 nm haben und das Verfahren kann das Anlegen einer Spannung von etwa 4 V an den anderen der Quellen- oder Senkenbereiche umfassen.

[0024] Ausführungsformen der vorliegenden Erfindung werden im Folgenden beispielhaft beschrieben, wobei auf die zugehörigen Zeichnungen Bezug genommen werden wird, in denen die:

[0025] [Fig. 1](#) einen Querschnitt durch eine Anordnung nach dem Stand der Technik zeigt;

[0026] [Fig. 2](#) eine Querschnittsansicht einer ersten Ausführungsform nach der vorliegenden Erfindung zeigt;

[0027] [Fig. 3](#) ein Übertragungsband-Energie-Diagramm einer Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt;

[0028] [Fig. 4](#) die Herstellungsfolge einer ersten Ausführungsform nach der vorliegenden Erfindung zeigt;

[0029] [Fig. 5](#) eine Querschnittsansicht einer zweiten Ausführungsform nach der vorliegenden Erfindung zeigt;

[0030] [Fig. 6](#) die Herstellungsfolge einer zweiten Ausführungsform nach der vorliegenden Erfindung zeigt;

[0031] [Fig. 7](#) ein Übertragungsband-Energie-Dia-

gramm einer generalisierten Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt;

[0032] [Fig. 8a](#) eine Grafik der elektrischen Stromdichte gegenüber der angelegten Spannung für eine Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt;

[0033] [Fig. 8b](#) eine Grafik der Elektronendichte gegenüber der angelegten Spannung für eine Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt;

[0034] [Fig. 8c](#) eine Grafik der Elektronentemperatur gegenüber der angelegten Spannung für eine Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt;

[0035] [Fig. 9a](#) eine Grafik der elektrischen Stromdichte gegenüber der angelegten Spannung bei unterschiedlichen Hauptbarrierendicken für eine Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt;

[0036] [Fig. 9b](#) eine Grafik der elektrischen Stromdichte gegenüber der angelegten Spannung bei unterschiedlichen Quellenbarrierendicken für eine Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt; und

[0037] [Fig. 10](#) eine Grafik der Übergangsspannung gegenüber der Stromdichte für verschiedene Barrierentypen und -Dicken für eine Silizium-Heterostruktur-Diode mit heißen Elektronen zeigt.

Flash-Speicherzelle

Anordnungslayout

[0038] Unter Bezugnahme auf die [Fig. 1](#) ist dort eine Flash-Speicherzelle nach dem Stand der Technik in einer Querschnittsansicht gezeigt. Die Speicherzelle ist auf einem p-leitenden Silizium (Si) Substrat **1** ausgebildet. Seitlich auf der Oberfläche des Substrates angeordnet sind ein Quellenbereich **2** und ein Senkenbereich **3**, die eingesetzt werden, um einen Kanal **4** zu kontaktieren. Eine stapelförmige Gate-Struktur dient dazu, die Leitung im Kanal **4** zu steuern. Die stapelförmige Gate-Struktur umfasst eine Tunnelbarriere **5**, die über dem Kanal **4** und Abschnitten des Quellen- und Senkenbereichs **2** und **3** liegt, sowie ein Floating Gate **6** darauf angeordnet ist, um als Ladungsspeicherknoten zu wirken. Diese stapelförmige Gate-Struktur weist darüber hinaus ein nicht-leitendes Steuer-Gate **7** auf, welches auf dem Floating Gate **6** ausgebildet ist, um dieses von dem Steuer-Gate **8** zu trennen, sowie ein Kappenoxid **9** und ein Paar von Oxidabstandselement-Seitenwänden **10a** und **10b**.

[0039] Die Tunnelbarriere **5** umfasst Siliziumdioxid (SiO_2) und weist eine Dicke von 10 nm auf. Das Floating Gate **6** umfasst 30 nm eines n-leitenden polykristallinen Siliziums (Poly-Si). Das Steuer-Gate **7** umfasst SiO und weist eine Dicke von 20 nm auf. Das Steuer-Gate **8** umfasst 60 nm eines n-leitenden Poly-Si. Die Dicke des Kappenoxids **9** beträgt 40 nm und jedes der Oxidabstandselemente **10a** und **10b** weist in Querrichtung eine Dicke von 40 nm auf.

[0040] Die Zelle wird programmiert und gelöscht, indem Elektronen zum Floating Gate tunneln bzw. von dort weg tunneln, nämlich durch das Tunneloxid und über einen Schreibweg (w) und einen Löschweg (e).

Betrieb der Anordnung

[0041] Das Programmieren und das Löschen einer Flash-Speicherzelle nach dem Stand der Technik wird im Folgenden beschrieben.

[0042] Die Zelle wird mit binären Daten '1' programmiert, indem eine Spannung $V_G = 12 \text{ V}$ an das Steuer-Gate **8** angelegt wird und indem eine Spannung $V_D = 6 \text{ V}$ an die Senke **3** angelegt wird und indem die Quelle **2** geerdet wird. Die Elektronen tunneln durch das Tunneloxid **5** von dem Kanal **4** durch eine Kombination aus Einspritzung heißer Elektronen (channel hot-electron injection = CHEI) und Senken-Stoßentladung und Einspritzung heißer Träger (drain-avalanche hot-carrier injection = DAHCI). Die Einspritzung von Elektronen ist relativ einfach, da der Kanal **4** hochgradig invertiert ist und da die Elektronen „aufgeheizt“ sind, nämlich durch das starke elektrische Feld in dem Kanal **4**, so dass diese eine Energie aufweisen, die deutlich über der Übertragungsbandkante liegt.

[0043] Ein heißes Elektron ist ein Elektron, welches sich nicht in einem thermischen Gleichgewicht mit dem Gitter befindet und welches eine Energie $k_b T$ aufweist, die ein Vielfaches über der Fermi-Energie liegt, wobei k_b die Boltzmann-Konstante ist und T die Temperatur des Gitters in Grad Kelvin ist.

[0044] Einmal programmiert, werden die Steuer- und die Senken-Spannung entfernt. Die Elektronen werden auf dem Floating Gate **6** sicher festgehalten, da die Tunnelbarriere **5** ein effektiver Isolator ist und da auch der Kanal **4** entleert ist. Der Quellenbereich **2** und der Senkenbereich **3** sind jedoch nicht entleert. Ladungsleckage aus dem Floating Gate **6** zu den Quellen- bzw. Senkenbereichen **2** und **3** wird verhindert durch eine ausreichend dicke Tunnelbarriere **5**.

[0045] Die Information wird gelöscht durch Anlegen einer Spannung $V_S = 12 \text{ V}$ an die Quelle **2**, das Erden des Steuer-Gates **8** und indem es der Senke **4** erlaubt ist, zu floaten. Die Elektronen wandern von dem Floating-Gate **6** zu dem Quellenbereich **2** mittels ei-

ner Fowler-Nordheim-Durchtunnelung.

[0046] Die Zeitspanne $t_{\text{programmieren/löschen}}$ die erforderlich ist, um das Floating Gate **6** zu laden bzw. zu entladen, ist umgekehrt proportional zu dem Strom I am Floating Gate/Quelle(Senke), wobei Q_{FG} die Ladung auf dem Floating Gate **6** ist:

$$t_{\text{programmieren/löschen}} = Q_{\text{FG}} / I_{\text{programmieren/löschen}}$$

[0047] Somit ist das Löschen der Zelle langsamer, da die Fowler-Nordheim-Durchtunnelungsströme geringer sind als die Ströme bei der Einspritzung mit heißen Elektronen.

[0048] Die Betriebsgeschwindigkeit der Zelle könnte verbessert werden, wenn die Lösch-Zeit reduziert werden würde. Die Lösch-Zeit kann reduziert werden, indem der Löschstrom $I_{\text{löschen}}$ erhöht wird. Eine Methode das zu erreichen ist es, eine höhere Spannung während des Löschzyklus anzulegen. Jedoch ist der Einsatz höherer Spannungen nicht praktisch, da die Tunnelbarriere **5** zusammenbrechen würde.

[0049] Eine andere Methode ist es eine dünnere Tunnelbarriere **5** zu benutzen. Die Größenordnung der Fowler-Nordheim-Durchtunnelungsströme hängt stark von der Dicke der Tunnelbarriere **5** ab. Somit würde die Benutzung einer dünneren Tunnelbarriere die Löschzeit wesentlich reduzieren. Eine dünnere Tunnelbarriere würde ebenso die Ladungshaltezeit des Floating Gates **6** reduzieren und die Wirksamkeit des Speichers verschlechtern.

[0050] Die vorliegende Erfindung versucht sowohl das Geschwindigkeitsproblem als auch das Spannungsproblem zu lösen.

Erste Ausführungsform

Anordnungslayout

[0051] Unter Bezugnahme auf die [Fig. 2](#) ist dort eine erste Ausführungsform einer Flash-Speicherzelle nach der vorliegenden Erfindung im Querschnitt dargestellt. Die Speicherzelle ist aus einem p-leitenden Si Substrat **11** ausgebildet. Seitlich an der Oberfläche des Substrates sind ein Quellenbereich **12** und ein Senkenbereich **13** angeordnet, die genutzt werden, um den Kanal **14** zu kontaktieren. Eine stapelförmige Gate-Struktur dient dazu das Leitvermögen in dem Kanal **14** zwischen dem Quellenbereich **12** und dem Senkenbereich **13** zu kontrollieren.

[0052] Die stapelförmige Gate-Struktur umfasst eine Tunnelbarriere **15**, die über dem Kanal **14** und Abschnitten des Quellenbereichs **12** und des Senkenbereichs **13** liegt.

[0053] Die Gate-Struktur umfasst ein Floating-Gate

16, welches „T“-förmig im Querschnitt ist und welches als ein Knoten dient, um wahlweise Ladung zu speichern, um ein Feld zu erzeugen, welches das Leitvermögen in dem Kanal **14** zwischen dem Quellenbereich **12** und dem Senkenbereich **13** kontrolliert. Die Gate-Struktur umfasst erste und zweite Flankenregionen aus eigenleitendem Poly-Si **17a** und **17b**, die auf der Tunnelbarriere **15** angeordnet sind. Erste und zweite Isolieroxide **18a** und **18b** sind jeweils zwischen dem Stamm des „T“-förmigen Gates **16** und den ersten und zweiten eigenleitenden Regionen **17a** und **17b** angeordnet. Erste und zweite Diffusionsbarrieren **19a** und **19b** sind jeweils zwischen der Unterseite der Arme des „T“-förmigen Floating Gates **16** und den ersten und zweiten eigenleitenden Regionen **17a** und **17b** angeordnet. Die stapelförmige Gate-Struktur umfasst weiterhin ein nicht-leitendes Steuer-Gate **20**, welches ein Steuer-Gate **21** von der Oberseite des Floating Gate **16** trennt. Die stapelförmige Gate-Struktur umfasst auch eine Kappenoxidschicht **22** und ein Paar von Seitenwänden **23a**, **23b** aus Oxidabstandselementen.

[0054] Die Tunnelbarriere **15** umfasst SiO_2 und weist eine Dicke von 4 nm auf. Das Floating Gate **16** umfasst ein n-leitendes Poly-Si und weist eine Dicke von 60 nm auf. Die eigenleitenden Poly-Si Regionen **17a** und **17b** haben eine Dicke von 30 nm. Die Isolieroxide **18a** und **18b** weisen eine Dicke in Querrichtung von 10 nm auf. Die Diffusionsbarrieren **19a** und **19b** umfassen Si_3N_4 und haben eine Dicke von 1 nm. Die Diffusionsbarrieren **19a** und **19b** verhindern, dass Dotierungsatome von dem n-leitenden Floating-Gate-Bereich **16** zu den eigenleitenden Poly-Si-Bereichen **17a** und **17b** migrieren. Das dielektrische Steuer-Gate **20** umfasst 20 nm an SiO_2 . Das Steuer-Gate **21** umfasst 60 nm eines n-leitenden Poly-Si. Das Kappenoxid **22** weist eine Dicke von 40 nm auf und die Oxidabstandselemente **23a** und **23b** weisen eine Dicke in Querrichtung von 40 nm auf.

[0055] Die erste Diffusionsbarriere **19a**, die erste eigenleitende Schicht **17a** und die Tunnelbarriere **15** bilden eine erste Silizium-Heterostruktur-heisse-Elektronen-Diode **24a** oberhalb des Quellenbereichs **12** aus. Ähnlich bilden die zweite Diffusionsbarriere **19b**, die zweite eigenleitende Schicht **17b** und die Tunnelbarriere **15** eine zweite Silizium-Heterostruktur-heisse-Elektronen-Diode **24b** oberhalb des Senkenbereichs **13** aus.

[0056] Während eines Löschzyklus wird der Elektronen-Transport von dem „T“-förmigen Floating Gate **16** zu dem Quellenbereich **12** und zu dem Senkenbereich **13** durch die Einspritzung mit heißen Elektronen verbessert, und zwar durch die Tunnelbarriere **15** hindurch und mittels der Heissen-Elektronen-Dioden **24a** und **24b**.

[0057] Zu andern Zeiten wird der Elektronen-Trans-

port von dem Quellenbereich **12** und dem Senkenbereich **13** zu dem „T“-förmigen Floating Gate **16** und umgekehrt unterdrückt, da die eigenleitenden Poly-Si-Regionen **17a** und **17b** der Dioden **24a** und **24b** entleert sind, so dass zusätzliche Barrieren ausgebildet sind.

[0058] Die Eigenschaften der Silizium-Heterostruktur-heisse-Elektronen-Dioden **24a** und **24b** werden nun beschrieben.

[0059] Unter Bezugnahme auf die [Fig. 3](#) ist dort ein schematisches Übertragungsband-Kantenprofil der Silizium-Heterostruktur-heisse-Elektronen-Diode **24a** gezeigt, wobei eine Spannung V darüber angelegt ist. In der [Fig. 3](#) zeigt die Abszisse den Abstand entlang der Anstiegsachse (y) und die Ordinate zeigt die Energie (E) der Elektronen. Das Bandkantenprofil umfasst die Diffusionsbarriere **19a** mit der Dicke $d_s = 1$ nm, die eigenleitende Poly-Si-Schicht **17a** mit einer Dicke $L = 30$ nm und die Tunnelbarriere **15** mit der Dicke $d_m = 4$ nm. Die Diffusionsbarriere **19a** verhindert die Migration von Dotierungen von dem n-leitenden Poly-Si-Floating Gate **16** in die eigenleitende Poly-Si-Schicht **17a**. Es ist für einen Fachmann klar, dass, wenn die Diffusion unterdrückt werden kann, zum Beispiel durch geringen Anstieg der Temperatur, die Diffusionsbarriere **19a** nicht notwendig ist.

[0060] Ausgehend von einer angelegten Spannung Null, $V = 0$ V, wenn die Spannung über der Heissen-Elektronen-Diode **24a** in einer Größenordnung angehoben wird, wird das meiste der angelegten Spannung über dem eigenleitenden Bereich **17a** anfallen. Der Strom wird durch das Tunneln durch die Tunnelbarriere **15** begrenzt und die Elektronen sammeln sich innerhalb der eigenleitenden Region **17a** an der Schnittstelle zwischen dem eigenleitenden Bereich **17a** und der Tunnelbarriere **15** an. Wenn die Spannung ansteigt, wird die Temperatur der Elektronen, die durch die Tunnelbarriere **15** tunneln, Schritt für Schritt angehoben. Dieser Prozeß setzt sich fort, bis es bei einem Schwellenwert der Spannung von $V_T = 6,2$ V einen steilen Anstieg des Stroms gibt. Bei der Schwellenwert-Spannung fällt die Elektronen-Population innerhalb des eigenleitenden Bereichs **17a** signifikant ab, wodurch die Energie der Tunnelbarriere **15** immer weiter vermindert wird, sowie es einen Anstieg im elektrischen Strom gibt. Dieser positive Feedback-Mechanismus schaltet den Strom von einem Niedrigstromzustand in einen Starkstromzustand. Darüber hinaus steigt die Temperatur der Elektronen stark an. Die Elektronen werden durch die Tunnelbarriere **15** hindurch eingespritzt bzw. geschleudert. Der Strom wird durch eine thermoionische Stromkomponente, die gegenüber der Dicke der Barriere relativ unempfindlich ist, dominiert. Somit produziert oberhalb der Spannung V_T die Diode **24a** einen Fluß an heißen Elektronen von dem Floating Gate **16** und durch die Tunnelbarriere **15** zu der

Quelle hin.

Betrieb der Anordnung

[0061] Programmieren und Löschen der Flash-Speicherzelle ist in der [Fig. 2](#) gezeigt und wird im Folgenden beschrieben.

[0062] Die Zelle wird mit binären Daten „1“ programmiert, indem eine Spannung $V_G = 6$ V an das Steuer-Gate **21** angelegt wird, indem eine Gate-Spannung **25** benutzt wird, indem eine Spannung $V_d = 5$ V an die Senke **13** angelegt wird, indem eine Senkenspannung **26** benutzt wird, und indem die Quelle **12** geerdet wird, indem eine Spannung **27** benutzt wird. Die Elektronen durchtunneln die Tunnelbarriere **15** und gelangen auf das Floating Gate **16** aus dem Kanal **14**, nämlich durch eine Kombination aus einer Kanal-Einspritzung heißer Elektronen (channel hot-electron injection = CHEI) und einer Senken-Stoßentladung und Einspritzung heißer Träger (drain-avalanche hot-carrier injection = DAHCI). Die Einspritzung der Elektronen ist relativ einfach, da der Kanal **14** hochgradig invertiert ist und da die Elektronen „aufgeheizt“ sind, mittels des starken elektrischen Feldes in dem Kanal **14**, so dass sie Energien aufweisen, die deutlich über der Übertragungsbandkante liegen.

[0063] Einmal programmiert, werden die Steuerungsspannung **25** und die Senkenspannung **26** entfernt. Die Elektronen werden auf dem Floating Gate **16** festgehalten, da die eigenleitenden Bereiche bzw. Regionen **17a** und **17b** und der Kanal **14** entleert sind.

[0064] Somit haben die Elektronen, die in dem Floating Gate **16** gespeichert sind, keinen einfachen Weg, um in den Quellenbereich **12** oder den Senkenbereich **13** zu lecken, obwohl eine dünnere Tunnelbarriere **15** benutzt wird, verglichen mit der Tunnelbarriere **5** nach dem Stand der Technik in der [Fig. 1](#).

[0065] Die Zelle wird gelöscht, indem eine Spannung $V_S = 6$ V an die Quelle **12** angelegt wird, indem die Quellenspannung **27** benutzt wird, und indem das Steuer-Gate **21** geerdet wird und indem erlaubt wird, dass die Senke **13** floatet. Eine Spannung oberhalb des Spannungsschwellenwerts V_T liegt über der ersten Heisse-Elektronen-Diode **24a** an. Die Heisse-Elektronen-Diode **24a** ist in einen Starkstromzustand geschaltet. Die Durchtunnelung der Tunnelbarriere **15**, von dem Floating Gate **16** zur Quelle **12** ist überwiegend thermoionisch bzw. heiß und ist viel höher als bei der Vorrichtung nach dem Stand der Technik. Somit ist die Löszeit $t_{\text{löschen}}$ viel geringer als verglichen mit der Vorrichtung nach dem Stand der Technik.

Herstellung der Anordnung

[0066] Unter Bezugnahme auf die [Fig. 4a](#) bis [Fig. 4e](#) wird eine Methode der Herstellung der Flash-Speicherezelle nun beschrieben, die in der [Fig. 2](#) dargestellt ist.

[0067] Ein p-leitendes Si Substrat **11** wird benutzt und eine SiO₂ Tunnelbarrierschicht **15'**, die die Tunnelbarriere **15** ausbildet, wird durch Trockenoxidation bei 850°C ausgebildet. Die Dicke der SiO₂ Tunnelbarrierschicht **15'** beträgt 4 nm. Eine eigenleitende Poly-Si-Schicht (nicht dargestellt) der Dicke 30 nm und mit einer Hintergrund-Konzentration von $N_1 = 10^{16} \text{ cm}^{-3}$ wird durch Niedrigdruckchemiedampfabscheidung (LPCVD) mittels Silanen (SiH₄) als Beschickungsgas abgeschieden. Die Oberfläche wird mit einem Muster versehen, indem herkömmliche optische Lithografiertechniken eingesetzt werden und CF₄-Reaktiv-Ionenätzen (RIE) wird eingesetzt, um einen Teil der eigenleitenden Poly-Si-Schicht zu entfernen, um erste und zweite eigenleitende Poly-Si-Schichten **17a'** und **17b'** übrig zu lassen. Eine erste isolierende SiO₂-Schicht **18'** wird durch Plasmachemiedampfabscheidung (PECVD) abgeschieden, indem SiH₄ und Stickoxid (N₂O) als Beschickungsgas eingesetzt werden. Die Dicke der ersten isolierenden SiO₂-Schicht **18'** beträgt 10 nm. Die entsprechende Struktur ist in der [Fig. 4a](#) dargestellt.

[0068] Die erste isolierende SiO₂-Schicht **18'** ist anisotrop trockenengeätzt mittels CHF₃/ArRIE, so dass Seitenwände **18a** und **18b** stehen bleiben.

[0069] Die Si₃N₄-Diffusionsbarrieren **19a'** und **19b'** werden durch thermische Nitridation der eigenleitenden Poly-Si-Schichten **17a'** und **17b'** in einer Ammoniak-Atmosphäre aufgebaut. Die Dicke der Diffusionsbarrieren **19a'** und **19b'** ist 1 nm. Die erste Schicht aus n-dotierten Poly-Si **16'** wird mittels LPCVD unter Einsatz von SiH₄ und Phosphin (PH₃) als Beschickungsgase abgeschieden. Die n-dotierte Poly-Si-Schicht **16'** ist 100 nm dick und ist mit P bis zu einer Konzentration von $N_p = 10^{20} \text{ cm}^{-3}$ dotiert. Das n-dotierte Poly-Si **16'** wird durch chemisch-mechanisches Polieren auf 30 nm Dicke reduziert. Die sich ergebende Konfiguration ist in der [Fig. 4b](#) gezeigt.

[0070] Eine zweite isolierende SiO₂-Schicht **20'** wird mittels PECVD unter Einsatz von SiH₄ und N₂O als Beschickungsgase abgeschieden. Die Dicke der zweiten isolierenden SiO₂-Schicht **20'** ist 20 nm. Eine zweite n-leitende Poly-Si-Schicht **21'** wird mittels LPCVD unter Einsatz von SiH₄ und PH₃ abgeschieden. Die zweite n-leitende Poly-Si-Schicht **21'** ist 60 nm dick und ist mit P der Konzentration von $N_p = 10^{20} \text{ cm}^{-3}$ dotiert. Eine dritte isolierende SiO₂-Schicht **22'** wird mittels PECVD unter Einsatz von SiH₄ und N₂O als Beschickungsgas abgeschieden. Die dritte isolierende SiO₂-Schicht **22'** ist 40 nm dick. Die korrespon-

dierende Struktur ist in der [Fig. 4 c](#) dargestellt.

[0071] Die Struktur, die in der [Fig. 4c](#) gezeigt ist, wird mit einem Muster versehen, indem herkömmliche optische Lithografie eingesetzt wird und wird geätzt durch eine Abfolge von CF₄ und CHF₃/Ar-Trockenätzen, bis zum Substrat **11**. Eine vierte isolierende SiO₂-Schicht (nicht dargestellt) wird mittels PECVD unter Einsatz von SiH₄ und PH₃ abgeschieden. Die Dicke der vierten isolierenden SiO₂-Schicht ist 40 nm. Die vierte isolierende SiO₂-Schicht ist anisotrop trockenengeätzt, nämlich mittels Einsatz von CHF₃/Ar RIE, um die SiO₂-Abstandsschichten **23a** und **23b** zurück zu lassen, die in der [Fig. 4d](#) gezeigt sind.

[0072] Eine Ionenimplantation unter Verwendung von Arsenionen wird benutzt, um die Quellenbereiche **12** und die Senkenbereiche **13** auszubilden, wie es in der [Fig. 4e](#) gezeigt ist. Die Implantation wird durch thermische anlassen aktiviert.

Zweite Ausführungsform

Anordnungslayout

[0073] Unter Bezugnahme auf die [Fig. 5](#) wird eine zweite Ausführungsform nach der vorliegenden Erfindung dort im Querschnitt dargestellt. Eine Speicherezelle ist auf einem p-leitenden Si-Substrat **28** ausgebildet. Seitlich an der Oberfläche des Substrates **28** sind ein Quellenbereich **29** und ein Senkenbereich **30** ausgebildet, die eingesetzt werden, um einen Kanal **31** zu kontaktieren. Eine Gate-Struktur ist oberhalb des Kanals **31** und oberhalb von Abschnitten des Quellenbereichs **29** und des Senkenbereichs **30** angeordnet. Die Gate-Struktur umfasst eine Tunnelbarriere **32**, auf der ein Floating Gate **33** angeordnet ist, welches als ein Knoten zur wahlweisen Speicherung von Ladung dient, um ein Feld zu erzeugen, welches das Leitvermögen in dem Kanal **31** kontrolliert, sowie erste und zweite flankierende eigenleitende Poly-Si-Bereiche **34a** und **34b** vorgesehen sind, die durch Diffusionsbarrieren **35a** und **35b** von dem Floating Gate **33** getrennt sind. Ein dielektrisches Steuer-Gate **36** liegt über dem Floating Gate **33**, um das Floating Gate **33** von dem Steuer-Gate **37** zu trennen. Ein Kappenoxid **38** liegt oberhalb dem Steuer-Gate **37**. Ein konformes Oxid **39** bedeckt diese Gate-Struktur.

[0074] Die Tunnelbarriere **32** umfasst SiO₂ der Dicke 4 nm und trennt den Kanal **31** von dem Floating Gate **33**. Das Floating Gate **33** ist 60 nm dick und umfasst n-leitendes Poly-Si. Diffusionsbarrieren **35a** und **35b** umfassen Si₃N₄ und sind an den Seitenwänden des Floating Gate **33** angeordnet, um so das Floating Gate **33** von den eigenleitenden Poly-Si-Regionen **34a** und **34b** an beiden Seiten zu trennen. Die Diffusionsbarrieren **35a** und **35b** verhindern die Segrega-

tion der Dotierung von dem dotierten Floating Gate **33** in die eigenleitenden Poly-Si-Bereiche **34a** und **34b**. Das dielektrische Steuer-Gate **36** umfasst 20 nm an SiO₂ und trennt das Floating Gate **33** von dem Steuer Gate **37**, 60 nm an n-leitendem Poly-Si umfassend. Die Dicke des Kappenoxids **38** und des konformen Oxids **39** beträgt 40 nm.

[0075] Die erste Diffusionsbarriere **35a**, die erste eigenleitende Schicht **34a** und die Tunnelbarriere **32** bilden eine erste Silizium-Heterostruktur-heisse-Elektronen-Diode **40a** über dem Quellenbereich **29**. Ähnlich bilden die zweite Diffusionsbarriere **35b**, die zweite eigenleitende Schicht **34b** und die Tunnelbarriere **32** eine zweite Silizium-Heterostruktur-heisse-Elektronen-Diode **40b** über dem Senkenbereich **30**.

Betrieb der Anordnung

[0076] Das Programmieren und das Löschen der Flash-Speicherzelle, die in der [Fig. 5](#) gezeigt ist, ist gleich der vorher beschriebenen Flash-Speicherzelle, die in der [Fig. 2](#) gezeigt ist.

Herstellung der Anordnung

[0077] Unter Bezugnahme auf die [Fig. 6a](#) bis [Fig. 6c](#) wird eine Methode zur Herstellung der Flash-Speicherzelle, die in der [Fig. 5](#) gezeigt ist, nun beschrieben.

[0078] Unter Benutzung eines p-leitenden Si-Substrates **28** wird durch Trockenoxidation bei 850°C eine SiO₂-Tunnelbarrierschicht **32'** abgeschieden. Die Dicke der SiO₂-Tunnelbarrierschicht **32'** beträgt 4 nm. Eine erste n-leitende Poly-Si-Schicht **33'** wird mittels LPCVD unter Einsatz von SiH₄ und PH₃ abgeschieden. Die erste Poly-Si-Schicht **33'** ist 30 nm dick und mit P in einer Konzentration von $N_p = 10^{20} \text{ cm}^{-3}$ dotiert.

[0079] Eine erste isolierende SiO₂-Schicht **36'** wird mittels PECVD unter Einsatz von SiH₄ und N₂O abgeschieden. Die Dicke der ersten isolierenden SiO₂-Schicht **36'** ist 20 nm. Eine zweite n-leitende Poly-Si-Schicht **37'** wird mittels LPCVD unter Einsatz von SiH₄ und PH₃ abgeschieden. Die zweite Poly-Si-Schicht **37'** ist 60 nm dick und ist mit P dotiert, in einer Konzentration von $N_p = 10^{20} \text{ cm}^{-3}$.

[0080] Eine zweite isolierende SiO₂-Schicht **38'** wird mittels PECVD unter Einsatz von SiH₄ und N₂O abgeschieden. Die Dicke der zweiten isolierenden SiO₂-Schicht **38'** ist 40 nm. Die sich ergebende Konfiguration ist in der [Fig. 6a](#) dargestellt.

[0081] Die Struktur, die in der [Fig. 6a](#) gezeigt ist, wird mit herkömmlicher optischer Lithografie mit einem Muster versehen und wird durch eine Abfolge

von CF₄ und CHF₃/Ar-Trockenätzen bis zur Tunnelbarriere **32'** abgeätzt.

[0082] Die Si₃N₄-Diffusionsbarrieren **35a** und **35b** werden durch thermische Nitridation an den Seitenwänden des Floating Gate **33** in einer Ammoniak-Atmosphäre abgeschieden. Eine eigenleitende Poly-Si-Schicht (nicht dargestellt) wird durch LPCVD mittels Einsatz von SiH₄ abgeschieden. Die eigenleitende Poly-Si-Schicht ist 30 nm dick und weist eine Hintergrund-Verunreinigungs-Konzentration von $N_i = 10^6 \text{ cm}^{-3}$ auf. Ein anisotropes CF₄ RIE wird benutzt, um die eigenleitende Poly-Si-Schicht zu entfernen, so dass die Seitenwandabschnitte **34a** und **34b** zurück bleiben, wie es in der [Fig. 6b](#) gezeigt ist.

[0083] Eine konforme SiO₂-Schicht **39** wird mittels Trockenoxidation bei 850°C ausgebildet. Das konforme Oxid **39** ist 40 nm dick. Die Struktur wird geätzt, um die konforme Oxidschicht **39** und die Tunnelbarriere **32'** zu entfernen, um die Konfiguration herzustellen, die in der [Fig. 6c](#) gezeigt ist.

[0084] Eine Ionen-Implantation unter Verwendung von Arsen-Ionen wird eingesetzt, um den Quellenbereich **29** und den Senkenbereich **30** auszubilden, wie es in der [Fig. 6d](#) zu sehen ist. Die Implantation wird durch thermisches Anlassen aktiviert.

[0085] Es ist anzumerken, dass andere Materialien als Tunnelbarriere benutzt werden können und dass die Heisse-Elektronen-Diode in unterschiedlichen Anordnungen konfiguriert werden kann. Eine Prozedur, mit der Tunnelbarrierenmaterialien und deren Dicke ausgewählt werden, wird im Folgenden beschrieben.

[0086] Unter Bezugnahme auf die [Fig. 7](#) ist dort ein schematisches Überfragnungsbandkantenprofil einer generalisierten Silizium-Heterostruktur-heisse-Elektronen-Diode **41** gezeigt, über die eine Spannung V angelegt ist. Das Bandkantenprofil umfasst eine Quellenbarriere **42** der Dicke d_s , eine Übertragungsschicht **43** der Dicke L und eine Hauptbarriere **44** der Dicke d_m . Diese Schichten korrespondieren jeweils mit der Diffusionsbarriere **19a**, der eigenleitenden Region **17a** und der Tunnelbarriere **15**, wie es in der [Fig. 3](#) gezeigt ist. Es ist anzumerken, dass die Quellenbarriere **42** nicht enthalten sein muss.

[0087] Unter Bezugnahme auf die [Fig. 8](#) sind dort die Abhängigkeiten der elektrischen Stromdichte j ([Fig. 8a](#)), der Elektronendichte n ([Fig. 8b](#)) und der Elektronentemperatur T an der Schnittstelle zwischen dem Übergangsbereich **43** und der Hauptbarriere **44** ([Fig. 8c](#)) jeweils über der angelegten Spannung gezeigt. Bei diesem Beispiel umfasst die Quellenbarriere **42** Si₃N₄ der Dicke 1 nm, die Übergangsschicht **43** umfasst eigenleitendes Poly-Si, mit einer Hintergrund-Dotierungskonzentration von 10^{15} cm^{-3}

und einer Dicke von 100 nm und die Hauptbarriere **44** umfasst Si_3N_4 der Dicke 3,5 nm. Eine plötzliche Erhöhung des elektrischen Stroms tritt auf bei einer angelegten Spannung von etwa 1,7 V. Wenn der elektrische Strom ansteigt, steigt die Temperatur der Elektronen an und die Anzahl der angesammelten Elektronen in der Übergangsschicht **43** verringert sich. Dadurch wird ein weiteres Ansteigen des elektrischen Stromes bewirkt. Dieser positive Feedback-Mechanismus schaltet den Strom aus einem Niedrigstromzustand in einen Hoch- bzw. Starkstromzustand.

[0088] Unter Bezugnahme auf die **Fig. 9** sind dort die Abhängigkeiten des elektrischen Stroms von der Dicke der Barriere gezeigt. Bei einer niedrigen angelegten Spannung wird der elektrische Strom lediglich durch die Durchtunnelung festgelegt und ist somit stark abhängig von der Dicke der Hauptbarriere **44**. Nach dem Übergang ist der Strom jedoch nur gering von der Dicke der Hauptbarriere **44** abhängig, da die thermoionische Stromkomponente infolge der hohen Elektronentemperatur dominant wird.

[0089] Unter Bezugnahme auf die **Fig. 10** ist dort die Übergangsspannung V_t , bei der der Strom in einen negativen Differentialwiderstandsbereich eintritt, gegenüber der Stromdichte aufgezeichnet. Wie dargestellt, ist Si_3N_4 bestens geeignet für einen Betrieb bei niedriger Spannung bei etwa 3 V. Die Betriebsspannung ist etwa 6 V für den Fall, dass die Hauptbarriere aus SiO_2 besteht.

[0090] Bei der ersten Ausführungsform nach der vorliegenden Erfindung ist die Größe der Struktur des stapelförmigen Gates $0,2 \times 0,2 \mu\text{m}^2$ ($40 \times 10^{-15} \text{m}^2$). Die Ladung, die in dem Floating Gate gespeichert ist, beträgt 0,3 fC. Um eine 10-jährige Haltezeit zu erreichen, muss die Stromdichte bei einer niedrigen angelegten Spannung weniger als 10^{-11}Am^{-2} sein und diese Bedingung ist erfüllt, falls die Tunnelbarriere **15** aus einem 7 nm dicken Si_3N_4 , einem 5 nm dicken SiON oder einem 4 nm dicken SiO_2 hergestellt ist. Der AN-Strom ist etwa 10^6Am^{-2} , wodurch eine Löszeit von etwa 100 ns erhalten wird.

[0091] Deshalb ist es festzuhalten, dass anstatt von einer SiO_2 -Tunnelbarriere **15**, eine Si-ON- oder eine Si_3N_4 -Tunnelbarriere benutzt werden kann und die Dicke dieser Barrieren ist jeweils 5 und 7 nm. Solche Barrieren können abgeschieden werden, indem Plasmachemischdampfabscheidungsverfahren (PECVD) eingesetzt werden oder indem Niederdruckchemischdampfabscheidungsverfahren (LPCVD) eingesetzt werden.

[0092] Es ist anzumerken, dass zahlreiche Modifikationen an den Ausführungsformen, wie oben beschrieben, durchgeführt werden können. Zum Beispiel ist festzuhalten, dass die Heissen-Elektro-

nen-Dioden und das Floating Gate nicht die gleiche Tunnelbarriere teilen müssen. Darüber hinaus müssen die Heissen-Elektronen-Dioden die Diffusionsbarriere nicht haben. Siliziumnitrid mit einer nicht-stöchiometrischen Mischung kann eingesetzt werden. Anstatt der Benutzung von eigenleitendem Silizium kann niedrigdotiertes Silizium eingesetzt werden. Das amorphe oder kristalline Silizium kann anstatt des polykristallinen eingesetzt werden, soweit angemessen. Andere Dielektrika können eingesetzt werden, wie etwa Oxide/Nitride/Oxide (ONO), Ta_2O_5 - oder TiO_2 -Schichten. Darüber hinaus können andere Verfahren von CVD und andere Beschickungsgase eingesetzt werden. Information kann durch Löcher repräsentiert werden anstatt durch Elektronen. Andere Verfahren als das chemisch-mechanische Polieren können eingesetzt werden, um die Schichten in der Dicke zu verringern.

Patentansprüche

1. Speicheranordnung mit:
Quellen- und Senkenbereichen (**13, 14; 29, 30**);
einem Kanal (**12, 29**) für Ladungsträger zwischen den Quellen- und Senkenbereichen (**13, 4**);
einer Tunnelbarriere (**15; 32**) die über dem Kanal und Abschnitten der Quellen- und Senkenbereichen liegt;
einem Knoten (**16, 33**) zum Speichern von Ladungsträgern, um ein Feld zu erzeugen, welches die Leitfähigkeit des Kanals ändert, wobei der Knoten auf der Tunnelbarriere über dem Kanal angeordnet ist; und
ersten und zweiten Bereichen (**17a, 17b; 34a, 34b**) aus einem intrinsischen Halbleitermaterial oder aus einem Halbleitermaterial, welches mit Störstellen mit einer Konzentration von weniger als 10^{17}cm^{-3} dotiert ist, wobei die ersten und die zweiten Bereiche mit dem Knoten verbunden sind und auf der Tunnelbarriere angeordnet sind, jeweils über den Abschnitten der Quellen- und Senkenbereiche, so dass steuerbare Pfade für die Ladungsträger zwischen dem Knoten und den Quellen- und Senkenbereichen geschaffen sind;
wobei die Dicke der Tunnelbarriere über dem Kanal im wesentlichen gleich der Dicke der Tunnelbarriere über den Abschnitten der Quellen- und Senkenbereiche ist.
2. Anordnung nach Anspruch 1, weiterhin mit einer Steuerelektrode, die das Laden und Entladen des Knotens (**21; 37**) kontrolliert.
3. Anordnung nach Anspruch 2, wobei die Anordnung derart konfiguriert ist, dass die Ladungsträger von dem Kanal (**12; 29**) aus die Tunnelbarriere (**15; 32**) durchtunneln, um den Knoten (**16; 33**) in Reaktion auf eine Spannungsconfiguration zum Laden des Knotens zu erreichen.
4. Anordnung nach Anspruch 2 oder 3, wobei die Anordnung derart konfiguriert ist, dass Ladungsträ-

ger von dem Knoten (**16; 33**) in einen ersten Bereich (**17a; 34a**) passieren und von dem ersten Bereich die Tunnelbarriere (**15; 32**) durchtunneln, um den Quellenbereich (**13; 30**) zu erreichen, in Reaktion auf eine Spannungskonfiguration zum Entladen des Knotens.

5. Anordnung nach irgendeinem der vorhergehenden Ansprüche, wobei das Halbleitermaterial (**17a, 17b; 34a, 34b**) Silizium ist.

6. Anordnung nach Anspruch 5, wobei die Verunreinigungen ein Element umfassen, welches Elektronen freisetzt.

7. Anordnung nach Anspruch 6, wobei die Verunreinigung Phosphor ist.

8. Anordnung nach Anspruch 6, wobei die Verunreinigung Arsen ist.

9. Anordnung nach Anspruch 5, wobei die Verunreinigung ein Element umfasst, welches Elektronen aufnimmt.

10. Anordnung nach Anspruch 9, wobei die Verunreinigung Bor ist.

11. Anordnung nach irgendeinem der Ansprüche 5 bis 10, wobei die Ladungsträger Elektronen umfassen.

12. Anordnung nach irgendeinem der Ansprüche 1 bis 11, wobei die Tunnelbarriere (**15; 32**) Siliziumdioxid umfasst.

13. Anordnung nach Anspruch 12, wobei die Tunnelbarriere eine Dicke von 4 nm hat.

14. Anordnung nach irgendeinem der Ansprüche 1 bis 11, wobei die Tunnelbarriere (**15; 32**) Siliziumnitrid umfasst.

15. Anordnung nach Anspruch 14, wobei die Tunnelbarriere eine Dicke von 7 nm hat.

16. Anordnung nach irgendeinem der Ansprüche 1 bis 11, wobei die Tunnelbarriere (**15; 32**) Siliziumoxynitrid umfasst.

17. Anordnung nach Anspruch 16, wobei die Tunnelbarriere eine Dicke von 5nm aufweist.

18. Anordnung nach irgendeinem der vorhergehenden Ansprüche, wobei die Dicke der Tunnelbarriere (**15; 32**) zwischen 2 und 10 nm liegt.

19. Anordnung nach irgendeinem der vorhergehenden Ansprüche, weiterhin mit jeweils ersten und zweiten Diffusionssperren (**19a, 19b; 35a, 35b**) zwischen dem Knoten (**16; 32**) und den ersten und zwei-

ten Halbleitermaterialbereichen (**17a, 17b; 34a, 34b**).

20. Anordnung nach Anspruch 19, wobei die Diffusionssperren (**19a, 19b; 35a, 35b**) Siliziumnitrid umfassen.

21. Anordnung nach Anspruch 19 oder 20, wobei die Dicke der Diffusionssperre (**19a, 19b; 35a, 35b**) zwischen 0,5 und 3 nm liegt.

22. Anordnung nach irgendeinem der vorhergehenden Ansprüche, wobei der Knoten (**16**) n-leitendes Silizium umfasst.

23. Anordnung nach Anspruch 22, wobei der Knoten (**16**) dotiertes polykristallines Silizium umfasst.

24. Anordnung nach Anspruch 22 oder 23, wobei der Knoten (**16**) im Querschnitt „T“-förmig ist.

25. Anordnung nach irgendeinem der vorhergehenden Ansprüche, wobei die Dicke der Tunnelbarriere (**15**) derart ist, dass der Knoten (**16**) in etwa 100 ns aufladbar ist, die gespeicherte Ladung in dem Knoten für zumindest 10 Jahre haltbar ist, und der Knoten in etwa 10ns wieder entladbar ist.

26. Verfahren zum Programmieren einer Speicheranordnung nach Anspruch 2, wobei das Verfahren umfasst:

Anlegen einer Spannung von etwa 5 Volt an die Steuerelektrode (**21**), Erden des Quellenbereichs (**12; 29**); und

Anlegen einer Spannung von etwa 6 Volt an den Senkenbereich (**12, 13; 29, 30**).

27. Verfahren zum Löschen einer Speicheranordnung nach Anspruch 2, wobei die Tunnelbarriere (**15**) und die ersten und zweiten Bereiche (**17a, 17b; 34a, 34b**) einen negativen Differenzwiderstand zeigen, wobei der Differenzwiderstand bei einer vorgegebenen Spannung (V_t) auftritt, wobei das Verfahren umfasst:

Erden der Steuerelektrode (**21**),

einem der Quellen- oder Senkenbereiche (**12, 13; 29, 30**) es zu erlauben, sich zu verändern und

Anlegen einer Spannung, die der vorgegebenen Spannung entspricht, an den anderen der Quellen- oder Senkenbereiche (**12, 13; 29, 30**).

28. Verfahren zum Löschen einer Speicheranordnung nach Anspruch 27, wobei die Tunnelbarriere SiO_2 umfasst und eine Dicke von etwa 4 nm hat, wobei das Verfahren umfasst:

Anlegen einer Spannung von etwa 6 Volt an den anderen der Quellen- oder Senkenbereiche (**12, 13; 29, 30**).

29. Verfahren zum Löschen einer Speicheran-

ordnung nach Anspruch 27, wobei die Tunnelbarriere Si_3N_4 umfasst und eine Dicke von etwa 7 nm hat, wobei das Verfahren umfasst:

Anlegen einer Spannung von etwa 3 Volt an den anderen der Quellen- oder Senkenbereiche (**12, 13; 29, 30**).

30. Verfahren zum Löschen einer Speicheranordnung nach Anspruch 27, wobei die Tunnelbarriere SiON umfasst und eine Dicke von etwa 5 nm hat, wobei das Verfahren umfasst:

Anlegen einer Spannung von etwa 4 Volt an den anderen der Quellen- oder Senkenbereiche (**12, 13; 29, 30**).

Es folgen 12 Blatt Zeichnungen

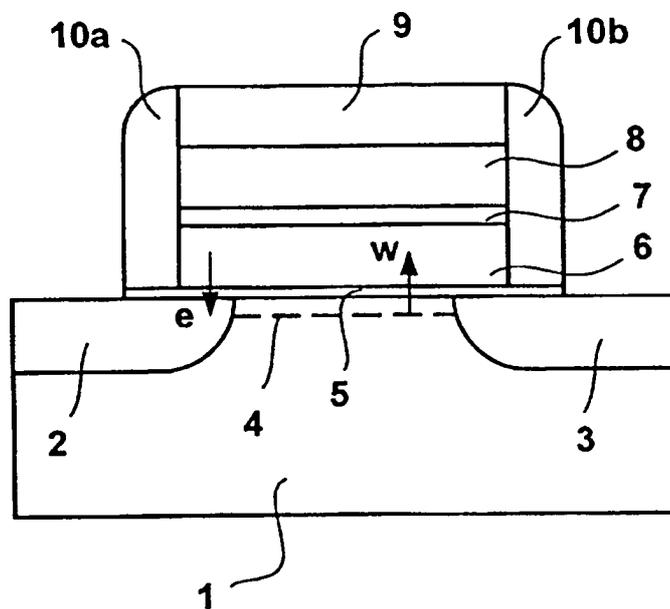


Fig. 1 (STAND DER Technik)

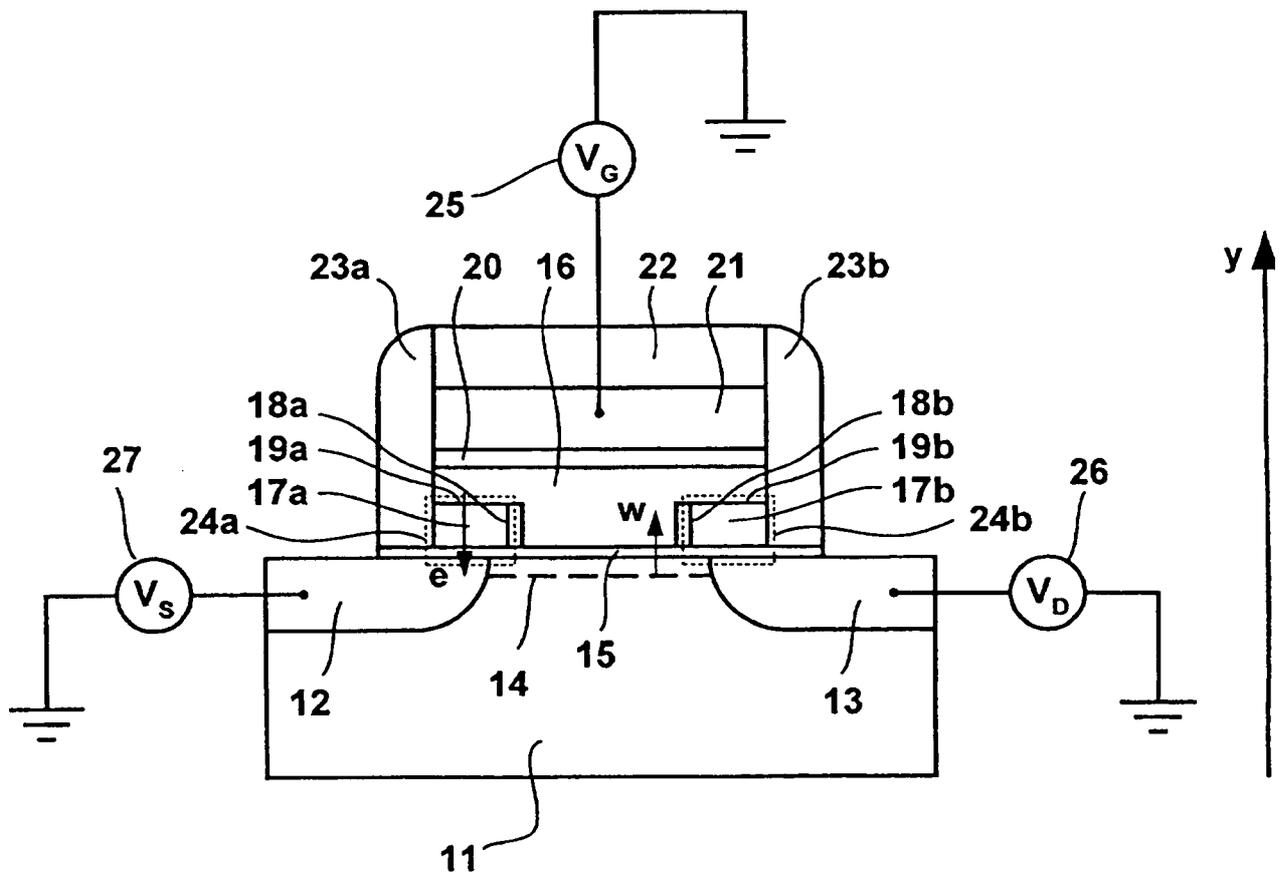


Fig. 2

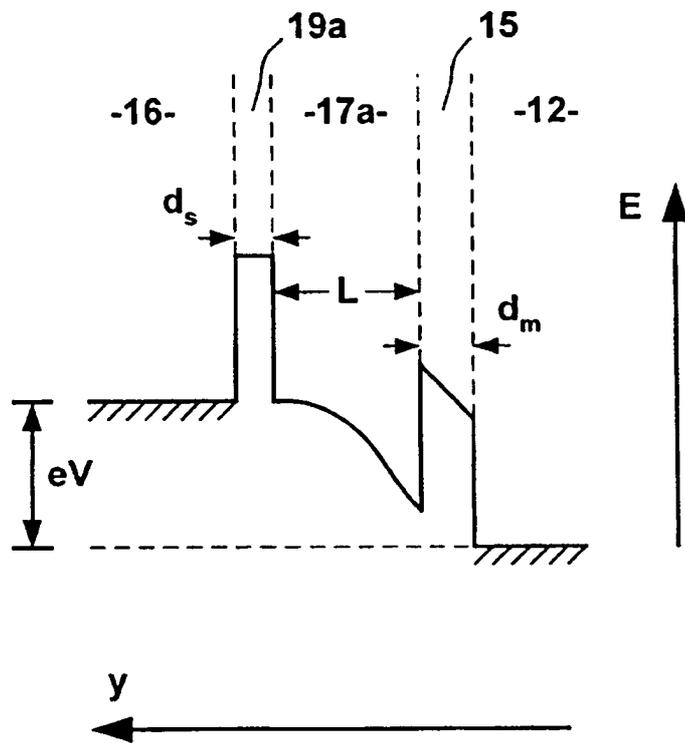


Fig. 3

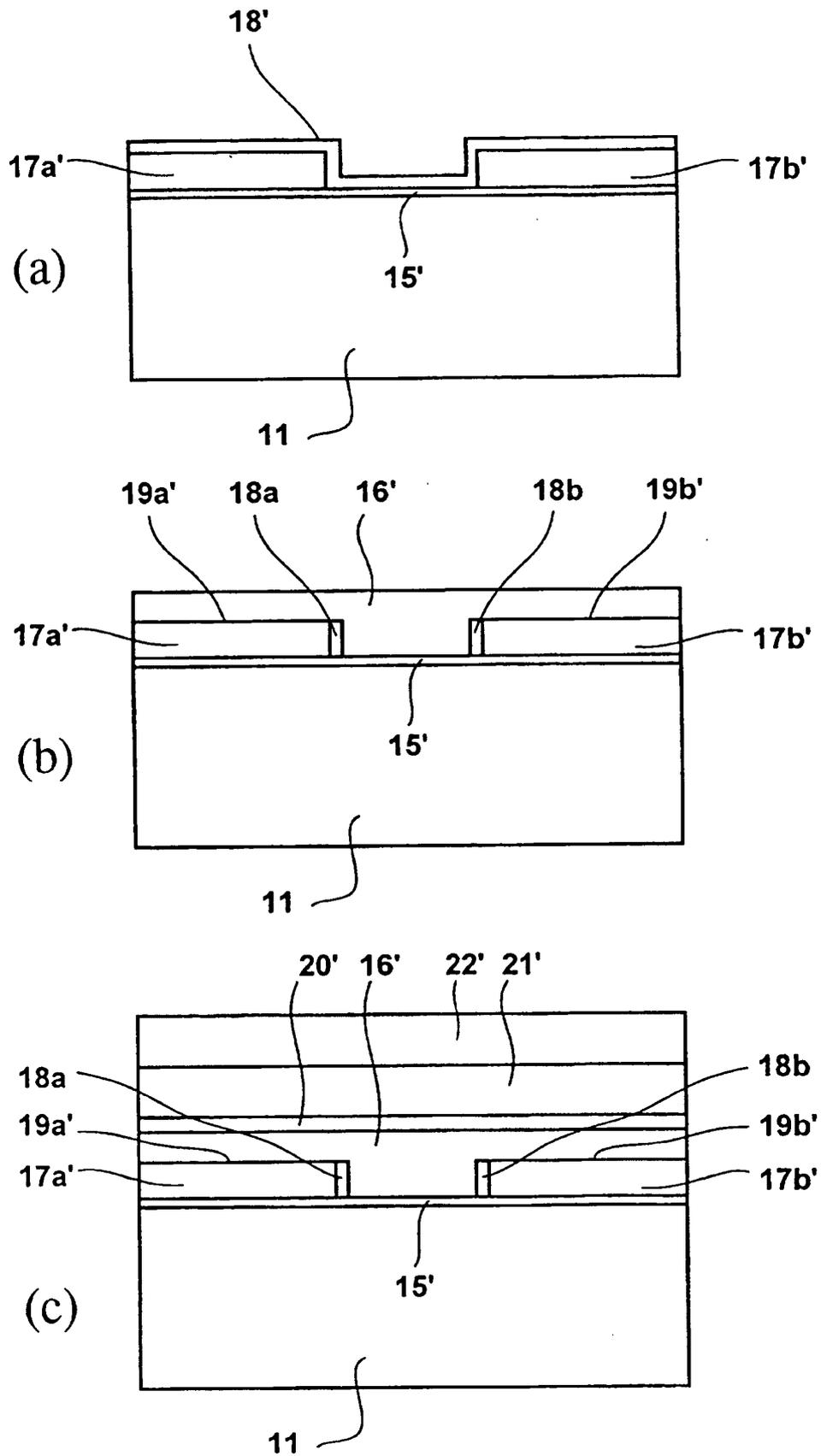


Fig.4

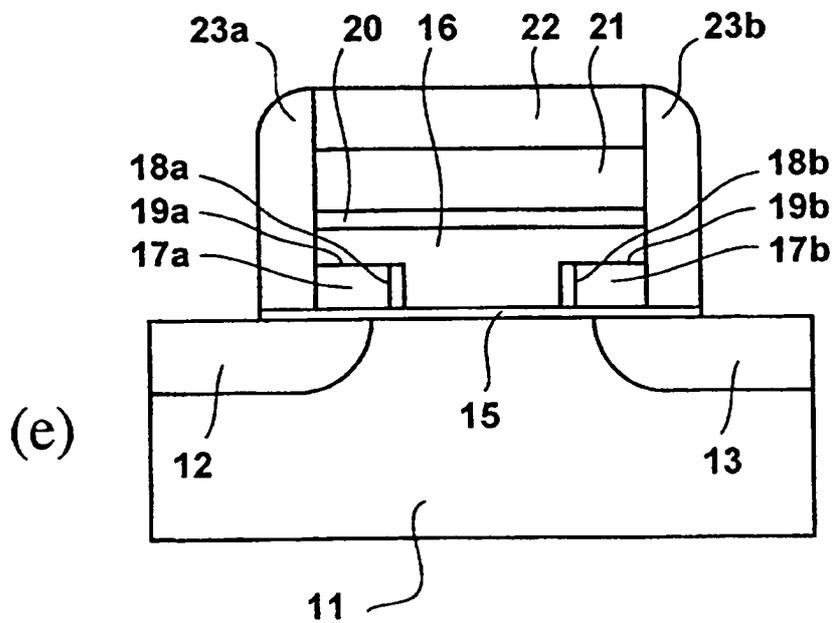
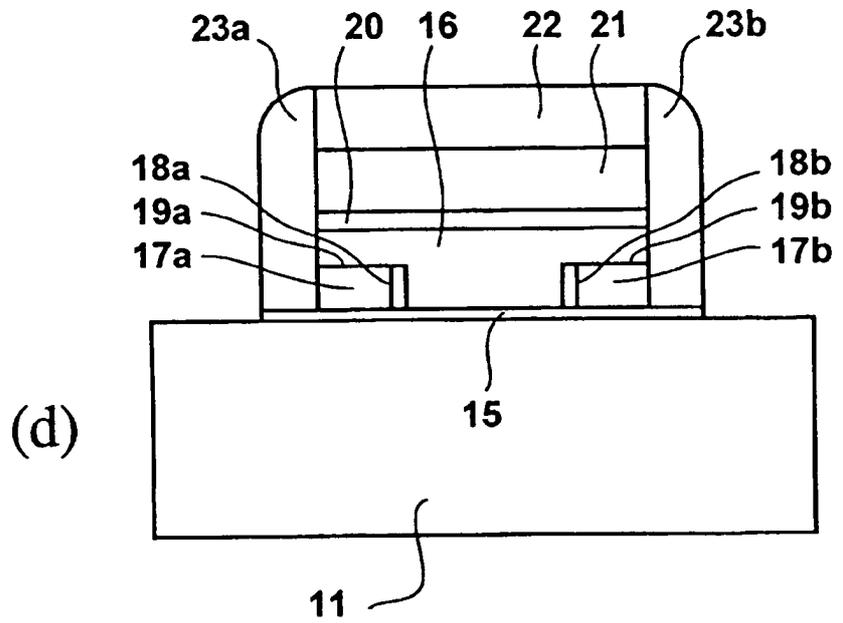


Fig.4

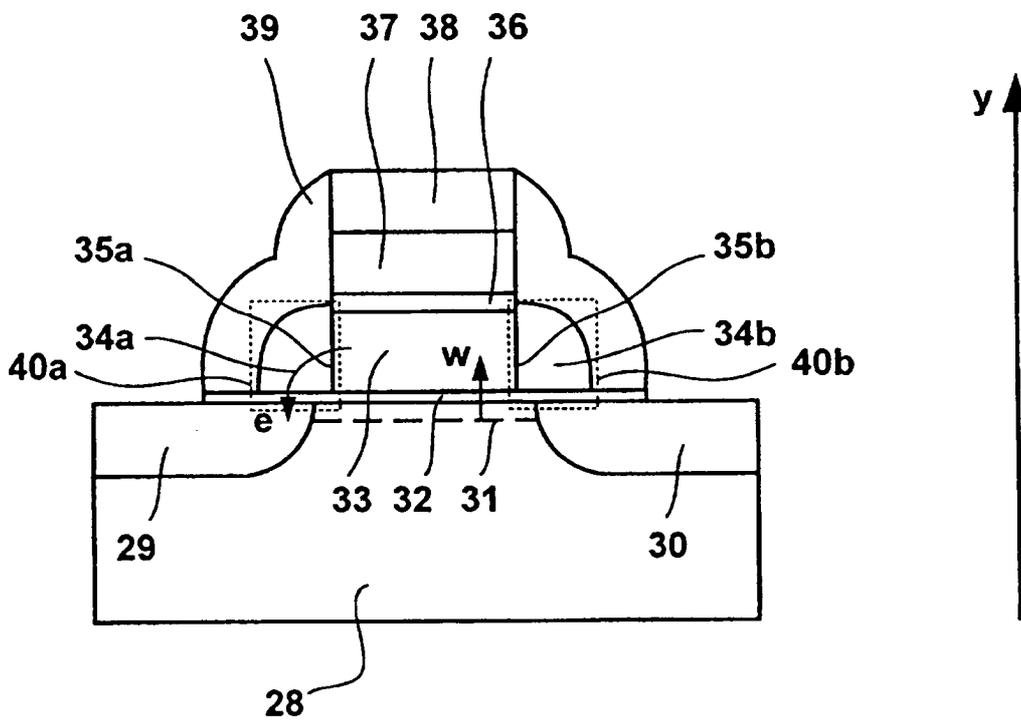


Fig. 5

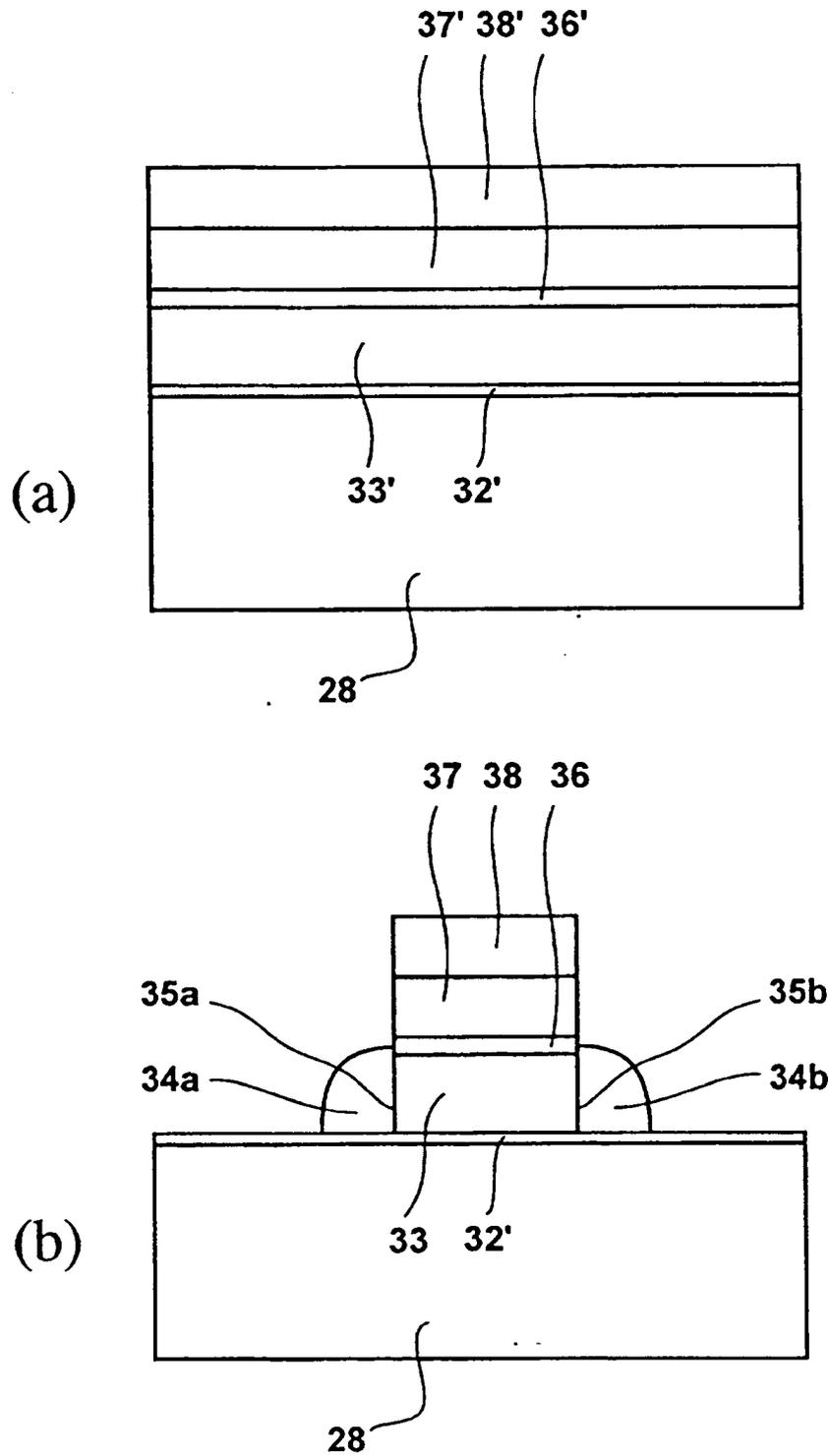


Fig. 6

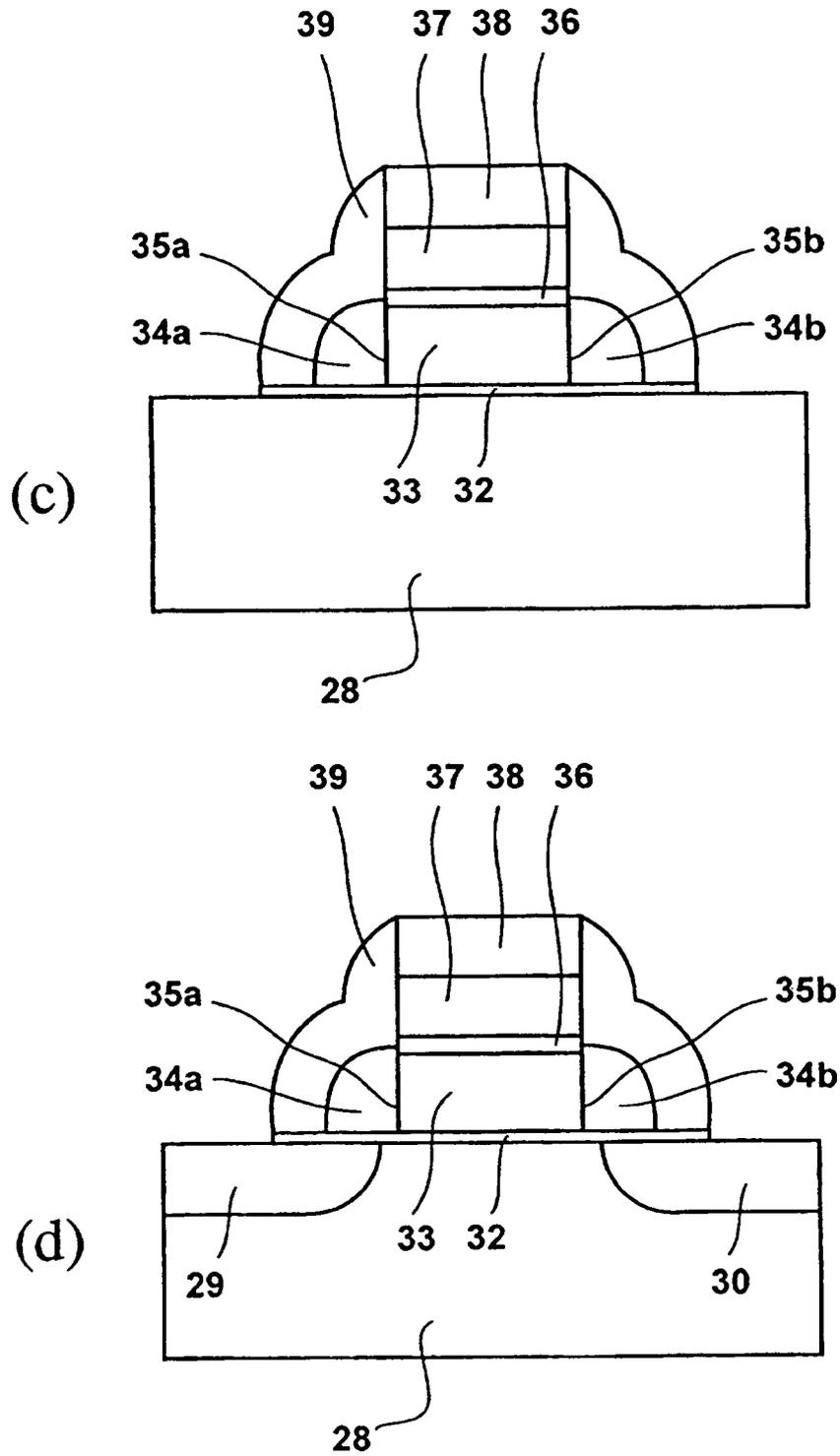


Fig. 6

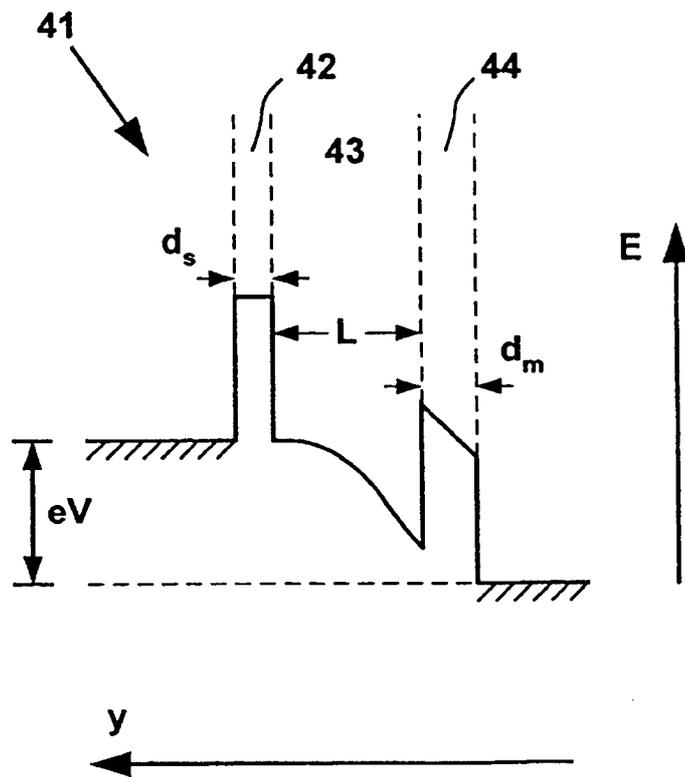


Fig. 7

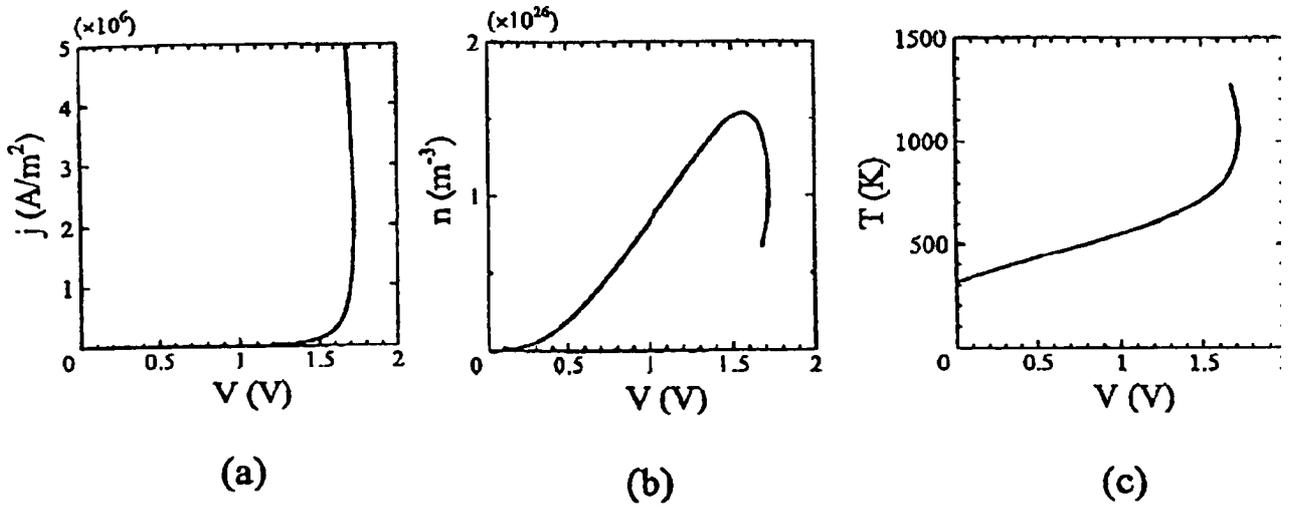


Fig. 8

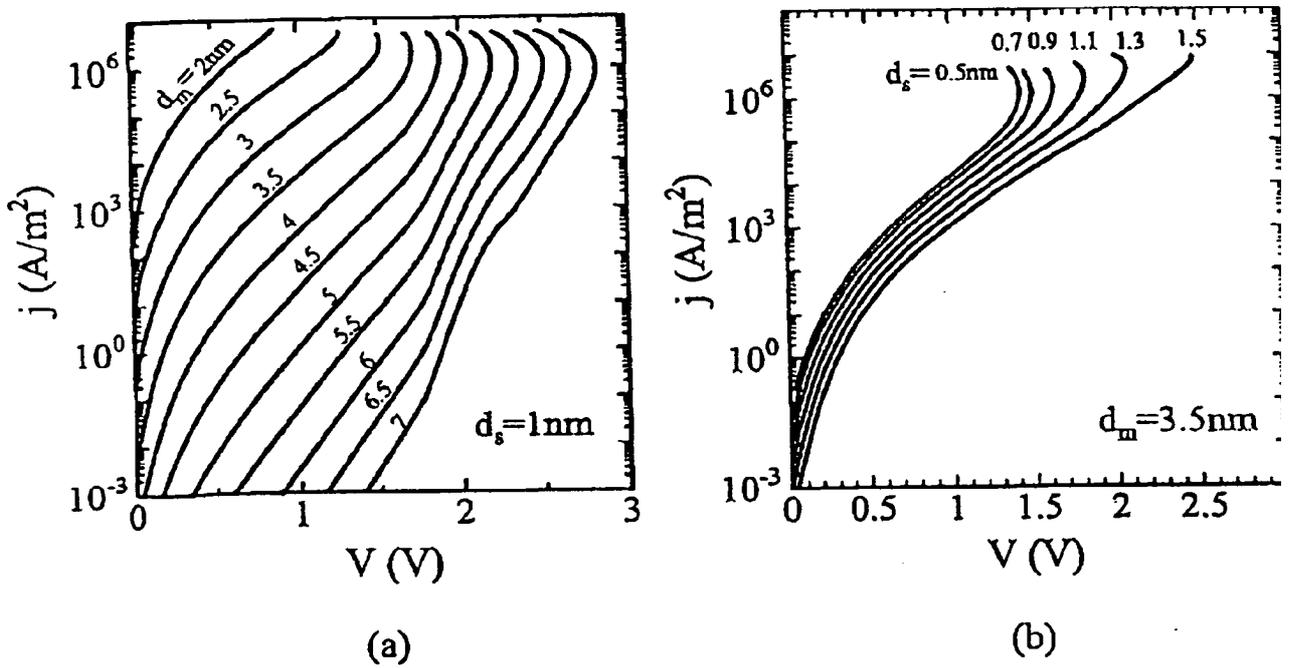


Fig. 9

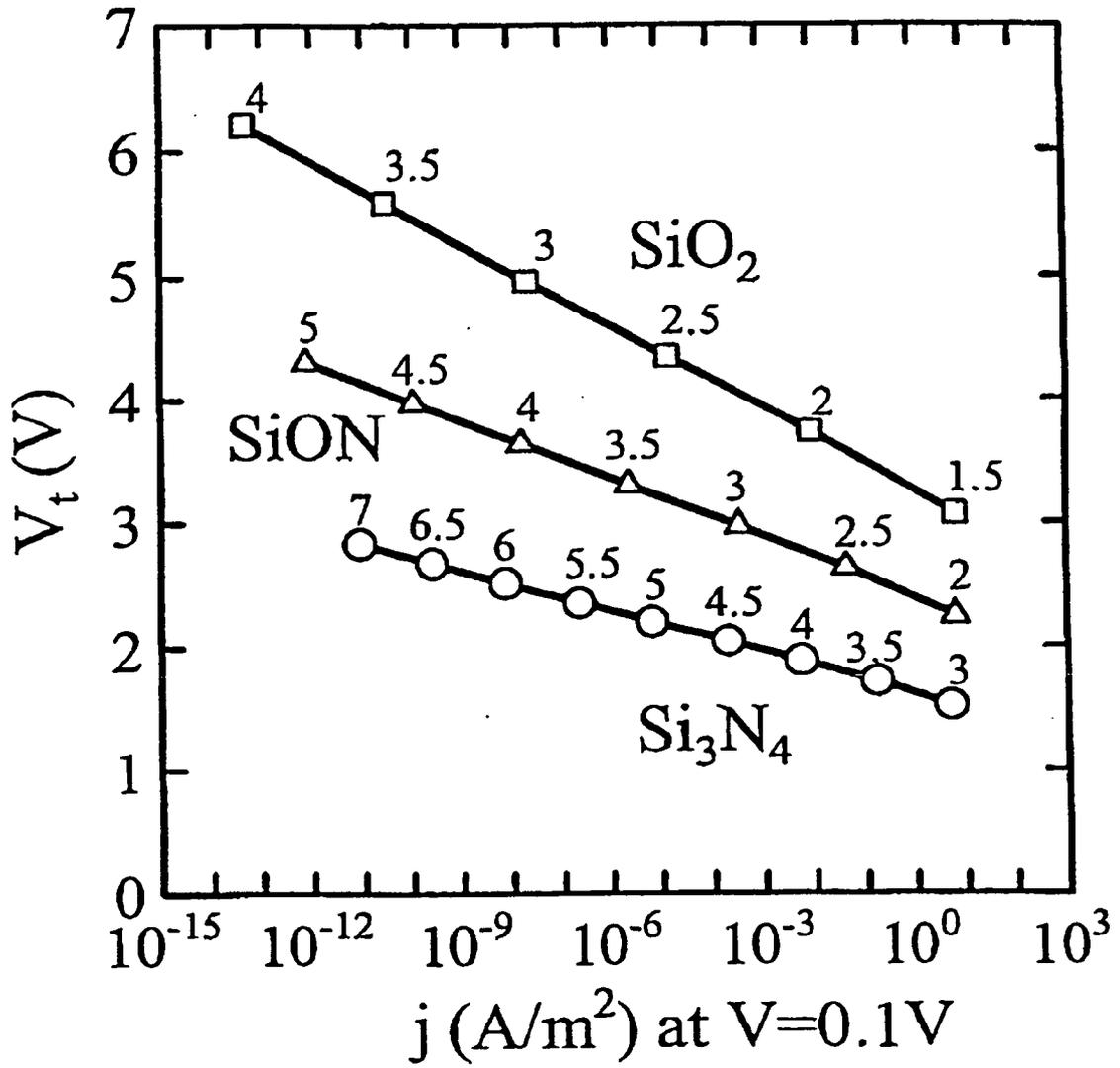


Fig. 10