

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97148698

※ 申請日期：97.12.12

※IPC 分類：H01L 25/04(2006.01)

H01L 23/28 (2006.01)

H01L 21/50(2006.01)

一、發明名稱：(中文/英文)

封裝上之封裝之半導體結構

PACKAGE-ON-PACKAGE SEMICONDUCTOR STRUCTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新加坡商聯合科技(股份有限)公司

UNITED TEST AND ASSEMBLY CENTER LTD.

代表人：(中文/英文)

李永松

LEE, JOON CHUNG

住居所或營業所地址：(中文/英文)

新加坡554916北實龍崗第五大道5號

5 SERANGOON NORTH AVENUE 5, SINGAPORE 554916

國 籍：(中文/英文)

新加坡 SINGAPORE

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 丹尼 瑞圖塔
RETUTA, DANNY
2. 陳獻文
TAN, HIEN BOON
3. 孫義生
SUN, YI SHENG ANTHONY
4. 里瑞多 艾慕勞 蓋邦頓
GATBONTON, LIBRADO AMURAO
5. 安東尼歐 狄瑪諾二世
DIMAANO, ANTONIO JR

國 籍：(中文/英文)

1. 菲律賓 PHILIPPINES
2. 馬來西亞 MALAYSIA
3. 中華民國 TAIWAN
4. 菲律賓 PHILIPPINES
5. 菲律賓 PHILIPPINES

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年12月12日；61/012,923

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【先前技術】

對小型化、增加之功能性及可攜性之需要正推動著對電子產品中3D封裝之需求。堆疊晶粒封裝，舉例而言，堆疊晶粒晶片級封裝(SCSP)，提供將多個裝置安置到一個封裝中之解決方案。然而，以此種技術僅可裝配單個源之裝置。因此，封裝上之封裝(PoP)用作一替代方案，此乃因其使來自多個源之裝置能夠裝配在一起。通常，一PoP由一含有一高效能邏輯裝置之底封裝組成，該高效能邏輯裝置經設計以接納一含有大容量記憶體裝置之配合頂封裝。

因此，PoP在節省板空間方面由於其垂直互連特徵可使端使用者受益。然而，在組件層次上，習用PoP之結構上存在一些需要改良之缺點或顧慮。舉例而言，出於堆疊之目的，PoP需要用於放置錫盤之空間。此需要增加封裝之尺寸，從而影響基板之利用率且隨後降低裝配生產率並增加單位成本。另外，堆疊兩個BGA封裝增加該封裝之總體高度，此對於一處於一有限空間內之高度整合的記憶體模組而言可係太厚。此外，某些類型之PoP(舉例而言，方形類型封裝)需要模製帽拐角上之氣孔。該等氣孔通常延伸於增加間距的錫墊之間。此進一步增加PoP封裝之尺寸。

依據上文論述，合意之情形係提供一種經改良之PoP半導體結構及封裝半導體裝置之方法。

【發明內容】

一種半導體封裝提供於一個實施例中。該封裝包含一具

有第一及第二主表面之基板。該第一主表面上安置有複數個接合墊及一半導體晶粒。該第一表面上安置有一模製帽以囊封該晶粒及基板。該等接合墊在模製該帽時被覆蓋。該封裝進一步包含耦合至該等接合墊之封裝互連件。藉由該帽來暴露該等封裝互連件以促進封裝堆疊。

於另一實施例中，揭示一種形成一半導體封裝之方法。該方法包含提供一具有第一及第二主表面之基板以及該第一主表面上之複數個接合墊。將一晶粒附接於該第一主表面上並在該第一主表面上形成一帽以囊封該晶粒及基板。該等接合墊在形成該帽時被覆蓋。該方法進一步包含提供耦合至該等接合墊之封裝互連件。藉由該帽來暴露該等封裝互連件以促進封裝堆疊。

一種形成一半導體封裝之方法提供於另一實施例中。該方法包含提供一具有第一及第二主表面之基板以及該第一主表面上之複數個接合墊。該方法進一步包含將一晶粒附接於該第一主表面上及在該第一主表面上形成一帽以囊封該晶粒及基板。該帽包含暴露該等接合墊之通孔。用一導電材料填充該等通孔以在該等接合墊上形成封裝互連件。藉由該帽來暴露該等封裝互連件之頂表面以促進封裝堆疊。

參照以下說明及附圖，本文所揭示本發明之此等及其他目的以及優勢及特徵將變得顯而易見。此外，應理解，本文所闡述各種實施例之特徵並非相互排斥而是可以各種組合及排列存在。

【實施方式】

實施例通常係指封裝結構。於一個實施例中，實施例係指封裝上之封裝(PoP)結構及形成PoP結構之方法。亦可使用其他類型之應用。圖1a-c顯示一晶粒封裝各種實施例之剖視圖。參照圖1a，晶粒封裝100a包含一具有頂102a及底102b主表面之載體或封裝基板102。該基板可係用於積體電路(IC)封裝之任一類型之基板。可使用各種材料(例如雙馬來醯亞胺三嗪(BT)、聚醯亞胺、或陶瓷)來形成該基板。亦可使用其他類型之材料。該等主表面中之一者上安置於有封裝觸點106。將該等觸點位於其上之表面(舉例而言)稱為底表面。該等封裝觸點可包括以一格柵圖案配置以形成一BGA之球形狀結構或球。舉例而言，該等球包括焊料。可使用各種類型之焊料，例如基於鉛、非基於鉛之合金或導電聚合物。以其他圖案配置該等觸點或提供其他類型之觸點亦係有用的。

至少在該基板之頂表面上形成電跡線(未顯示)。一般而言，該頂及底表面兩者上提供有電跡線。頂表面上之跡線經由通孔(未顯示)耦合至底表面上之跡線，該等通孔電耦合至安裝於該基板底表面上之封裝觸點。於一個實施例中，接合墊提供於該頂表面上之電跡線上以與該半導體晶粒或晶片耦合。將接合墊提供於底或於兩個主表面上亦係有用的。

將一半導體晶粒110安裝於該基板上。該晶粒可係任一類型之IC。舉例而言，該IC係一記憶體裝置(例如一動態

隨機存取記憶體(DRAM)、一靜態隨機存取記憶體(SRAM)及各種類型之非揮發性記憶體，包含可程式化唯讀記憶體(PROM)及快閃記憶體)、一光電裝置、一邏輯裝置、一通信裝置、一數位信號處理器(DSP)、一微控制器、一晶片上系統以及其他類型之裝置。

如圖1a中所示，於一個實施例中，晶粒110a之工作表面背向該基板。該晶粒之工作表面具備晶粒墊112或觸點區。使用(舉例而言)一黏合劑115將該晶粒之不工作表面110b安裝至該基板。於一個實施例中，該黏合劑包括一絕緣黏合劑。可使用各種類型之黏合劑，舉例而言，環氧樹脂、膏、膜或帶。

藉由電連接(例如導線145)將該晶粒電連接至該基板。舉例而言，將該等導線附接至該晶粒之晶粒墊且附接至該基板頂表面上之接合墊114。如圖所示，該晶粒包括位於該晶粒周邊上之晶粒墊。將晶粒墊提供於該晶粒之其他位置處亦係有用的。於一個實施例中，該封裝包含一囊封該晶粒之帽170。舉例而言，該帽包括一模製化合物。

於一個實施例中，該基板之頂表面包括接合墊160。該等接合墊用於耦合至其他封裝。舉例而言，該等接合墊耦合至一堆疊於上方之封裝。於一個實施例中，帽170包含暴露該等接合墊之通孔155。通孔155填充有一導電材料，如下一段中將闡述。於一個實施例中，將通孔155預界定於該帽中。舉例而言，藉由一以自一頂模具套延伸至該等接合墊之形式之柱的模具套來預界定通孔155，藉此在移

除該模具套時，於囊封之後產生通孔155之形成。亦可使用用於提供該等通孔之其他技術或過程。於一個實施例中，該等通孔包括錐形側壁輪廓。該等錐形通孔可促進對該等通孔之均勻填充及該模具套之可釋放性。該等通孔之錐形角度係(但不限於)約8-12度。提供其他形狀類型之通孔或該等通孔之非錐形側壁輪廓亦可係有用的。舉例而言，針對一0.5 mm之接合墊間距封裝，該通孔包括一約0.35 mm之上寬度及一約0.25 mm之下寬度。舉例而言，針對一0.65 mm之接合墊間距，該通孔包括一約0.45 mm之上寬度及一約0.35 mm之下寬度。亦可使用其他寬度。

於一個實施例中，該等通孔填充有導電材料165。該等導電材料可係焊料材料，例如基於鉛、非基於鉛之合金或導電聚合物。於一個實施例中，該等通孔填充有導電材料，且形成於上覆該基板頂表面之接合墊上。將填充有導電材料之通孔提供於該基板之其他位置處亦可係有用的。於一個實施例中，該導電材料之一頂表面位於該帽之一頂表面上方。於一個實施例中，該導電材料之頂表面係大致圓形以形成球形封裝互連件。填充有導電材料之通孔可提供電連接，用於將另一半導體封裝附接於下面之半導體封裝的頂部上，以減小或最小化總體封裝的厚度。此外，可在該等半導體封裝之間提供一氣隙以改良散熱。至少部分地嵌入模製化合物中之經填充的通孔亦可減小翹曲，尤其係在封裝堆疊期間。於一替代實施例中，該導電材料之一頂表面與該帽之一頂表面係大致共面。於此實施例中，有

利地，該導電材料與該帽之共面性可在該晶粒封裝發生翹曲之情形下更好地維持該封裝之堆疊能力。將該帽之頂表面提供於該導電材料頂表面之上方亦係有用的。

圖 1b 顯示一晶粒封裝 100b 之一替代實施例。圖 1b 之晶粒封裝包括與圖 1a 之晶粒封裝類似之配置。在該基板中提供一開口 104 以提供自一主表面至另一主表面之連通。於一個實施例中，該晶粒具有面向該基板一頂表面 102a 之工作表面 110a。使用黏合劑 115 將該晶粒工作表面之各側安裝至該基板頂表面。如圖所示，該晶粒之工作表面包括位於該晶粒一中心部分上之晶粒墊 112。類似地，藉由導線 145 將該晶粒電連接至該封裝。該等導線附接該晶粒之晶粒墊與接合墊 114，該等接合墊位於該基板一底表面 102b 上。如圖 1b 中所示，該封裝包含一第一帽 170a，該第一帽囊封該基板頂表面上之晶粒之不工作表面 110b。於一替代實施例中，該第一帽暴露該晶粒之不工作表面。暴露該晶粒之不工作表面促進散熱、提高該封裝之熱效能。一第二帽 170b 經提供以囊封該晶粒之經暴露部分及該基板底表面處之導線。類似於圖 1a 之晶粒封裝，於一個實施例中，複數個通孔 155 預界定於該第一帽中且填充有導電材料以提供用於將另一半導體封裝附接於其頂部上之電連接。

參照圖 1c，提供一根據一個實施例之半導體封裝 100c，其包含一呈一倒裝晶片形式之晶粒。該倒裝晶片包含一其上形成有導電凸塊 126 之工作表面 110a。舉例而言，該等導電凸塊包括焊料凸塊。可使用各種類型之焊料(例如基

於鉛、非基於鉛之合金或導電聚合物)來形成該等導電凸塊。該基板頂表面上安置有接觸墊(未顯示)。藉由導電跡線將該等接觸墊連接至該等封裝觸點。當將該晶粒安裝至該基板上時，該等凸塊與該等接觸墊配合。可在該等墊上提供焊料膏。該焊料膏在裝配期間熔化以在該等墊與該晶粒之導電凸塊之間形成一連接。

可在該晶粒與基板之間的空腔中提供一底部填料128(例如環氧樹脂)以囊封並保護該等導電凸塊。類似於圖1a-b所闡述之配置，一帽170經提供以囊封該倒裝晶片。於一替代實施例中，該帽暴露該晶粒之不工作表面110b。於一個實施例中，該帽包含填充有導電材料之複數個通孔155，藉此提供用於將另一半導體封裝附接於其上之電連接。於一個實施例中，該導電材料之一頂表面位於該帽之一頂表面上方。提供與該帽頂表面共面之該導電材料頂表面或將該帽頂表面提供於該導電材料頂表面上方亦可係有用的。

圖2-13顯示一種形成一半導體封裝之方法之各種實施例。如圖2中所示，提供一基板202。該基板可係用於IC封裝之任一類型之基板。可使用各種材料(例如雙馬來醯亞胺三嗪(BT)、聚醯亞胺、或陶瓷)來形成該基板。亦可使用其他類型之材料。於一個實施例中，該基板包括一開口204。該開口用作一電連接通道，舉例而言，一接合通道，其用於允許導線接合將一晶粒電連接至該封裝基板(舉例而言，如圖1(b)中晶粒封裝之所示者)。提供一不具有一開口之基板亦係有用的且將適用於晶粒封裝，舉例而

言，如圖 1(a)及(c)中所示者。

於一個實施例中，該基板包括一用於形成複數個封裝之基板條帶。可自該基板條帶裝配成之封裝之數量取決於過程需要、佈局設計及封裝尺寸，且因此不限於任一數量。在期望有一圖 1(b)中所示類型之晶粒封裝的地方，該基板條帶可包括複數個開口。開口之數量對應於欲附接至該基板條帶之晶粒之數量。舉例而言，一開口容納一晶粒。出於圖解闡釋之目的，該基板條帶包括第一及第二開口。應瞭解，為便於說明及圖解闡釋，本文參照圖 2-13 所闡述之方法通常將係針對圖 1(b)中所示類型之晶粒封裝。如熟習此項技術者將易於理解，可將該方法推廣至圖 1(a)或 1(c)中所示類型之晶粒封裝。亦可使用其他類型之封裝。

如圖 3 中所示，該過程藉由將晶粒 210 附接至該基板條帶上而繼續。舉例而言，將該晶粒之工作表面 210a 附接至該基板條帶之頂表面 202a。該晶粒之工作表面具備晶粒墊 212 或觸點區。於一個實施例中，該等晶粒墊位於該晶粒一中心部分處。提供晶粒墊之其他組態亦可係有用的。使用(舉例而言)一黏合劑 215 將該等晶粒安裝至該基板。於一個實施例中，該黏合劑包括一絕緣黏合劑。可使用各種類型之黏合劑，舉例而言，環氧樹脂、膏、膜或帶。

於一個實施例中，藉由電連接(例如導線 245)將該晶粒電連接至該封裝基板。該等導線附接至該晶粒之晶粒墊及接合墊 214，該等接合墊位於該基板之一底表面 202b 上。舉例而言，該等導線可包括金或銅導線。提供使用不同類

型之材料之導線及其他類型之電連接亦可係有用的。

該基板包括與每一晶粒相關聯之接合墊。舉例而言，使用該等接合墊來促進堆疊封裝。舉例而言，該等接合墊提供至一堆疊於其上方之封裝之連接。

參照圖4，該過程藉由在該基板之頂及底表面上提供一頂230a及底230b模具套而繼續。該等模具套附接至該基板條帶之頂及底表面。該等模具套包括複數個空腔233a-b，將模製材料注入該等空腔以囊封該等晶粒及導線接合區。於一個實施例中，該頂模具套包括對應於接合墊260之複數個柱235a-b。該等柱於該帽中界定在一後續過程中用於填充導電材料之通孔。於一個實施例中，毗鄰柱由一空腔238分離開以提供在一後續步驟中用於填充帽材料之區域。於一個實施例中，該等柱係錐形柱。提供其他形狀類型之柱(例如非錐形柱)亦係有用的。該等柱保護該等接合墊不受該模製材料之污染。該等柱可係一附接至該頂模具套之固定結構或一附接至該頂模具套之可縮回結構。該等可縮回柱可在移除該模具套之前自該等通孔縮回以促進自那兒移除。

於一實施例中，該基板包括一遮罩層264，其覆蓋該基板除該等接合墊之外的頂表面。如圖5(a)中所示，遮罩層264可覆蓋該等接合墊之周邊部分。可在將該晶粒附接至該基板之前，將該遮罩層提供於該基板之頂表面上。於一個實施例中，該遮罩層包括由焊料遮罩製成的遮罩層。於一個實施例中，該頂模具套之柱安置於該等接合墊之頂部

上，以使該接合墊周邊部分處之遮罩層在該柱與該接合墊之間產生一小間隙，如圖5(a)中所示。如圖5(a)中所示，使用柱來保護該等接合墊在模製(例如轉移模製)期間不受帽材料之污染。於一圖5(b)中所示之替代實施例中，該基板頂表面包括遮罩層264，但其既不覆蓋該等接合墊又不覆蓋該等接合墊之周邊部分。因此，該等柱直接安置於該等接合墊之頂部上。於一個實施例中，該等柱稍微擠壓該等接合墊，以在模製期間預防模製樹脂污染。

為促進容易地釋放該頂模具套，可將一非黏性塗層施加至該等柱與該模製化合物接觸及與該等接合墊接觸之表面上。舉例而言，該非黏性塗層可包括teflon®。其他類型之非黏性塗層亦係有用的。可使用彈簧將該等柱耦合至該頂模具套，以在模製期間於夾持該頂及底模具套時減小該等接合墊上之壓力。圖6顯示該基板之另一實施例。於一個實施例中，可將導電凸塊272(舉例而言，Cu凸塊)併入至該基板之接合墊中。提供其他類型之凸塊亦係有用的。此有助於在模製之後達成較好且較易之模製釋放，此乃因較短之柱可用於該頂模具套。

如圖7中所示，該過程藉由為該等模具套之空腔提供一模製化合物、形成用於該晶粒封裝之一第一帽270a及一第二帽270b而繼續。於一個實施例中，該模製化合物包括環氧樹脂及填料，例如二氧化矽填料、鋁填料或類似填料。亦可使用其他材料來形成該帽。自該封裝移除該等模具套。如圖所見，通孔255產生於該帽中。於一個實施例

中，該等通孔包括錐形側壁輪廓。該等錐形通孔可促進對該等通孔之均勻填充及該模具套之可釋放性。該等通孔之錐形角度係(但不限於)約8-12度。提供其他形狀類型之通孔或該等通孔之非錐形側壁輪廓亦可係有用的。舉例而言，針對一0.5 mm之接合墊間距封裝，該通孔包括一約0.35 mm之上寬度及一約0.25 mm之下寬度。舉例而言，針對一0.65 mm之接合墊間距，該通孔包括一約0.45 mm之上寬度及一約0.35 mm之下寬度。亦可使用其他寬度。

於一實施例中，在該晶粒封裝之底部上提供一模板280，如圖8中所示。該模板包括對應於所形成之通孔之開口282。於一實施例中，使用模板印刷方法用導電材料265(舉例而言，焊料，例如基於鉛、非基於鉛之合金或導電聚合物)填充該等通孔。亦可使用其他技術及其他導電材料。如圖9中所圖解闡釋，在用一導電材料(例如焊料)填充該等通孔之後移除該模板。於一個實施例中，該導電材料之一頂表面265a位於該帽之一頂表面270a上方。於一實施例中，該導電材料之頂表面係大致圓形以在自頂部觀看時形成球形狀封裝互連件。填充有導電材料之通孔可提供用於將另一半導體封裝附接於下面的半導體封裝頂部上以減小或最小化總體封裝之厚度之電連接且進一步在該等半導體封裝之間提供一氣隙，因而改良散熱。至少部分地嵌入模製化合物中之經填充通孔亦可減少翹曲，尤其係在封裝堆疊期間。於一替代實施例中，該導電材料之一頂表面與該帽之一頂表面共面。於此實施例中，有利地，該導電

材料與該帽之共面性可在該晶粒封裝發生翹曲之情形下更好地維持該封裝之堆疊能力。將該帽之一頂表面提供於該導電材料之一頂表面上方亦可係有用的。

參照圖 10，可將封裝觸點 206 安置於該基板底表面上。該等封裝觸點可包括以一格柵圖案配置以形成一 BGA 之球形狀結構或球。舉例而言，該等球包括焊料。可使用各種類型之焊料，例如基於鉛、非基於鉛之合金或導電聚合物。以其他圖案配置該等觸點或提供其他類型之觸點亦係有用的。

如圖 11 中所圖解闡釋，該過程藉由使用鋸割方法或等效方法之單分來形成單獨晶粒封裝而繼續。可使用根據本發明之單獨封裝來形成兩個或更多個封裝堆疊。

圖 12-13 顯示一用於形成一半導體封裝之一方法之替代實施例。除了以下所述，該方法類似於先前所述之方法。如圖 12 中所示，替代先前方法中圖 4 中所示及參照圖 4 所述之使用一具有擱置於該等接合墊上之柱之模具套，該等接合墊具備一導電材料 274。舉例而言，該導電材料可係球形狀且可由焊料材料製成。提供其他形狀類型之導電材料亦係有用的。可在將該頂及底模具套夾持在一起之前將一模製釋放膜 276 提供在該導電材料上以為模製做準備。為額外緩衝，可將一橡膠插件 278 或等效物併入至該頂模具套中以減小模製釋放膜 276 及該導電材料上之夾持應力。

圖 13 顯示在已移除模具套時之半導體封裝。該導電材料之頂端被暴露，而該晶粒及該導電材料之間的間隔由該模

製化合物佔據。於一個實施例中，為在封裝堆疊之前增加或最大化該導電材料之暴露，可(舉例而言)藉由採用使用雷射束288之雷射剝蝕來增加該等通孔之寬度，如圖13中所示。另一選擇係，可使用該雷射剝蝕一起研磨或鋸割該模製帽與該導電材料以產生一包括一經截平導電材料及該模製帽之平面表面。此等技術亦將提供均勻開口。亦可使用用於增大該等開口之其他技術。

本文闡述又一種形成一半導體封裝之方法。除了以下所述，該方法類似於先前所述之方法。如圖12中所示，替代先前方法中圖4中所示及參照圖4所述之使用一具有擱置於該等接合墊上之柱之模具套，該等接合墊具備導電材料。舉例而言，該導電材料可係球形狀且可由焊料材料製成。提供頂及底模具套以使該導電材料及晶粒在囊封之後被完全囊封於模製化合物中。移除該模製帽之頂表面直至暴露出該導電材料。可藉由雷射剝蝕、研磨、鋸割或類似方法來達成該移除。亦可使用其他技術。

圖14a-f顯示本發明實施例在各種類型之封裝(舉例而言，臺階式封裝、平封裝、暴露晶粒封裝及基於引線框之封裝，例如薄小外型封裝(TSOP)堆疊晶粒封裝)中之應用。本發明亦可用於其他封裝類型。圖14a顯示一先前闡述於圖1b中之第一晶粒封裝100b₁。該第一晶粒封裝包含一帽，其具有填充有導電材料之通孔以形成用於將一相同類型之第二晶粒封裝100b₂堆疊於該第一晶粒封裝頂部上之封裝互連件。堆疊不同類型之封裝亦係有用的。圖14b-

d顯示除該帽之形狀不同以外與闡述於圖14a中之晶粒封裝類似之晶粒封裝之堆疊。圖14b之晶粒封裝之帽包括一覆蓋該整個晶粒之平表面。另一方面，圖14c顯示該帽之頂表面與該晶粒不工作表面之頂表面共面，因而暴露該晶粒之不工作表面。圖14d顯示除該底封裝之帽部分地凹陷以暴露該晶粒不工作表面之若干部分以外與圖14b類似之組態。圖14e顯示兩個與闡述於圖1a中之晶粒封裝係相同類型之晶粒封裝100a₁及100a₂之堆疊。如圖14f中所示，闡述於圖1b中之晶粒封裝亦可用於附接一TSOP封裝100d。因而，本發明提供靈活性且使不同類型之封裝能夠堆疊在一起。

圖15a及15b中分別顯示各種封裝互連件配置，舉例而言，2個側之錫盤及4個側之錫盤。儘管圖15a-b中顯示兩種類型之封裝互連件配置，但應理解，本發明不僅限於此兩個配置。

出於封裝堆疊之目的，本發明闡述過模製該晶粒封裝及僅暴露該球或封裝互連件。以此方式，該封裝可使用習用圖型式模製(舉例而言，FBGA)來模製並消除使用直接澆口模具之需要。過模製該基板之凸緣區域或如FBGA之整個封裝將平衡該封裝之總體結構並將有助於減少翹曲。根據一個實施例，FBGA頂模具套將必須經修改以併入有將於模製之後在該封裝帽上產生通孔之柱。於一個實施例中，沿該模製帽邊緣之通孔與隨後將迎合垂直堆疊或互連之封裝互連件之位置重合。

因此，該封裝尺寸小於習用PoP結構且可將該接合墊之間距減小為0.5 mm或更小。該特徵於本發明中亦充當一用於以精細球間距及低基準距堆疊封裝之插入件，該低基準距不足以通過習用PoP中底封裝之模製帽厚度。本發明亦涵蓋使用具有預附接焊料球之基板之可能性，該等焊料球消除在模製過程之後將焊料膏印刷至該等通孔中之需要。

可以其他具體形式來實施本發明，此並不背離其精神或基本特性。因此，應將上述實施例之各個方面視為圖解闡釋性而非限制本文所述之本發明。因此，本發明範疇由隨附申請專利範圍而非由上述說明指定，且本發明意欲涵蓋屬於申請專利範圍之等效內容之含義及範圍內的所有變化。

【圖式簡單說明】

於圖式中，相似之參考字符通常係指所有不同視圖中之相同零件。另外，該等圖式未必符合比例，而重點通常在於圖解闡釋本發明之原理。於以下說明中，將參照以下圖式來闡述本發明各種實施例，圖式中：

圖1a-c顯示一晶粒封裝之各種實施例；

圖2-13顯示用於形成一半導體封裝之一過程之各種實施例；

圖14a-f顯示本發明在不同類型封裝中之應用；

圖15a-b顯示封裝互連件組態之各種實施例。

【主要元件符號說明】

100a 晶粒封裝

| | |
|-------------------|--------|
| 100b | 晶粒封裝 |
| 100b ₁ | 第一晶粒封裝 |
| 100b ₂ | 第二晶粒封裝 |
| 100a ₁ | 晶粒封裝 |
| 100a ₂ | 晶粒封裝 |
| 100d | TSOP封裝 |
| 102 | 封裝基板 |
| 102a | 頂主表面 |
| 102b | 底主表面 |
| 104 | 開口 |
| 106 | 封裝觸點 |
| 110 | 半導體晶粒 |
| 110a | 工作表面 |
| 110b | 不工作表面 |
| 112 | 晶粒墊 |
| 114 | 接合墊 |
| 115 | 黏合劑 |
| 126 | 導電凸塊 |
| 128 | 底部填料 |
| 145 | 導線 |
| 155 | 通孔 |
| 160 | 接合墊 |
| 170 | 帽 |
| 170a | 第一帽 |

| | |
|------|-------|
| 170b | 第二帽 |
| 202 | 基板 |
| 202a | 頂表面 |
| 202b | 底表面 |
| 204 | 開口 |
| 206 | 封裝觸點 |
| 210a | 工作表面 |
| 210b | 不工作表面 |
| 210 | 晶粒 |
| 212 | 晶粒墊 |
| 214 | 接合墊 |
| 215 | 黏合劑 |
| 230a | 頂模具套 |
| 230b | 底模具套 |
| 233a | 空腔 |
| 233b | 空腔 |
| 235a | 柱 |
| 235b | 柱 |
| 238 | 空腔 |
| 245 | 導線 |
| 255 | 通孔 |
| 260 | 接合墊 |
| 264 | 遮罩層 |
| 265 | 導電材料 |

| | |
|------|----------|
| 265a | 導電材料之頂表面 |
| 270a | 第一帽 |
| 270b | 第二帽 |
| 272 | 導電凸塊 |
| 272 | 導電凸塊 |
| 274 | 導電材料 |
| 276 | 模製釋放膜 |
| 278 | 橡膠插件 |
| 280 | 模板 |
| 282 | 開口 |
| 288 | 雷射束 |

五、中文發明摘要：

本發明提供一種半導體封裝，其包含一具有第一及第二主表面之基板。該封裝包含複數個接合墊及一安置於該第一主表面上之半導體晶粒。該第一主表面上安置有一模製帽以囊封該晶粒及基板。該等接合墊在模製該帽時被覆蓋。封裝互連件耦合至該等接合墊。該等封裝互連件由該帽暴露以促進封裝堆疊。

六、英文發明摘要：

A semiconductor package that includes a substrate having first and second major surfaces is presented. The package includes a plurality of landing pads and a semiconductor die disposed on the first major surface. A molded cap is disposed on the first surface to encapsulate the die and substrate. The landing pads are covered when the cap is molded. Package interconnects are coupled to the landing pads. The package interconnects are exposed by the cap to facilitate package stacking.

十、申請專利範圍：

1. 一種半導體封裝，其包括：
 - 一基板，其具有第一及第二主表面；
 - 複數個接合墊，其安置於該第一主表面上；
 - 一半導體晶粒，其安置於該第一主表面上；
 - 一模製帽，其安置於該第一表面上以囊封該晶粒及基板，其中該等接合墊在模製該帽時被覆蓋；及
 - 封裝互連件，其耦合至該等接合墊，其中該等封裝互連件由該帽暴露以促進封裝堆疊。
2. 如請求項1之封裝，其中該等接合墊由來自一用於模製該封裝之模具套之柱覆蓋。
3. 如請求項2之封裝，其中一平滑塗層提供於該等接合墊之表面上以促進移除該等柱。
4. 如請求項1之封裝，其中在模製該帽時，該等接合墊由該等封裝互連件覆蓋。
5. 如請求項1之封裝，其中覆蓋該等接合墊避免該帽之材料對該等接合墊之污染。
6. 如請求項1之封裝，其中該帽暴露該晶粒之一頂表面。
7. 一種形成一半導體封裝之方法，其包括：
 - 提供一具有第一及第二主表面之基板，以及該第一主表面上之複數個接合墊；
 - 將一晶粒附接於該第一主表面上；
 - 在該第一主表面上形成一帽，以囊封該晶粒及基板，其中該等接合墊在形成該帽時被覆蓋；及

提供耦合至該等接合墊之封裝互連件，其中該等封裝互連件由該帽暴露以促進封裝堆疊。

8. 如請求項7之方法，其中該帽暴露該晶粒之一頂表面。
9. 如請求項7之方法，其中覆蓋該等接合墊避免用於形成該帽之材料之污染。
10. 如請求項7之方法，其中該等封裝互連件包括焊料。
11. 如請求項7之方法，其中形成該帽包括：

將第一及第二模具套附接至該第一及第二主表面，其中該第一模具套包括覆蓋該等接合墊之柱；

將帽材料注入至一由該等模具套形成之模具中；及
移除該等模具套，其中該等柱在該帽中形成暴露該等接合墊之通孔。

12. 如請求項11之方法，其中該等柱係固定柱或可縮回柱。
13. 如請求項11之方法，其中用一導電材料填充該等通孔以提供該等封裝互連件。
14. 如請求項11之方法，其中該等封裝互連件包括焊料。
15. 如請求項11之方法，其中該帽暴露該晶粒之一頂表面。
16. 如請求項7之方法，其中形成該帽包括：

將第一及第二模具套附接至該第一及第二主表面，其中在該等接合墊上安置封裝互連件以覆蓋該等接合墊；

將帽材料注入至一由該等模具套形成之模具中；及
移除該等模具套以形成該帽，其中封裝互連件耦合至該等接合墊。

17. 如請求項16之方法，其中移除該等模具套形成一暴露該

等封裝互連件之帽。

18. 如請求項16之方法，其中處理該帽之一表面以暴露該等封裝互連件。

19. 一種形成一半導體封裝之方法，其包括：

提供一具有第一及第二主表面之基板，以及該第一主表面上之複數個接合墊；

將一晶粒附接於該第一主表面上；

在該第一主表面上形成一帽，以囊封該晶粒及基板，其中該帽包括暴露該等接合墊之通孔；及

用一導電材料填充該等通孔，以在該等接合墊上形成封裝互連件，其中該等封裝互連件之頂表面由該帽暴露以促進封裝堆疊。

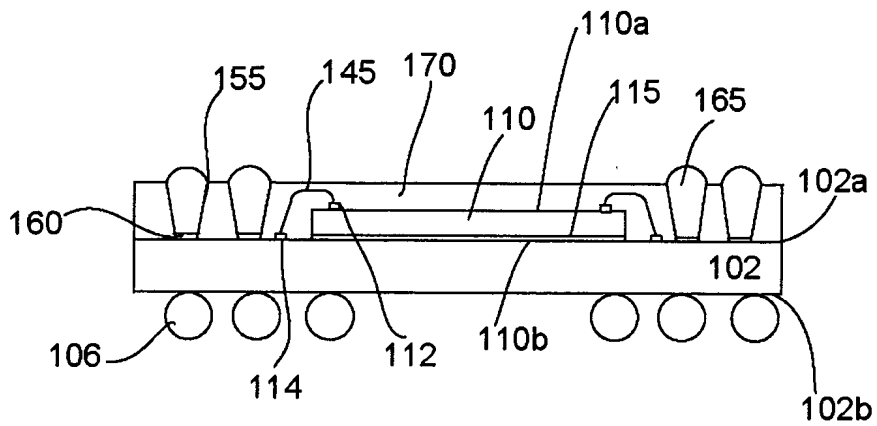
20. 如請求項19之方法，其中形成該帽包括：

將第一及第二模具套附接至該第一及第二主表面，其中該第一模具套包括覆蓋該等接合墊之若干柱。

將帽材料注入至一由該等模具套形成之模具中；及

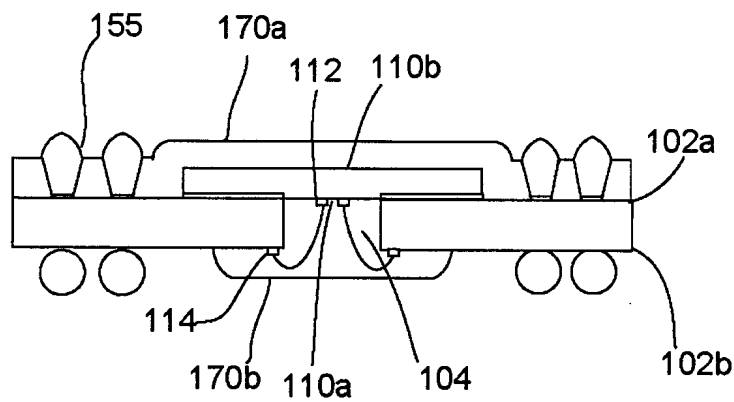
移除該等模具套，其中該等柱在該帽中形成暴露該等接合墊之該等通孔。

十一、圖式：



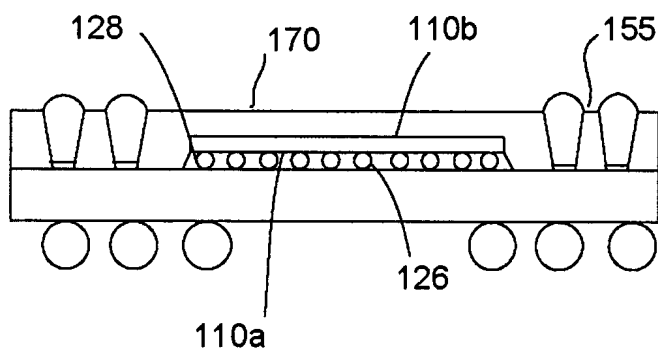
100a

(a)



100b

(b)



100c

(c)

圖 1

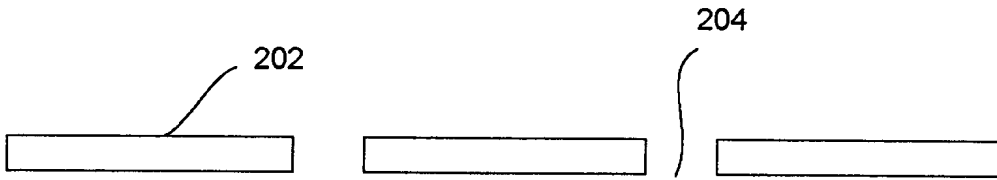


圖 2

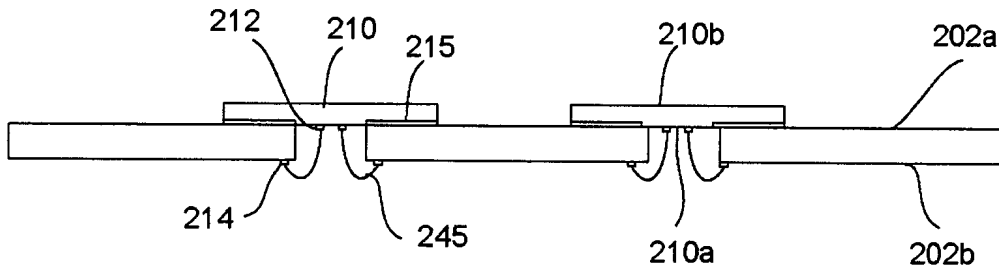


圖 3

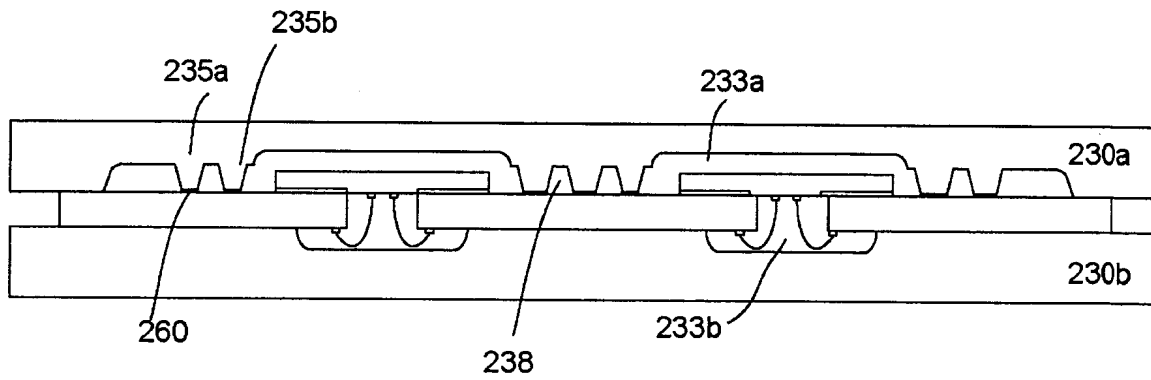
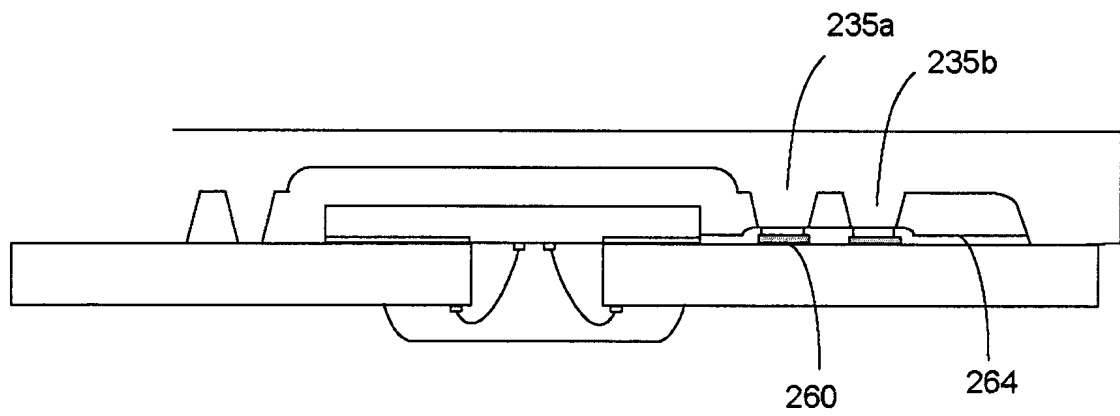
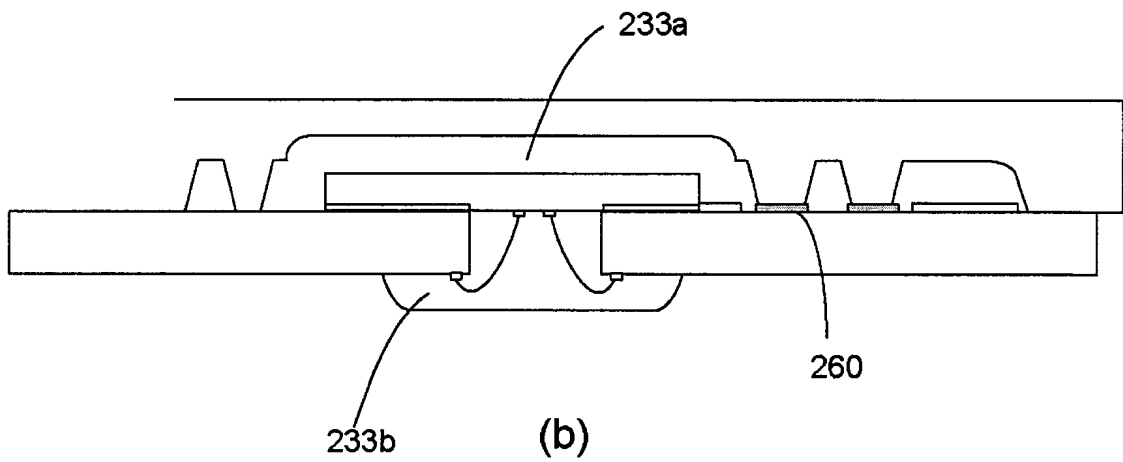


圖 4



(a)



(b)

圖 5

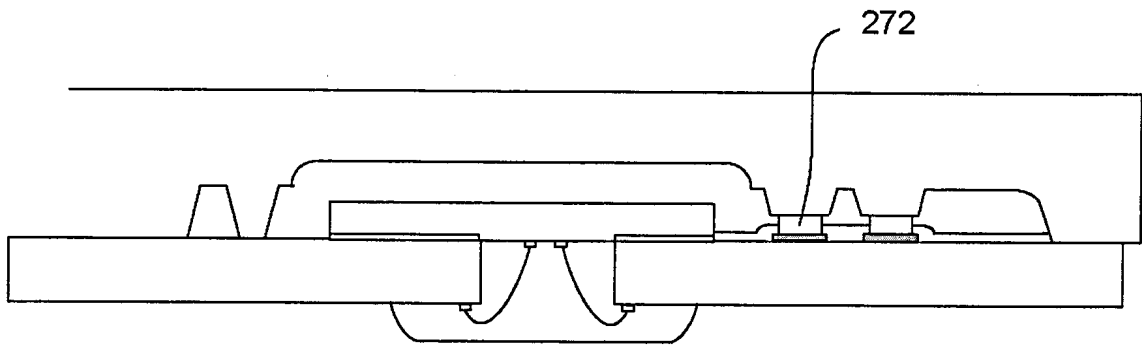


圖 6

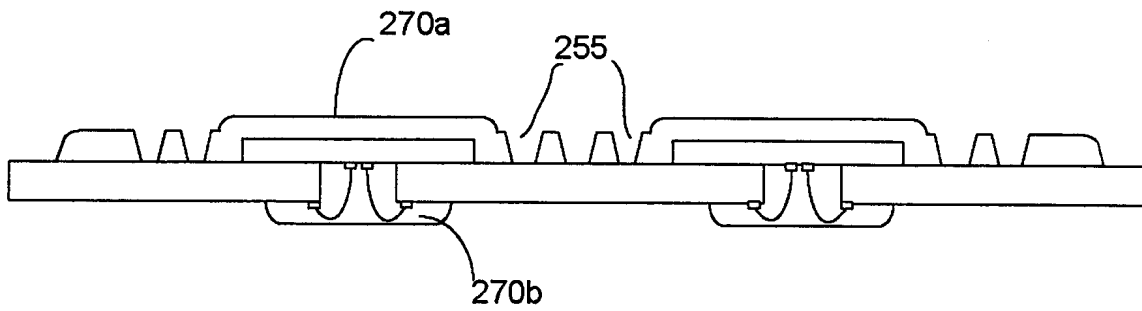


圖 7

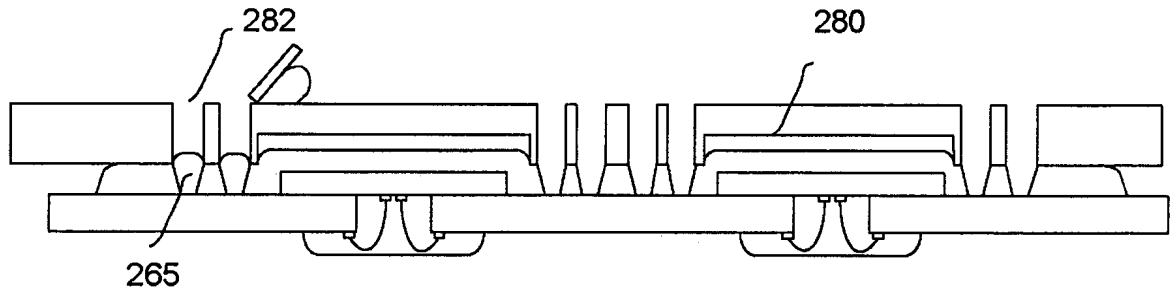


圖 8

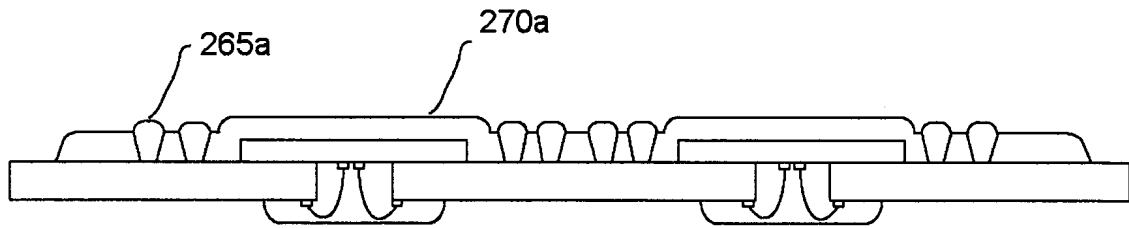


圖 9

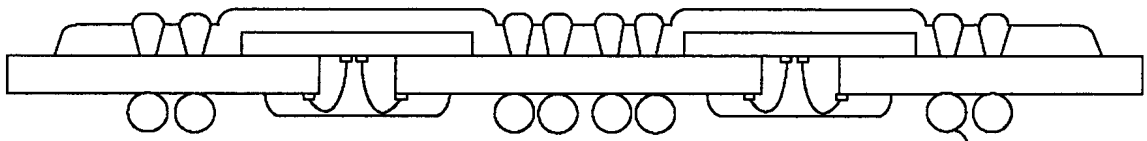


圖 10

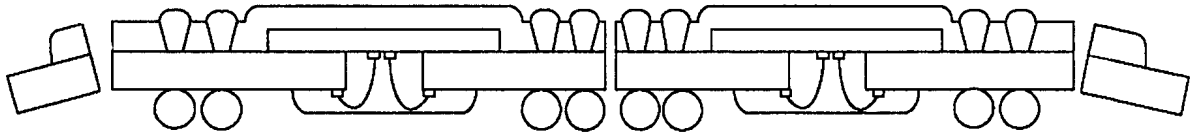


圖 11

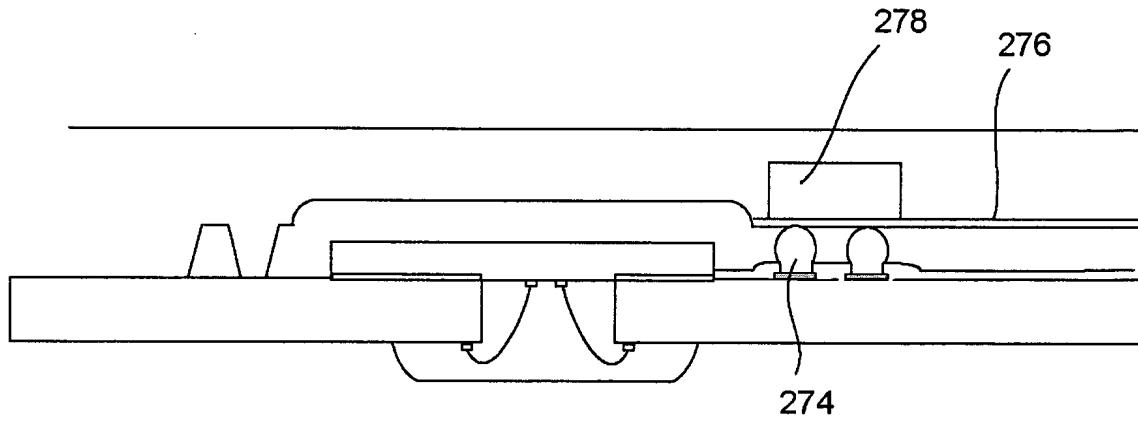


圖 12

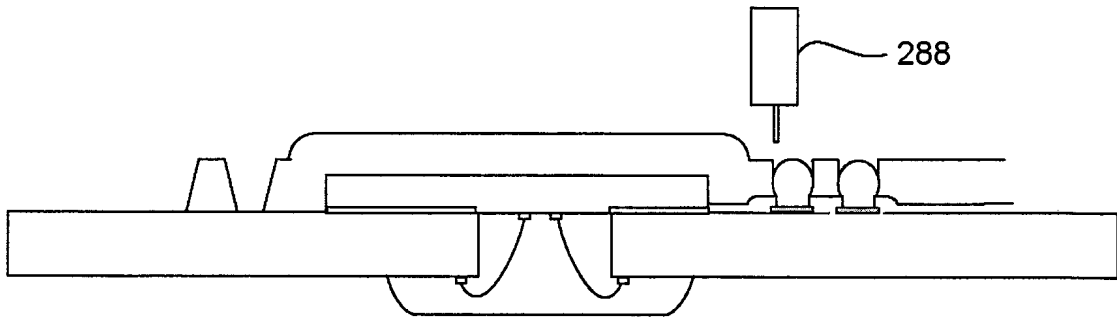
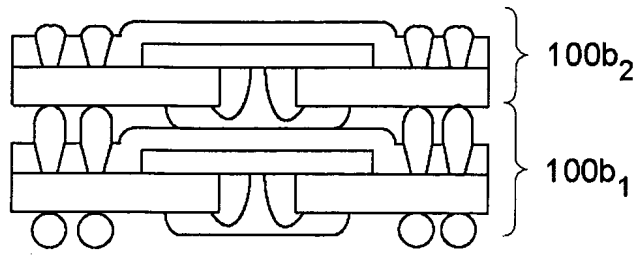
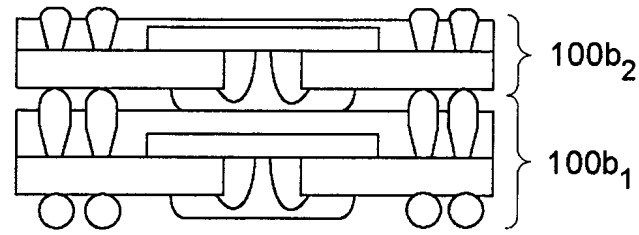


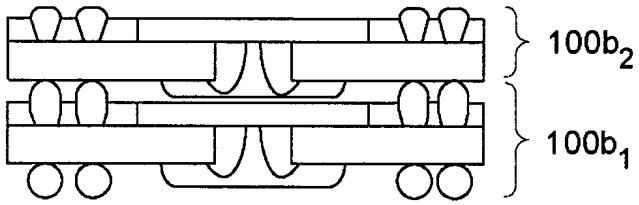
圖 13



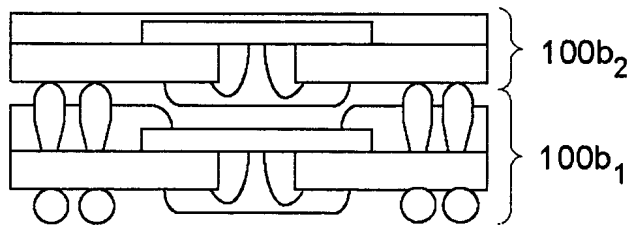
(a)



(b)

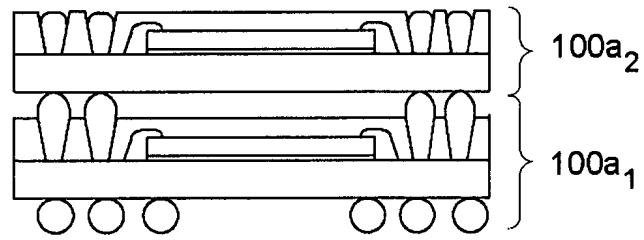


(c)

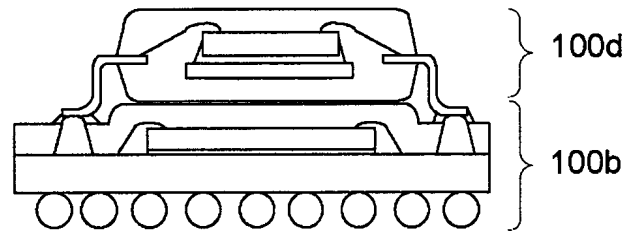


(d)

圖 14

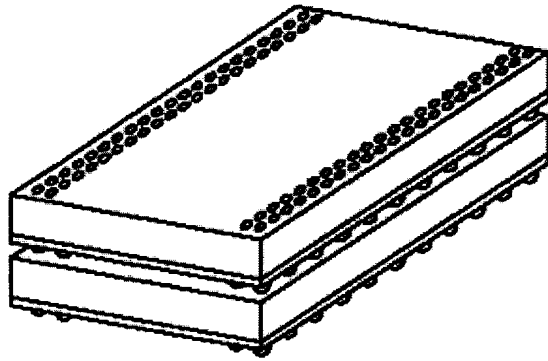


(e)

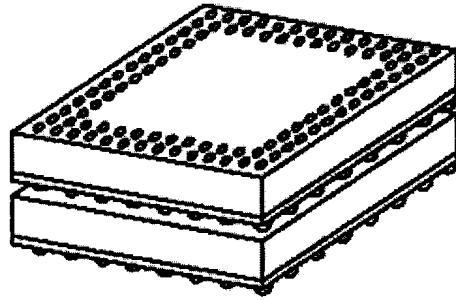


(f)

圖 14



(a)



(b)

圖 15

七、指定代表圖：

(一)本案指定代表圖為：第 (1b) 圖。

(二)本代表圖之元件符號簡單說明：

| | |
|------|-------|
| 100b | 晶粒封裝 |
| 102a | 頂主表面 |
| 102b | 底主表面 |
| 104 | 開口 |
| 110a | 工作表面 |
| 110b | 不工作表面 |
| 112 | 晶粒墊 |
| 114 | 接合墊 |
| 155 | 通孔 |
| 170a | 第一帽 |
| 170b | 第二帽 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)