



(12) 发明专利申请

(10) 申请公布号 CN 103378164 A

(43) 申请公布日 2013. 10. 30

(21) 申请号 201210528046. 1

(22) 申请日 2012. 12. 10

(30) 优先权数据

10-2012-0042126 2012. 04. 23 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 刘容雨 裴相洵 金主延

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 27/32 (2006. 01)

H01L 51/56 (2006. 01)

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

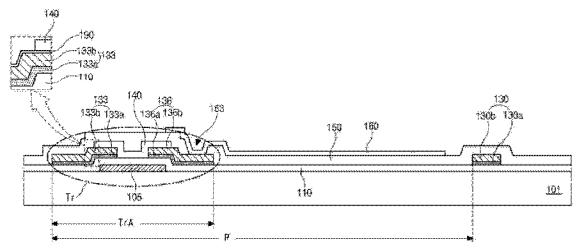
权利要求书2页 说明书9页 附图9页

(54) 发明名称

阵列基板及其制造方法

(57) 摘要

本发明公开了一种阵列基板及其制造方法, 所述阵列基板包括: 基板, 具有像素区域; 栅极线, 位于基板上; 栅极电极, 位于基板上并且与栅极线相连; 栅极绝缘层, 位于栅极线和栅极电极上; 数据线, 位于栅极绝缘层上并且与栅极线相交以限定像素区域; 源极电极和漏极电极, 位于栅极绝缘层上并且与栅极电极相对应, 所述源极电极与数据线相连, 所述漏极电极与源极电极间隔开; 氧化物半导体层, 位于源极和漏极电极的顶部。



1. 一种阵列基板,包括:
基板,具有像素区域;
栅极线,位于基板上;
栅极电极,位于基板上且与栅极线相连;
栅极绝缘层,位于栅极线和栅极电极上;
数据线,位于栅极绝缘层上且与栅极线相交以界定像素区域;
源极电极和漏极电极,位于栅极绝缘层上且与栅极电极相对应,所述源极电极与数据线连接,所述漏极电极与源极电极间隔开;和
氧化物半导体层,位于源极和漏极电极的顶部上。
2. 根据权利要求1的基板,还包括:
第一和第二粘接层,分别位于氧化物半导体层与源极和漏极电极之间,
其中所述源极和漏极电极的顶层包括铜和铜合金中的一种。
3. 根据权利要求1的基板,其中所述源极和漏极电极中的每一个包括第一层及第一层上的第二层。
4. 根据权利要求1的基板,其中所述源极和漏极电极之间的沟道区域不包括沟道区域顶部上的蚀刻阻止层。
5. 根据权利要求3的基板,其中所述源极和漏极电极的底层包括钼和钼钛合金中的一种,顶层是铜或铜合金。
6. 根据权利要求2的基板,其中所述第一和第二粘接层包括位于源极和漏极电极的顶层上的经过氮气等离子体处理的粘接层。
7. 根据权利要求2的基板,其中所述第一和第二粘接层中的每一个包括氮化铜。
8. 根据权利要求2的基板,其中所述第一和第二粘接层中的每一个包括氧化铟锡和氧化铟锌中的一种。
9. 根据权利要求2的基板,其中所述第一粘接层部分覆盖源极电极的顶层,所述第二粘接层部分覆盖漏极电极的顶层。
10. 根据权利要求2的基板,其中所述氧化物半导体层部分覆盖源极和漏极电极,使得第一和第二粘接层的上表面被氧化物半导体层完全覆盖。
11. 根据权利要求2的基板,其中所述第一粘接层完全覆盖源极电极的顶层的上表面,所述第二粘接层完全覆盖漏极电极的顶层的上表面。
12. 根据权利要求2的基板,还包括:
位于数据线上的第三粘接层。
13. 根据权利要求1的基板,其中所述氧化物半导体层包括氧化铟镓锌、氧化锌锡和氧化锌铟中的一种。
14. 根据权利要求1的基板,还包括:
钝化层,位于氧化物半导体层上且包括暴露漏极电极的漏极接触孔;和
像素电极,位于钝化层上和像素区域中,所述像素电极通过漏极接触孔接触漏极电极。
15. 一种阵列基板的制造方法,所述方法包括:
在具有像素区域的基板上形成栅极线;
在基板上形成与栅极线相连的栅极电极;

- 在栅极线和栅极电极上形成栅极绝缘层；
在栅极绝缘层上形成与栅极线相交以限定像素区域的数据线；
在栅极绝缘层上形成与栅极电极相对应的源极电极和漏极电极，所述源极电极与数据线相连，所述漏极电极与源极电极间隔开；以及
在源极和漏极电极的顶部上形成氧化物半导体层。
16. 根据权利要求 15 的方法，还包括：
分别在氧化物半导体层与源极和漏极电极之间形成第一和第二粘接层，
其中所述源极和漏极电极的顶层包括铜和铜合金中的一种。
17. 根据权利要求 15 的基板，还包括：
在不使用沟道区域顶部上的蚀刻阻止层的情况下，在源极和漏极电极之间形成沟道区域。
18. 根据权利要求 16 的方法，其中通过在源极和漏极的顶层上进行氮气等离子体处理来形成所述第一和第二粘接层。
19. 根据权利要求 16 的方法，其中所述氧化物半导体层部分覆盖源极和漏极电极，使得第一和第二粘附层的上表面被氧化物半导体层完全覆盖。
20. 根据权利要求 15 的方法，还包括：
在氧化物半导体层上形成钝化层，所述钝化层包括暴露漏极电极的漏极接触孔；
在钝化层上和像素区域中形成像素电极，所述像素电极通过漏极接触孔接触漏极电极。

阵列基板及其制造方法

[0001] 本申请要求 2012 年 4 月 23 日在韩国提交的韩国专利申请 10-2012-0042126 的优先权,其内容包括在此作为参考。

技术领域

[0002] 本发明涉及一种阵列基板,尤其涉及一种在源极和漏极电极的顶部上包括氧化物半导体层的阵列基板,和减少了生产工序的阵列基板制造方法。

背景技术

[0003] 平板显示设备具有外形薄、重量轻、能耗低的优点。在显示设备当中,有源矩阵型液晶显示(LCD)设备由于具备高对比度和适于显示运动图像的特征,而取替阴极射线管(CRT)广泛用于笔记本电脑、显示器、TV 等。

[0004] 另一方面,由于高亮度和例如 5 到 15V 的低驱动电压,有机电致发光显示(OELD)设备也被广泛使用。此外,由于 OELD 设备是自发光型,因此 OELD 设备具有高对比度、薄外形和快速响应时间。此外,LCD 和 OELD 设备都包括阵列基板,所述阵列基板在每一个像素具有薄膜晶体管(TFT)作为开关元件以开启和关闭像素。

[0005] 更详细地说,图 1 是图示现有技术阵列基板的一个像素区域的剖面图。在图 1 中,在基板 11 上并且在开关区域“TrA”中形成栅极电极 15,其中 TFT “Tr”形成在像素区域“P”的内部。还沿着第一方向形成与栅极电极 15 连接的栅极线。在栅极电极 15 和栅极线上形成栅极绝缘层 18,在栅极绝缘层 18 上并且在开关区域“TrA”中形成半导体层 28,半导体层 28 包括本征非晶硅的有源层 22 和掺杂非晶硅的欧姆接触层 26。

[0006] 而且,在半导体层 28 上并且在开关区域“TrA”中形成源极电极 36 和漏极电极 38。如图所示,源极电极 36 与漏极电极 38 间隔开,沿着第二方向形成与源极电极 36 连接的数据线 33。数据线 33 与栅极线相交以限定像素区域“P”。此外,栅极电极 15、栅极绝缘层 18、半导体层 28、源极电极 36 和漏极电极 38 构成 TFT “Tr”。

[0007] 而且,形成包括漏极接触孔 45 的钝化层 42 以覆盖 TFT“Tr”。在钝化层 42 上形成通过漏极接触孔 45 与漏极电极 38 连接的像素电极 50。在图 1 中,在数据线 33 的下方形成分别与欧姆接触层 26 和有源层 22 由相同的材料形成的第一和第二图案 27 和 23。

[0008] 在 TFT “Tr”的半导体层 28 中,本征非晶硅的有源层 22 具有厚度差。也就是说,在欧姆接触层 26 下方的有源层 22 具有第一厚度“t1”,在中心的有源层 22 具有第二厚度“t2”。第一厚度“t1”与第二厚度“t2”不同。此外,TFT “Tr”的性能由于有源层 22 的厚度差($t_1 \neq t_2$)而变差。有源层 22 的厚度差是制造工艺导致的。

[0009] 近来,提出了包括氧化物半导体材料的单个半导体层而没有欧姆接触层的 TFT。由于氧化物半导体 TFT 不需要欧姆接触层,不进行用来蚀刻欧姆接触层的干蚀刻工艺。结果是,氧化物半导体层没有厚度差,从而提高了氧化物半导体 TFT 的性能。

[0010] 此外,氧化物半导体层具有比非晶硅半导体层大几倍到几十倍的迁移率。从而,用氧化物半导体 TFT 作为开关或驱动元件是有利的。然而,当氧化物半导体层暴露于用来图

案化金属层的蚀刻剂时,由于氧化物半导体材料不具有对于蚀刻剂的蚀刻选择性,所以氧化物半导体层也被图案化了。蚀刻剂也破坏了氧化物半导体材料的分子结构。结果是 TFT 的性能降低了。尤其是,在偏置温度应力(BTS)测试中,阈值电压显著改变,使得 TFT 显著影响了阵列基板的显示质量。

[0011] 为了解决这些问题,图 2 的剖面图示出了包括现有技术 TFT “Tr”的阵列基板,所述现有技术 TFT “Tr”具有:栅极电极 73、栅极绝缘层 75、基板 71 上的氧化物半导体层 77、和在氧化物半导体层 77 上形成的无机绝缘材料的蚀刻阻止层 79。从而当用蚀刻剂来图案化金属层以形成源极电极和漏极电极 81 和 83 时,由于蚀刻阻止层 77,氧化物半导体层 77 没有暴露于蚀刻剂。参考数字“85”、“87”、和“89”分别指的是钝化层、漏极接触孔和像素电极。

[0012] 然而,包括氧化物半导体层 77 和蚀刻阻止层 79 的阵列基板需要用于蚀刻阻止层 79 的额外掩模工艺。由于掩模工艺包括:涂覆光致抗蚀剂(PR)层;用曝光掩模对 PR 层进行曝光;对曝光的 PR 层进行显影以形成 PR 图案;用 PR 图案作为蚀刻掩膜来蚀刻材料层;以及剥离 PR 图案,掩模工艺包括许多缺点,例如生产成本增加、生产产量降低等。

发明内容

[0013] 因此,本发明的一个目的是提供一种阵列基板和相应的制造方法,其基本避免了由于现有技术的限制和缺点而产生的一个或更多个问题。

[0014] 本发明的另一个目的是提供一种不用蚀刻阻止层就能防止对氧化物半导体层的损害的阵列基板。

[0015] 本发明的另一个目的是提供一种包括提高了性能的氧化物半导体薄膜晶体管的阵列基板。

[0016] 本发明的另一个目的是提供一种用更少的掩模工艺制造阵列基板的方法。

[0017] 为了实现这些和其他优点,根据本发明的目的,如在此具体和宽泛描述的,本发明提供一种阵列基板,包括:基板,具有像素区域;栅极线,位于基板上;栅极电极,位于基板上并且与栅极线连接;栅极绝缘层,位于栅极线和栅极电极上;数据线,位于栅极绝缘层上并且与栅极线相交以限定像素区域;源极电极和漏极电极,位于栅极绝缘层上并且与栅极电极相对应,源极电极与数据线连接,漏极电极与源极电极间隔开;和氧化物半导体层,位于源极和漏极电极的顶部。

[0018] 在另一个方面,本发明提供一种阵列基板的制造方法,包括:在具有像素区域的基板上形成栅极线;在基板上形成连接到栅极线的栅极电极;在栅极线和栅极电极上形成栅极绝缘层;在栅极绝缘层上形成与栅极线相交以限定像素区域的数据线;在栅极绝缘层上形成与栅极电极相对应的源极电极和漏极电极,源极电极连接到数据线,漏极电极与源极电极分隔开;和在源极和漏极电极的顶部形成氧化物半导体层。

[0019] 本发明进一步适用的范围将从下面的详细说明中变得显而易见。然而,应该理解的是,仅通过图示给出详细描述和具体的例子用于表示本发明的优选实施方式,因为在本发明的精神和范围内,各种变化和修改对于本领域技术人员来说将变得显而易见。

附图说明

[0020] 本文包括的附图提供对本发明的进一步的理解, 纳入并构成了本说明书的一部分, 图示本发明的实施方式, 连同说明书用来解释本发明的原理。

[0021] 图 1 是图示现有技术阵列基板的一个像素区域的剖面图;

[0022] 图 2 是图示包括具有氧化物半导体层的现有技术 TFT 的阵列基板的剖面图;

[0023] 图 3 是图示根据本发明第一实施方式的包括具有氧化物半导体层的 TFT 的阵列基板的剖面图;

[0024] 图 4A 至 4G 是图示根据本发明第一实施方式的阵列基板的制造过程的剖面图;

[0025] 图 5A 和 5B 是分别图示根据本发明的第二和第三实施方式的包括具有氧化物半导体层的 TFT 的阵列基板的剖面图;

[0026] 图 6A 至 6I 是图示根据本发明的第二实施方式的阵列基板的制造过程的剖面图; 以及

[0027] 图 7A 至 7E 是图示根据本发明第三实施方式的阵列基板的制造过程的剖面图。

具体实施方式

[0028] 现在将详细地参照优选实施方式, 优选实施方式的例子在附图中图示。图 3 是图示根据本发明第一实施方式的包括具有氧化物半导体层的 TFT 的阵列基板的剖面图。在像素区域“P”中限定了形成有 TFT “Tr” 的开关区域“TrA”。

[0029] 在图 3 中, 在例如包括透明玻璃或塑料的基板 101 上形成栅极线和栅极电极 105。栅极线沿一方向延伸, 栅极电极 105 设置在开关区域“TrA”中。而且, 栅极电极 105 可以从栅极线延伸或者可以是栅极线的一部分。栅极线和栅极电极 105 中的每一个还可以具有低电阻金属材料, 例如铝(Al)、Al 合金、铜(Cu)、Cu 合金、钼(Mo) 或钼钛合金(MoTi) 的单层。或者, 栅极线和栅极电极 105 中的每一个可以具有上述低电阻金属材料中的两种或更多种的至少两层。图 3 图示了单层的栅极电极 105。

[0030] 当栅极线和栅极电极 105 中的每一个包括 Cu 层时, 栅极线和栅极电极 105 中的每一个还包括 Cu 层与基板 101 之间的 MoTi 层或 Mo 层。而且, Cu 层具有与基板接触不良的性质。然而, 由于 MoTi 层或 Mo 层, 避免了 Cu 层与基板 101 之间接触不良的性质所导致的问题。

[0031] 此外, 在包括栅极线和栅极电极 105 的基板 101 上形成包括无机绝缘材料, 例如氧化硅或氮化硅的栅极绝缘层 110。例如, 栅极绝缘层 110 具有氧化硅或氮化硅的单层。或者, 栅极绝缘层 110 可以具有氧化硅和氮化硅的至少两层。当栅极绝缘层 110 具有两层时, 下层由氮化硅和氧化硅中的一种形成, 上层由氮化硅和氧化硅中的另外一种形成。栅极绝缘层 110 还可以具有氧化硅层和氮化硅层交替堆叠的多层。

[0032] 此外, 还在栅极绝缘层 110 上形成数据线 130、源极电极 133 和漏极电极 136。数据线 130 与栅极线相交以限定像素区域“P”, 源极和漏极电极 133 和 136 设置在开关区域“TrA”中。而且, 源极电极 133 从数据线 130 延伸。源极和漏极电极 133 和 136 与栅极电极 105 相对应, 并且彼此间隔开。栅极绝缘层 110 的一部分还通过源极和漏极电极 133 和 136 之间的间隔而暴露。

[0033] 数据线 130、源极电极 133 和漏极电极 136 分别具有包括 Mo 或 MoTi 的下层和 Cu 或 Cu 合金的上层的双层结构。也就是说, 数据线 130、源极电极 133 和漏极电极 136 分别包

括第一层 130a、133a 和 136a 作为下层以及第二层 130b、133b、和 136b 作为上层。由于铜没有那么昂贵并且具有相对高的导电率,所以使用 Cu 或 Cu 合金层。此外,由于铜具有与栅极绝缘层 110 接触不良的性质,所以用 Mo 或 MoTi 层来防止不良接触性所导致的问题。

[0034] 此外,铜或铜合金具有与金属材料接触良好的性质,但是具有与栅极绝缘层 110 的绝缘材料,例如氧化硅或氮化硅接触不良的性质。另一方面,钼或钼钛合金具有与绝缘材料以及金属材料接触良好的性质。因此,在栅极绝缘层 110 上形成 Mo 或 MoTi 的第一层 130a、133a 和 136a 之后,在第一层 130a、133a 和 136a 上形成 Cu 或 Cu 合金的第二层 130b、133b 和 136b。

[0035] 而且,在源极和漏极电极 133 和 136 上形成氧化物半导体层 140。氧化物半导体层 140 由从氧化铟锌镓(IGZO)、氧化锌锡(ZTO)、和氧化锌铟(ZIO)中选择的一种氧化物半导体材料形成,并且在开关区域“TrA”中具有岛状。而且,氧化物半导体层 140 覆盖源极电极 133 的一端、漏极电极 136 的一端、以及栅极绝缘层 110 的暴露部分。氧化物半导体层 140 也与栅极电极 105 相对应。换句话说,氧化物半导体层 140 与栅极电极 105 重叠。

[0036] 在这种情况下,通过使用氮气的等离子体工艺,对 Cu 或 Cu 合金的第二层 133b 和 136b 进行处理,使得在第二层 133b 和 136b 上形成表面改性层 190。结果是,不存在氧化物半导体层 140 与源极和漏极电极 133 和 136 的接触性方面的问题。也就是说,表面改性层 190 用作第二层 133b 和 136b 中的每一个与氧化物半导体层 140 之间的粘接增强层。数据线 130 的第二层 130b 也通过等离子体工艺进行处理。

[0037] 栅极电极 105、栅极绝缘层 110、源极电极 133、漏极电极 136、表面增强层 190 和氧化物半导体层 140 构成 TFT “Tr”作为开关区域“TrA”中的开关元件。

[0038] 也可以形成与栅极线平行、位于相同层上并且材料相同的公共线。此外,还可以形成与栅极线或数据线 130 位于相同层上并且材料相同的电源线以及与开关元件,即 TFT“Tr”具有相似结构的驱动 TFT。更详细地说,驱动 TFT 与开关元件和电源线电连接。在这种情况下,包括电源线和驱动元件的阵列基板用于 OLED 设备。

[0039] 图 3 还图示了形成在包括氧化物半导体层 140 的基板 101 上方的钝化层 150。钝化层 150 覆盖氧化物半导体层 140、源极和漏极电极 133 和 136、和数据线 130。钝化层 150 由例如氧化硅或氮化硅的无机绝缘材料、或者例如光敏丙烯酸或苯并环丁烯(BCB)的有机绝缘材料形成。图 3 图示了单层的钝化层 150。或者,钝化层 150 可以具有多层结构。

[0040] 钝化层 150 还具有暴露漏极电极 136 的一部分的漏极接触孔 153。当阵列基板包括驱动 TFT 时,钝化层 150 具有暴露驱动 TFT 的漏极电极的接触孔。另一方面,当阵列基板包括公共线时,形成穿过钝化层 150 和栅极绝缘层 110 暴露公共线的一部分的公共接触孔。

[0041] 然后在钝化层 150 上且在像素区域“P”中形成像素电极 160。像素电极 160 由诸如氧化铟锡(ITO)和氧化铟锌物(IZO)的透明导电材料形成,通过漏极接触孔 153 接触漏极电极 136,并且具有板状。

[0042] 在另一个实施方式中,像素电极 160 可以是条形的,还可以形成与像素电极交替的公共电极。公共电极通过公共接触孔接触公共线,并且也是条形的。在另一个实施方式中,像素电极可以接触驱动 TFT 的漏极电极,有机发光层和反电极可堆叠在像素电极上。在这种情况下,像素电极、有机发光层和反电极构成有机发光二极管。

[0043] 因此,如图 3 所示,因为氧化物半导体层 140 是源极和漏极电极 133 和 136 顶部上

的顶层,所以本发明是特别有利的。因此,在不使用蚀刻阻止层 79 的情况下,形成源极和漏极电极 133 和 136 时不会损坏氧化物半导体层 140。

[0044] 更详细地说,本发明有利地在源极和漏极电极 133 和 136 的顶部形成氧化物半导体层 140,因此不需图 2 中的蚀刻阻止层 79。因此,形成阵列基板的工艺比现有技术中的工艺更快和更有效率。此外,由于氧化物半导体层 140 形成在源极和漏极电极 133 和 136(其包括金属材料)的顶部上,本发明有利地提供了粘接层 190 以改善源极和漏极电极 133 和 136 与氧化物半导体层 140 之间的接触。在图 3 所示的实施方式中,氧化物半导体层 140 还有利地是单层,从而不具有如图 1 现有技术所示的厚度差。

[0045] 此外,因为不需要蚀刻阻止层 79,本发明还有利地减少了图 3 中源极和漏极电极 133 和 136 之间的沟道的长度。也就是说,如图 2 所示,需要蚀刻阻止层 79 来保护氧化物半导体层 77。然而,这增加了源极和漏极电极 81 和 83 之间的沟道的长度。如图 3 所示,因为有利地不使用蚀刻阻止层 79,与现有技术的图 2 中的沟道长度相比,减小了源极和漏极电极 133 和 136 之间的沟道。

[0046] 此外,由于本发明中的氧化物半导体层 140 是上层并且没被损坏,晶体管的性能有很大改善。

[0047] 接下来,图 4A 到 4G 是图示根据本发明第一实施方式的阵列基板的制造过程的剖面图。在像素区域“P”中限定了形成有 TFT“Tr”的开关区域“TrA”。

[0048] 如图 4A 所示,通过沉积第一金属材料,例如,铜(Cu)、铜合金、铝(Al)、Al 合金、钼(Mo)或钼钛合金(MoTi)中的一种或至少两种,在基板 101 上形成第一金属层。第一金属层具有单层或多层的结构。

[0049] 接下来,进行掩模工艺,包括:涂覆 PR 层;用曝光掩模曝光 PR 层;对曝光的 PR 层进行显影以形成 PR 图案;用 PR 图案作为蚀刻掩模对材料层进行蚀刻;以及剥离 PR 图案以对第一金属层进行图案化。结果是,在基板 101 上形成了栅极线和栅极电极 105。栅极线沿着一方向延伸,与栅极线连接的栅极电极 105 设置在开关区域“TrA”中。图 4A 图示了具有单层结构的栅极线和栅极电极 105。

[0050] 另一方面,在另一个实施方式中,通过对第一金属层进行图案化,可以在基板 101 上形成与栅极线平行并且间隔开的公共线。

[0051] 接下来,如图 4B 所示,通过沉积例如氧化硅或氮化硅的无机绝缘材料,在包括栅极线和栅极电极 105 的基板 101 上形成栅极绝缘层 110。图 4B 图示了单层结构的栅极绝缘层 110。或者,栅极绝缘层 110 可以是氧化硅层和氮化硅层交替堆叠的多层。

[0052] 接下来,如图 4C 所示,通过沉积 Mo 和 MoTi 中的一种,在栅极绝缘层 110 上形成第二金属层,通过沉积 Cu 和 Cu 合金中的一种,在第二金属层上顺序形成第三金属层。然后,通过掩模工艺对第二和第三金属层进行图案化,以形成数据线 130、源极电极 133 和漏极电极 136。

[0053] 如上所述,数据线 130、源极电极 133 和漏极电极 136 分别具有 Mo 或 MoTi 的第一层 130a、133a 和 136a 以及 Cu 或 Cu 合金的第二层 130b、133b 和 136b。而且,数据线 130 与栅极线相交以限定像素区域“P”,源极电极和漏极电极 133 和 136 设置在开关区域“TrA”中。源极电极 133 也从数据线 130 延伸,并且漏极电极 136 与源极电极 133 间隔开。

[0054] 在包括驱动 TFT 的另一个实施方式中,当形成数据线 130、源极电极 133、和漏极电

极 136 时,形成了电源线、驱动 TFT 的源极电极和驱动 TFT 的漏极电极。另一方面,电源线可以在形成栅极线和栅极电极 105 时形成。

[0055] 接下来,如图 4D 所示,在数据线 130、源极电极 133 和漏极电极 136 上进行使用氮气的等离子体工艺约 5 到 15 秒,使得第二层 130b、133b、和 136b 的表面被改性。结果是,在第二层 130b、133b、和 136b 上形成表面改性层 190,例如氮化铜层。在没有表面改性层 190 的情况下,氧化物半导体层 140 (图 4E) 具有与第二层 130b、133b 和 136b 不良的接触或粘接性。

[0056] 接下来,如图 4E 所示,通过沉积或涂覆氧化物半导体材料,例如氧化铟镓锌(IGZO)、氧化锌锡(ZTO)和氧化锌铟(ZIO),在形成了表面改性层 190 的基板 101 上形成氧化物半导体材料层。

[0057] 如上所述,由于表面改性层 190,不存在源极电极和漏极电极 133 和 136 的第二层 133b 和 136b 与氧化物半导体材料层之间的接触或粘接性的问题。若将 Cu 层与氧化物半导体材料层之间的粘接强度假设为 1,通过等离子体工艺用氮气形成在 Cu 层上的表面改性层 190 与氧化物半导体材料层之间的粘接强度至少为 1.3。

[0058] 接下来,通过掩模工艺将氧化物半导体材料层图案化,以形成氧化物半导体层 140。氧化物半导体层 140 对应于栅极电极 105 并且具有岛状。可以通过使用含 5 至 20 重量%的草酸($C_2H_2O_4$)的蚀刻剂的湿蚀刻方法或使用蚀刻气体的干蚀刻方法对氧化物半导体材料层进行图案化。

[0059] 此外,栅极电极 105、栅极绝缘层 110、源极电极 133、漏极电极 136、表面改性层 190 和氧化物半导体层 140 构成 TFT “Tr” 作为开关区域 “TrA” 中的开关元件。在可选择的实施方式中,在驱动 TFT 的源极电极和漏极电极上形成与栅极电极相对应的另一氧化物半导体层。

[0060] 接下来,如图 4F 所示,通过沉积例如氧化硅或氮化硅的无机绝缘材料,或涂覆例如光敏丙烯酸或苯并环丁烯(BCB)的有机绝缘材料,在包括 TFT “Tr” 的基板 101 的上方形成钝化层 150。图 4F 图示了氧化硅的单层钝化层 150。或者,钝化层 150 可以具有多层结构。在这种情况下,多层结构的钝化层 150 可以包括不同的有机绝缘材料或无机绝缘材料。另一方面,钝化层 150 可以包括无机绝缘材料的下层和有机绝缘材料的上层。

[0061] 接下来,通过掩模工艺对钝化层 150 进行图案化,以形成暴露漏极电极 136 的一部分的漏极接触孔 153。在另一个实施方式中,对钝化层 150 和栅极绝缘层 110 进行图案化以形成暴露公共线的公共接触孔。此外,在另一个实施方式中,可以形成通过钝化层 150 暴露驱动 TFT 的漏极电极的接触孔。

[0062] 接下来,如图 4G 所示,通过沉积例如 ITO 或 IZO 的透明导电材料,在钝化层 150 上形成透明导电材料层。通过掩模工艺对透明导电材料层进行图案化以形成像素电极 160。此外,像素电极 160 具有板状,并通过漏极接触孔 153 接触漏极电极 136。结果是,制得了阵列基板。

[0063] 在另一个实施例中,可以在钝化层 150 上形成每一个都是条形的像素电极和公共电极。在这种情况下,像素和公共电极中的每一个可以由 ITO、IZO、Mo、或 MoTi 形成。像素电极通过漏极接触孔 153 接触漏极电极 136,公共电极通过公共接触孔接触公共线。此外,像素和公共电极彼此交替排列,以形成用于面内切换模式 LCD 设备的阵列基板。

[0064] 在另一实施方式中,像素电极接触驱动 TFT 的漏极电极,在像素电极上堆叠有机发光层和反电极。结果是,制得用于 OLED 设备的阵列基板。

[0065] 在本发明中,在形成源极电极 133 和漏极电极 136 后,形成氧化物半导体层 140。结果是,氧化物半导体层 140 不会暴露于用于对源极电极和漏极电极 133 和 136 进行图案化的蚀刻剂,因此,蚀刻剂不会对氧化物半导体层 140 带来损坏。此外,该阵列基板不需要保护半导体层的蚀刻阻止层,从而可以省去用来形成蚀刻阻止层的复杂的掩模工艺。结果是,降低了生产成本和增加了生产工艺的效率。

[0066] 而且,使用导电性优良的 Cu 层用于数据线 130、源极电极 133 和漏极电极 136,和使用具有高载流子迁移率以及与铜的不良接触或粘接性的氧化物半导体层 140,由于通过等离子体工艺形成的表面改性层 190,氧化物半导体层 140 不会剥落。

[0067] 接下来,图 5A 和 5B 分别是图示根据本发明的第二和第三实施方式的包括具有氧化物半导体层的 TFT 的阵列基板的剖面图。下面解释的重点是与第一实施方式相比不同的要素。

[0068] 参照图 5A,第二实施方式的阵列基板与第一实施方式中图示的源极电极 133 和漏极电极 136 的结构不同。更详细地说,参照图 3,源极电极 133 和漏极电极 136 分别具有 Mo 或 MoTi 的第一层 133a 和 136a 以及 Cu 或 Cu 合金的第二层 133b 和 136b。也就是说,源极电极 133 和漏极电极 136 中的每一个具有双层结构。此外,通过进行使用氮气的等离子体工艺,在第二层 133b 和 136b 上形成表面改性层 190。

[0069] 然而,参考图 5A,第二实施方式的阵列基板 201 包括源极电极 233 和漏极电极 236,源极电极 233 和漏极电极 236 分别具有 Mo 或 MoTi 的第一层 233a 和 236a 以及 Cu 或 Cu 合金的第二层 233b 和 236b,并且在源极电极 233 和漏极电极 236 上分别形成第一和第二粘接增强层 234 和 237。

[0070] 第一和第二粘接增强层 234 和 237 由 ITO 和 IZO 中的一种形成。此外,第一和第二粘接增强层 234 和 237 部分覆盖第二层 233b 和 236b,使得第一和第二粘接增强层 234 和 237 上的氧化物半导体层 240 完全覆盖第一和第二粘接增强层 234 和 237 中每一个的上层。在这种情况下,在数据线 230 上没有粘接增强层。

[0071] 另一方面,参照图 5B,第三实施方式的阵列基板 301 包括数据线 330、源极电极 333 和漏极电极 336,数据线 330、源极电极 333 和漏极电极 336 分别具有 Mo 或 MoTi 的第一层 330a、333a 和 336a, Cu 或 Cu 合金的第二层 330b、333b 和 336b,以及 ITO 或 IZO 的第三层 330c、333c 和 336c。也就是,数据线 330、源极电极 333 和漏极电极 336 中的每一个具有三层结构。第三层 330c、333c 和 336c 分别完全覆盖第二层 330b、333b 和 336b 的上表面。

[0072] 在第二和第三实施方式中,形成第一和第二粘接增强层 234 和 237 以及第三层 333c 和 336c,以防止由于氧化物半导体材料与第二层 233b、236b、333b 和 336b 的金属材料(即铜或铜合金)之间的不良接触或粘接性所导致的氧化物半导体层 240 和 340 的剥离问题。即,第三层 333c 和 336c 也用作第二层 333b 和 336b 与氧化物半导体层 340 之间的粘接增强层。

[0073] 粘接增强层 234 和 237 与氧化物半导体层 240 之间以及第三层 333c 和 336c 与氧化物半导体层 340 之间的粘接强度至少是第二层 233b 和 236b 与氧化物半导体层 240 之间以及第二层 333b 和 336b 与氧化物半导体层 340 之间的粘接强度的 1.3 倍。此外,在第二

和第三实施方式中,可以省去用来形成表面改性层 190 的使用氮气的等离子体工艺。

[0074] 接下来,图 6A 至 6I 是图示根据本发明的第二实施方式的阵列基板的制造过程的剖面图。在像素区域“P”中限定了形成有 TFT “Tr”的开关区域“TrA”。

[0075] 如图 6A 所示,通过沉积第一金属材料,例如铜(Cu)、Cu 合金、铝(Al)、Al 合金、钼(Mo)或钼钛合金(MoTi)中的一种或至少两种,在基板 201 上形成第一金属层。第一金属层具有单层或多层结构。接下来,进行掩模工艺,包括:涂覆 PR 层;用曝光掩模曝光 PR 层;对曝光的 PR 层进行显影以形成 PR 图案;用 PR 图案作为蚀刻掩模对材料层进行蚀刻;以及剥离 PR 图案以对第一金属层进行图案化。结果是,在基板 201 上形成了栅极线和栅极电极 205。栅极线沿着一方向延伸,与栅极线连接的栅极电极 205 设置在开关区域“TrA”中。图 6A 图示了具有单层结构的栅极线和栅极电极 205。

[0076] 接下来,如图 6B 所示,通过沉积例如氧化硅或氮化硅的无机绝缘材料,在包括栅极线和栅极电极 205 的基板 201 上形成栅极绝缘层 210。图 6B 图示了单层结构的栅极绝缘层 210。或者,栅极绝缘层 210 可以具有氧化硅层和氮化硅层交替堆叠的多层。

[0077] 如图 6C 所示,接下来,通过沉积 Mo 和 MoTi 中的一种,在栅极绝缘层 110 上形成第二金属层,通过沉积 Cu 和 Cu 合金中的一种,在第二金属层上顺序形成第三金属层。此外,通过沉积例如 ITO 和 IZO 的透明导电氧化物材料,在第三金属层上形成透明导电层。

[0078] 通过掩模工艺对第二和第三金属层以及透明导电层进行图案化,以形成数据线 230、源极电极 233、漏极电极 236、以及第一到第三透明导电图案 230c、233c 和 236c。如上所述,数据线 230、源极电极 233 和漏极电极 236 分别具有 Mo 或 MoTi 的第一层 230a、233a、和 236a 以及 Cu 或 Cu 合金的第二层 230b、233b 和 236b。

[0079] 数据线 230 与栅极线相交以限定像素区域“P”,源极和漏极电极 233 和 236 位于开关区域“TrA”中。源极电极 233 从数据线 230 延伸,漏极电极 236 与源极电极 233 间隔开。第一到第三透明导电图案 230c、233c 和 236c 由透明导电层形成,并且分别设置在数据线 230、源极电极 233 和漏极电极 236 上。

[0080] 接下来,如图 6D 所示,通过沉积或涂覆氧化物半导体材料,例如氧化铟镓锌(IGZO)、氧化锌锡(ZTO)和氧化锌铟(ZIO),在形成有第一到第三透明导电图案 230c、233c 和 236c 的基板 201 上形成氧化物半导体材料层 239。

[0081] 然后,在氧化物半导体层 239 上形成 PR 层,通过曝光和显影对 PR 层进行图案化来形成 PR 图案 291。PR 图案 291 与将要形成(图 6E 的)氧化物半导体层 240 的区域相对应。接下来,如图 6E 和 6F 所示,进行使用含草酸的蚀刻剂的蚀刻工艺。

[0082] 参照图 6E,用 PR 图案 291 作为掩模,将(图 6D 的)氧化物半导体材料层 239 暴露于蚀刻剂,使得氧化物半导体材料层 239 的暴露于 PR 图案 291 之外的部分被蚀刻。结果是,在 PR 图案 291 下面形成具有岛状的氧化物半导体层 240。

[0083] 在这种情况下,不仅氧化物半导体层 239,而且第一至第三透明导电图案 230c、233c 和 236c 也与含草酸的蚀刻剂反应而被蚀刻。因此,如图 6F 所示,(图 6E 的)第一透明导电图案 230c 以及第二和第三透明导电图案 233c 和 236c 的暴露于氧化物半导体层 240 之外的部分被去除,使得在氧化物半导体层 240 的下面,分别在源极和漏极电极 233 和 236 上形成第一和第二粘接增强层 234 和 237。

[0084] 接下来,如图 6G 所示,通过剥离工艺或灰化工艺去除(图 6F 的)PR 图案 291,以暴

露氧化物半导体层 240。栅极电极 205、栅极绝缘层 210、源极电极 233、漏极电极 236、第一和第二粘附增强层 234 和 237 以及氧化物半导体层 240 构成 TFT “Tr”作为开关区域“TrA”中的开关元件。

[0085] 接下来,如图 6H 所示,通过沉积例如氧化硅或氮化硅的无机绝缘材料,或者涂覆例如光敏丙烯酸或苯并环丁烯(BCB)的有机绝缘材料,在包括 TFT “Tr”的基板 201 上方形成钝化层 250。图 6H 图示了单层的氧化硅钝化层 250。或者,钝化层 250 可以具有多层结构。在这种情况下,多层结构的钝化层 250 可以包括不同的有机绝缘材料或无机绝缘材料。另一方面,钝化层 250 可以包括无机绝缘材料的下层和有机绝缘材料的上层。

[0086] 接下来,通过掩模工艺对钝化层 250 进行图案化,以形成暴露漏极电极 236 的一部分的漏极接触孔 253。然后,如图 6I 所示,通过沉积例如 ITO 或 IZO 的透明导电材料,在钝化层 250 上形成透明导电材料层。通过掩模工艺对透明导电材料层进行图案化,以形成像素电极 260。此外,像素电极 260 具有板状,并且通过漏极接触孔 253 接触漏极电极 236。结果是,制得了阵列基板。

[0087] 接下来,图 7A 到 7E 是图示根据本发明的第三个实施方式的阵列基板的制造过程的剖面图。在像素区域“P”中限定了形成有 TFT “Tr”的开关区域“TrA”。

[0088] 如图 7A 所示,在基板 101 上形成栅极电极 305、栅极绝缘层 310、源极电极 333、漏极电极 336、数据线 330、氧化物半导体材料层 339 和 PR 图案 391。该工序基本上与参照图 6A 到 6D 图示和解释的工序相同。另一方面,第一到第三透明导电图案 230c、233c 和 236c 被定义为第三层 330c、333c 和 336c。即,数据线 330、源极电极 333 和漏极电极 336 中的每一个具有三层结构。

[0089] 接下来,如图 7B 所示,通过使用蚀刻气体的干蚀刻方法蚀刻(图 7A 的)氧化物半导体材料层 339,以在 PR 图案 391 的下面形成氧化物半导体层 340。在这种情况下,ITO 或 IZO 的第三层 330c、333c 和 336c 不会被蚀刻气体蚀刻。因此,数据线 330、源极电极 333 和漏极电极 336 中的每一个保持三层结构。然后,如图 7C 到 7E 所示,除去(图 7B 的)PR 图案 391,形成钝化层 350 和像素电极 360。

[0090] 对本领域技术人员来说显而易见的是,在不偏离本发明精神或范围下可以对本发明进行各种修改和变化。因此,只要本发明的修改和变化在附加的权利要求和它们的等效物的范围内,本发明旨在覆盖本发明的这些修改和变化。

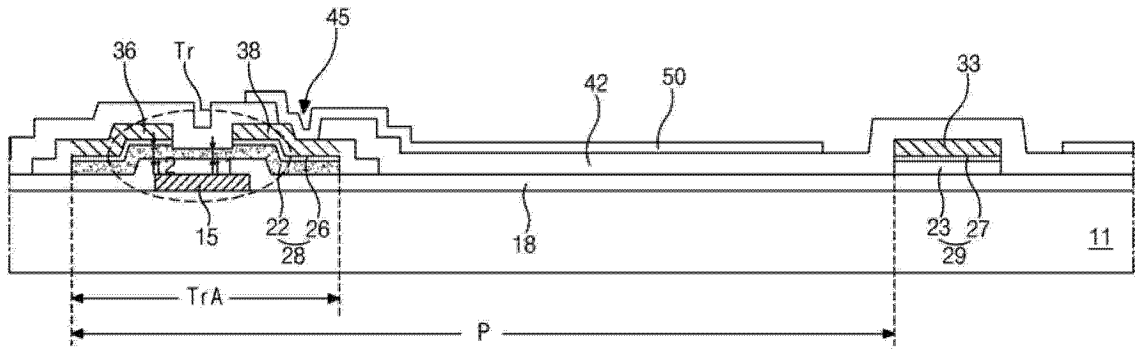


图 1

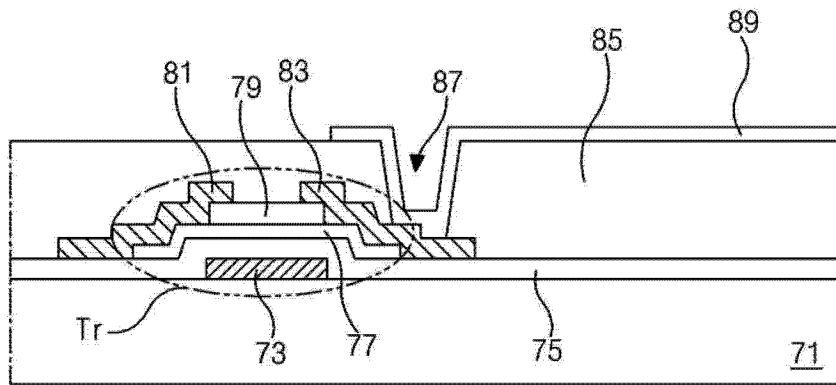


图 2

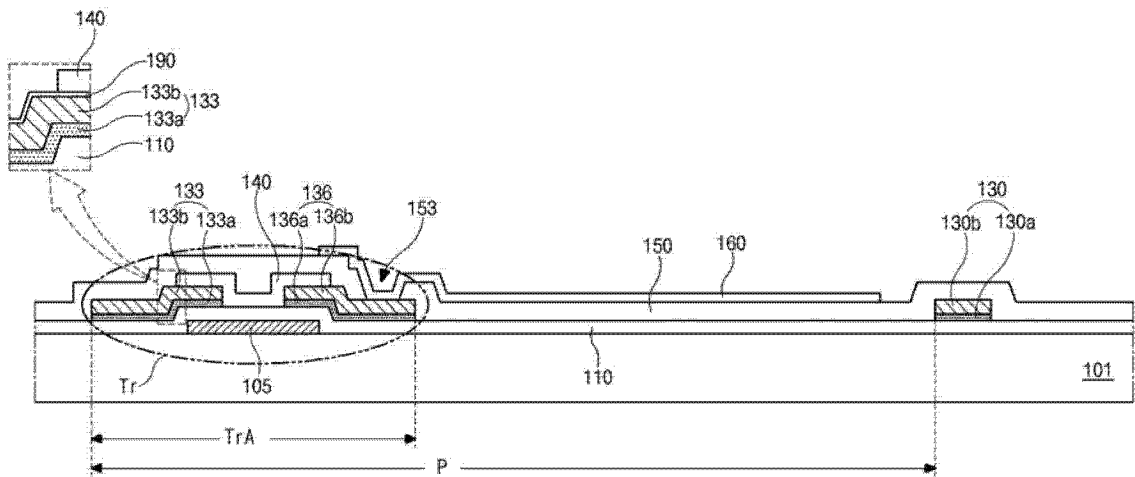


图 3



图 4A

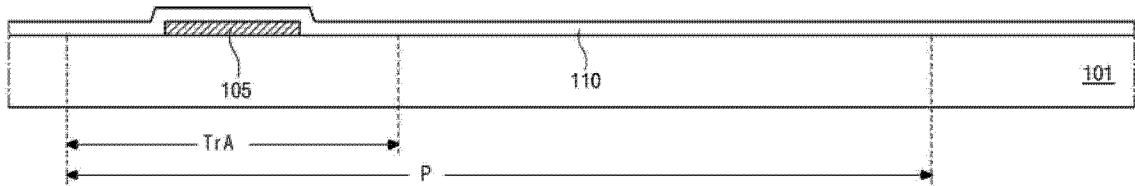


图 4B

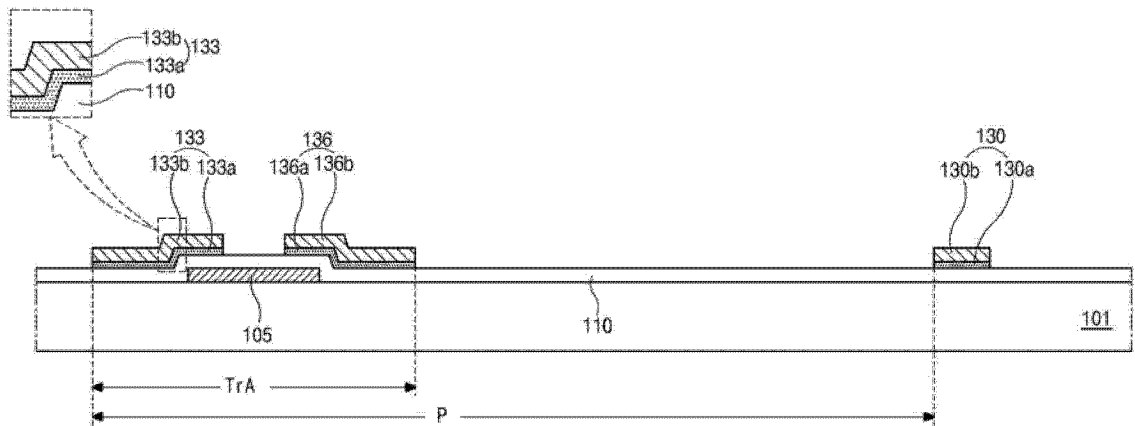


图 4C

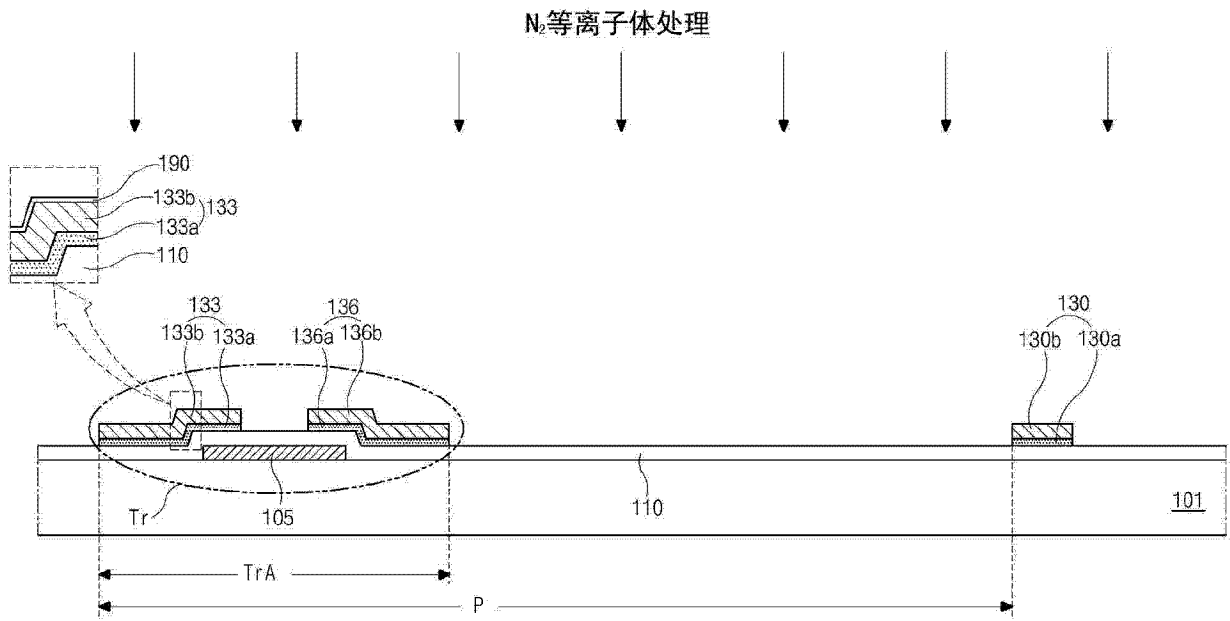


图 4D

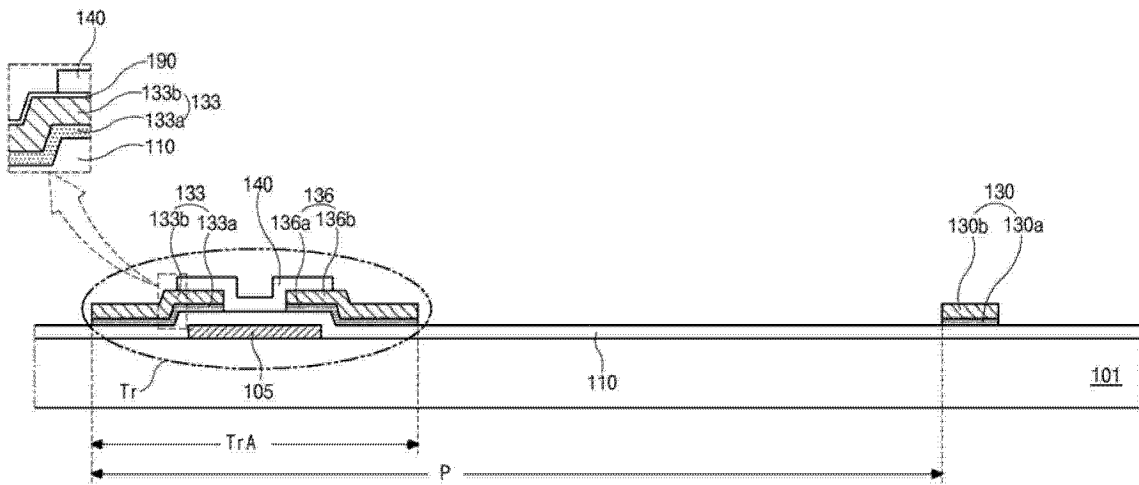


图 4E

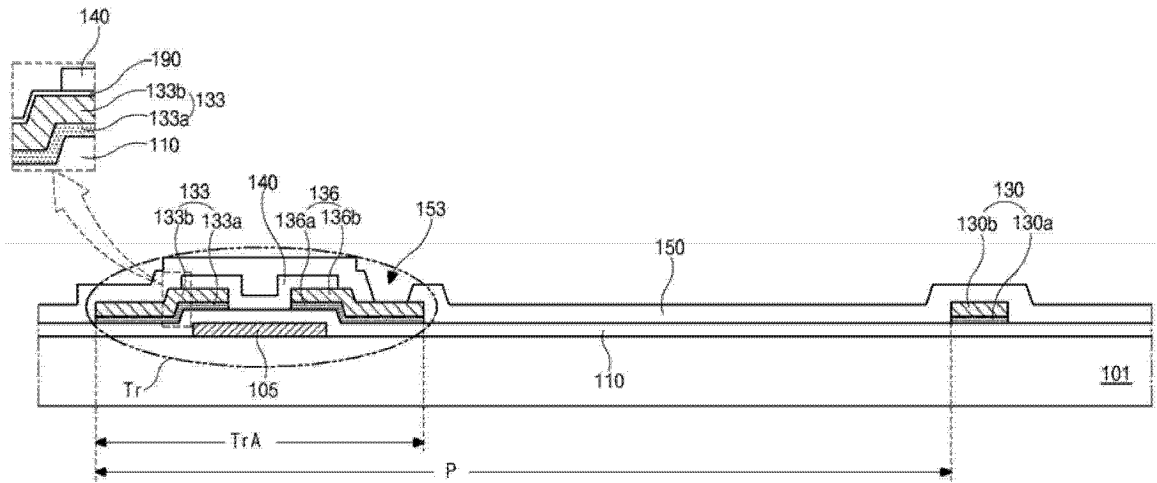


图 4F

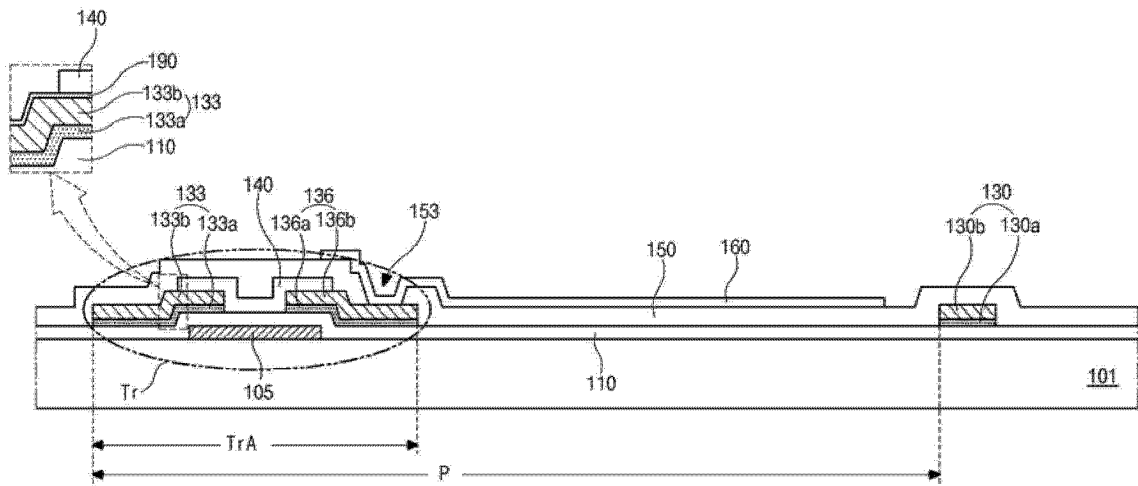


图 4G

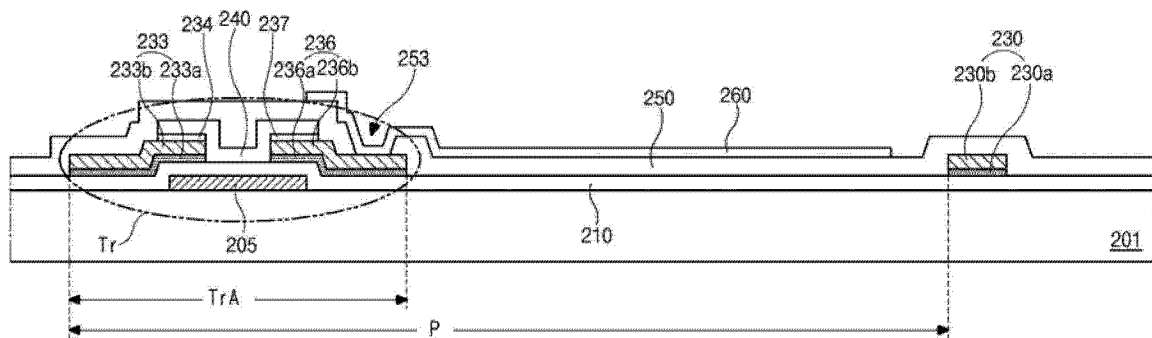


图 5A

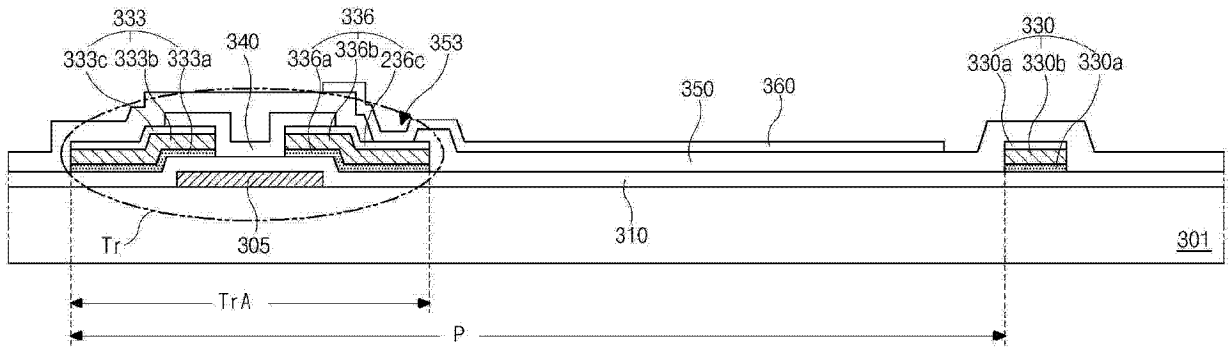


图 5B

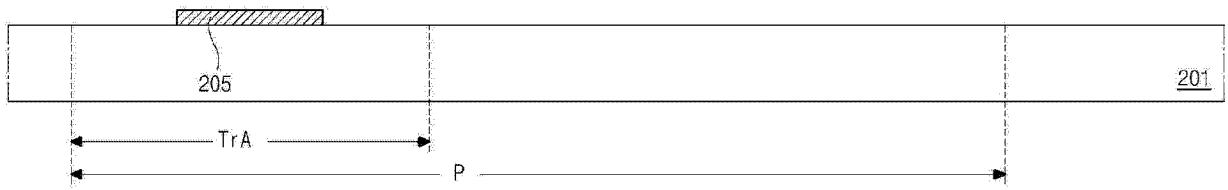


图 6A

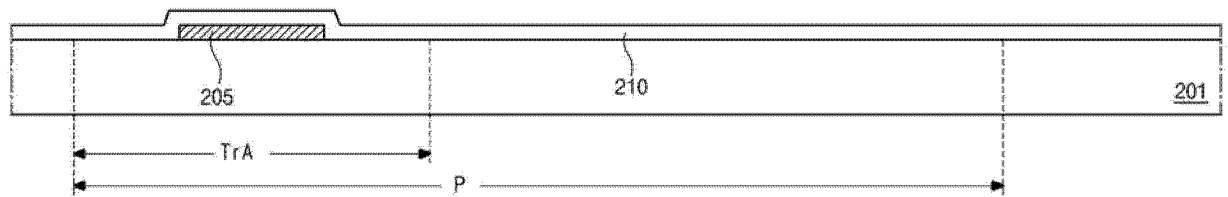


图 6B

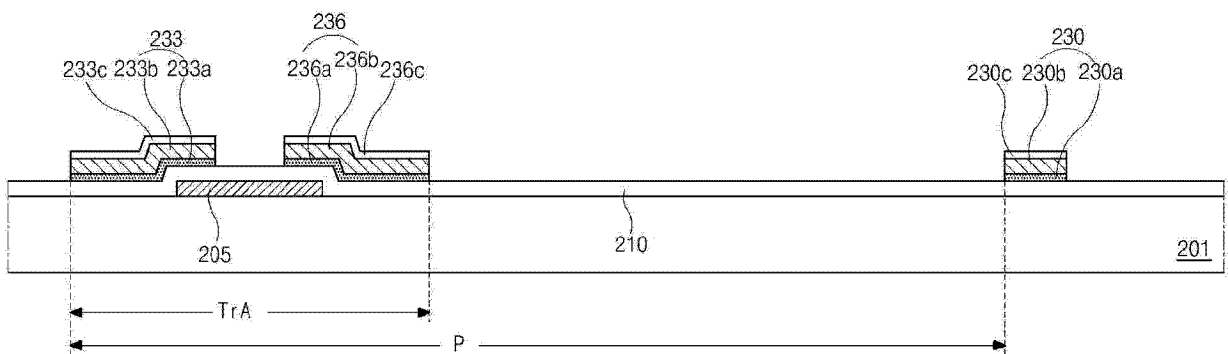


图 6C

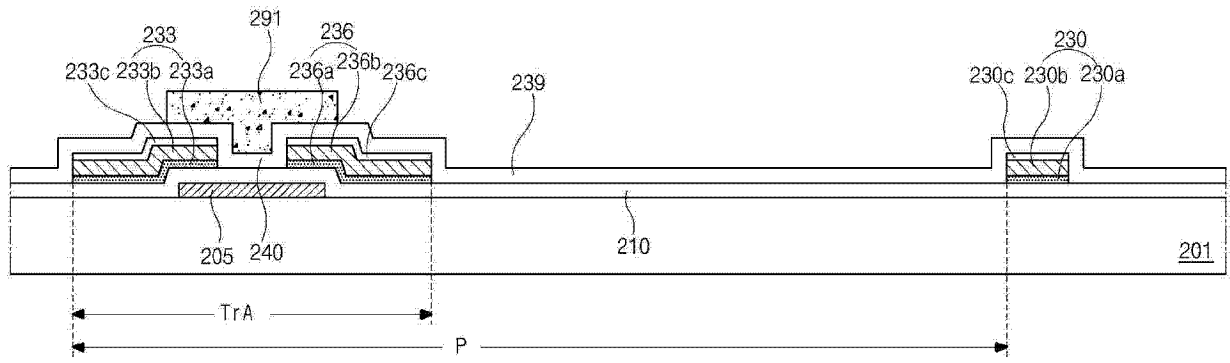


图 6D

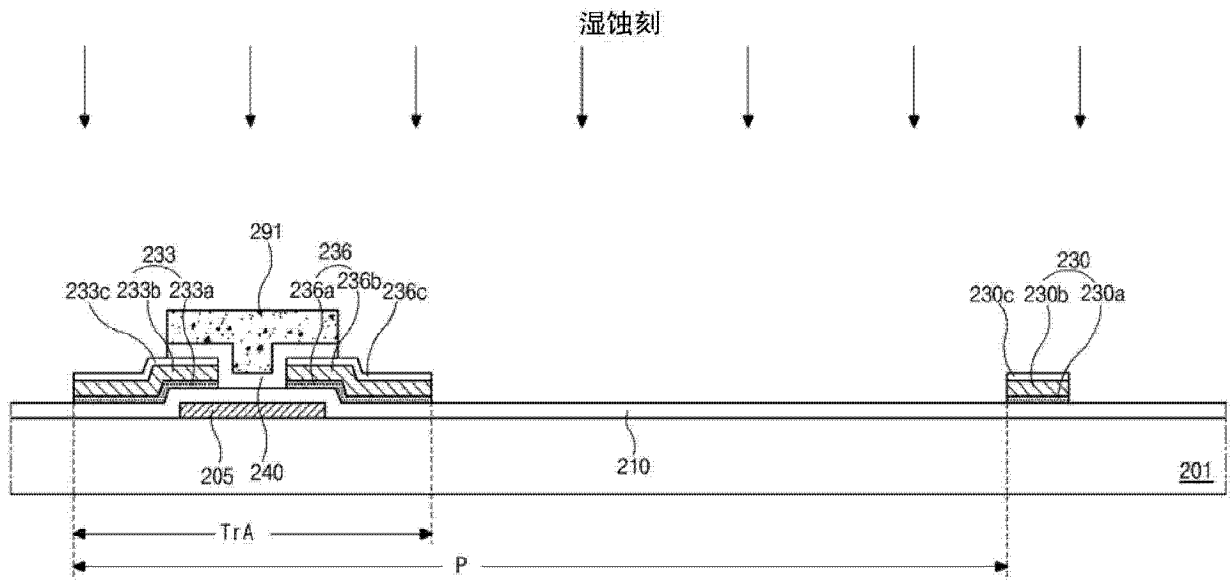


图 6E

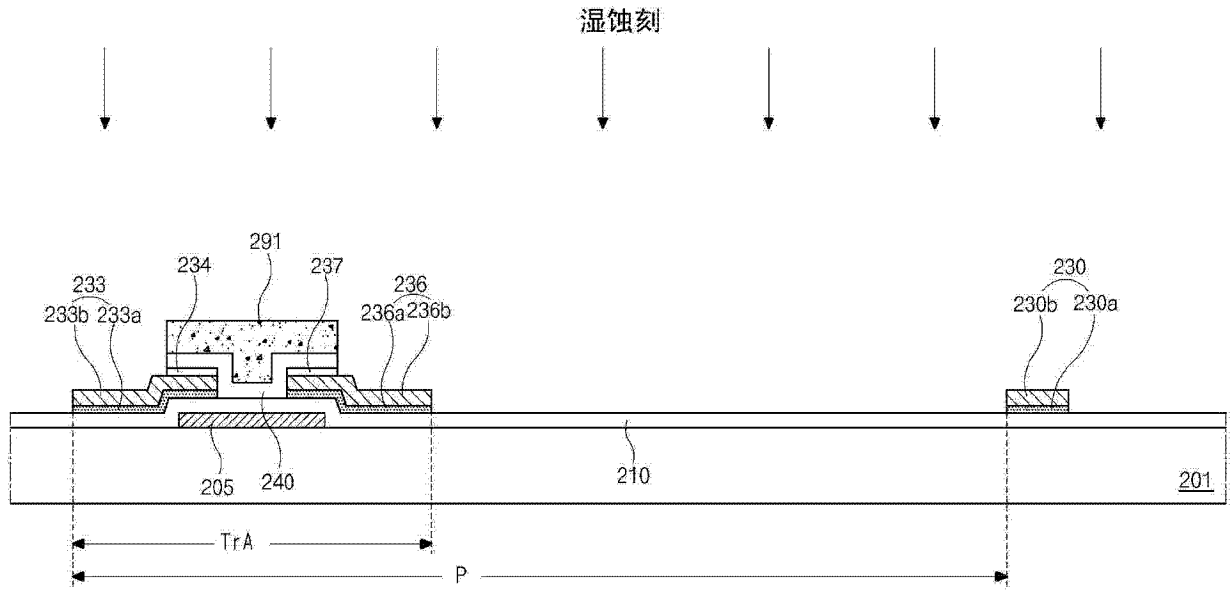


图 6F

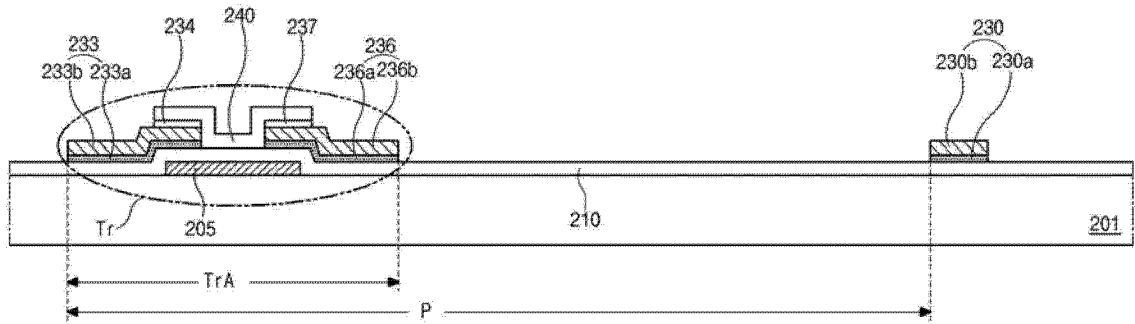


图 6G

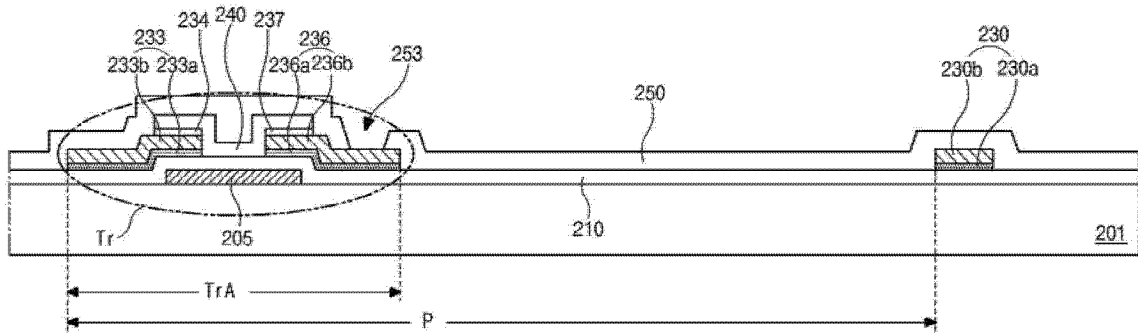


图 6H

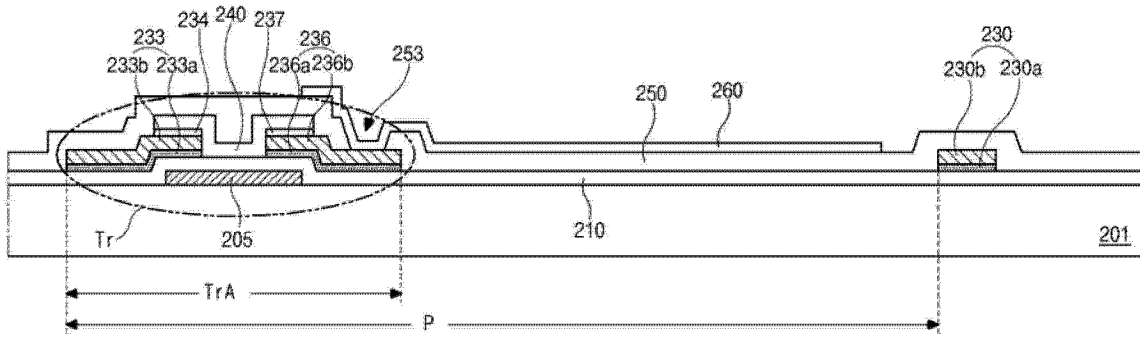


图 6I

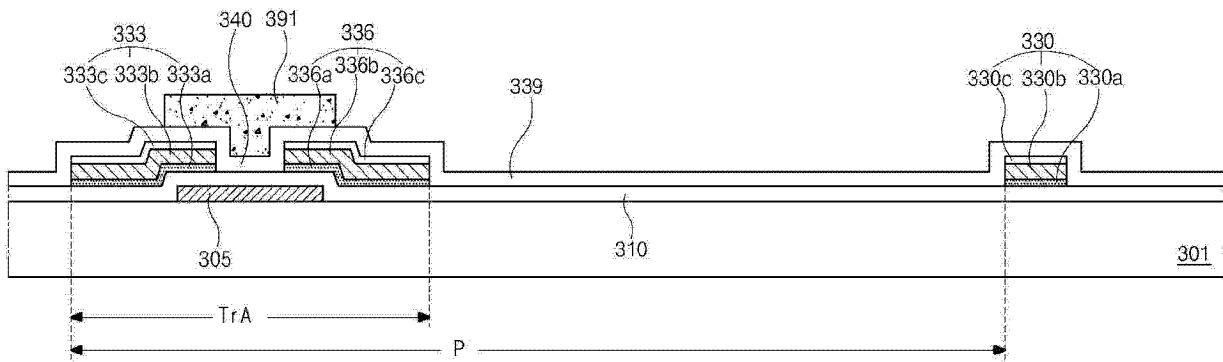


图 7A

干蚀刻

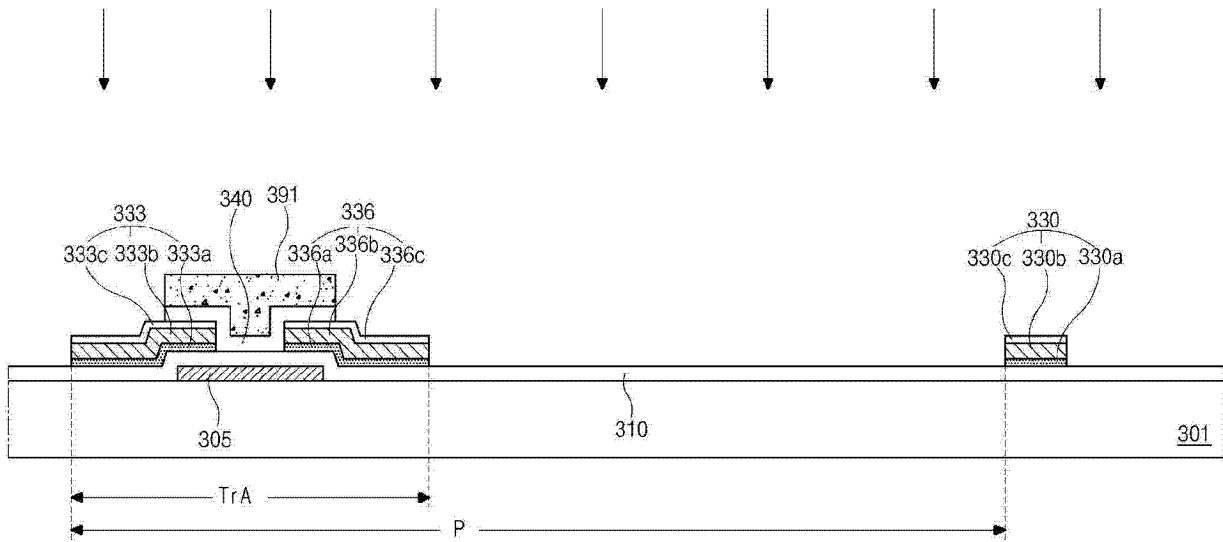


图 7B

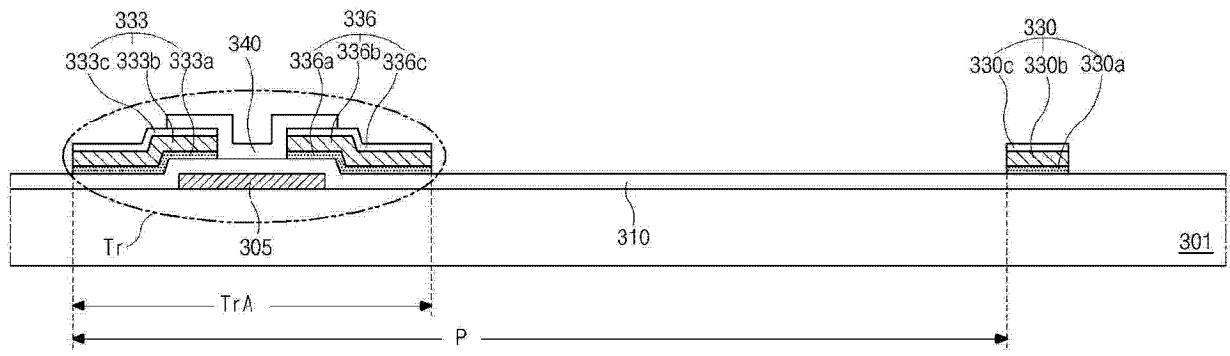


图 7C

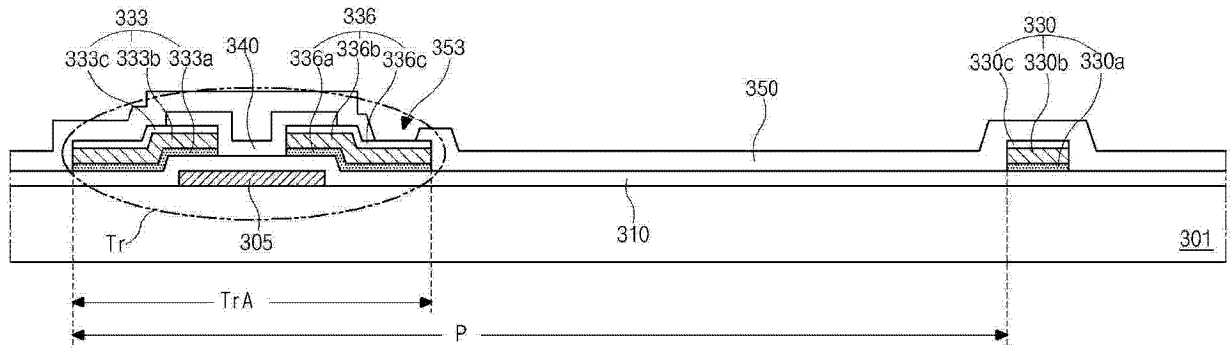


图 7D

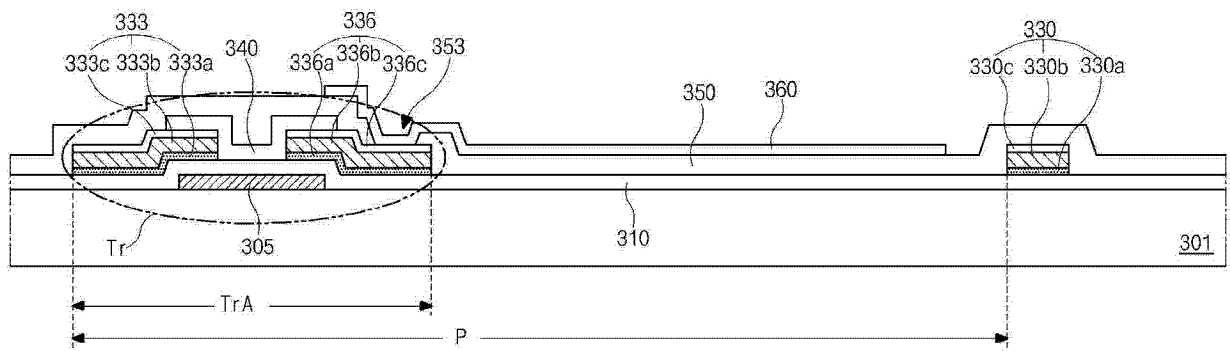


图 7E