

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-503588  
(P2005-503588A)

(43) 公表日 平成17年2月3日(2005.2.3)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/30</b>	G09G 3/30 J	3K007
<b>G09G 3/20</b>	G09G 3/20 611H	5C080
<b>H05B 33/14</b>	G09G 3/20 624B	
	G09G 3/20 642A	
	H05B 33/14 A	
	審査請求 未請求 予備審査請求 有 (全 38 頁) 最終頁に続く	

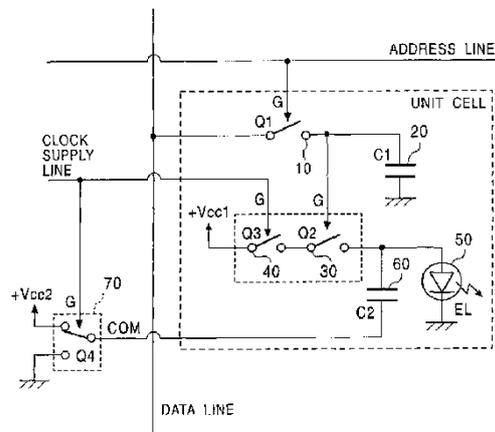
(21) 出願番号	特願2003-529439 (P2003-529439)	(71) 出願人	000005016 パイオニア株式会社 東京都目黒区目黒1丁目4番1号
(86) (22) 出願日	平成14年9月17日 (2002.9.17)	(74) 代理人	100079119 弁理士 藤村 元彦
(85) 翻訳文提出日	平成16年3月16日 (2004.3.16)	(72) 発明者	奥田 義行 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内
(86) 国際出願番号	PCT/JP2002/009482	Fターム(参考)	3K007 AB17 BA06 DB03 GA00 GA04 5C080 AA06 BB05 DD05 FF11 JJ03
(87) 国際公開番号	W02003/025894		
(87) 国際公開日	平成15年3月27日 (2003.3.27)		
(31) 優先権主張番号	特願2001-282780 (P2001-282780)		
(32) 優先日	平成13年9月18日 (2001.9.18)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 発光素子駆動回路

(57) 【要約】

表示パネルはマトリクス状に配置された複数の発光素子を有する。この表示パネルに用いられる駆動装置は、各発光素子間の輝度のバラツキを少なくすることができる。クロック信号によりキャパシタの充放電を行い、かかる放電電流を利用して発光素子を駆動するパルス供給回路を形成する。表示パネルを構成する各々の発光素子の駆動電流の大きさをTFT回路のトランジスタ素子に依らず、主にパルス供給回路の駆動電源電圧やクロック周波数など表示パネルの外部から正確に決定することができる要因によって定める。



## 【特許請求の範囲】

## 【請求項 1】

アドレス線からの選択信号に基づいて特定された発光素子をデータ線上の電圧値に応じて ON/OFF 制御する発光素子駆動回路であって、  
前記選択信号に応じて制御される第 1 のスイッチング素子と、  
前記第 1 のスイッチング素子を介して供給される前記データ線上の電圧値に応じた電荷を保持する第 1 のキャパシタと、  
前記第 1 のキャパシタが前記電荷を保持している限り、クロック信号に同期して断続するパルスを実行する前記発光素子に供給するパルス供給回路と、を含むことを特徴とする発光素子駆動回路。

10

## 【請求項 2】

前記パルス供給回路は、第 1 及び第 2 の駆動電源と、  
前記発光素子の一端と前記第 1 の駆動電源との間に直列に接続された第 2 及び第 3 のスイッチング素子と、  
前記発光素子の前記一端にその一端が接続された第 2 のキャパシタと、  
1 つの共通端子と 2 つの独立端子とを具備し、前記共通端子に前記 2 つの独立端子を交互に切り替えて接続する切換機能を有する第 4 のスイッチング素子とを含み、  
前記共通端子は前記第 2 のキャパシタの他端に接続され、前記 2 つの独立端子の内の一方は前記第 2 の駆動電源に接続され、他方は基準電位点に接続されており、  
前記第 2 のスイッチング素子は、前記第 1 のキャパシタに保持された前記電圧値に基づいて制御され、  
前記第 3 及び前記第 4 のスイッチング素子は、クロック信号に応じて互いに同期して制御されることを特徴とする請求項 1 記載の発光素子駆動回路。

20

## 【請求項 3】

前記第 4 のスイッチング素子は、複数の発光素子について共通に設けられていることを特徴とする請求項 2 記載の発光素子駆動回路。

## 【請求項 4】

前記第 1 の駆動電源は前記第 2 の駆動電源を兼ねることを特徴とする請求項 2 に記載の発光素子駆動回路。

## 【請求項 5】

前記発光素子は有機 EL 発光素子であることを特徴とする請求項 1 に記載の発光素子駆動回路。

30

## 【請求項 6】

前記第 1、第 2 及び第 3 スwitchング素子の各々はバイポーラトランジスタまたは FET からなる請求項 2 に記載の発光素子駆動回路。

## 【請求項 7】

前記第 2 及び第 3 スwitchング素子はデュアルゲートトランジスタにより置換される請求項 2 に記載の発光素子駆動回路。

## 【請求項 8】

前記発光素子は無機 EL 発光素子または発光ダイオードからなる請求項 1 に記載の発光素子駆動回路。

40

## 【請求項 9】

アドレス線からの選択信号に基づいて特定され、データ線上の電圧値に応じて ON/OFF 制御される発光素子と、  
前記選択信号に応じて制御される第 1 スwitchング素子と、  
前記第 1 スwitchング素子を介して供給される前記データ線上の電圧値に応じた電荷を保持する第 1 キャパシタと、  
前記第 1 キャパシタが前記電荷を保持している限り、クロック信号に同期して断続するパルスを実行する前記発光素子に供給するパルス供給回路と、を含むことを特徴とするディスプレイパネルのセル。

50

## 【請求項 10】

前記パルス供給回路は、第 1 駆動電源及び第 2 駆動電源と、  
前記発光素子の一端と前記第 1 駆動電源との間に直列に接続された第 2 スwitchング素子及び第 3 スwitchング素子と、  
前記発光素子の前記一端にその一端が接続された第 2 キャパシタと、  
1 つの共通端子と 2 つの独立端子と有し、前記共通端子に前記 2 つの独立端子を交互に切り替えて接続する切替機能を有する第 4 スwitchング素子とを含み、  
前記共通端子は前記第 2 キャパシタの他端に接続され、前記 2 つの独立端子の内の一方は前記第 2 駆動電源に接続され、他方は基準電位点に接続されており、  
前記第 2 スwitchング素子は、前記第 1 キャパシタに保持された前記電圧値に基づいて制御され、  
前記第 3 スwitchング素子及び前記第 4 スwitchング素子は、クロック信号に応じて互いに同期して制御されることを特徴とする請求項 9 記載のディスプレイパネルのセル。

## 【請求項 11】

前記第 4 スwitchング素子は、複数の発光素子について共通に設けられていることを特徴とする請求項 10 記載のディスプレイパネルのセル。

## 【請求項 12】

前記第 1 駆動電源は前記第 2 駆動電源を兼ねることを特徴とする請求項 10 に記載のディスプレイパネルのセル。

## 【請求項 13】

前記発光素子は有機 EL 発光素子であることを特徴とする請求項 9 に記載のディスプレイパネルのセル。

## 【請求項 14】

前記第 1 スwitchング素子、第 2 スwitchング素子及び第 3 スwitchング素子の各々はバイポーラトランジスタまたは FET からなる請求項 10 に記載のディスプレイパネルのセル。

## 【請求項 15】

前記第 2 スwitchング素子及び第 3 スwitchング素子はデュアルゲートトランジスタにより置換される請求項 10 に記載のディスプレイパネルのセル。

## 【請求項 16】

前記発光素子は無機 EL 発光素子または発光ダイオードからなる請求項 9 に記載のディスプレイパネルのセル。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、発光素子をマトリクス状に配置した画像表示パネルにおける発光素子の駆動回路に関する。

## 【背景技術】

## 【0002】

従来、例えば、有機エレクトロルミネセンス（以下、単に“有機 EL”と称する）などの発光素子をマトリクス状に配置した表示パネルにおいて、1 つの画素（1 の発光セル）を駆動する回路として、図 1 に示す TFT (Thin Film Transistor; 薄膜トランジスタ) による駆動回路が一般に用いられている。図 1 の破線で囲んだ四角形の部分が 1 セルである。

## 【0003】

図 1 において、Qa はアドレッシング用のスウィッチングトランジスタであり、C はデータの電圧レベルを記憶するメモリ用のキャパシタ、Qb は負荷である有機 EL 発光素子を駆動する駆動用のトランジスタである。また、EL は有機 EL 発光素子であり、陽極及び陰極が発光を担う有機機能層を挟持した構造を持ち、その電気的な特性としては、同図に示す如くダイオードと同様の整流特性を有する。尚、実際の表示パネルにおいては、図 1 に示す回路が表示画面中の 1 セルを構成し、かかるセルが表示画面の X - Y 方向のそれぞれ

にマトリクス状に多数配置されていることになる。

【0004】

図1における動作を説明すれば以下の通りである。まず、表示パネルに敷設された複数のセルの中で特定のセルを選出するアドレス線からの選択信号によって所望の発光セルが選択される。かかる選択信号によって、当該選択されたセルのトランジスタQaがONとなる。これによって、当該セルのキャパシタCがデータ線に接続され、データ線上の電位がキャパシタCに記憶される。つまり、データ線上のデータが“ON”であれば、その電位はHiレベルでありキャパシタCはその電位まで充電される。一方、データが“OFF”であれば、その電位はLowレベルでありキャパシタCの電位はLowレベルに達するまで放電される。

10

【0005】

キャパシタCが一旦Hiレベルに充電されると、次にLowレベルのデータが書き込まれるまで、トランジスタQbのゲート電圧がHiレベルに保持されるため、トランジスタQbは負荷である有機EL発光素子にドレイン電流を流し続ける。これによって、Hiレベルのデータが書き込まれたセルの発光が維持されることになる。尚、トランジスタQbにMOS型のFET(Field Effect Transistor;電界効果トランジスタ)を用い、かつ、図1に示すようなドレイン接地の回路構成を採ることにより、トランジスタQbの入力インピーダンスをほぼ無限大に設定し得る。これによって、一旦充電されたキャパシタCの電位は、トランジスタQbが接続されていても殆ど低下することはない。

【0006】

ところで、有機EL発光素子の駆動回路に用いられる低温ポリシリコンTFTは、一般にその電気的な特性上のバラツキが多い。特に、各セルのドライブトランジスタQbの[Vgs-Id](ゲート・ソース間電圧-ドレイン電流)特性にバラツキが生ずると、各セルのドライブトランジスタにおける相互コンダクタンスの値が区々となる。つまり、各セルのキャパシタCに充電されたHiレベルの電圧値が同じであっても、各々のドライブトランジスタを流れるドレイン電流が異なる値となってしまう。これによって、各セルにおける有機EL発光素子の駆動電流が不均一となり、表示パネルの画面上に砂をばら撒いたような輝度のバラツキパターンが表れる不具合を生ずるおそれがある。

20

【発明の開示】

【発明が解決しようとする課題】

30

【0007】

本発明の1つの目的は、各々の発光セル間における輝度のバラツキが少ない発光素子の駆動回路を提供することである。

【課題を解決するための手段】

【0008】

本発明の発光素子駆動回路は、アドレス線からの選択信号に基づいて特定された発光素子をデータ線上の電圧値に応じてON/OFF制御する発光素子駆動回路であって、前記選択信号に応じて制御される第1のスイッチング素子と、前記第1のスイッチング素子を介して供給される前記データ線上の電圧値に応じた電荷を保持する第1のキャパシタと、前記第1のキャパシタが前記電荷を保持している限り、クロック信号に同期して断続する電圧パルスを実記発光素子に印加するパルス供給回路とを含むことを特徴とする。表示パネルは多数の発光素子(セル)により構成される。表示パネルを構成する各々の発光素子の輝度のバラツキを減少できるので、表示画面の画質を向上させることができる。

40

【0009】

前記パルス供給回路は、第1及び第2の駆動電源と、前記発光素子の一端と前記第1の駆動電源との間に直列に接続された第2及び第3のスイッチング素子と、前記発光素子の前記一端にその一端が接続された第2のキャパシタと、1つの共通端子と2つの独立端子とを具備し、前記共通端子に前記2つの独立端子を交互に切り替えて接続する切換機能を有する第4のスイッチング素子とを含んでもよい。

【0010】

50

また、前記共通端子は前記第2のキャパシタの他端に接続され、前記2つの独立端子の内  
の一方は前記第2の駆動電源に接続され、他方は基準電位点に接続されており、前記第2  
のスイッチング素子は、前記第1のキャパシタに保持された前記電圧値に基づいて制御さ  
れ、前記第3及び前記第4のスイッチング素子は、クロック信号に応じて互いに同期して  
制御されてもよい。駆動電源動作のクロック周波数を変化させることにより、パネル全体  
の輝度をスムーズにコントロールすることが可能となる。

【0011】

前記第4のスイッチング素子は、複数の発光素子について共通に設けられてもよい。  
前記発光素子は有機EL発光素子であってもよい。

【発明を実施するための形態】

【0012】

本発明にかかる有機EL発光素子の駆動回路の実施例を図2の回路図に示す。

【0013】

先ず、図2に基づいて本実施例の構成を説明する。同図において、スイッチング素子Q1  
(以下、単に“Q1”と称する)(10)は、表示パネルのアドレス線からの選択信号によ  
ってON/OFF制御されるスイッチング素子であり、例えば、バイポーラトランジスタ  
やFETによって構成されている。Q1(10)において、スイッチング素子のON/O  
FF制御を司るゲート端子はアドレス線に接続されている。また、スイッチング素子の  
一方の端子は表示パネルのデータ線に接続され、他の一方の端子は後述するキャパシタC  
1(20)に接続されている。キャパシタC1(20)は、前記Q1(10)を介して取り  
込まれたデータ線上のデータ、即ちデータ線上の電位を記憶するためのキャパシタであ  
る。従って、キャパシタC1(20)の一端はQ1(10)のスイッチ端子の一方に接続  
され、キャパシタC1(20)の他の一端は接地されている。以上のQ1(10)及びキ  
ャパシタC1(20)が、本実施例に基づく発光素子駆動回路におけるデータメモリ部を  
構成している。

【0014】

スイッチング素子Q2(30)及びスイッチング素子Q3(40)(以下、単に“Q2(30)”  
及び“Q3(40)”と称する)は、前記Q1(10)と同様に、例えばバイポーラトランジスタ  
やFETによって構成されたスイッチング素子である。Q2(30)とQ3(40)は、図2に示す如く、  
直列に固定して接続されているので、かかる直列枝は、2つのスイッチング素子を個別  
に接続して構成しても良いし、例えば1つのデュアルゲート・トランジスタを用いて  
構成しても良い。かかるQ2(30)とQ3(40)の直列枝の一端は、第1の駆動電源+Vcc1  
に接続され、他の一端は、後述する有機EL発光素子(50)の陽極、及びキャパシタC2(60)  
の一端に接続されている。また、Q2(30)のゲート端子は、データメモリ部にお  
けるQ1(10)の一端に接続されており、Q3(40)のゲート端子は、表示パネルの  
クロック信号供給線に接続されている。キャパシタC2(60)は、前記第1の駆動電源  
の電圧値を一時的に蓄えるキャパシタである。キャパシタC2(60)の一端は、Q2(30)  
の一端及び有機EL発光素子(50)の陽極に接続されており、他の一端は後述する  
スイッチング素子Q4(70)のコモン端子に接続されている。スイッチング素子Q4(以下、  
単に“Q4”と称する)(70)は、例えばバイポーラトランジスタやFETによって構成  
された、いわゆるオルタネイト切替動作を行うスイッチング素子である。即ち、Q4(70)  
は、そのゲート端子に印加された電圧値に応じてそのコモン端子を、2つの独立した  
スイッチ端子に交互に切り換えて接続する。Q4(70)のゲート端子はクロック信号の  
供給線に接続されており、そのコモン端子はキャパシタC2(60)の一端に接続されて  
いる。また、Q4(70)の2つの独立したスイッチ端子の一方は、第2の駆動電源+Vcc2  
に接続されており、他の一方は接地されている。因みに、以上のQ2(30)、Q3(40)、  
キャパシタC2(60)、及びQ4(70)が、本実施例に基づく発光素子駆動回路にお  
けるパルス供給部を構成している。

【0015】

10

20

30

40

50

有機EL発光素子（以下、単に“EL”と称する）（50）は、有機ELを利用した発光素子であり、その電気的な特性は、図2の回路記号に示す如くダイオードと同様の整流特性を有している。つまり、EL（50）の陽極に所定の発光閾値電圧以上の直流電圧を印可することによって順方向電流が流れ、当該素子が発光現象を呈することになる。尚、EL（50）の陽極は、Q2（30）及びキャパシタC2（60）の各々の一端に接続されており、その陰極は接地されている。

【0016】

次に、図2に示す実施例における回路動作を以下に説明する。尚、動作説明においては、説明の便宜上、本実施例による発光素子駆動回路を主に、データメモリ部とパルス供給部の2つに分けて説明する。また、ディスプレイパネルは多数の発光素子を有し、その内の1つまたは幾つかの発光素子が選択されて発光する。選択はアドレスラインを介して供給される選択信号によりなされる。図2の発光素子50は選択された発光素子である。

10

【0017】

最初にデータメモリ部における動作を説明する。データメモリ部では、まず、所望する発光セルを選択すべくアドレス線上の電圧レベルがHighレベルとなって、目的とする発光セルのQ1（10）のゲート端子に印加される。それに伴いQ1（10）がONとなり、そのときのデータ線上の電圧レベルがキャパシタC1（20）に記憶される。これを具体的に示せば、キャパシタC1（20）は、データがHighのときHighレベルの電位まで充電され、逆にデータがLowのときはLowレベルの電位まで放電されることになる。データレベルのHighまたはLowは、当該画素を担う有機EL発光素子のON/OFFに関わるものであり、データレベルのHighが有機EL発光素子のONに、LowがOFFに相当する。

20

【0018】

アドレス線は、キャパシタC1（20）にデータの書込が終了するとそのレベルをLowと為し、これによってQ1（10）がOFFとなり、次のデータの書き込みが行われるまでデータレベルを示す電圧値がキャパシタC1（20）に保持されることになる。尚、図2からも明らかなように、キャパシタC1（20）の非接地側端子は、後述するパルス供給部のスイッチング素子Q2（30）のゲート端子に接続されている。従って、キャパシタC1（20）に保持されたデータレベルに応じて、パルス供給部のQ2（30）も、次のデータが書き込まれるまでの間、ONまたはOFFの状態に保持されることになる。

30

【0019】

続いて、パルス供給部における動作を説明する。尚、パルス供給部において、EL（50）の発光閾値電圧 $V_{el}$ と、2つの駆動電源の電圧値である $+V_{cc1}$ 及び $+V_{cc2}$ との間には、次式に示す関係が成立しているものとする。

【0020】

$$V_{cc1} + V_{cc2} > V_{el}$$

$$V_{cc1} < V_{el}$$

$$V_{cc2} < V_{el}$$

前述の如く、パルス供給部においては、クロック供給線からのクロック信号がQ3（40）及びQ4（70）の各々のゲート端子に印加されている。本実施例では、かかるクロック信号として、例えば、HighレベルとLowレベルの振幅が所定の周期で交互に繰り返すパルス波形を想定している。

40

【0021】

先ず、クロック信号波形がHighレベルであり、かかる電圧レベルがQ3（40）及びQ4（70）の各々のゲート端子に印加された場合を仮定する。この場合、本実施例では、Q4（70）のコモン端子が接地側に切り換えられ、同時にQ3（40）のスイッチング素子がONとなるように設定しておく。かかる条件の下において、キャパシタC1（20）に記憶されたデータによってQ2（30）がONの場合、キャパシタC2（60）の一端はQ2（30）及びQ3（40）を介して第1の駆動電源 $+V_{cc1}$ に接続され、また、キャパシタC2（60）の他の一端はQ4（70）を介して接地される。これによっ

50

て、キャパシタC2(60)は、第1の駆動電源の電圧値+Vcc1まで充電されることになる。

【0022】

次に、クロック信号波形がLowレベルに移行したものと仮定する。これによって、Q3(40)及びQ4(70)の各々のゲート端子はLowレベルとなり、Q4(70)のコモン端子は第2の駆動電源+Vcc2側に切り換えられ、同時にQ3(40)がOFFとなる。かかる動作によって、キャパシタC2(60)の接地されていた電極端は、Q4(70)を介して第2の駆動電源に接続されるため、キャパシタC2(60)の接地側電極の電位が0から+Vcc2まで嵩上げされることになる。

【0023】

ところで、クロック信号波形がHighレベルのときにキャパシタC2(60)は、既に第1の駆動電源の電位+Vcc1まで充電されている。従って、クロック信号波形がLowレベルに推移すると、上記の切換動作によって、キャパシタC2(60)のQ2(30)に接続された側の電極の電位は(Vcc1+Vcc2)に上昇する。

【0024】

一方、前記電極はEL(50)の陽極にも接続されており、前述の如くVcc1+Vcc2>Velの関係があるので、かかる電位上昇によってEL(50)への印加電圧が発光閾値電圧Velを上回る。これによって、EL(50)は導通して駆動電流が流れ、有機EL発光素子が発光現象を呈する。

【0025】

ここで、キャパシタC2(60)の静電容量をC2とすると、EL(50)に流入する電荷量qe1は次のように表すことができる。

【0026】

$$q_{e1} = (V_{cc1} + V_{cc2} - V_{el}) \times C2$$

そして、クロック信号のパルス波形がHighレベルとLowレベルとを交互に繰り返す1サイクル毎に、パルス供給部において上記の動作が繰り返されることになる。従って、1秒間のクロック信号のサイクル数をfn(c/s)とすると、1秒間にEL(50)を流れる平均駆動電流Ie1は、

$$I_{e1} = q_{e1} \times f_n \\ = (V_{cc1} + V_{cc2} - V_{el}) \times C2 \times f_n$$

となる。

【0027】

尚、データメモリ部のキャパシタC1(20)に記憶されたデータがOFF即ち、Lowレベルの場合は、Q2(30)がOFFのままである。このため、クロック信号によってQ3(40)及びQ4(70)のスイッチングが行われても、キャパシタC2(60)が第1の駆動電源+Vcc1に接続されることはなく、従ってEL(50)に駆動電流が流れることもない。

【0028】

パルス供給部におけるクロック信号のサイクル数は、有機EL発光素子の発光輝度との関係から種々の値を選択することが可能である。例えば、データの書込を行う1アドレッシング期間内に、1回または複数回のクロック信号のサイクル数を設定しても良い。逆に、複数回のアドレッシング期間内に、1サイクルとしても良い。また、アドレッシング期間とクロック信号のサイクル数を非同期に設定しても問題はない。

【0029】

本実施例によれば、有機EL発光素子EL(50)の駆動電流は、前述の如く(Vcc1+Vcc2-Vel)×C2×fnによって決定される。

【0030】

上式において、第1及び第2の駆動電源の電圧値Vcc1及びVcc2は、高精度の定電圧電源回路を用いることによって、表示パネルの外部において正確に設定することが可能

10

20

30

40

50

である。また、パルス供給部の各スイッチング素子を駆動するクロック信号のサイクル数  $f_n$  も、表示パネル外部の発振回路によって正確に定めることができる。つまり、本実施例の場合、有機 EL 発光素子の駆動回路である TFT の内部で決定される要素は、キャパシタ C2 (60) の静電容量のみとなる。一般に、かかる静電容量は、キャパシタ C2 (60) の電極面積と、絶縁膜厚及び、絶縁膜の誘電率によって決定される。従って、TFT 回路の製造プロセスにおいて、キャパシタの静電容量は比較的正確に再現することが可能であり、TFT トランジスタの特性に較べてそのバラツキも少ない。

【0031】

ディスプレイパネルは複数のセルから構成され、複数の前記駆動回路が複数の発光素子に付随している。

10

【0032】

つまり、本実施例の有機 EL 発光素子駆動回路によれば、表示パネルを構成する各々のセルにおいて、その発光素子の駆動電流のバラツキを極めて小さく抑えることが可能となる。

【0033】

尚、上式の発光閾値電圧  $V_{e1}$  は環境温度の影響を受けるが、同一の表示パネル面内でのバラツキは無視し得るものと言える。さらに、発光閾値電圧  $V_{e1}$  と駆動電源との電位差 ( $V_{cc1} + V_{cc2} - V_{e1}$ ) の値を大きく採っておけば、各々の発光素子の駆動電流に対する  $V_{e1}$  のバラツキの影響を少なくすることができる。

【0034】

図2では、発光素子として有機 EL 発光素子を用いてその動作を説明したが、本実施例は、かかる事例に限定されるものではなく発光素子として、例えば無機 EL 発光素子や発光ダイオードなどの他の発光素子を用いても良い。

20

【0035】

また、図2に示すスイッチング素子 Q4 (70) は、各々のセル毎に設けても良いし、複数のセルについて共通に設ける構成としても良い。後者の構成を採ることによって、各々のセルの回路構成を簡略化することが可能となる。

【0036】

尚、図2に示す実施例において、発光素子である EL (50) の陽極側を接地し、第1の駆動電源  $V_{cc1}$  および第2の駆動電源  $V_{cc2}$  を負電圧に設定する構成としても良い。

30

【0037】

また、図2の実施例では、第1の駆動電源  $+V_{cc1}$  と、第2の駆動電源  $+V_{cc2}$  の2つの別電源を用いたが、これらの電源を単一の駆動電源で兼用する構成としても良い。

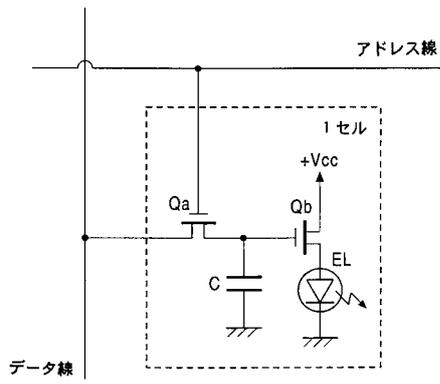
【図面の簡単な説明】

【0038】

【図1】従来の有機 EL 発光素子を用いた発光素子駆動回路の構成図である。

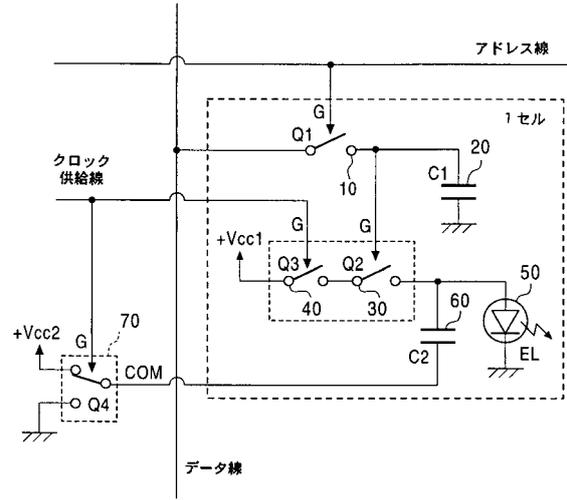
【図2】本発明に基づく有機 EL 発光素子駆動回路の実施例を示す構成図である。

【 図 1 】



先行技術

【 図 2 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
27 March 2003 (27.03.2003)

PCT

(10) International Publication Number  
WO 03/025894 A2

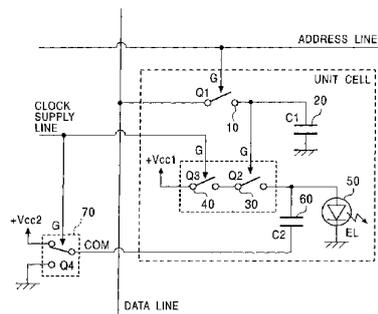
- (51) International Patent Classification<sup>7</sup>: G09G (74) Agent: FUJIMURA, Motohiko; Fujimura & Associates, Ginza-Ono Bldg., 1-17, Tsukiji 4-chome, Chuo-ku, Tokyo 104-0045 (JP).
- (21) International Application Number: PCT/JP02/09482
- (22) International Filing Date: 17 September 2002 (17.09.2002) (81) Designated States (national): AL, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (25) Filing Language: English (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IT, LI, LU, MC, NL, PT, SE, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (26) Publication Language: English
- (30) Priority Data: 2001-282780 18 September 2001 (18.09.2001) JP
- (71) Applicant (for all designated States except US): PIONEER CORPORATION (JP/JP); 4-1, Meguro 1-chome, Meguro-ku, Tokyo 153-8654 (JP).

(72) Inventor; and  
 (75) Inventor/Applicant (for US only): OKUDA, Yoshiyuki (JP/JP); c/o Corporate Research and Development Laboratory, Pioneer Corporation, 6-1-1, Fujimi, Tsurugashima-shi, Saitama 350-2288 (JP).

Published:  
 without international search report and to be republished upon receipt of that report

[Continued on next page]

(54) Title: DRIVING CIRCUIT FOR LIGHT EMITTING ELEMENTS



(57) Abstract: A display panel includes a number of light emitting elements arranged in a matrix fashion. A light emitting element driving circuit for use in the display panel can reduce fluctuations in brightness among the light emitting elements. A pulse supply circuit is formed so as to charge/discharge a capacitor based on a clock signal and drive the light emitting element based on the resulting discharge current. The amplitude of a drive current for each of the light emitting elements is not controlled by a transistor in a TFT circuitry, but controlled by external factors installed outside the display panel. The external factors may be a pulse supply circuit providing drive power source voltage and clock frequency. The external factors can be determined precisely.

WO 03/025894 A2

**WO 03/025894 A2** 

---

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

WO 03/025894

PCT/JP02/09482

DESCRIPTION

## DRIVING CIRCUIT FOR LIGHT EMITTING ELEMENTS

Technical Field

This invention relates to a driving circuit for light  
5 emitting elements arranged in a matrix in an image display  
panel.

Background Art

In general, a TFT (Thin Film Transistor) drive circuit  
shown in FIG. 1 of the accompanying drawings is used as a  
10 drive circuit that drives each of pixels (each of light  
emitting cells) of a display panel when light emitting  
elements, such as organic electroluminescent materials  
(hereinafter, simply referred to as "organic ELs"), are  
arranged in a matrix fashion in the display panel. In FIG.  
15 1, the cell is indicated by the broken-line square.

In FIG. 1, reference symbol Qa denotes a switching  
transistor for addressing, C denotes a memory capacitor that  
memorizes (holds) a voltage level of data, and Qb denotes a  
driving transistor that drives a load, i.e., organic EL  
20 light emitting element. Reference symbol EL denotes an  
organic EL light emitting element. The light emitting  
element EL has a structure in which an anode and a cathode  
sandwich an organic layer (or a layer which serves as an  
organic substance) that emits light. As depicted in the  
25 drawing, the light emitting element EL element has a  
rectifying property similar to that of a diode. In an  
actual display panel, the circuit shown in FIG.1 constitutes

WO 03/025894

PCT/JP02/09482

each cell of the display screen, and a number of cells are arrayed in rows and columns (or X and Y directions) in a matrix on the screen.

The circuit of FIG.1 operates as follows. First, a selection signal sent via an address line selects a desired cell out of a plurality of cells arranged in the display panel. The desired cell is a cell to emit. This selection signal turns the transistor Qa of the selected cell ON. Then the capacitor C of the same cell is electrically coupled with the data line, and the potential of the data line is memorized in the capacitor C. In other words, if the data on the data line is in an ON state, the data line potential is at a Hi level and the capacitor C is charged up to this Hi level potential. On the other hand, if the data is in an OFF state, its potential is at a Low level and the capacitor C is discharged down to the Low level potential.

Once the capacitor C has been charged up to the Hi level, the gate voltage of the transistor Qb is held at the Hi level until the Hi level data is replaced by a Low level data. Thus the transistor Qb continues to supply drain current to the load (i.e., organic EL light emitting element), and thereby the cell in which the Hi level data has been written continues to emit light. If a MOSFET (metal oxide semiconductor field effect transistor) is employed in the transistor Qb and such a drain-grounded circuit configuration shown in FIG. 1 is adopted, the input impedance of the transistor Qb will be substantially

WO 03/025894

PCT/JP02/09482

infinite. Then the potential of the capacitor C that has been charged does not decrease almost at all even if it is coupled with the transistor Qb.

In general, the electric property of low-temperature poly-silicon TFT, which is often employed in the driving circuit for organic EL light emitting elements, is subject to nonuniformities. Particularly, if the Vgs-Id (gate-source voltage-drain current) properties of the drive transistors Qb are not equal to each other among cells, the drive transistors also fluctuate in mutual conductance among the cells. In other words, even if the individual capacitors C in cells are charged by the same Hi voltage, different drain currents run in the drive transistors. Because of such nonuniformities in driving current for organic EL among the cells, a nonuniform brightness pattern may appear on the display screen. It is like strewing sand over the screen surface.

#### Disclosure of Invention

An object of the present invention is to provide a driving circuit for a light emitting element that can reduce fluctuations in brightness among light emitting cells.

According to one aspect of the present invention, there is provided a light emitting element driving circuit that controls, based on a voltage value of a data line, an ON/OFF state of a light emitting element specified by a selection signal from an address line, comprising a first switching element that is controlled in accordance with said selection

WO 03/025894

PCT/JP02/09482

signal, a first capacitor that holds an electrical charge corresponding to the voltage value of the data line supplied via the first switching element, and a pulse supply circuit that provides the light emitting element with pulses in  
5 synchronization with a clock signal as long as the first capacitor holds the electrical charge.

A display panel includes a number of light emitting elements (and cells). Since the driving circuit can reduce the fluctuations in brightness among the light emitting  
10 elements, the quality of images displayed on the screen can be improved.

The pulse supply circuit may include first and second driving power sources, second and third switching elements serially connected between one terminal of the light  
15 emitting element and the first driving power source, a second capacitor having one terminal connected to the terminal of the light emitting element, and a fourth switching element that may have one common terminal and two independent terminals and have a switching function of  
20 connecting said common terminal to the two independent terminals alternately. The common terminal may be connected to the other terminal of the second capacitor. One of the two independent terminals may be connected to the second driving power source, and the other terminal may be  
25 connected to a reference potential. The second switching element may be controlled by the voltage value (electrical charge) held in the first capacitor. The third and fourth

WO 03/025894

PCT/JP02/09482

switching elements may be controlled in synchronization with each other based on the clock signal. It is possible to smoothly control the brightness of the entire display panel by changing a clock frequency for the driving power sources.

5 The fourth switching element may be shared by a plurality of light emitting elements in the display panel. The light emitting element may be an organic electroluminescent light emitting element.

#### Brief Description of Drawings

10 FIG. 1 is a diagram showing a conventional drive circuit for an organic EL light emitting element; and  
FIG. 2 is a diagram showing a drive circuit for an organic EL light emitting element in accordance with one embodiment of the present invention.

#### 15 Detailed Description of the Invention

Referring to FIG. 2, a circuit diagram of an organic EL light emitting element driving circuit in accordance with one embodiment of the present invention is illustrated.

The configuration of the present embodiment is  
20 described with reference to FIG. 2. In this figure, a switching element Q1 (10) is a switching element of which ON/OFF state is controlled by a selection signal sent via an address line of a display panel. This switching element Q1 (10) can be made of, for example, bipolar transistor or FET.  
25 In the switching element Q1 (10), a gate terminal that controls the ON/OFF state of the switching element is connected to the address line. One terminal of the

WO 03/025894

PCT/JP02/09482

switching element is connected to a data line of the display panel, while the other terminal is connected to a capacitor C1 (20) that will be described later. The capacitor C1 (20) is a capacitor that memorizes data of the data line, namely, potential of the data line, taken in via the switching element Q1 (10). One terminal of the capacitor C1 (20) is connected to one terminal of the switching element Q1 (10), while the other terminal of the capacitor C1 (20) is grounded. The switching element Q1 (10) and the capacitor C1 (20) thereby constitute a data memory unit for the light emitting element driving circuit in accordance with the present embodiment.

A switching element Q2 (30) and a switching element Q3 (40) are switching elements made of bipolar transistor or FET, for example, as is the case with the switching element Q1 (10). The switching elements Q2 (30) and Q3 (40) are coupled in series, being fixed as shown in FIG. 2. Such a serial circuit branch may be composed by connecting two switching elements or by a dual-gate transistor. One terminal of the serial circuit branch composed of the switching elements Q2 (30) and Q3 (40) is connected to a first drive power source +Vcc1, while the other terminal is connected to the anode of the organic EL light emitting element (50), which will be referred to later, as well as to one terminal of the capacitor C2 (60). The gate terminal of the switching element Q2 (30) is connected to one terminal of the switching element Q1 (10) of the data memory unit,

WO 03/025894

PCT/JP02/09482

while the gate terminal of the switching element Q3 (40) is connected to a clock signal line of the display panel. The capacitor C2 (60) is a capacitor that temporarily memorizes the voltage level of the first driving power source. One terminal of the capacitor C2 (60) is connected to one terminal of the switching element Q2 (30) and the anode of the organic EL light emitting element (50), while the other terminal is connected to the common terminal of a switching element Q4 (70) that will be described later. The switching element Q4 (70) is what is called an alternate switch made of, for example, bipolar transistor or FET. Specifically, the switching element Q4 (70) connects the common terminal to two independent switching terminals alternately, based on the voltage applied to a gate terminal of the switching element Q4 (70). The gate terminal of the switching element Q4 (70) is connected to the clock signal line and a common terminal of the switching element Q4 (70) is connected to one terminal of the capacitor C2 (60). One of the two independent switch terminals of the switching element Q4 (70) is connected to a second driving power source +Vcc2, while the other terminal is grounded. The switching elements Q2 (30) and Q3 (40), capacitor C2 (60) and switching element Q4 (70) constitute the pulse supply unit for the light emitting element driving circuit in accordance with the present invention.

The organic EL light emitting element (50) is a light emitting element using organic electroluminescent materials,

WO 03/025894

PCT/JP02/09482

and it shows a rectifying property similar to that of a diode, as shown in the circuit diagram of FIG.2. Namely, when a DC voltage higher than a predetermined threshold level for light emission is applied to the anode of the organic EL light emitting element (50), a forward current runs and the organic EL light emitting element (50) emits light. The anode of the organic EL light emitting element (50) is connected to one terminal of the switching element Q2 (30) and one terminal of the capacitor C2 (60), while the cathode of the organic EL light emitting element (50) is grounded.

Now described below is the circuit operation in the embodiment of FIG. 2. For a descriptive purpose, the light emitting element driving circuit according to the embodiment is divided into two major units, namely, the data memory unit and the pulse supply unit. It should be noted that the display panel includes a plurality of light emitting elements, and one of the light emitting elements is selected for light emission. A selection signal sent via the address line of the display panel selects the light emitting element. The organic EL light emitting element (50) shown in FIG.2 is the selected element.

First, the operation of the data memory unit is described. In the data memory unit, the voltage level of the address line is raised to a Hi (high) level in order to select a desired light emitting cell, and this voltage is then applied to the gate terminal of the switching element

WO 03/025894

PCT/JP02/09482

Q1 (10) of the target light emitting cell. The switching element Q1 (10) is turned ON upon application of the high voltage, and the voltage level of the data line is memorized in the capacitor C1 (20). Specifically, the capacitor C1 (20) is charged up to the Hi level when the data line voltage is Hi, while discharged down to a Low level when the data line voltage is Low. Hi and Low levels of the data line voltage are related to the ON/OFF state of the organic EL light emitting element in the pixel of interest: Hi level of the data line voltage corresponds to the ON state of the organic EL light emitting element, while Low level to its OFF state.

When data writing in the capacitor C1 (20) has been completed, the address line voltage is pulled down to the Low level and therefore the switching element Q1 (10) turns OFF. The capacitor C1 (20) holds the voltage level indicative of this data status until the next data is written in. As apparent from FIG. 2, the non-grounded terminal of the capacitor C1 (20) is connected to the gate terminal of the switching element Q2 (30) of a pulse supply unit that will be described later. As a result, depending on the data line voltage level memorized in the capacitor C1 (20), the switching element Q2 (30) of the pulse supply unit also holds its ON or OFF state until the next data is written in.

Next described is the operation of the pulse supply unit. Now assume that there are following relationship

WO 03/025894

PCT/JP02/09482

between light emitting threshold voltage  $V_{el}$  for the organic EL light emitting element (50) and the voltages of the two driving power sources  $+V_{cc1}$  and  $+V_{cc2}$  in the pulse supply unit:

5

$$V_{cc1} + V_{cc2} > V_{el}$$
$$V_{cc1} < V_{el}$$
$$V_{cc2} < V_{el}$$

10 As previously described, a clock signal is applied to the gate terminals of the switching elements Q3 (40) and Q4 (70) via the clock signal supply line in the pulse supply unit. The present embodiment assumes that such clock signals are pulse signals in which the voltage amplitude  
15 changes between Hi and Low levels alternately at predetermined intervals of time.

First, suppose that the clock signal voltage is at the Hi level and such voltage is applied to the gate terminals of the switching elements Q3 (40) and Q4 (70). In the  
20 embodiment, it is assumed that the switching element Q3 (40) is turned ON as the common terminal of the switching element Q4 (70) is switched to ground. Under such conditions, if the switching element Q2 (30) is turned ON based on the data stored in the capacitor C1 (20), one terminal of the  
25 capacitor C2 (60) is connected to the first driving power source  $+V_{cc1}$  via the switching elements Q2 (30) and Q3 (40), while the other terminal of the capacitor C2 (60) is

WO 03/025894

PCT/JP02/09482

grounded via the switching element Q4 (70). As a result, the capacitor C2 (60) is charged up to the voltage level, +Vcc1, of the first deriving power source.

Next, suppose that the clock signal level has fallen to a Low level. Then the gate terminals of the switching elements Q3 (40) and Q4 (70) also fall to the Low level in voltage, the common terminal of the switching element Q4 (70) is switched to the side of the second driving power source +Vcc2. At the same time, the switching element Q3 (40) is turned OFF. As a result of such operation, the grounded terminal of the capacitor C2 (60) is now connected to the second driving power source via the switching element Q4 (70), so that the potential of this terminal is raised from zero volt to +Vcc2.

Note that when the clock signal is in the Hi level state, the capacitor C2 (60) has already been charged up to the first driving power source level, +Vcc1. Thus, if the clock signal voltage falls to the Low level, the potential of the electrode of the capacitor C2 (60) connected to the switching element Q2 (30) is pulled up to  $V_{cc1} + V_{cc2}$  by the above described switching operation.

On the other hand, since the capacitor C2 (60) electrode is also connected to the anode of the organic EL light emitting element (50) and there is the relationship,  $V_{cc1} + V_{cc2} > V_{el}$ , as described before, such a potential increase makes the voltage applied to the organic EL light emitting element (50) exceed the light emitting threshold

WO 03/025894

PCT/JP02/09482

voltage  $V_{el}$ . Therefore, the organic EL light emitting element (50) becomes conductive, a drive current flows in the organic EL light emitting element (50), and the organic EL light emitting element (50) emits light.

5 If the static capacitance of the capacitor C2 (60) is represented by "C2", an amount of charge flowing into the organic EL light emitting element (50),  $q_{el}$ , is expressed by the following equation:

10 
$$q_{el} = (V_{cc1} + V_{cc2} - V_{el}) \times C2.$$

The above operation is repeated in the pulse supply unit in each cycle of alternate switching between Hi and Low levels in the pulse waveform of the clock signal. Thus, if  
15 the cycle number of the clock signal per second (how many cycles the clock signal has in one second) is represented by  $f_n$ (c/s), the average driving current  $I_{el}$  running in the organic EL light emitting element (50) per second is given by the following equation:

20 
$$\begin{aligned} I_{el} &= q_{el} \times f_n \\ &= (V_{cc1} + V_{cc2} - V_{el}) \times C2 \times f_n. \end{aligned}$$

If the data memorized in the capacitor C1 (20) of the  
25 data memory unit is OFF, or Low level voltage, the switching element Q2 (30) remains in an OFF state. Thus even if the clock signal switches the switching elements Q3 (40) and Q4

WO 03/025894

PCT/JP02/09482

(70) on, the capacitor C2 (60) is not connected to the first driving power source +Vcc1, i.e., any driving current does not run in the organic EL light emitting element (50).

The cycle number for a clock signal can take on various values in the pulse supply unit based on the desired brightness of the organic EL light emitting element. For example, a clock signal may have one or more cycles within one addressing period during which data is written in. Alternatively, the clock signal may have a half or less cycle, i.e., one cycle may extend over two or more addressing periods. It should also be noted that the addressing period may be independent of the cycle number of clock signal.

According to the present embodiment, the drive current for the organic EL light emitting element (50) is determined by the following equation, as described before:

$$(V_{cc1} + V_{cc2} - V_{el}) \times C2 \times f_n.$$

It is possible to precisely control the voltages Vcc1 and Vcc2 of the first and second driving power sources by use of a separate (external), high-precision constant-voltage power supply circuit. It is also possible to precisely control the cycle number, fn, of the clock signal that drives the individual switching elements in the pulse supply unit by use of an external oscillation circuit. In other words, in the present embodiment, it is only the

WO 03/025894

PCT/JP02/09482

static capacitance of the capacitor C2 (60) that is determined inside the TFT driving circuit of the organic EL light emitting element. The static capacitance of the capacitor C2 (60) is determined by its electrode area, thickness of an insulator layer and dielectric constant of the insulator layer of the capacitor C2 (60). It is, therefore, relatively easy to precisely control the static capacitance of a capacitor during the fabrication of TFT circuitry, with less fluctuation, compared with the control of properties of TFT transistor.

When the display panel constituted by a plurality of cells is considered, a plurality of drive circuits are used for a plurality of organic EL light emitting elements respectively. If the drive circuit of the embodiment is associated with each of the organic EL light emitting elements in the display panel, it becomes possible to significantly reduce nonuniformities in driving current for the light emitting elements in the cells of the display panel.

Although the light emitting threshold voltage  $V_{el}$  changes with the ambient temperature, its fluctuation within the same display panel is almost negligible. Furthermore, if the potential difference between the light emitting threshold voltage  $V_{el}$  and driving power source voltages,  $V_{cc1} + V_{cc2} - V_{el}$ , is set at a large value, an influence of the fluctuating light emitting threshold voltage  $V_{el}$  with respect to driving current running in the light emitting

WO 03/025894

PCT/JP02/09482

elements becomes small.

Although the light emitting element in the embodiment of FIG. 2 is the organic EL light emitting element, the present invention is not limited to such a specific example.

5 As the light emitting element, other types of elements such as inorganic EL light emitting elements and light emitting diodes may be used.

The switching element Q4 (70) shown in FIG. 2 may be associated with in each of the cells or may be shared by a plurality of cells. If the single switching element Q4 is shared by the cells, the circuit structure of each cell can be simplified.

10 It should be noted that the present invention is not limited to the described and illustrated embodiment. For example, the anode side of the organic EL light emitting element (50) may be grounded and the first and second driving power source voltages, Vcc1 and Vcc2, may be set at negative values.

Furthermore, a single, common power source may be used instead of the two separate power sources (i.e., the first driving power source +Vcc1 and second driving power source +Vcc2).

20 This application is based on a Japanese patent application No. 2001-282780 and the entire disclosure thereof is incorporated herein by reference.

WO 03/025894

PCT/JP02/09482

## CLAIMS

1. A light emitting element driving circuit for controlling, based on a voltage value of a data line, an ON/OFF state of a light emitting element specified by a selection signal from an address line, comprising:
- 5 a first switching element controlled in accordance with said selection signal;
- a first capacitor for holding an electrical charge corresponding to the voltage value of said data line
- 10 supplied via said first switching element; and
- a pulse supply circuit for providing said light emitting element with pulses in synchronization with a clock signal as long as said first capacitor holds said voltage value.
- 15 2. The light emitting element driving circuit according to claim 1, wherein said pulse supply circuit includes:
- first and second driving power sources;
- second and third switching elements serially connected
- 20 between one terminal of said light emitting element and said first driving power source;
- a second capacitor having one terminal connected to said one terminal of the light emitting element; and
- a fourth switching element having one common terminal
- 25 and two independent terminals for alternately connecting said common terminal to said two independent terminals,
- wherein said common terminal is connected to the other

WO 03/025894

PCT/JP02/09482

terminal of the second capacitor, and one of said two independent terminals is connected to said second driving power source, while the other terminal of said two independent terminals is connected to a reference potential,

5       said second switching element being controlled by said voltage value held in said first capacitor, and

      said third and fourth switching elements controlled in synchronization with each other based on the clock signal.

3. The light emitting element driving circuit  
10 according to claim 2, wherein said fourth switching element is connectable to a plurality of light emitting elements.

4. The light emitting element driving circuit according to claim 2, wherein said first driving power source also serves as the second driving power source.

15       5. The light emitting element driving circuit according to claim 1, wherein said light emitting element is an organic electroluminescent light emitting element.

6. The light emitting element driving circuit according to claim 2, wherein each of said first, second and  
20 third switching elements includes one of a bipolar transistor and an FET.

7. The light emitting element driving circuit according to claim 2, wherein said second and third switching elements are configured as a dual gate transistor.

25       8. The light emitting element driving circuit according to claim 1, wherein said light emitting element is one of an inorganic EL light emitting element and a light

WO 03/025894

PCT/JP02/09482

emitting diode.

9. A display panel cell comprising:

a light emitting element controlled to be in one of an on/off state based on a voltage value of a data line, the

5 light emitting element being selected for light emission by a selection signal supplied over an address line;

a first switching element controlled in accordance with said selection signal;

10 a first capacitor for holding an electrical charge corresponding to the voltage value of said data line supplied via said first switching element; and

a pulse supply circuit for providing said light emitting element with pulses in synchronization with a clock signal when said first capacitor holds said voltage value.

15 10. The display panel cell according to claim 9,

wherein said pulse supply circuit includes:

first and second driving power sources;

20 second and third switching elements serially connected between one terminal of said light emitting element and said first driving power source;

a second capacitor having one terminal connected to said one terminal of the light emitting element; and

25 a fourth switching element having one common terminal and two independent terminals for alternately connecting said common terminal to said two independent terminals,

wherein said common terminal is connected to the other terminal of the second capacitor, and one of said two

WO 03/025894

PCT/JP02/09482

independent terminals is connected to said second driving power source, while the other terminal of said two independent terminals is connected to a reference potential,

said second switching element being controlled by said  
5 voltage value held in said first capacitor, and

said third and fourth switching elements controlled in synchronization with each other based on the clock signal.

11. The display panel cell according to claim 10,  
wherein said fourth switching element is connectable to a  
10 plurality of light emitting elements.

12. The display panel cell according to claim 10,  
wherein said first driving power source also serves as the second driving power source.

13. The display panel cell according to claim 9,  
15 wherein said light emitting element is an organic electroluminescent light emitting element.

14. The display panel cell according to claim 10,  
wherein each of said first, second and third switching elements includes one of a bipolar transistor and an FET.

20 15. The display panel cell according to claim 10,  
wherein said second and third switching elements are configured as a dual gate transistor.

16. The display panel cell according to claim 9,  
wherein said light emitting element is one of an inorganic  
25 EL light emitting element and a light emitting diode.

WO 03/025894

PCT/JP02/09482

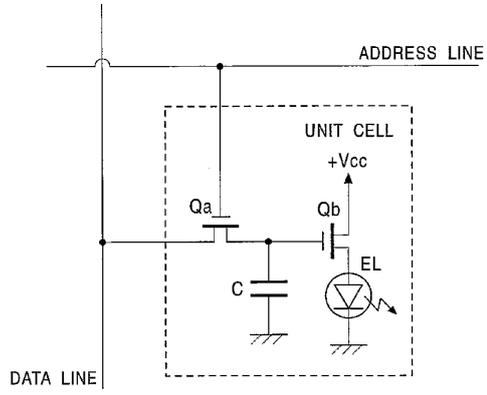


FIG. 1  
PRIOR ART

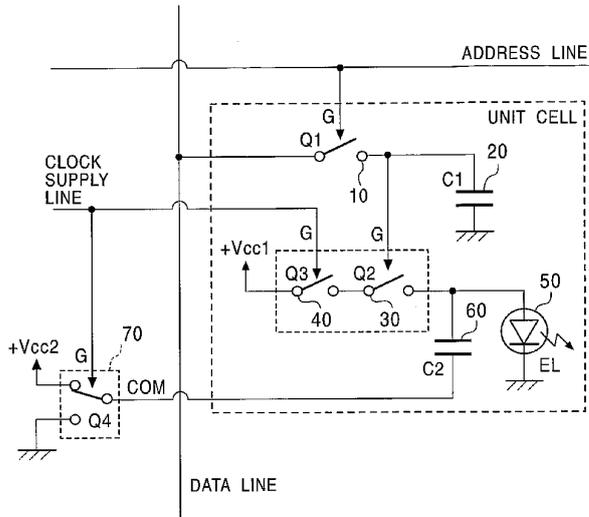


FIG. 2

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
27 March 2003 (27.03.2003)

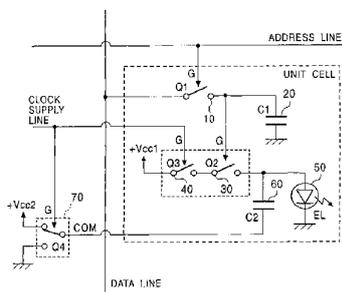
PCT

(10) International Publication Number  
WO 03/025894 A3

- (51) International Patent Classification: G09G 3/32
- (21) International Application Number: PCT/JPO2/09482
- (22) International Filing Date: 17 September 2002 (17.09.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 2001-282780 18 September 2001 (18.09.2001) JP
- (71) Applicant (for all designated States except US): PIONEER CORPORATION [JP/JP]; 4-1, Meguro 1-chome, Meguro-ku, Tokyo 153-8654 (JP).
- (72) Inventor; and
- (75) Inventor/Applicant (for US only): OKUDA, Yoshiyuki [JP/JP]; c/o Corporate Research and Development Laboratory, Pioneer Corporation, 6-1-1, Fujimi, Tsukagishima-shi, Saitama 350-2388 (JP).
- (74) Agent: FUJIMURA, Motohiko; Fujimura & Associates, Ginza-Ohno Bldg., 1-17, Tsukiji4-chome, Chuo-ku, Tokyo 104-0045 (JP).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KR, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI patent (BI, BJ, CI, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (88) Date of publication of the international search report: 30 October 2003

Published:  
with international search report  
before the expiration of the time limit for amending the  
claims and to be republished in the event of receipt of  
amendments  
[Continued on next page]

(54) Title: DRIVING CIRCUIT FOR LIGHT EMITTING ELEMENTS



(57) Abstract: A display panel includes a number of light emitting elements arranged in a matrix fashion. A light emitting element driving circuit for use in the display panel can reduce fluctuations in brightness among the light emitting elements. A pulse supply circuit is formed so as to charge/discharge a capacitor based on a clock signal and drive the light emitting element based on the resulting discharge current. The amplitude of a drive current for each of the light emitting elements is not controlled by a transistor in a TFT circuitry, but controlled by external factors installed outside the display panel. The external factors may be a pulse supply circuit providing drive power source voltage and clock frequency. The external factors can be determined precisely.

WO 03/025894 A3

**WO 03/025894 A3** 

---

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Intern. Application No. PCT/JP 02/09482
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 609B3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 609B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1 130 565 A (SONY CORP) 5 September 2001 (2001-09-05) abstract; figures 8,9	1,9 5-8, 13-16
A	paragraph '0017' - paragraph '0019! paragraph '0070' - paragraph '0073!	
Y	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 05, 31 May 1999 (1999-05-31) & JP 11 045071 A (NEC CORP), 16 February 1999 (1999-02-16) abstract	1,9
P,A	EP 1 193 676 A (SANYO ELECTRIC CO) 3 April 2002 (2002-04-03) abstract; figures 1-6 column 9, line 41 -column 12, line 31	1,5-9, 13-16
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the International filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see special) *C* document referring to an oral disclosure, use, exhibition or other means *T* document published prior to the International filing date but later than the priority date claimed ** later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the International search 7 August 2003		Date of mailing of the International search report 19/08/2003
Name and mailing address of the ISA European Patent Office, P.O. 6618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2940, Tx. 31 651 epo nl, Fax: (+31-70) 340-2016		Authorized officer Wolff, L

Form PCT/ISA/210 (second sheet) (July 1999)

INTERNATIONAL SEARCH REPORT

Intern. Application No.  
PCT/JP 02/09482

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	US 2001/048410 A1 (KAWASHIMA SHINGO ET AL) 6 December 2001 (2001-12-06) abstract paragraph '0034!; figure 1	1,5-9, 13-16

4

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT				Intern. Application No.	
Information on patent family members				PCT/JP 02/09482	
Patent document cited in search report		Publication date	Patent family member(s)	Publication date	
EP 1130565	A	05-09-2001	EP 1130565 A1	05-09-2001	
			WO 0106484 A1	25-01-2001	
JP 11045071	A	16-02-1999	JP 3102411 B2	23-10-2000	
			TW 381249 B	01-02-2000	
			US 6310589 B1	30-10-2001	
			US 2001048410 A1	06-12-2001	
EP 1193676	A	03-04-2002	JP 2002175029 A	21-06-2002	
			CN 1367537 A	04-09-2002	
			EP 1193676 A2	03-04-2002	
			US 2002074580 A1	20-06-2002	
			US 2002075254 A1	20-06-2002	
			US 2002084746 A1	04-07-2002	
			US 2002101394 A1	01-08-2002	
US 2001048410	A1	06-12-2001	JP 3102411 B2	23-10-2000	
			JP 11045071 A	16-02-1999	
			TW 381249 B	01-02-2000	
			US 6310589 B1	30-10-2001	

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 5 B 33/14

Z

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, N O, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW