

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3918248号  
(P3918248)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月23日(2007.2.23)

(51) Int. Cl. F I  
**HO4N 5/335 (2006.01)** HO4N 5/335 E  
**HO1L 27/146 (2006.01)** HO1L 27/14 A

請求項の数 9 (全 13 頁)

(21) 出願番号	特願平9-261207	(73) 特許権者	000002185
(22) 出願日	平成9年9月26日(1997.9.26)		ソニー株式会社
(65) 公開番号	特開平11-103420		東京都港区港南1丁目7番1号
(43) 公開日	平成11年4月13日(1999.4.13)	(74) 代理人	100086298
審査請求日	平成15年11月28日(2003.11.28)		弁理士 船橋 國則
		(72) 発明者	鈴木 亮司
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	米本 和也
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	上野 貴久
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子、画素を選択する選択用スイッチおよび前記光電変換素子から垂直信号線へ信号電荷を読み出す読み出し用スイッチを有する単位画素が行列状に2次元配置されてなる画素部と、

前記垂直信号線の各々に接続され、これら垂直信号線に読み出された信号電荷を電気信号に変換する複数の増幅手段と、

前記複数の増幅手段の各々に並列に接続され、前記垂直信号線を通して前記単位画素からくるノイズレベルを基準電位にリセットする複数のリセット手段とを具備し、

前記読み出し用スイッチは、前記光電変換素子と前記垂直信号線との間に接続され、  
 前記選択用スイッチは、デプレッション型MOSトランジスタからなり、前記読み出し用スイッチの制御電極と読み出しパルス線との間に接続されている

ことを特徴とする固体撮像素子。

【請求項2】

前記光電変換素子は、HADセンサ構成のフォトダイオードであることを特徴とする請求項1記載の固体撮像素子。

【請求項3】

前記リセット手段は、1画素前の読み出しタイミング又は水平走査タイミングに同期して前記垂直信号線をリセットする

ことを特徴とする請求項1記載の固体撮像素子。

10

20

## 【請求項 4】

前記リセット手段は、前記光電変換素子からの信号電荷の読み出し直前で前記垂直信号線をリセットする

ことを特徴とする請求項 1 記載の固体撮像素子。

## 【請求項 5】

前記垂直信号線と水平信号線との間に、前記リセット手段によるリセット時の前記垂直信号線上のリセットレベルとリセット後に前記垂直信号線上に読み出された信号レベルとを共通に出力する水平選択用スイッチ

を備えたことを特徴とする請求項 1 記載の固体撮像素子。

## 【請求項 6】

前記水平選択用スイッチによって順次出力された前記リセットレベルと前記信号レベルの差分をとる差分回路

を備えたことを特徴とする請求項 5 記載の固体撮像素子。

10

## 【請求項 7】

前記差分回路は相関二重サンプリング回路である

ことを特徴とする請求項 6 記載の固体撮像素子。

## 【請求項 8】

入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子、画素を選択する選択用スイッチおよび前記光電変換素子から垂直信号線へ信号電荷を読み出す読み出し用スイッチを有し、前記読み出し用スイッチが前記光電変換素子と前記垂直信号線との間に接続され、前記選択用スイッチがデプレッション型 MOS トランジスタらなり、前記読み出し用スイッチの制御電極と読み出しパルス線との間に接続されている単位画素が行列状に 2 次元配置されてなる画素部と、前記垂直信号線の各々に接続され、これら垂直信号線に読み出された信号電荷を電気信号に変換する複数の増幅手段と、前記複数の増幅手段の各々に並列に接続された複数のリセット手段とを具備する固体撮像素子において、

20

先ず前記リセット手段によって前記垂直信号線を通して前記単位画素からくるノイズレベルを基準電位にリセットしてそのリセットレベルを、次いで前記光電変換素子から前記垂直信号線に画素信号を読み出してその信号レベルを同一経路を経由して順次出力し、

しかる後前記リセットレベルと前記信号レベルの差分をとる

30

ことを特徴とする固体撮像素子の駆動方法。

## 【請求項 9】

隣り合う垂直選択線 2 本ずつを同時に順次駆動し、かつ垂直信号線上で垂直方向における 2 画素分の信号電荷を混合する

ことを特徴とする請求項 8 記載の固体撮像素子の駆動方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は固体撮像素子およびその駆動方法に関し、特に垂直信号線の各々に増幅手段（カラムアンプ）が接続されてなる固体撮像素子およびそのノイズを除去するための駆動方法に関する。

40

## 【0002】

## 【従来の技術】

従来、この種の固体撮像素子として、図 13 に示すように、単位画素 101 が行列状に 2 次元配置され、垂直走査回路 102 によって垂直選択線 103 を介して行選択がなされる構成のものにおいて、垂直信号線 104 の各々にカラムアンプ 105 が接続され、単位画素 101 の各々の画素信号がカラムアンプ 105 に行単位で蓄えられるとともに、水平走査回路 106 によって列選択がなされ、水平信号線 107 およびセンスアンプ 108 を介して出力される構成のものが知られている（例えば、米国特許第 5,345,266 号参照）。

50

## 【 0 0 0 3 】

## 【 発明が解決しようとする課題 】

しかしながら、上記構成の従来の固体撮像素子では、単位画素 1 0 1 の各々を構成する M O S トランジスタの画素ごとの V t h ( 閾値 ) のバラツキがそのまま撮像素子の出力信号に乗ってきてしまう。この V t h バラツキは、画素ごとに固定の値を持つため、画面上に固定パターンノイズ ( F P N ; Fixed Patern Noise ) として現れることになる。

## 【 0 0 0 4 】

この固定パターンノイズを抑圧するためには、デバイスの外部にフレームメモリを用いたノイズ除去回路を設け、暗時の出力信号 ( ノイズ成分 ) および明時の出力信号 ( 映像成分 ) の一方を各画素ごとにフレームメモリにあらかじめ記憶しておき、もう一方の画素の信号との間で引き算を行うことにより、V t h バラツキに起因するノイズ成分を除去する必要があった。したがって、カメラシステムとしては、フレームメモリを用いたノイズ除去回路を外付けとする分だけ規模が大きくなってしまふ。

10

## 【 0 0 0 5 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、固定パターンノイズをデバイス内部で抑圧可能な固体撮像素子およびそのノイズを除去するための駆動方法を提供することにある。

## 【 0 0 0 6 】

## 【 課題を解決するための手段 】

本発明による固体撮像素子は、入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子、画素を選択する選択用スイッチおよび光電変換素子から垂直信号線へ信号電荷を読み出す読み出し用スイッチを有する単位画素が行列状に 2 次元配置されてなる画素部と、垂直信号線の各々に接続され、これら垂直信号線に読み出された信号電荷を電気信号に変換する複数の増幅手段と、これら複数の増幅手段の各々に並列に接続され、前記垂直信号線を通して前記単位画素からくるノイズレベルを基準電位にリセットする複数のリセット手段とを具備し、前記読み出し用スイッチが前記光電変換素子と前記垂直信号線との間に接続され、前記選択用スイッチがデプレッション型 M O S トランジスタからなり、前記読み出し用スイッチの制御電極と読み出しパルス線との間に接続された構成となっている。

20

## 【 0 0 0 7 】

また、本発明による駆動方法は、上記構成の固体撮像素子において、まず垂直信号線を通して単位画素からくるノイズレベルを基準電位にリセットしてそのリセットレベルを、次いで光電変換素子から垂直信号線に画素信号を読み出してその信号レベルを同一経路を経由して順次出力し、しかる後リセットレベルと信号レベルの差分をとるようにする。

30

## 【 0 0 0 8 】

上記構成の固体撮像素子の単位画素の各々において、各単位画素が選択用スイッチと読み出し用スイッチを有することで、画素単位での画素信号の読み出しが可能となる。そこで、まず垂直信号線を通して単位画素からくるノイズレベルを基準電位にリセットし、しかる後各画素信号を垂直信号線に読み出すことで、リセットレベルおよび信号レベルがその順番で 1 画素ごとに得られる。そして、リセットレベルと信号レベルの差分をとることで、画素の特性のバラツキに起因するノイズ成分をキャンセルできる。しかも、リセットレベルおよび信号レベルが同一の経路を通して出力されることで、垂直に相関を持つ縦筋状のノイズ成分も原理的に発生しない。

40

## 【 0 0 0 9 】

## 【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

## 【 0 0 1 0 】

図 1 は、本発明の第 1 実施形態を示す概略構成図である。図 1 において、破線で囲まれた領域が単位画素 1 1 を表している。この単位画素 1 1 は、光電変換素子であるフォトダイオード ( P D ) 1 2 と、画素を選択する選択用スイッチである選択用 M O S トランジスタ

50

13と、フォトダイオード12から信号電荷を読み出す読み出し用スイッチである読み出し用MOSトランジスタ14とから構成され、行列状に2次元配置されている。

【0011】

この単位画素11において、フォトダイオード12は入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する機能を持つ、即ち光電変換と電荷蓄積を兼ねている。このフォトダイオード12のカソード電極と垂直信号線15の間には、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14が直列に接続されている。そして、選択用MOSトランジスタ13のゲート電極は垂直選択線16に、読み出し用MOSトランジスタ14のゲート電極は読み出しパルス線17にそれぞれ接続されている。

【0012】

垂直信号線15の端部と水平信号線18との間には、垂直信号線15に読み出された信号電荷を電圧信号に変換する増幅手段であるカラムアンプ19と、このカラムアンプ19の出力電圧を選択的に水平信号線18に出力する水平選択用MOSトランジスタ20が直列に接続されている。なお、カラムアンプ19としては、信号電荷を信号電流に変換する回路構成のものであっても良い。カラムアンプ19には、キャパシタ21と、垂直信号線15をリセットするリセット手段であるリセット用MOSトランジスタ22が並列に接続されている。

【0013】

また、行選択のための垂直走査回路23および列選択のための水平走査回路24が設けられている。これら走査回路23, 24は、例えばシフトレジスタによって構成される。そして、垂直走査回路23から出力される垂直走査パルス  $V_m$  が垂直選択線16に印加され、また水平走査回路24から出力される読み出しパルス  $C_n$  が読み出しパルス線17に、水平走査パルス  $H_n$  が水平選択用MOSトランジスタ20のゲート電極に、リセットパルス  $R_n$  がリセット用MOSトランジスタ22のゲート電極にそれぞれ印加される。

【0014】

水平信号線18の出力端側には、水平出力アンプ25を介して例えば相関二重サンプリング回路(以下、CDS(Correlated Double Sampling)回路と称する)26が差分回路として設けられている。このCDS回路26は、単位画素11の各々から水平信号線18を経由して順次供給されるリセットレベルと信号レベルの差分をとるために設けられたものであり、差分回路としては回路構成が簡単であるという利点を持つ。CDS回路26の具体的な回路構成については、後で詳細に説明する。

【0015】

次に、上記構成の第1実施形態に係る固体撮像素子の動作について、図2のタイミングチャートを用いて図3のポテンシャル図を参照しつつ説明する。なお、図3から明らかなように、フォトダイオード12は、npダイオードの表面側にp+層からなる正孔蓄積構造を付加したHAD(Hole Accumulated Diode)センサ構成となっている。また、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aは、1層のゲート電極からなるダブルゲート構造となっている。ダブルゲート構造を採ることで、小面積化が図れる利点がある。

【0016】

まず、m行目の垂直走査パルス  $V_m$  が“L”レベル状態にある期間aでは、m行目の画素11の各々においてフォトダイオード12に信号電荷が蓄積される一方、他の行の画素において信号電荷の読み出しが行われる。

【0017】

次に、垂直走査パルス  $V_m$  が“H”レベルに遷移すると、m行目の単位画素11の選択用MOSトランジスタ13がオン状態となり、フォトダイオード12に蓄積された信号電荷が選択用MOSトランジスタ13に流れ込む。この状態において、リセットパルス  $R_n$  が“H”レベルになると、リセット用MOSトランジスタ22がオン状態となり、n列目の垂直信号線15がカラムアンプ19の基準電位  $V_b$  にリセットされる。そして、リセ

10

20

30

40

50

ットパルス  $R_n$  が “ L ” レベルに遷移し、しかる後水平走査パルス  $H_n$  が “ H ” レベルとなることで、水平選択用 MOS トランジスタ 20 がオン状態となり、先ずノイズ成分が水平信号線 18 に出力される（期間 b）。

【 0018 】

次いで、 $n$  列目の読み出しパルス  $C_n$  が “ H ” レベルに遷移すると、 $n$  列目の単位画素 11 の読み出し用 MOS トランジスタ 14 がオン状態となり、フォトダイオード 12 に蓄積されていた信号電荷が、選択用 MOS トランジスタ 13 および読み出し用 MOS トランジスタ 14 を通して  $n$  列目の垂直信号線 15 へ読み出しされる（期間 c）。

【 0019 】

続いて、垂直信号線 15 につながるカラムアンプ 19 からのフィードバックにより、垂直信号線 15 はカラムアンプ 19 の基準電位  $V_b$  になり、信号に応じた電荷がキャパシタ 21 に読み出される（期間 d）。そして、読み出しパルス  $C_n$  が “ L ” レベルに遷移することで、水平走査パルス  $H_n$  が “ L ” レベルに遷移するまでの期間 e において、信号成分が水平信号線 18 に出力される。それと同時に、フォトダイオード 12 では次の電荷蓄積が開始される。

【 0020 】

上述した一連の動作により、ノイズ成分（ノイズレベル）と信号成分（信号レベル）の順次出力が、同一の経路（カラムアンプ 19 や水平選択用 MOS トランジスタ 29 など）を経由して水平信号線 18 上に伝送される。これらはさらに、水平出力アンプ 25 を通して CDS 回路 26 に送られて、相関二重サンプリングによるノイズキャンセルが行われる。

【 0021 】

図 4 に、CDS 回路 26 の具体的な回路構成の一例を示す。この CDS 回路 26 は、入力端子 31 に一端が接続されたクランプキャパシタ 33 と、このクランプキャパシタ 33 の他端に一方の主電極が接続されたクランプ MOS トランジスタ 34 と、クランプキャパシタ 33 の他端に一方の主電極が接続されたサンプルホールド MOS トランジスタ 35 と、このサンプルホールド MOS トランジスタ 35 の他方の主電極とグランドとの間に接続されたサンプルホールドキャパシタ 36 と、サンプルホールド MOS トランジスタ 35 の他方の主電極と出力端子 38 との間に接続されたバッファアンプ 37 とから構成されている。

【 0022 】

この CDS 回路 26 において、クランプ MOS トランジスタ 34 の他方の主電極にはクランプ電圧  $V_{c1}$  が、そのゲート電極にはクランプパルス  $C_L$  がそれぞれ印加される。また、サンプルホールド MOS トランジスタ 35 のゲート電極には、サンプルホールドパルス  $S_H$  が印加される。

【 0023 】

上記構成の CDS 回路 26 を差分回路として用い、順次供給されるノイズ成分と信号成分を使って相関二重サンプリングを行うことにより、信号成分に含まれるノイズ成分をキャンセルすることができる。特に、水平信号線 18 には同一の経路を通してリセット - 信号の順で出力され、ノイズ成分と信号成分の順次出力が得られるので、単位画素 11 の MOS トランジスタの  $V_{th}$  パラツキのみならず、縦筋状の固定パターンノイズの原因となるリセットノイズ（いわゆる  $kTC$  ノイズ）をも抑圧できることになる。

【 0024 】

なお、本実施形態の変形例として、図 2 のタイミングチャートから明らかなように、 $n$  列目の読み出しパルス  $C_n$  と  $n+1$  列目のリセットパルス  $R_{n+1}$  を共用することができる。さらに、 $n$  列目の水平走査パルス  $H_n$  と  $n+1$  列目のリセットパルス  $R_{n+1}$  を共用するタイミングでも、上述した場合と同じ動作を得ることができる。

【 0025 】

また、回路的には、選択用 MOS トランジスタ 13 と読み出し用 MOS トランジスタ 14 の配置を図 1 の逆にしても同様の動作を行うことが可能である。ただし、電荷蓄積を行っているフォトダイオード 12 側に、 $1H$ （1 水平期間）に 1 回ずつオン/オフを繰り返す

10

20

30

40

50

読み出し用MOSトランジスタ14を配置すると、暗電流の発生原因となる。したがって、図1に示すように、フォトダイオード12側に選択用MOSトランジスタ13を配置する方が、暗電流の発生を抑えることができるので好ましい。

【0026】

また、図5のタイミングチャートに示すように、隣り合う垂直選択線を2本ずつ同時に駆動することにより、信号電荷の読み出し時に垂直方向における2画素分の信号電荷が垂直信号線15上で足し合わされるため、インターレースに対応したフィールド読み出しを実現できる。具体的には、垂直走査パルス  $V$  を例えば、奇数フィールドでは... ,  $V_{m-2}$  と  $V_{m-1}$  ,  $V_m$  と  $V_{m+1}$  ,  $V_{m+2}$  と  $V_{m+3}$  , ... の組み合わせで、偶数フィールドでは組み合わせを変えて... ,  $V_{m-1}$  と  $V_m$  ,  $V_{m+1}$  と  $V_{m+2}$  , ... の組み合わせで同時に発生させる。

10

【0027】

ところで、上記実施形態においては、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aが1層のゲート構造であることから、プロセス的には簡単であり、又工程数が少ないので安価であるという利点がある。

【0028】

その反面、図3から明らかなように、これらゲート電極13a, 14aの間に $n^+$ 拡散領域が入ってしまうため、期間dから期間eに移行するタイミングのときに、読み出し用MOSトランジスタ14のゲート電極14aで発生するフィードスルーのバラツキに起因するノイズ成分が残ってしまう懸念がある。また、選択されていない行の画素で発生したオーバーフロー電荷が、この選択用MOSトランジスタ13と読み出し用MOSトランジスタ14の間に入り、スミア発生の原因となる懸念もある。

20

【0029】

そこで、図6のポテンシャル図に示す第1実施形態の変形例に係る固体撮像素子では、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aを2層のゲート電極からなるダブルゲート構造とし、隣接する部分をオーバーラップさせた構成を採っている。なお、同図において、期間a~期間eは、図2のタイミングチャートにおける期間a~期間eのポテンシャル状態を表しており、基本的な動作は図3の場合と同じである。

【0030】

このように、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aの隣接部分をオーバーラップさせることにより、これらゲート電極13a, 14a間に図3に示すような $n^+$ 拡散領域が生じないため、期間dから期間eに移行するタイミングのときに読み出し用MOSトランジスタ14のゲート電極14aで発生するフィードスルーのバラツキに起因するノイズ成分をも完全に転送できることになる。

30

【0031】

したがって、この読み出し用MOSトランジスタ14のゲート電極14aに起因するノイズが発生することはなくなる。また、フォトダイオード12からオーバーフローした電荷は垂直信号線15に接続された $n^+$ 拡散領域に直接入るために、信号電荷(画素信号)の読み出し直前に垂直信号線15のリセットを行うことにより、スミアは1画素読み出し時間内に発生する電荷分のみ抑えられることになる。

40

【0032】

図7は、本発明の第2実施形態を示す概略構成図である。図7において、破線で囲まれた領域が単位画素51を表している。この単位画素51は、第1実施形態の場合と同様に、光電変換素子であるフォトダイオード(PD)52と、画素を選択する選択用スイッチである選択用MOSトランジスタ53と、フォトダイオード52から信号電荷を読み出す読み出し用スイッチである読み出し用MOSトランジスタ54とから構成され、行列状に2次元配置されている。

【0033】

50

この単位画素 5 1 において、フォトダイオード 5 2 のカソード電極と垂直信号線 5 5 の間には、読み出し用 MOS トランジスタ 5 4 が接続されている。また、読み出し用 MOS トランジスタ 5 4 のゲート電極と読み出しパルス線 5 7 の間には、選択用 MOS トランジスタ 5 3 が接続されている。この選択用 MOS トランジスタ 5 3 としては、例えばデプレッション型のものが用いられる。そして、選択用 MOS トランジスタ 5 3 のゲート電極は垂直選択線 5 6 に接続されている。

【 0 0 3 4 】

垂直信号線 5 5 の端部と水平信号線 5 8 との間には、垂直信号線 5 5 に読み出された信号電荷を電圧信号に変換するカラムアンプ 5 9 と、このカラムアンプ 5 9 の出力電圧を選択的に水平信号線 5 8 に出力する水平選択用 MOS トランジスタ 6 0 が直列に接続されている。カラムアンプ 5 9 には、キャパシタ 6 1 と、垂直信号線 5 5 をリセットするリセット用 MOS トランジスタ 6 2 が並列に接続されている。

10

【 0 0 3 5 】

また、行選択のための垂直走査回路 6 3 および列選択のための水平走査回路 6 4 が設けられている。これら走査回路 6 3 , 6 4 は、例えばシフトレジスタによって構成される。そして、垂直走査回路 6 3 から出力される垂直走査パルス  $V_m$  が垂直選択線 5 6 に印加され、また水平走査回路 6 4 から出力される読み出しパルス  $C_n$  が読み出しパルス線 5 7 に、水平走査パルス  $H_n$  が水平選択用 MOS トランジスタ 6 0 のゲート電極に、リセットパルス  $R_n$  がリセット用 MOS トランジスタ 6 2 のゲート電極にそれぞれ印加される。水平信号線 5 8 の出力端側には、水平出力アンプ 6 5 を介して例えば図 4 に示す回路構成の C D S 回路 6 6 が差分回路として設けられている。

20

【 0 0 3 6 】

次に、上記構成の第 2 実施形態に係る固体撮像素子の動作について、図 8 のタイミングチャートを用いて図 9 および図 1 0 のポテンシャル図を参照しつつ説明する。なお、図 9 および図 1 0 から明らかのように、フォトダイオード 5 2 は、n p ダイオードの表面側に p<sup>+</sup> 層からなる正孔蓄積構造を付加した H A D センサ構成となっている。

【 0 0 3 7 】

先ず、m 行目の垂直走査パルス  $V_m$  が “ L ” レベル状態にある期間 a では、m 行目の画素 5 1 の各々においてフォトダイオード 5 2 に信号電荷が蓄積される一方、他の行の画素において信号電荷の読み出しが行われる。

30

【 0 0 3 8 】

次に、垂直走査パルス  $V_m$  が “ H ” レベルに遷移すると、m 行目の単位画素 5 1 の選択用 MOS トランジスタ 5 3 がオン状態となる。この状態において、リセットパルス  $R_n$  が “ H ” レベルになると、リセット用 MOS トランジスタ 6 2 がオン状態となり、n 列目の垂直信号線 5 5 がカラムアンプ 6 9 の基準電位  $V_b$  にリセットされる。そして、リセットパルス  $R_n$  が “ L ” レベルに遷移し、同時に水平走査パルス  $H_n$  が “ H ” レベルとなることで、水平選択用 MOS トランジスタ 6 0 がオン状態となり、先ずノイズ成分が水平信号線 5 8 に出力される（期間 b）。

【 0 0 3 9 】

次いで、n 列目の読み出しパルス  $C_n$  が “ H ” レベルに遷移すると、既にオン状態にある選択用 MOS トランジスタ 5 3 を通じて読み出し用 MOS トランジスタ 5 4 のゲート電極に読み出しパルス  $C_n$  が印加される。これにより、フォトダイオード 5 2 に蓄積されていた信号電荷が、読み出し用 MOS トランジスタ 5 4 を通じて n 列目の垂直信号線 5 5 へ読み出される（期間 c）。

40

【 0 0 4 0 】

続いて、垂直信号線 5 5 につながるカラムアンプ 5 9 からのフィードバックにより、垂直信号線 5 5 はカラムアンプ 5 9 の基準電位  $V_b$  になり、信号に応じた電荷がキャパシタ 6 1 に読み出される（期間 d）。そして、読み出しパルス  $C_n$  が “ L ” レベルに遷移することで、水平走査パルス  $H_n$  が “ L ” レベルに遷移するまでの期間 e において、信号成分が水平信号線 5 8 に出力される。それと同時に、フォトダイオード 6 2 では次の電荷蓄

50

積が開始される。

【0041】

上述した一連の動作により、第1実施形態の場合と同様に、ノイズ成分（ノイズレベル）と信号成分（信号レベル）の順次出力が水平信号線58上に得られ、これらはさらに、水平出力アンプ65を通してCDS回路66に送られて、相関二重サンプリングによるノイズキャンセルが行われる。

【0042】

特に、本実施形態においては、選択用MOSトランジスタ53のソース、ドレインを通して読み出し用MOSトランジスタ54のゲート電極に読み出しパルス  $C_n$  を与えるようにしているため、選択用MOSトランジスタ53および読み出し用MOSトランジスタ54のkTCノイズの発生を抑えることができる。この場合には、選択用MOSトランジスタ53および読み出し用MOSトランジスタ54の各ゲート電極を1層のゲート電極で構成できることから、プロセス的には簡単で、又工程数が少なく安価であるという利点もある。

10

【0043】

また、選択用MOSトランジスタ53としてデプレッション型MOSトランジスタを用いたことで、以下のような利点がある。

【0044】

1 1Hに1回、図9の期間aのタイミングで読み出し用MOSトランジスタ54のゲート電極に0Vが印加される。これに対し、通常のエンハンスメント型MOSトランジスタを用いた場合は、信号電荷の蓄積期間では、図11の期間aに示すように、選択用MOSトランジスタ53がオフ状態にあるので、読み出し用MOSトランジスタ54のゲート電極に0Vが印加されない。したがって、1フィールド期間、読み出し用MOSトランジスタ54は電位をホールドしておかなければならない。しかし、逆バイアスリーク電流や光の漏れ込みなどが大きいとゲートの電位がホールドできず、1フィールドの期間中で変化してしまう。

20

【0045】

2 読み出し用MOSトランジスタ54のポテンシャルの合わせ込みにより、読み出し用MOSトランジスタ54がエンハンスメント型となっても、選択用MOSトランジスタ53にデプレッション型を用いれば、図10の期間fのタイミングで読み出し用MOSトランジスタ54のゲート電極にプラスの電位がかかり、オーバーフロー動作が可能となる。その結果、ブルーミングを抑えられる。

30

【0046】

なお、本実施形態では、選択用MOSトランジスタ53としてデプレッション型MOSトランジスタを用いるとしたが、これに限定されるものではなく、上述した如きデプレッション型特有の効果は得られないものの、エンハンスメント型を用いた場合であっても、先述した本実施形態特有の効果を得ることは可能である。図11および図12に、選択用MOSトランジスタ53としてエンハンスメント型MOSトランジスタを用いた場合のポテンシャル図を示す。

【0047】

この第2実施形態に係る固体撮像素子の場合にも、第1実施形態に係る固体撮像素子の場合と同様に、図5のタイミングチャートに示すように、隣り合う垂直選択線を2本ずつ同時に駆動することにより、インターレースに対応したフィールド読み出しを実現できる。

40

【0048】

【発明の効果】

以上説明したように、本発明によれば、垂直信号線の各々にカラムアンプが接続される固体撮像素子において、各画素の信号を画素単位で読み出し可能な構成とし、先ず垂直信号線を通して単位画素からくるノイズレベルを基準電位にリセットしてそのリセットレベルを、次いで光電変換素子から垂直信号線に画素信号を読み出してその信号レベルを同一経路を經由して順次出力し、しかる後リセットレベルと信号レベルの差分をとるよう

50

したので、単位画素ごとの特性バラツキに起因する固定パターンノイズおよび垂直に相関を持つ縦筋状の固定パターンノイズをデバイス内部で抑圧できる。これにより、当該固体撮像素子を撮像デバイスとして用いるカメラシステムの規模の縮小化に寄与できることになる。加えて、画素の選択用スイッチがデプレッション型MOSトランジスタからなり、読み出し用スイッチの制御電極と読み出しパルス線との間に接続されていることで、読み出し用スイッチを構成するMOSトランジスタのポテンシャルの合わせ込みにより、読み出し用MOSトランジスタがエンハンスメント型となっても、当該MOSトランジスタの制御電極にプラスの電位がかかり、オーバーフロー動作が可能になるため、ブルーミングを抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す概略構成図である。

【図2】第1実施形態に係る動作説明のためのタイミングチャートである。

【図3】第1実施形態に係る動作説明のためのポテンシャル図である。

【図4】CDS回路の構成の一例を示す回路図である。

【図5】フィールド読み出しを行う場合のタイミングチャートである。

【図6】第1実施形態の変形例に係る動作説明のためのポテンシャル図である。

【図7】本発明の第2実施形態を示す概略構成図である。

【図8】第2実施形態に係る動作説明のためのタイミングチャートである。

【図9】第2実施形態に係る動作説明のためのポテンシャル図(その1)である。

【図10】第2実施形態に係る動作説明のためのポテンシャル図(その2)である。

【図11】第2実施形態の変形例のポテンシャル図(その1)である。

【図12】第2実施形態の変形例のポテンシャル図(その2)である。

【図13】従来例を示す回路構成図である。

【符号の説明】

11, 51...単位画素、12, 52...フォトダイオード(光電変換素子)、13, 53...  
 選択用MOSトランジスタ、14, 54...読み出し用MOSトランジスタ、15, 55...  
 垂直信号線、16, 56...垂直選択線、17, 57...読み出しパルス線、18, 58...水  
 平信号線、19, 59...カラムアンプ、20, 60...水平選択用MOSトランジスタ、2  
 2, 62...リセット用MOSトランジスタ、23, 63...垂直走査回路、24, 64...水  
 平走査回路、26, 66...CDS(相関二重サンプリング)回路

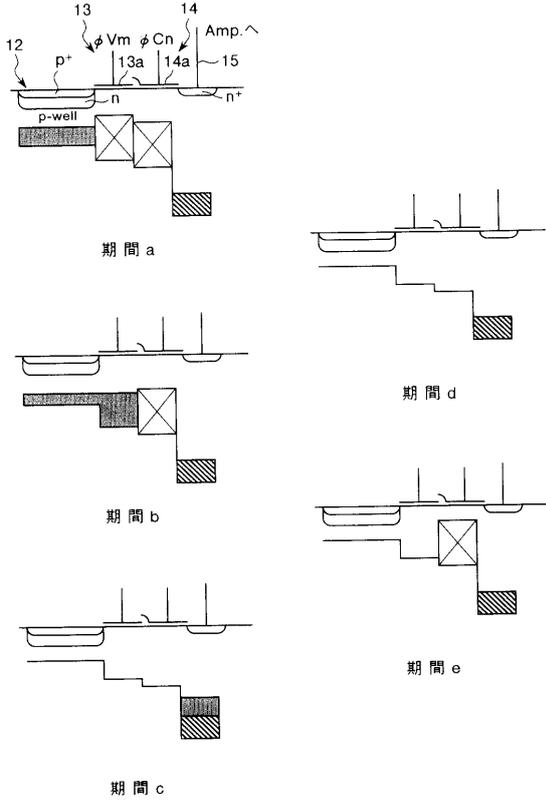
10

20

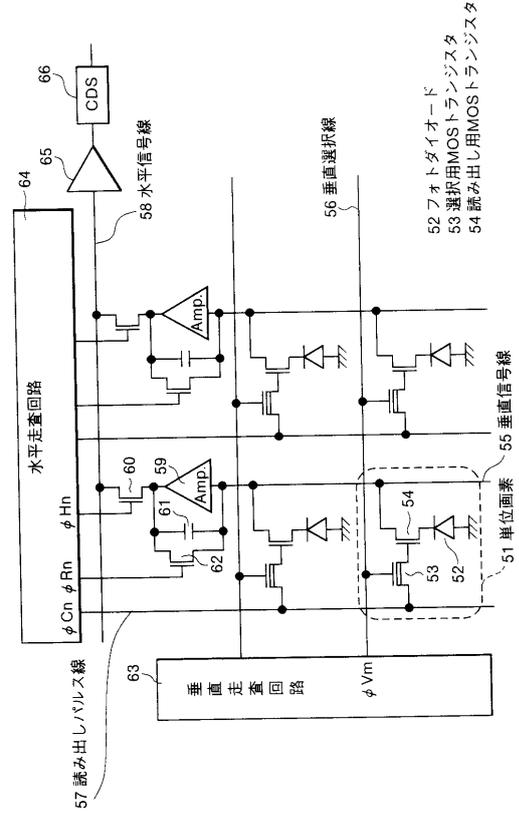
30



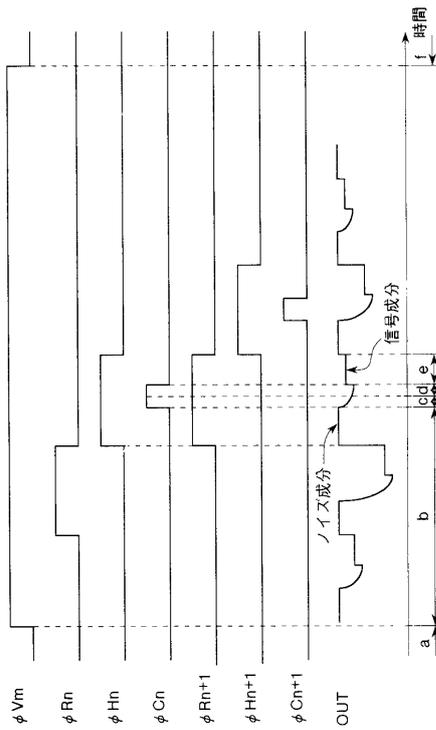
【 図 6 】



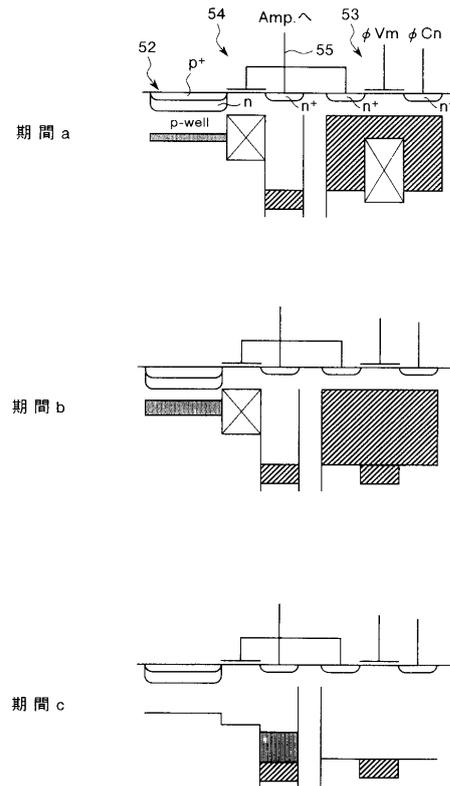
【 図 7 】



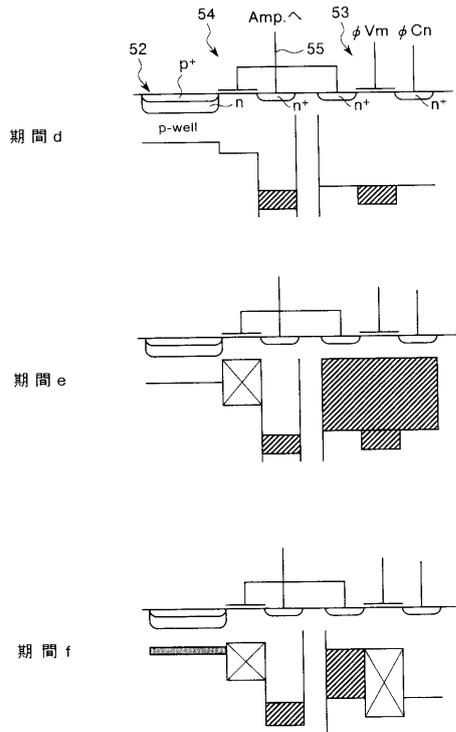
【 図 8 】



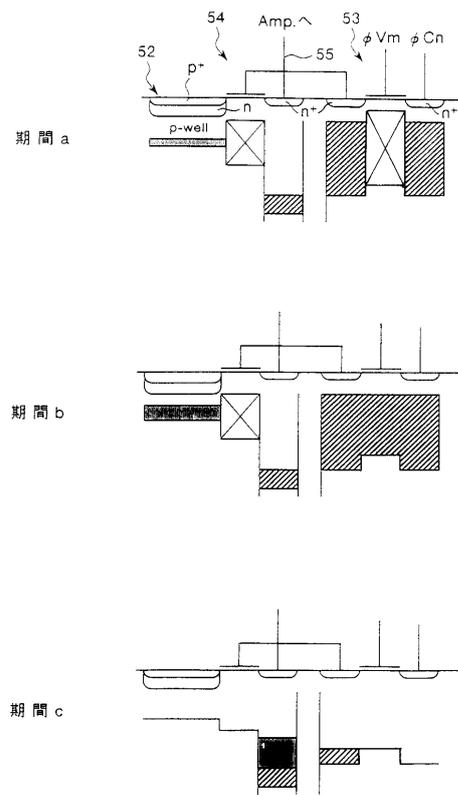
【 図 9 】



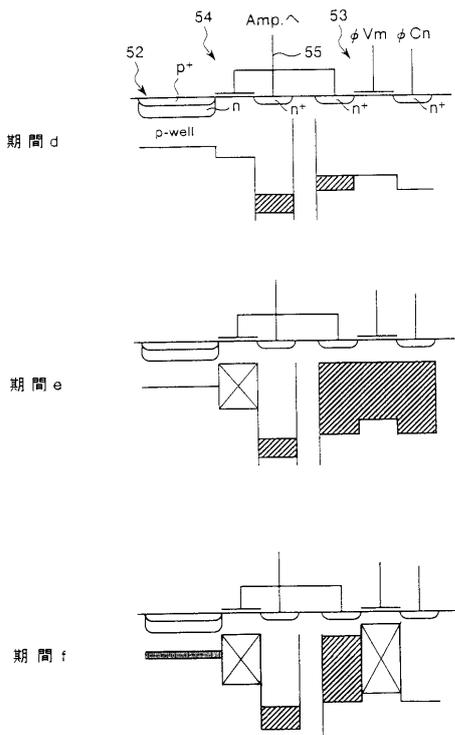
【図10】



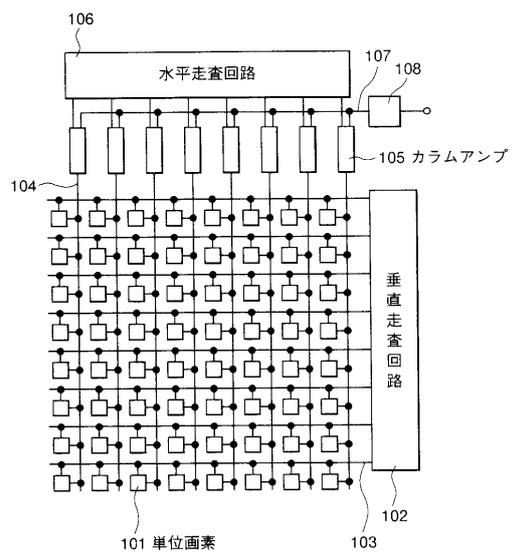
【図11】



【図12】



【図13】



## フロントページの続き

審査官 徳田賢二

- (56)参考文献 特開昭59-083475(JP,A)  
特開平59-083476(JP,A)  
特開昭63-292784(JP,A)  
特開平04-003588(JP,A)  
特開昭63-076583(JP,A)  
特開昭62-154981(JP,A)  
特開昭60-167578(JP,A)  
米国特許第04041519(US,A)  
特開昭62-104074(JP,A)  
特開平09-139891(JP,A)  
特開平09-219823(JP,A)  
特開平03-021175(JP,A)  
特開平05-219302(JP,A)  
特開平09-051485(JP,A)  
特開平08-331458(JP,A)  
特開昭63-294182(JP,A)  
特開平07-169929(JP,A)  
特開平09-055883(JP,A)  
特開平08-293592(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H04N 5/335

H01L 27/146