

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/22

(45) 공고일자 2001년03월02일

(11) 등록번호 10-0281125

(24) 등록일자 2000년11월15일

(21) 출원번호 10-1998-0060408

(65) 공개번호 특2000-0043969

(22) 출원일자 1998년12월29일

(43) 공개일자 2000년07월15일

(73) 특허권자 현대반도체주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 강희복
대전광역시 서구 도마동 359-27 양지타운 3-401
(74) 대리인 김용인, 강용복

심사관 : **곽준영**

(54) 비휘발성 강유전체 메모리장치

요약

본 발명은 레퍼런스 셀 및 메인 셀에 의한 비트라인 유도전압을 일정하게 유지시키고 안정된 센싱 동작 구현을 위한 것으로, 복수개의 서브 셀 어레이들과, 상기 각 서브 셀 어레이들을 가로지르는 방향으로 형성되는 복수개의 메인 글로벌 비트라인 및 적어도 한 쌍의 레퍼런스 글로벌 비트라인들과, 상기 각 메인 글로벌 비트라인 및 레퍼런스 글로벌 비트라인에 대응하여 형성되는 메인 로컬 비트라인 및 레퍼런스 로컬 비트라인들과, 상기 각 로컬 비트라인과 해당 글로벌 비트라인 사이에 구성되는 스위칭 소자들을 포함하여 이루어지는 메인 셀 어레이부; 상기 메인 셀 어레이부의 하부 또는 상부에 형성되며 상기 한 쌍의 레퍼런스 글로벌 비트라인중 일비트라인을 통해 인가되는 신호를 센싱하여 레퍼런스 전압을 출력하는 레퍼런스 센스앰프로 구성되는 레퍼런스 비트라인 컨트롤부; 상기 레퍼런스 비트라인 컨트롤부의 일측에 형성되며 상기 메인 글로벌 비트라인마다 연결되어 상기 레퍼런스 전압을 받아 해당 글로벌 비트라인을 통해 인가되는 신호를 센싱하는 복수개의 메인 센스앰프들로 구성되는 메인 비트라인 컨트롤부; 상기 메인 셀 어레이부의 일측에 형성되어 셀 선택을 위한 구동신호를 출력하는 워드라인 구동부; 상기 메인 셀 어레이부의 다른 일측에 형성되어 상기 워드라인 구동부의 구동신호와 함께 셀 선택을 위한 구동신호를 출력하는 플레이트라인 구동부를 포함하여 구성된다.

대표도

도6

명세서

도면의 간단한 설명

- 도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도
 도 2는 종래 기술의 비휘발성 강유전체 메모리소자에 따른 셀 구성도
 도 3a 내지 3b는 종래 강유전체 메모리소자를 구동하기 위한 구동회로
 도 4는 종래 기술에 따른 강유전체 메모리소자의 쓰기 모드(write mode)의 동작을 나타낸 타이밍도
 도 5는 읽기 모드(read mode)의 동작을 나타낸 타이밍도
 도 6은 본 발명의 비휘발성 강유전체 메모리 장치의 제 1 실시예에 따른 셀 어레이 구성도
 도 7은 도 6을 반복적으로 구성하였을 경우의 셀 어레이를 나타낸 블록구성도
 도 8은 복수개의 서브 셀 어레이부들로 구성되는 메인 셀 어레이부의 구성도
 도 9는 도 6의 메인 셀 어레이부의 구성도
 도 10은 도 8의 서브 셀 어레이부의 상세 구성도
 도 11은 도 10의 "A"부분의 확대도
 도 12는 도 6의 구성블록중에서 메인 셀 어레이부와 메인 비트라인 컨트롤부 및 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 나타낸 도면
 도 13은 도 6의 구성블록중에서 메인 비트라인 컨트롤부와 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 나타낸 도면
 도 14는 본 발명의 제 1 실시예에 따른 비트라인 프리차지 회로부를 보다 상세하게 나타낸 도면

- 도 15a는 본 발명에 따른 비트라인 프리차지 레벨 공급부의 제 1 실시예를 나타낸 도면
 도 15b는 본 발명에 따른 비트라인 프리차지 레벨 공급부의 제 2 실시예를 나타낸 도면
 도 15c는 본 발명에 따른 비트라인 프리차지 레벨 공급부의 제 3 실시예를 나타낸 도면
 도 16a는 본 발명에 따른 레퍼런스 센스앰프를 간략화한 구성블록도
 도 16b는 본 발명에 따른 레퍼런스 센스앰프의 다른 실시예의 구성블록도
 도 17a는 본 발명에 따른 레벨 쉬프터의 제 1 실시예를 나타낸 도면
 도 17b는 본 발명에 따른 레벨 쉬프터의 제 2 실시예를 나타낸 도면
 도 18은 본 발명 제 1 실시예의 비휘발성 강유전체 메모리 장치에 따른 센스앰프의 제 1 실시예를 상세하게 나타낸 도면
 도 19는 본 발명 제 1 실시예의 비휘발성 강유전체 메모리 장치에 따른 센스앰프의 제 2 실시예를 나타낸 도면
 도 20은 도 18의 센스앰프에 따른 동작타이밍도
 도 21은 도 18의 센스앰프에 따른 리도모드시 동작타이밍도
 도 22는 도 18의 센스앰프에 따른 라이트모드시 동작타이밍도
 도 23a는 도 19의 센스앰프에 따른 동작타이밍도
 도 23b는 도 19의 센스앰프에서 사용되는 신호들과 도 17b의 레벨쉬프터에서 사용되는 REFCON신호를 비교 설명한 도면
 도 24는 본 발명의 제 2 실시예에 따른 비휘발성 강유전체 메모리장치에 따른 셀 어레이의 구성도
 도 25는 도 24의 구성중 메인 셀 어레이부를 중심으로 보다 상세하게 나타낸 도면
 도 26은 도 24의 구성중 제 1 메인 비트라인 컨트롤부 및 제 1 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 나타낸 도면
 도 27은 도 24의 구성중 제 2 메인 비트라인 컨트롤부 및 제 2 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 나타낸 도면
 도면의 주요부분에 대한 부호의 설명
 61,201: 메인 셀 어레이부 63 : 워드라인 구동부
 65 : 플레이트 라인 구동부 67 : 메인 비트라인 컨트롤부
 69 : 레퍼런스 비트라인 컨트롤부
 61_1,61_2,61_3,... : 서브 셀 어레이부
 75_1,75_2,... : 메인 센스앰프 77a : 레퍼런스 센스앰프
 71_1,71_2,... : 비트라인 이퀄라이즈 스위치부
 72_1,72_2,... : 비트라인 프리차지 스위칭부
 100 : 제 1 증폭부 103 : 제 2 증폭부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리장치에 관한 것으로 특히, 비휘발성 강유전체 메모리장치에 관한 것이다.

일반적으로 반도체 기억소자로 많이 사용되는 DRAM(Dynamic Random Access Memory)정도의 데이터 처리속도를 갖고, 전원의 오프(off)시에도 데이터가 보존되는 강유전체 메모리 즉, FRAM(Ferroelectric Random Access Memory)이 차세대 기억소자로 주목받고 있다.

FRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다.

이와 같은 잔류분극 특성으로 인해 전계를 제거하여도 데이터가 지워지지 않는다.

도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도이다.

도 1에서와 같이, 전계에 의해 유기된 분극이 전계를 제거하여도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고 일정량(d,a상태)을 유지하고 있는 것을 알 수 있다.

상기 d, a상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.

이하, 종래 기술에 따른 비휘발성 강유전체 메모리소자를 첨부된 도면을 참조하여 설명하기로 한다.

도 2는 두 개의 단위 셀로 이루어진 종래 비휘발성 강유전체 메모리 셀의 구성도이다.

일방향으로 형성된 워드라인(W/L)과, 워드라인(W/L)과 나란히 형성된 플레이트 워드라인(P/L)(이하, "플레이트 라인"이라 칭함)과, 워드라인(W/L) 및 플레이트 라인(P/L)에 교차하는 방향으로 형성된 복수개의 비트라인(...,Bit_n,Bit_{n+1},...)들과, 상기 각 비트라인과 상기 워드라인(W/L) 및 플레이트 라인(P/L)과의 사이에 단위 셀(C111,C121,...)이 형성된다.

즉, 단위 셀은 1개의 트랜지스터(T1)과 1개의 강유전체 커패시터(FC1)으로 이루어진다.

이와 같은 종래 강유전체 메모리 장치에 따른 구동회로를 설명하면 다음과 같다.

도 3a 내지 3b는 종래 강유전체 메모리소자를 구동하기 위한 구동회로를 도시하였다.

종래 1T/1C구조의 강유전체 메모리를 구동하기 위한 구동회로는 레퍼런스전압을 발생하는 레퍼런스전압 발생부(1)와, 복수개의 트랜지스터(Q1~Q4), 커패시터(C1)등으로 이루어진다.

상기 레퍼런스전압 발생부(1)에서 출력되는 레퍼런스전압을 바로 센스앰프에 공급할 수가 없으므로 인접한 두 개의 비트라인의 레퍼런스전압을 안정화시키는 레퍼런스전압 안정화부(2)와, 복수개의 트랜지스터(Q6~Q7), 커패시터(C2~C3)등으로 이루어져 인접한 비트라인에 각각 로직값 "1"과 "0"의 레퍼런스전압을 저장하고 있는 제 1 레퍼런스전압 저장부(3)와, 트랜지스터(Q5)로 이루어져 인접한 두 개의 비트라인을 등전위화(Equalizing)시키는 제 1 이퀄라이저부(4)와, 서로 다른 워드라인 및 플레이트 라인에 연결되어 데이터를 저장하는 제 1 메인 셀 어레이부(5)와, 복수개의 트랜지스터(Q10~Q15), P-센스앰프(PSA)등으로 이루어져 상기 제 1 메인 셀 어레이부(5)의 복수개의 셀 중 상기 워드라인에 의해 선택된 셀의 데이터를 센싱하는 제 1 센스앰프부(6)와, 서로 다른 워드라인 및 플레이트 라인에 연결되어 데이터를 저장하는 제 2 메인 셀 어레이부(7)와, 복수개의 트랜지스터(Q28~Q29) 및 커패시터(C9~C10)등으로 이루어져 인접한 비트라인에 각각 로직값 "1"과 "0"의 레퍼런스전압을 저장하고 있는 제 2 레퍼런스전압 저장부(8)와, 복수개의 트랜지스터(Q16~Q25), N-센스앰프(NSA)등으로 이루어져 상기 제 2 메인 셀 어레이부(7)의 데이터를 센싱하여 출력하는 제 2 센스앰프부(9)를 포함하여 구성된다.

이와 같이 구성된 종래 강유전체 메모리소자에 따른 데이터 입출력 동작은 다음과 같다.

도 4는 종래 기술에 따른 강유전체 메모리소자의 쓰기 모드(write mode)의 동작을 나타낸 타이밍도이고, 도 5는 읽기 모드(read mode)의 동작을 나타낸 타이밍도이다.

먼저, 쓰기 모드의 경우, 외부에서 인가되는 칩 인에이블신호(CSBpad)가 하이(high)에서 로우(low)로 활성화되고, 동시에 쓰기 인에이블신호(WEBpad)를 하이에서 로우로 인가하면 쓰기 모드가 시작된다.

이어, 쓰기 모드에서의 어드레스 디코딩이 시작되면, 해당 워드라인에 인가되는 펄스가 "로우"에서 "하이"로 천이되어 셀이 선택된다.

이와 같이, 워드라인이 "하이"상태를 유지하고 있는 구간에서 해당 플레이트 라인에는 차례로 일정구간의 "하이"신호와 일정구간의 "로우"신호가 인가된다.

그리고 선택된 셀에 로직값 "1" 또는 "0"을 쓰기 위하여 해당 비트라인에 쓰기 인에이블신호(WEBpad)에 동기되는 "하이" 또는 "로우"신호를 인가한다.

즉, 비트라인에 "하이" 신호를 인가하고, 워드라인에 인가되는 신호가 "하이" 상태인 구간에서 플레이트 라인에 인가되는 신호가 "로우"이면 강유전체 커패시터에는 로직값 "1"이 기록된다.

그리고 비트라인에 "로우" 신호를 인가하고, 플레이트 라인에 인가되는 신호가 "하이" 신호이면 강유전체 커패시터에는 로직값 "0"이 기록된다.

이와 같은 쓰기 모드의 동작으로 셀에 저장된 데이터를 읽어내기 위한 동작은 다음과 같다.

먼저, 외부에서 칩 인에이블신호(CSBpad)를 "하이"에서 "로우"로 활성화시키면, 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이저 신호에 의해 "로우" 전압으로 등전위 된다.

즉, 도 3a 내지 도 3b에서 이퀄라이저부(4)에 "하이" 신호를 인가하고, 트랜지스터(Q18,Q19)에 "하이" 신호를 인가하면, 비트라인은 상기 트랜지스터(Q19)를 통해 접지되므로 저전압(V_{ss})으로 등전위 된다.

그리고 트랜지스터(Q5,Q18,Q19)를 오프시켜 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고, 디코딩된 어드레스에 의해 해당 워드라인에는 "로우" 신호가 "하이" 신호로 천이되어 해당 셀을 선택한다.

선택된 셀의 플레이트 라인에 "하이" 신호를 인가하여 강유전체 메모리에 저장된 로직값 "1"에 상응하는 데이터를 파괴시킨다.

만약, 강유전체 메모리에 로직값 "0"이 저장되어 있다면 그에 상응하는 데이터는 파괴되지 않는다.

이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 상기한 바와 같은 히스테리시스 루프의 원리에 의해서 서로 다른 값을 출력하게 되어 센스앰프는 로직값 "1" 또는 "0"을 센싱하게 된다.

즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않은 경우는 a에서 f로 변결되는 경우이다.

따라서, 일정시간이 경과한 후에 센스앰프가 인에이블되면, 데이터가 파괴된 경우는 증폭되어 로직값 "1"을 출력하고, 데이터가 파괴되지 않는 경우는 로직값 "0"을 출력한다.

이와 같이, 센스앰프에서 데이터를 출력한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인에 "하이" 신호를 인가한 상태에서 플레이트 라인을 "하이"에서 "로우"로 비활성화시킨다.

이와 같은 1T/1C구조를 갖는 종래 강유전체 메모리소자에 있어서는 데이터 입출력 동작이 레퍼런스셀이

메인 셀보다 더욱 많은 동작을 하여야 한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래 강유전체 메모리 장치는 다음과 같은 문제점이 있었다.

강유전체막의 특성이 완벽하게 확보되지 않은 상태에서 레퍼런스 셀 하나가 약 수백배 이상의 많은 메인 셀의 읽기 동작에 사용되도록 구성되어 있기 때문에 레퍼런스 셀이 메인 셀보다 더욱 많은 동작을 하여야 하므로 레퍼런스 셀의 열화특성이 급격히 악화되어 레퍼런스 전압이 안정하지 못하다.

따라서, 소자의 동작특성을 악화시키고, 수명을 단축시킨다.

본 발명은 상기한 종래의 문제점을 해결하기 위해 안출한 것으로서, 메인 셀과 레퍼런스 셀의 역세스되는 수를 같게함으로써 레퍼런스 셀에 의한 비트라인 유도전압과 메인 셀에 의한 비트라인 유도전압을 일정하게 유지시켜 동작특성을 향상시키고, 수명을 연장시킬 수 있는 비휘발성 강유전체 메모리장치를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 비휘발성 강유전체 메모리장치는 복수개의 서브 셀 어레이들과, 상기 각 서브 셀 어레이들을 가로지르는 방향으로 형성되는 복수개의 메인 글로벌 비트라인 및 적어도 한 쌍의 레퍼런스 글로벌 비트라인들과, 상기 각 메인 글로벌 비트라인 및 레퍼런스 글로벌 비트라인에 대응하여 형성되는 메인 로컬 비트라인 및 레퍼런스 로컬 비트라인들과, 상기 각 로컬 비트라인과 해당 글로벌 비트라인 사이에 구성되는 스위칭 소자들을 포함하여 이루어지는 메인 셀 어레이부; 상기 메인 셀 어레이부의 하부 또는 상부에 형성되며 상기 한 쌍의 레퍼런스 글로벌 비트라인중 일 비트라인을 통해 인가되는 신호를 센싱하여 레퍼런스 전압을 출력하는 레퍼런스 센스앰프로 구성되는 레퍼런스 비트라인 컨트롤부; 상기 레퍼런스 비트라인 컨트롤부의 일측에 형성되며 상기 메인 글로벌 비트라인마다 연결되어 상기 레퍼런스 전압을 받아 해당 글로벌 비트라인을 통해 인가되는 신호를 센싱하는 복수개의 메인 센스앰프들로 구성되는 메인 비트라인 컨트롤부; 상기 메인 셀 어레이부의 일측에 형성되어 셀 선택을 위한 구동신호를 출력하는 워드라인 구동부; 그리고 상기 메인 셀 어레이부의 다른 일측에 형성되어 상기 워드라인 구동부의 구동신호와 함께 셀 선택을 위한 구동신호를 출력하는 플레이트 라인 구동부를 포함하여 구성되는 것을 특징으로 한다.

이하, 본 발명의 비휘발성 강유전체 메모리장치를 첨부된 도면을 참조하여 설명하기로 한다.

도 6은 본 발명의 제 1 실시예에 따른 비휘발성 강유전체 메모리장치에 따른 셀 어레이를 나타낸 블록구성도이다.

도 6에 도시한 바와 같이, 메인 셀 어레이부(61), 상기 메인 셀 어레이부(61)의 일측에 형성된 워드라인 드라이버부(63), 상기 메인 셀 어레이부(61)의 또다른 일측에 형성된 플레이트 라인 구동부(65)와, 상기 메인 셀 어레이부(61)의 하측에 형성된 메인 비트라인 컨트롤부(67), 상기 메인 비트라인 컨트롤부(67)의 일측에 형성된 레퍼런스 비트라인 컨트롤부(69)를 포함하여 구성된다.

여기서, 상기 메인 셀 어레이부(61)는 내부적으로 또다시 여러개의 셀 어레이부들로 이루어져 있다.

이와 같은 도 6의 구성을 반복적으로 구성하면 도 7과 같은 구조를 갖는다.

한편, 도 8은 본 발명에 따른 메인 셀 어레이부의 상세 구성도로서, 앞에서 언급한 바와 같이, 메인 셀 어레이부는 복수개의 셀 어레이부(이하, "서브 셀 어레이부"라 칭함)로 구성된다.

이와 같이 메인 셀 어레이부는 서브 셀 어레이부(61_1, 61_2, 61_3, ... 61_n)들로 구성되며 2개의 서브 셀 어레이부가 동시에 활성화되지는 않는다.

도 9는 도 8을 보다 상세하게 나타낸 도면이다.

도 9에 도시한 바와 같이, 각 서브 셀 어레이부(61_1, 61_2, ...)들을 가로질러 복수개의 글로벌 비트라인(BLG_n, BLG_n+1, ...)들이 구성된다.

그리고 각 서브 셀 어레이부(61_1, 61_2, ...)내에는 각 글로벌 비트라인(BLG_n, BLG_n+1, ...)에 대응하여 로컬 비트라인(BLL1_n, BLL2_n, ..., BLLn_n)들이 구성된다.

즉, 각 로컬 비트라인과 글로벌 비트라인 사이에는 스위칭소자(SW11, SW12, ..., SW1n)(SW21, SW22, ..., SW2n)(SWn1, SWn2, ..., SWnn)가 구성되어 스위칭소자에 의해 로컬 비트라인과 글로벌 비트라인이 전기적으로 연결된다.

도 10은 하나의 서브 셀 어레이부를 보다 상세하게 나타낸 것이다.

도 10에 도시한 바와 같이, 워드라인(W/L)과 플레이트 라인(P/L)으로 이루어진 워드라인쌍이 여러쌍 반복적으로 구성된다.

그리고 상기 워드라인(W/L1, P/L1, ... W/Ln, P/Ln)쌍들과 교차하는 방향으로 복수개의 글로벌 비트라인(..., BLG_n, BLG_n+1, ...)들이 형성된다.

상기 쌍을 이루는 워드라인(W/L) 및 플레이트 라인(P/L)에 교차하는 로컬 비트라인마다 단위 셀(C111, C112, ..., C11n/C121, C122, ..., C12n/C1n1, C1n2, ..., C1nn)이 연결된다.

그리고 로컬 비트라인의 최종단과 해당 글로벌 비트라인 사이에는 스위칭 소자들이 구성되어 로컬 비트라인에 연결된 복수개의 셀중 선택된 셀의 데이터를 글로벌 비트라인으로 전달한다.

상기와 같이 구성된 서브 셀 어레이부에 있어서, 셀을 선택하는 과정은 다음과 같다.

전술한 바와 같이, 메인 셀 어레이부는 도 10과 같이 이루어지는 서브 셀 어레이부들의 반복적인 구성에 의해 구현된다.

이와 같은 복수개의 서브 셀 어레이부들 중에서 하나의 서브 셀 어레이부만이 활성화되는데 그중에서도 한 쌍의 워드라인(W/L) 및 플레이트 라인(P/L)만이 활성화된다.

따라서, 어느 한 쌍의 워드라인 및 플레이트 라인이 활성화되면, 상기 활성화된 워드라인(W/L) 및 플레이트 라인(P/L)에 연결된 단위 셀은 해당 로컬 비트라인을 통해 해당 글로벌 비트라인으로 전달된다.

글로벌 비트라인은 스위칭 소자를 통해 로컬 비트라인으로부터 전달된 셀 데이터를 비트라인 컨트롤부(도시되지 않음)로 전달한다.

비트라인 컨트롤부에는 각 글로벌 비트라인마다 센스앰프(도시되지 않음)가 연결된다.

따라서, 상기 복수개의 센스앰프들 중에서 하나의 센스앰프에서 출력되는 데이터만이 데이터 라인을 통해 외부로 출력된다.

도 11은 도 10의 "A"부분을 보다 상세하게 도시한 것으로써, 워드라인(W/L)과 플레이트 라인(P/L) 그리고 로컬 비트라인 사이에 각각 단위 셀이 구성되고, 로컬 비트라인의 종단에는 스위칭 소자가 연결되어 해당 글로벌 비트라인에 연결되는 것을 보여준다.

상기 단위 셀은 각 1개의 트랜지스터와 1개의 강유전체 커패시터로 구성되며 각 트랜지스터의 게이트는 해당 워드라인에 연결되고, 강유전체 커패시터는 일측단자는 상기 트랜지스터의 드레인(또는 소오스)과 연결되며 다른측 단자는 해당 플레이트 라인에 연결되어 있다.

도 12는 도 6의 상세 구성도로써, 메인 셀 어레이부(61)와 메인 비트라인 컨트롤부(67) 및 레퍼런스 비트라인 컨트롤부(69)를 중심으로 도시한 것이다.

전술한 바와 같이, 메인 셀 어레이부(61)는 복수개의 서브 셀 어레이부(61_1, 61_2, ...)들로 이루어진다.

그리고 상기 서브 셀 어레이부(61_1, 61_2, ...)들을 가로지르는 메인 글로벌 비트라인(BLG_n, BLG_{n+1}, ...)은 메인 비트라인 컨트롤부(67)와 연결되고, 레퍼런스 글로벌 비트라인(BLRG_1, BLRG_2)은 레퍼런스 비트라인 컨트롤부(69)와 연결되어 있다.

여기서, 상기 레퍼런스 비트라인 컨트롤부(69)는 두 개의 레퍼런스 글로벌 비트라인(BLRG_1, BLRG_2)을 수용한다.

도면에도 도시된 바와 같이, 각 서브 셀 어레이부내에는 상기 메인 글로벌 비트라인과 대응하여 메인 로컬 비트라인들이 구성된다.

일예로, 첫 번째 메인 글로벌 비트라인(BLG_n)에는 복수개의 메인 로컬 비트라인(BLL1_n, BLL2_n, ...)들이 구성된다.

그리고 해당 메인 로컬 비트라인과 해당 메인 글로벌 비트라인 사이에는 스위칭소자(SW11, SW21, ...)들이 구성된다.

상기 레퍼런스 글로벌 비트라인(BLRG_1, BLRG_2)들과 대응해서 레퍼런스 로컬 비트라인(BLLR1_1, BLLR2_1, .../BLLR1_2, BLLR2_2, .../.../BLLR1_n, BLLR2_n, ...)들이 구성된다.

그리고 각 레퍼런스 로컬 비트라인과 레퍼런스 글로벌 비트라인(BLRG_1, BLRG_2) 사이에는 스위칭소자(SWR11, SWR21/SWR12, SWR22/SWR1n, SWR2n, ...)들이 구성된다.

따라서, 서브 셀 어레이부(61_1, 61_2, ...)들중 임의의 서브 셀 어레이부가 선택되고, 해당 서브 셀 어레이부내의 메인 로컬 비트라인이 메인 글로벌 비트라인에 연결되어 최종적으로 메인 비트라인 컨트롤부(67)로 데이터가 전달된다.

이와 마찬가지로 해당 서브 셀 어레이부내의 레퍼런스 로컬 비트라인이 해당 레퍼런스 글로벌 비트라인에 연결되어 최종적으로 레퍼런스 비트라인 컨트롤부(69)로 데이터가 전달된다.

한편, 도 13은 도 6의 구성블록중에서 메인 비트라인 컨트롤부와 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 나타내었다.

도 13에 도시한 바와 같이, 메인 글로벌 비트라인(BLG_n, BLG_{n+1}, ...)에 대응하여 각각 메인 센스앰프(SA1, SA2, ...)(67_1, 67_2, ...)가 연결된다.

두 개의 레퍼런스 글로벌 비트라인(BLRG_1, BLRG_2)중 한 개가 레퍼런스 센스앰프(69_1)에 연결되고, 상기 레퍼런스 센스앰프(69_1)에서 출력하는 레퍼런스 전압(CREF)이 상기 메인 센스앰프(67_1, 67_2, ...)마다 공통으로 인가된다.

이때, 서로 인접한 메인 글로벌 비트라인(BLG_n과 BLG_{n+1} 또는 BLG_{n+1}과 BLG_{n+2}, ...) 사이에는 비트라인 프리차지 회로부(BPC:Bitline Precharge Circuit)(68_1, 68_2, ...)가 구성된다.

여기서, 마지막 메인 글로벌 비트라인(BLG_{n+n})과 상기 레퍼런스 센스앰프(69_1)에 연결된 레퍼런스 글로벌 비트라인(BLRG_2) 사이에도 비트라인 프리차지 회로부(70_1)가 구성된다.

그리고 상기 레퍼런스 센스앰프(69_1)에 연결되지 않는 하나의 레퍼런스 글로벌 비트라인(BLRG_1)에는 일정한 전압(CONSTANT VOLTAGE)이 인가된다.

한편, 도 14는 본 발명의 제 1 실시예에 따른 비트라인 프리차지 회로부를 보다 상세하게 나타낸 것이다.

도 14에 도시한 바와 같이, 복수개의 글로벌 비트라인(BLG_n, BLG_{n+1}, ...)들과, 각 글로벌 비트라인(BLG_n, BLG_{n+1}, ...)들 사이에 구성된 비트라인 이퀄라이즈 스위치부(BQESW)(71_1, 71_2, ...)와, 비트라인 프리차지 레벨 공급부(도시되지 않음)로부터 출력되는 신호(BEQLEV)를 상기 각각의 글로벌 비트라인(BLG_n, BLG_{n+1},

...)으로 스위칭하는 복수개의 비트라인 프리차지 스위치부(BPCSW)(72_1, 72_2, ...)

를 포함하여 구성된다.

여기서, 상기 비트라인 이퀄라이즈 스위치부(71_1, 71_2, ...)나 상기 비트라인 프리차지 스위치부(72_1, 72_2, ...)는 앤모스(NMOS) 트랜지스터를 포함한다.

따라서, 상기 비트라인 프리차지 레벨 공급부에서 출력되는 신호의 레벨은 상기 앤모스 트랜지스터의 문턱전압과 동일하거나 혹은 약간 크다.

결과적으로 비트라인 프리차지 레벨 공급부의 출력신호는 비트라인 프리차지 스위치부(72_1, 72_2, ...)를 통해 해당 글로벌 비트라인의 레벨을 프리차지 시킨다.

그리고 상기 비트라인 이퀄라이즈 스위치부(71_1, 71_2, ...)는 스위치 제어신호에 의해 턴-온되어 인접한 두 개의 글로벌 비트라인을 동일한 레벨로 이퀄라이징(Equalizing)시킨다.

한편, 도 15a는 비트라인 프리차지 레벨을 공급하는 비트라인 프리차지 레벨 공급부의 제 1 실시예에 따른 상세 구성도이다.

도 15a에 도시한 바와 같이, 소오스가 전원단(Vcc)에 연결되고 비트라인 프리차지 레벨 공급부를 활성화시키기 위한 활성화신호(EQLEN)에 의해 컨트롤되는 제 1 피모스 트랜지스터(MP1)와, 소오스가 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 연결되고, 드레인과 게이트가 공통으로 연결되는 제 2 피모스 트랜지스터(MP2)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 대해 상기 제 2 피모스 트랜지스터(MP2)와 더불어 병렬적으로 연결되며 게이트가 상기 제 2 피모스 트랜지스터(MP2)의 게이트와 공통으로 연결되는 제 1 앤모스 트랜지스터(MN1)와, 상기 제 2 피모스 트랜지스터(MP2)에 시리얼하게 연결되고 게이트는 상기 제 2 피모스 트랜지스터(MP2)의 드레인에 연결되는 제 2 앤모스 트랜지스터(MN2)와, 상기 제 1 앤모스 트랜지스터(MN1)의 드레인에 게이트와 드레인이 공통으로 연결되고 소오스는 접지단(Vss)에 연결되는 제 3 앤모스 트랜지스터(MN3)와, 상기 제 1 앤모스 트랜지스터(MN1)의 드레인에 게이트가 연결되어 상기 드레인 전압에 의해 컨트롤되는 제 4 앤모스 트랜지스터(MN4)와, 상기 제 4 앤모스 트랜지스터(MN4)와 마주보고 구성되어 드레인이 상기 제 4 앤모스 트랜지스터(MN4)의 드레인과 공통으로 연결되는 제 5 앤모스 트랜지스터(MN5)와, 상기 제 4, 제 5 앤모스 트랜지스터(MN4, MN5)의 공통 드레인에 연결되고 소오스는 접지단에 연결되는 제 6 앤모스 트랜지스터(MN6)와, 상기 제 4 앤모스 트랜지스터(MN4)의 소오스와 상기 제 1 피모스 트랜지스터(MP1)의 드레인 사이에 연결되는 제 4 피모스 트랜지스터(MP4)와, 상기 제 5 앤모스 트랜지스터(MN5)의 소오스와 상기 제 1 피모스 트랜지스터(MP1)의 드레인 사이에 연결되는 제 5 피모스 트랜지스터(MP5)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 대해 상기 제 1 앤모스 트랜지스터(MN1)와 함께 병렬적으로 구성되어 드레인과 게이트가 공통으로 연결되는 제 3 피모스 트랜지스터(MP3)와, 상기 제 3 피모스 트랜지스터(MP3)와 마주보고 구성되어 게이트가 상기 제 3 피모스 트랜지스터(MP3)의 게이트와 공통으로 연결되는 제 7 앤모스 트랜지스터(MN7)와, 게이트가 상기 제 7 앤모스 트랜지스터(MN7)의 드레인에 연결되고, 소오스는 상기 제 3 피모스 트랜지스터(MP3)의 드레인에 연결되는 제 8 앤모스 트랜지스터(MN8)와, 상기 제 4 피모스 트랜지스터(MP4)의 드레인전압에 의해 컨트롤되며 상기 제 7 앤모스 트랜지스터(MN7)와 시리얼하게 연결되는 제 9 앤모스 트랜지스터(MN9)와, 상기 제 9 트랜지스터(MN9)의 드레인에 에미터가 연결되고 콜렉터와 베이스가 공통으로 접지단에 연결되는 바이폴라 트랜지스터(PNP1)를 포함하여 구성된다.

여기서, 상기 제 5 앤모스 트랜지스터(MN5)는 비트라인을 프리차지 시키는 비트라인 프리차지 전압에 의해 컨트롤된다.

이와 같은 비트라인 프리차지 레벨 공급부의 동작을 보다 상세히 설명하면 다음과 같다.

도 15a에 도시한 바와 같이, 비트라인 프리차지 레벨 공급부의 활성화신호가 정상동작시에 로우(low)로 천이하면 제 1 피모스 트랜지스터(MP1)가 활성화되어 노드 N1의 전위를 하이 레벨로 만든다.

초기에 제 2 앤모스 트랜지스터(MN2)의 드레인쪽 전압 즉, 노드 N2가 로우이면 제 2 피모스 트랜지스터(MP2)가 온(On)되어 노드 N2의 레벨도 상승하게 된다.

따라서, 노드 N2에 게이트가 연결된 제 1 앤모스 트랜지스터(MN1)가 온되어 노드 N3의 레벨이 상승하게 된다.

노드 N3의 레벨이 상기 제 3 앤모스 트랜지스터(MN3)의 문턱전압 이상으로 상승하게 되면 제 3 앤모스 트랜지스터(MN3)가 온되어 전류를 접지단으로 방출하게 된다.

따라서, 노드 N3의 레벨은 상기 문턱전압으로 고정된다.

그리고 노드 N3의 레벨에 의해 제 2 앤모스 트랜지스터(MN2)가 온되므로 상기 노드 N2의 레벨은 점차 낮아지게 된다.

노드 N2의 레벨이 낮아지면 제 1 앤모스 트랜지스터(MN1)의 온(On)저항이 커지게 되어 결국 노드 N3에 공급하는 전류가 작아지게 된다.

따라서, 제 1 앤모스 트랜지스터(MN1) 및 제 2 피모스 트랜지스터(MP2)와 제 2 앤모스 트랜지스터(MN2) 및 제 3 앤모스 트랜지스터(MN3)의 피드백 루프(feedback loop)를 이용하여 문턱전압 레벨을 갖는 노드 N3의 전압을 얻게 된다.

한편, 초기에 노드 N7이 로우이면 제 3 피모스 트랜지스터(MP3)가 온되어 노드 N7의 레벨이 상승하게 된

다.

노드 N7의 레벨이 제 7 앤모스 트랜지스터(MN7)의 문턱전압 이상으로 상승하게 되면 제 7 앤모스 트랜지스터(MN7)가 온되어 노드 N8에 연결된 바이폴라 트랜지스터(PNP1)를 통해 전류를 접지단으로 방출하게 된다.

여기서, 상기 바이폴라 트랜지스터(PNP1)는 PNP바이폴라 트랜지스터이다.

따라서, 출력단 즉 비트라인 프리차지 레벨 공급부의 출력단의 레벨은 노드 N3의 레벨과 같은 문턱전압 수준으로 고정된다.

여기서, 상기 바이폴라 트랜지스터(PMP1)는 콜렉터와 베이스가 공통으로 접지단에 연결되고 에미터는 노드 N8에 연결되는 PN다이오드 기능을 한다.

또한, 문턱전압 레벨을 유지하는 비트라인 프리차지 레벨 공급부의 출력단에 의해 제 8 앤모스 트랜지스터(MN8)가 온되므로 노드 N7의 전압은 낮아지게 된다.

노드 N7의 전압이 낮아지게 되면 제 7 앤모스 트랜지스터(MN7)의 온(On)저항이 증가하여 상기 비트라인 프리차지 레벨 공급부의 출력단에 인가되는 전류가 감소하게 된다.

따라서, 제 7, 제 8, 제 9 앤모스 트랜지스터(MN7, MN8, MN9)와 제 3 피모스 트랜지스터(MP3), 그리고 PN다이오드로 동작하는 바이폴라 트랜지스터(PNP1)의 피드백 루프를 이용하여 문턱전압 수준의 출력전압을 얻게 된다.

여기서, 제 4, 제 5, 제 6 앤모스 트랜지스터(MN4, MN5, MN6)와 상기 제 4, 제 5 피모스 트랜지스터(MP4, MP5)가 증폭부를 구성하게 되므로, 제 4, 제 5 앤모스 트랜지스터(MN4, MN5)의 입력에 따라 노드 N4의 출력을 증폭한다.

이와 같이 동작하는 본 발명에 따른 비트라인 프리차지 레벨 공급부에 있어서, 노드 N3의 전압이 어떻게 해서 출력단(비트라인 프리차지 레벨 공급부의 출력)의 전압과 같아지는지에 대해서 살펴본다.

노드 N3의 전압이 제 4 앤모스 트랜지스터(MN4)의 게이트 입력으로 사용되고, 출력단 전압은 제 5 앤모스 트랜지스터(MN5)의 게이트 입력으로 사용된다.

만약 노드 N3의 전압이 상기 출력단의 전압보다 크면 노드 N4의 전압은 작아지고 노드 N5의 전압은 커지도록 증폭된다.

작어진 노드 N4의 전압은 제 9 앤모스 트랜지스터(MN9)에 피드백되어 제 9 앤모스 트랜지스터(MN9)의 온(ON) 저항을 크게 하므로 출력단으로 방출되는 전류량이 감소되어 결국 출력단의 레벨을 상승시키게 된다.

만약 노드 N3의 전압의 상기 출력단의 전압보다 작으면 노드 N5의 전압은 작아지고 노드 N4의 전압은 커지게 된다.

커진 노드 N4의 전압은 제 9 앤모스 트랜지스터(MN9)에 피드백되어 제 9 앤모스 트랜지스터(MN9)의 온(ON) 저항을 작게하므로 출력단으로 방출되는 전류량이 증가하게 되어 결국 출력단의 레벨을 감소시킨다.

이때, 출력단의 레벨이 과도하게 감소하는 것을 막기 위해서 PN다이오드로 동작하는 바이폴라 트랜지스터(PNP1)가 노드 N8과 접지단 사이에 구성되어 즉, PN다이오드의 문턱전압 이하에서는 PN다이오드가 오프되어 더 이상의 전류 방출을 억제하게 된다.

한편, 도 15b는 본 발명에 따른 비트라인 프리차지 레벨 공급부의 제 2 실시예를 도시하였다.

도 15b에 도시한 바와 같이, 소오스가 전원단(Vcc)에 연결되고 비트라인 프리차지 레벨 공급부를 활성화시키기 위한 활성화신호(BQLEN)에 의해 컨트롤되는 제 1 피모스 트랜지스터(MP1)와, 소오스가 각각 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 분기접속되고 게이트가 공통으로 연결되는 제 2 피모스 트랜지스터(MP2) 및 제 3 피모스 트랜지스터(MP3)와, 상기 제 3 피모스 트랜지스터(MP3)의 드레인 전압에 의해 컨트롤되며 상기 접지전압을 선택적으로 출력하는 제 1 앤모스 트랜지스터(MN1)와, 상기 제 2 피모스 트랜지스터(MP2)와 상기 제 1 앤모스 트랜지스터(MN1) 사이에 연결되며 외부에서 인가되는 레퍼런스 전압(REF_IN)에 의해 컨트롤되는 제 2 앤모스 트랜지스터(MN2)와, 상기 제 3 피모스 트랜지스터(MP3)와 제 1 앤모스 트랜지스터(MN1) 사이에 연결되며 출력단(노드 1) 전압에 의해 컨트롤되는 제 3 앤모스 트랜지스터(MN3)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 분기 접속되며 게이트가 공통으로 연결된 제 4 피모스 트랜지스터(MP5) 및 제 5 피모스 트랜지스터(MP5)와, 상기 제 4 피모스 트랜지스터(MP4) 및 제 5 피모스 트랜지스터(MP5)의 게이트 전압에 의해 컨트롤되며 접지전압을 선택적으로 출력하는 제 4 앤모스 트랜지스터(MN4)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 소오스가 연결되고, 상기 제 5 피모스 트랜지스터(MP5)의 드레인 전압에 의해 컨트롤되는 제 5 앤모스 트랜지스터(MN5)와, 상기 제 5 앤모스 트랜지스터(MN5)의 게이트와 드레인 사이에 연결되고 상기 제 2 앤모스 트랜지스터(MN2)의 드레인 전압에 의해 컨트롤되는 제 6 앤모스 트랜지스터(MN6)와, 상기 제 3 피모스 트랜지스터(MP3)의 드레인 전압에 의해 컨트롤되며 상기 제 4 피모스 트랜지스터(MP4)와 상기 제 4 앤모스 트랜지스터(MN4) 사이에 연결되는 제 7 앤모스 트랜지스터(MN7)와, 상기 제 2 앤모스 트랜지스터(MN2)의 드레인 전압에 의해 컨트롤되며 상기 제 5 피모스 트랜지스터(MP5)와 제 4 앤모스 트랜지스터(MN4) 사이에 연결된 제 8 앤모스 트랜지스터(MN8)와, 상기 제 2 앤모스 트랜지스터(MN2)의 드레인 전압에 의해 컨트롤되며 드레인이 상기 출력단(노드 1)에 연결되는 제 9 앤모스 트랜지스터(MN9)와, 상기 제 9 앤모스 트랜지스터(MN9)의 소오스와 접지단(Vss) 사이에 연결되며 게이트와 드레인이 공통으로 연결된 제 10 트랜지스터(NM10)를 포함하여 구성된다.

여기서, 상기 제 3 피모스 트랜지스터(MP3) 및 제 4 피모스 트랜지스터(MP4)의 드레인과 게이트는 공통으로 연결된다.

이와 같이 구성된 본 발명의 제 2 실시예에 따른 비트라인 프리차지 레벨 공급부는 외부에서 입력되는 레퍼런스 전압과 출력단(노드 1)의 전압을 비교하여 출력단의 레벨이 항상 일정한 레벨이 되도록 한다.

즉, 출력단의 레벨은 비트라인에 연결되어 있으므로 레벨의 변동이 있을 수 있는데, 본 발명의 제 2 실시예와 같이 비트라인 프리차지 레벨 공급부를 구성하여 입력되는 레퍼런스 전압의 레벨이 변동없이 출력단에 인가되도록하여 항상 안정한 출력레벨을 얻을 수 있다.

한편, 도 15c는 본 발명의 비트라인 프리차지 레벨 공급부의 제 3 실시예를 도시하였다.

도 15c에 도시한 바와 같이, 그 구성은 전술한 제 2 실시예와 유사하다. 다만, 출력단의 레벨을 보다 안정화시키기 위해 다음과 같은 구성을 더 추가한 것이다.

즉, 도 15c에 도시한 바와 같이, 상기 전원단(Vcc)과 제 1 피모스 트랜지스터(MP1) 사이에 분기접속되고 비트라인 프리차지 레벨 공급부를 활성화시키기 위한 활성화신호(BQLEN)에 의해 컨트롤되는 제 6 피모스 트랜지스터(MP6)와, 상기 제 6 피모스 트랜지스터(MP6)의 접지단(Vss) 사이에 시리얼하게 연결되는 제 7 피모스 트랜지스터(MP7) 및 제 11 앤모스 트랜지스터(MN11)를 구비한다.

여기서, 상기 제 7 피모스 트랜지스터(MP7)의 드레인과 게이트는 공통으로 연결되고, 상기 제 11 앤모스 트랜지스터(MN11)의 게이트는 드레인과 공통으로 연결되어 상기 제 2 앤모스 트랜지스터(MN2)의 게이트에 인가된다.

이와 같은 제 3 실시예에 따른 비트라인 프리차지 레벨 공급부는 출력단의 레벨이 변동하게 되면 제 1 피모스 트랜지스터(MP1)의 드레인 전압 또한 변동하게 된다.

상기 제 1 피모스 트랜지스터(MP1)의 드레인 전압의 변동은 결국, 출력단의 레벨이 변동하게 되는 원인을 제공하게 되므로 이러한 원인을 미연에 방지하기 위해 전원전압(Vcc)을 출력단(노드 1)이 영향을 미치지 않는 곳으로 인가한 것이다.

따라서, 출력단의 프리차지 레벨을 보다 안정한 레벨로 인가할 수가 있다.

한편, 도 16a는 본 발명에 따른 레퍼런스 센스앰프의 간략화된 구성블록도이다.

도 16a에 도시한 바와 같이, 레퍼런스 비트라인 컨트롤부에 구성되는 레퍼런스 센스앰프는 레퍼런스 글로벌 비트라인(BLRG_2)의 신호를 받아 상기 신호의 레벨을 쉬프팅하여 메인 센스앰프(67_1, 67_2, ...)에 인가되는 레퍼런스 전압(CREF)을 출력하는 레벨 쉬프터(80)와, 상기 레퍼런스 글로벌 비트라인(BLRG_2)의 신호를 받아 레퍼런스 비트라인을 풀-다운시키는 풀-다운 컨트롤부(80a)로 구성된다.

한편, 도 16a에서와 같이, 레벨쉬프터(80)를 이용하여 레벨을 쉬프팅시켜 메인 센스앰프에 인가되는 레퍼런스 전압을 출력하는 방법 이외에 도 16b에 도시한 바와 같이, 레벨쉬프터를 사용하지 않고, 풀-다운 및 풀-업 컨트롤부(81a)만을 구성하여 레퍼런스 글로벌 비트라인의 신호를 그대로 레퍼런스 전압(CREF)로 사용하는 것도 가능하다.

도 16b와 같이 레벨쉬프터를 사용하지 않아도 되는 경우는 대용량을 요구하지 않는 IC카드 등의 수백비트 이하를 요구하는 경우로써, 센스앰프의 갯수 또한 많지 않으므로 하이신호를 가지고도 충분한 레퍼런스 전압을 만들 수가 있기 때문이다.

하지만, 도 16a와 같이, 센스앰프의 수가 많은 경우에는 레벨쉬프터를 이용하여 로우신호를 가지고 레퍼런스 전압을 만든다.

여기서, 도 16a에 도시된 상기 레벨 쉬프터를 보다 상세하게 설명하기로 한다.

도 17a는 도 16a에 도시된 레벨 쉬프터의 제 1 실시예를 도시하였다.

도 17a에 도시한 바와 같이, 레벨 쉬프터를 인에이블시키는 인에이블 신호(LSEN)에 의해 컨트롤되고, 소오스가 전원단(Vcc)에 연결된 제 1 피모스 트랜지스터(MP1)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에서 분기 접속된 제 2 피모스 트랜지스터(MP2) 및 제 3 피모스 트랜지스터(MP3)와, 레퍼런스 글로벌 비트라인에 의해 컨트롤되며 상기 제 2 피모스 트랜지스터(MP2)와 연결된 제 1 앤모스 트랜지스터(MN1)와, 상기 제 1 앤모스 트랜지스터(MN1)와 상기 제 3 피모스 트랜지스터(MP3) 사이에 구성된 제 2 앤모스 트랜지스터(MN2)와, 상기 제 1 앤모스 트랜지스터(MN1)와 접지단(Vss) 사이에 구성된 제 3 앤모스 트랜지스터(MN3)와, 상기 제 1 피모스 트랜지스터(MP1)와 상기 제 2 앤모스 트랜지스터(MN2) 사이에서 상기 제 3 피모스 트랜지스터(MP3)와 병렬적으로 형성된 제 4 피모스 트랜지스터(MP4)와, 상기 제 3 피모스 트랜지스터(MP3)의 출력신호에 의해 컨트롤되고 소오스가 상기 제 1 피모스 트랜지스터(MP1)에 연결되는 제 4 앤모스 트랜지스터(MN4)와, 상기 접지단과 상기 제 4 앤모스 트랜지스터(MN4) 사이에 형성된 제 5 앤모스 트랜지스터(MN5)와, 상기 제 1 피모스 트랜지스터(MP1)와 출력단(CREF) 사이에 형성된 제 5 피모스 트랜지스터(MP5)와, 상기 글로벌 비트라인의 신호에 의해 컨트롤되는 제 6 앤모스 트랜지스터(MN6)와, 상기 제 6 앤모스 트랜지스터(MN6)와 상기 제 1 피모스 트랜지스터(MP1) 사이에 형성된 제 6 피모스 트랜지스터(MP6)와, 게이트가 상기 제 6 피모스 트랜지스터(MP6)의 게이트와 공통으로 연결되고, 소오스는 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 연결되는 제 7 피모스 트랜지스터(MN7)와, 상기 제 6 앤모스 트랜지스터(MN6)와 상기 제 7 피모스 트랜지스터(MP7) 사이에 형성된 제 7 앤모스 트랜지스터(MN7)와, 상기 접지단(Vss)과 상기 제 7 앤모스 트랜지스터(MN7) 사이에서 상기 제 6 앤모스 트랜지스터(MN6)와 병렬로 연결되는 제 8 앤모스 트랜지스터(MN8)를 포함하여 구성된다.

이와 같이 구성된 제 1 실시예에 따른 레벨 쉬프터의 동작을 설명하면 다음과 같다.

도 17a에서 제 1 피모스 트랜지스터(MP1)의 게이트에 인가되는 신호(LSEN)는 레벨 쉬프터를 활성화시키기 위한 신호이다.

즉, 활성화신호(LSEN)가 동작시에 로우로 천이하여 정상적으로 신호(CREF)를 출력한다.

칩이 비활성화시에는 LSEN신호를 하이로하여 전류흐름을 차단한다.

LSEN이 로우로 천이되면 제 1 피모스 트랜지스터(MP1)가 활성화되어 노드 N1을 하이 레벨로 만든다.

초기에 노드 N3가 로우이면 제 4 피모스 트랜지스터(MP4)가 온되어 노드 N3의 레벨도 상승하게 된다.

따라서, 제 4 앤모스 트랜지스터(MN4)가 온(ON)되어 출력단(CREF)의 레벨도 상승하게 되는데, 상기 출력단의 레벨은 레퍼런스 글로벌 비트라인(BLRG_2)의 전압과 같거나 혹은 작게할 수 있다.

여기서, 제 1, 제 2, 제 3 앤모스 트랜지스터(MN1,MN2,MN3)와 제 2, 제 3 피모스 트랜지스터(MP2,MP3))들이 하나의 증폭부를 구성하게 되므로 제 1 앤모스 트랜지스터(MN1)와 제 2 앤모스 트랜지스터(MN2)의 입력에 따라 노드 N3의 출력이 증폭되어 나타난다.

상기 제 6, 제 7, 제 8 앤모스 트랜지스터(MN6,MN7,MN8)와 상기 제 6, 제 7 피모스 트랜지스터(MP6,MP7)도 하나의 증폭부를 구성하게 되므로 상기 제 6 앤모스 트랜지스터(MN6)와 제 7 앤모스 트랜지스터(MN7)의 입력에 따라 노드 N5의 출력이 증폭되어 나타난다.

여기서, 제 1, 제 5 앤모스 트랜지스터(MN1,MN5)의 사이즈가 상기 제 2, 제 7 앤모스 트랜지스터(MN2,MN7) 보다 크도록 구성하면 상기 출력단(CREF)의 전압을 글로벌 비트라인보다 소자 크기 차이에 비례하여 크게할 수 있다.

반대로, 상기 제 1, 제 6 앤모스 트랜지스터(MN1,MN6)의 사이즈가 상기 제 2, 제 7 앤모스 트랜지스터(MN2,MN7) 보다 작게 구성하면 출력단(CREF)의 전압을 글로벌 비트라인보다 소자 크기에 비례하여 작게할 수 있다.

그리고 상기 제 1, 제 2 앤모스 트랜지스터(MN1,MN2)의 사이즈와 제 2, 제 7 앤모스 트랜지스터(MN2,MN7)의 사이즈가 동일하도록 구성하면 상기 출력단의 전압을 글로벌 비트라인의 전압과 같게할 수 있다.

여기서, 상기 제 1, 제 6 앤모스 트랜지스터(MN1,MN6)와 제 2, 제 7 앤모스 트랜지스터(MN2,MN7)의 사이즈가 동일할 경우 레벨 쉬프터의 동작을 설명하면 다음과 같다.

먼저, 글로벌 비트라인의 전압이 출력단(CREF)보다 큰 경우, 상기 제 1, 제 2 앤모스 트랜지스터(MN1,MN2)에 의해 노드 N2의 전압은 작아지고, 노드 N3의 전압은 커지도록 증폭된다.

커진 노드 N3의 전압은 제 4 앤모스 트랜지스터(MN4)에 피드백되어 제 4 앤모스 트랜지스터(MN4)의 온(On)저항을 작게하므로 출력단(CREF)으로 전류가 유입되는 양이 증가하게 되어 결국 출력단의 전압을 상승시킨다.

이후, 제 6, 제 7 앤모스 트랜지스터(MN6,MN7)에 의해 노드 N5의 전압은 작아지고 노드 N6의 전압은 커지도록 증폭된다.

작아진 노드 N5의 전압은 제 5 앤모스 트랜지스터(MN5)와 제 5 피모스 트랜지스터(MP5)에 피드백되어 제 5 앤모스 트랜지스터(MN5)의 온(On)저항을 작게 하므로 출력단으로 전류가 유입되는 양이 증가하게 되어 결국 출력단의 전압을 상승시키게 된다.

따라서, 제 4 앤모스 트랜지스터(MN4)와 제 5 피모스 트랜지스터(MP5)에 의해 전압 상승이 빨리 일어나도록 한다.

만일, 글로벌 비트라인의 전압이 출력단(CREF)의 전압보다 작은 경우, 상기 제 1 앤모스 트랜지스터(MN1)와 제 2 앤모스 트랜지스터(MN2)에 의해 노드 N2의 전압은 커지고 노드 N3의 전압은 작아지도록 증폭한다.

작아진 노드 N3의 전압은 제 4 앤모스 트랜지스터(MN4)에 피드백되어 제 4 앤모스 트랜지스터(MN4)의 온(On)저항을 크게하므로 출력단(CREF)으로 유입되는 전류량이 줄어들게 된다.

따라서, 출력단(CREF)의 전압을 감소시키게 된다.

이후, 제 6 앤모스 트랜지스터(MN6)와 제 7 앤모스 트랜지스터(MN7)에 의해 노드 5의 전압은 커지고 노드 6의 전압은 작아지도록 증폭된다.

커진 노드 N5의 전압은 제 5 앤모스 트랜지스터(MN5)와 제 5 피모스 트랜지스터(MP5)에 피드백되어 제 5 앤모스 트랜지스터(MN5)의 온(On)저항을 작게하고, 제 5 피모스 트랜지스터(MP5)의 온(On)저항을 크게한다.

따라서, 출력단(CREF)으로 유입되는 전류량이 줄어 결과적으로 출력단의 전압을 하강시키게 된다.

이로인해 제 5 앤모스 트랜지스터(MN5)에 의해 전압 하강이 빨리 일어난다.

한편, 도 17b는 본 발명의 레벨 쉬프터의 제 2 실시예를 도시하였다.

도 17b에 도시한 바와 같이, 레벨쉬프터를 인에이블시키는 인에이블 신호(LSEN)에 의해 컨트롤되고 소오스가 전원단(Vcc)에 연결된 제 1 피모스 트랜지스터(MP1)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 분기 접속된 제 2 피모스 트랜지스터(MP2) 및 제 3 피모스 트랜지스터(MP3)와, 레퍼런스 글로벌 비트라인의 신호(BLRG_2)에 의해 컨트롤되며 상기 제 2 피모스 트랜지스터(MP2)와 연결된 제 1 앤모스 트랜지스터(MN1)와, 소오스가 상기 제 1 앤모스 트랜지스터(MN1)의 드레인에 공통으로 연결되며 상기 제 1 앤모스 트랜지스터(MN1)와 상기 제 3 피모스 트랜지스터(MP3) 사이에 연결된 제 2 앤모스 트랜지스터(MN2)와, 상기 제 1, 제 2 앤모스 트랜지스터 소오스와 접지단(Vss) 사이에 연결되며 상기 제 2 피모스 트랜지스터(MP2)의 드레인 전압에 의해 컨트롤되는 제 3 앤모스 트랜지스터(MN3)와, 소오스가 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 공통으로 연결되며 게이트들이 공통으로 연결된 제 4 피모스 트랜지스터(MP4) 및 제 5 피모스 트랜지스터(MP5)와, 상기 레퍼런스 글로벌 비트라인(BLRG_2)신호에 의해 컨트롤되며 드레인이 상기 제 4 피모스 트랜지스터(MP4)의 드레인에 연결되는 제 4 앤모스 트랜지스터(MN4)와, 출

력단(노드 1)의 전압에 의해 컨트롤되며 드레인이 상기 제 5 피모스 트랜지스터(MP5)의 드레인에 연결되고 소오스는 상기 제 4 앤모스 트랜지스터(MN4)의 소오스와 공통으로 연결된 제 5 앤모스 트랜지스터(MN5)와, 상기 제 5 앤모스 트랜지스터(MN5)의 드레인 전압에 의해 컨트롤되며 상기 제 4, 제 5 앤모스 트랜지스터(MN4)(MN5)의 소오스와 접지단(Vss) 사이에 연결된 제 6 앤모스 트랜지스터(MN6)와, 외부에서 인가되는 레퍼런스 전압 컨트롤신호(REFCON)에 의해 컨트롤되며 소오스가 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 연결되는 제 6 피모스 트랜지스터(MP6)와, 소오스가 상기 제 6 피모스 트랜지스터(MP6)의 드레인에 연결되고 상기 제 3 피모스 트랜지스터(MP3)의 드레인 전압에 의해 컨트롤되는 제 7 앤모스 트랜지스터(MN7)와, 상기 제 4 앤모스 트랜지스터(MN4)의 드레인 전압에 의해 컨트롤되며 상기 제 3 피모스 트랜지스터(MP3)의 드레인과 상기 제 7 앤모스 트랜지스터(MN7)의 드레인 사이에 연결되는 제 8 앤모스 트랜지스터(MN8)와, 상기 레퍼런스 전압 컨트롤신호(REFCON)에 의해 컨트롤되고 상기 제 7 앤모스 트랜지스터(MN7)와 접지단(Vss) 사이에 시리얼하게 연결된 제 9 앤모스 트랜지스터(MN9) 및 제 10 앤모스 트랜지스터(MN10)와, 상기 제 4 앤모스 트랜지스터(MN4)의 드레인 전압에 의해 컨트롤되며 소오스는 상기 제 1 피모스 트랜지스터(MP1)의 드레인으로부터 분기접속되고, 드레인은 출력단(노드 1)에 연결되는 제 7 앤모스 트랜지스터(MP7)를 포함하여 구성된다.

도 18은 본 발명에 따른 센스앰프를 상세하게 도시하였다.

먼저, 전술한 도 6의 구성이 반복됨에 따라 구현되는 도 7에서와 같이, 메인 비트라인 컨트롤부(67)는 두 개의 메인 셀 어레이부(61) 사이에 구성된다.

따라서, 메인 비트라인 컨트롤부(65)를 구성하고 있는 센스앰프는 상부의 메인 셀 어레이부(61)와 하부의 메인 셀 어레이부(61)의 데이터를 모두 센싱할 수 있도록 구성하는 것이 바람직하다.

즉, 상부의 메인 셀 어레이부와 하부의 메인 셀 어레이부가 하나의 비트라인 컨트롤부를 공유할 수 있도록 구성한다.

도면에서 BLGT는 상부의 셀 어레이부와 연결되는 메인 글로벌 비트라인이고, BLGB는 하부의 셀 어레이부와 연결되는 메인 글로벌 비트라인이다.

그리고 CREF는 상부의 레퍼런스 셀과 연결되는 레퍼런스 글로벌 비트라인이고, CREFB는 하부의 레퍼런스 셀과 연결되는 레퍼런스 글로벌 비트라인이다.

그 구성을 보면, 소오스가 상기 BLGT 및 BLGB에 연결된 제 1 앤모스 트랜지스터(MN1)와, 소오스가 상기 CREF 및 CREFB에 연결되고 게이트는 상기 제 1 앤모스 트랜지스터(MN1)의 게이트에 공통연결된 제 2 앤모스 트랜지스터(MN2)와, 상기 제 1 앤모스 트랜지스터(MN1)를 통해 들어오는 BLGT 또는 BLGB신호를 증폭하는 제 3 앤모스 트랜지스터(MN3)와, 상기 제 2 앤모스 트랜지스터(MN2)를 통해 들어오는 CREF 또는 CREFB 신호를 증폭하는 제 4 앤모스 트랜지스터(MN4)와, 소오스가 각각 전원단(Vcc)에 연결되고 드레인은 제 1 앤모스 트랜지스터(MN1)의 출력단과 제 2 앤모스 트랜지스터(MN2)의 출력단에 각각 연결되는 제 1 피모스 트랜지스터(MP1) 및 제 2 피모스 트랜지스터(MP2)와, (상기 제 1 피모스 트랜지스터의 드레인은 제 2 피모스 트랜지스터의 게이트에 연결되고, 상기 제 2 피모스 트랜지스터의 드레인은 상기 제 1 피모스 트랜지스터의 게이트에 연결됨) 센스앰프 이퀄라이저 신호(SAEQ)에 의해 상기 제 1 앤모스 트랜지스터(MN1)의 출력단과 상기 제 2 앤모스 트랜지스터(MN2)의 출력단을 이퀄라이징시키는 제 3 피모스 트랜지스터(MP3)를 포함하여 구성된다.

여기서, 상기 제 1 앤모스 트랜지스터(MN1)의 소오스와 상기 BLGT 사이에 제 5 앤모스 트랜지스터(MN5)가 구성되고, 상기 제 1 앤모스 트랜지스터(MN1)의 소오스와 상기 BLGB 사이에 제 6 앤모스 트랜지스터(MN6)가 더 구성된다.

또한, 제 2 앤모스 트랜지스터(MN2)의 소오스와 CREF 사이에 제 7 앤모스 트랜지스터(MN7)가 구성되고, 상기 제 2 앤모스 트랜지스터(MN2)의 소오스와 상기 CREFB 사이에 제 8 앤모스 트랜지스터(MN8)가 더 구성된다.

그리고 칼럼선택신호(COLSEL)에 의해 데이터 버스(Data Bus)와 센스앰프의 출력단을 선택적으로 스위칭하는 제 9 앤모스 트랜지스터(MN9)와, 데이터바버스(Data Bar Bus)와 센스앰프의 출력단을 스위칭하는 제 10 앤모스 트랜지스터(MN10)가 더 구성된다.

여기서, 제 5 앤모스 트랜지스터(MN5)는 센스앰프와 BLGT간에 스위칭을 담당하고, 제 6 앤모스 트랜지스터(MN6)는 센스앰프와 BLGB간에 스위칭을 담당한다.

그리고 제 7 앤모스 트랜지스터(MN7)는 센스앰프와 CREF간에 스위칭을 담당하고, 제 8 앤모스 트랜지스터(MN8)는 센스앰프와 CREFB간에 스위칭을 담당한다.

이와 같이 구성된 센스앰프의 제 1 실시예의 동작을 설명하면 다음과 같다.

다음에서 설명할 센스앰프의 제 1 실시예에 따른 동작설명은 상부의 메인 셀 에 저장된 데이터를 센싱하는 경우에 해당한다.

즉, 도 18에 도시한 바와 같이, 제 5 앤모스 트랜지스터(MN5)를 활성화시키는 활성화 신호(BSEL)와 제 7 앤모스 트랜지스터(MN7)를 활성화시키는 활성화 신호(RSEL)에 의해 제 5, 제 7 앤모스 트랜지스터(MN5, MN7)가 활성화되면 상기 제 6, 제 8 앤모스 트랜지스터(MN6, MN8)는 비활성화 상태가 된다.

반대로 제 6, 제 8 앤모스 트랜지스터(MN6, MN8)가 활성화되면, 상기 제 5, 제 7 앤모스 트랜지스터(MN5, MN7)는 비활성화 상태가 된다.

센스앰프가 초기의 증폭기간에는 칼럼선택 신호(COLSEL)에 의해 비활성화되어 외부의 데이터버스와 센스앰프 내부노드는 단절되게 된다.

이때, 센스앰프를 활성화 시키기 위해 센스앰프 이퀄라이저 신호(SAEQ)에 의해 노드 SN3와 노드 SN4를 등전위시킨다.

초기에 제 1 앤모스 트랜지스터(MN1)와 제 2 앤모스 트랜지스터(MN2)는 비활성화 상태를 유지하고 있다. 이후, 상기 노드 SN3와 SN4가 등전위가 되면 메인 셀의 데이터는 상부의 글로벌 비트라인(BLGT)에 전달된다.

그리고 제 5 앤모스 트랜지스터(MN5)를 통해 노드 SN1에 전달된다.

레퍼런스 전압은 CREP로 전달되고, 이후, 제 7 앤모스 트랜지스터(MN7)를 통해 노드 SN2에 전달된다.

메인 셀의 데이터와 레퍼런스 전압이 각각 노드 SN1과 SN2에 충분히 전달되고 나면, 센스앰프의 레퍼런스 전압을 접지전압으로 천이시킨다.

이에 따라 입력전압인 노드 SN1, SN2만큼의 게이트 전압이 차이가 발생하므로 결국 제 3 앤모스 트랜지스터(MN3)와 제 4 앤모스 트랜지스터(MN4)에 흐르는 전류도 차이가 나고, 이상태로 증폭이 시작되어 증폭전압은 노드 SN3와 SN4에서 전압차로 나타난다.

상기 노드 SN3와 SN4에 유기되는 각각의 전압은 제 1 피모스 트랜지스터(MP1)와 제 2 피모스 트랜지스터(MP2)에 의해 다시 증폭된다.

상기 제 1 피모스 트랜지스터(MP1)와 제 2 피모스 트랜지스터(MP2)에서 충분히 증폭된 후, 상기 제 5, 제 7 앤모스 트랜지스터(MN5, MN7)를 비활성화 시킨다.

또한, 제 1, 제 2 앤모스 트랜지스터(MN1, MN2)를 활성화시켜 노드 SN3와 SN4의 증폭전압을 다시 SN1과 SN2에 피드백(feedback)하여 증폭을 계속 유지한다.

이때, 피드백 루프가 완성되면, 제 9, 제 10 앤모스 트랜지스터(MN9, MN10)를 활성화시켜 외부의 데이터 버스 및 데이터버스와 센스앰프와의 데이터 전달이 이루어지도록 한다.

또한, 제 5 앤모스 트랜지스터(MN5)를 다시 활성화시켜 노드 SN1의 전압을 BLGT에 전달시켜 메인 셀에 피드백하여 재저장할 수 있도록 한다.

이와 같은 센스앰프의 동작에 따르면, 제 3 앤모스 트랜지스터(MN3)와 제 4 앤모스 트랜지스터(MN4)가 제 1 증폭부(100)를 구성하고, 제 1 피모스 트랜지스터(MP1)와 제 2 피모스 트랜지스터(MP2)가 제 2 증폭부(103)를 구성하게 된다.

여기서, 미설명 부호 SEN은 센스앰프 활성화 신호로써, 로우 액티브 신호이고, SALE신호는 제 1 앤모스 트랜지스터(MN1)와 제 2 앤모스 트랜지스터(MN2)를 활성화시키는 신호로써, 하이 액티브 신호이다.

도 19는 본 발명의 센스앰프에의 제 2 실시예를 도시하였다.

제 1 실시예에 따른 센스앰프와 비교하여 볼 때, 제 2 증폭부(103)가 서로 상이하다.

즉, 제 1 실시예에 따른 제 2 증폭부(103)는 피모스인 제 1, 제 2 트랜지스터로 구성되고, 제 1 트랜지스터의 드레인이 제 2 트랜지스터의 게이트에 연결되고, 제 2 트랜지스터의 드레인은 제 1 트랜지스터의 게이트에 연결되는 구성을 갖는다.

이에 반하여 제 2 실시예에 따른 제 2 증폭부(103)는 래치회로로 구성된다.

즉, 피모스와 앤모스로 구성되는 제 1 인버터(103a)와 제 2 인버터(103b)로 구성되는데, 상기 제 1 인버터(103a)를 구성하고 있는 피모스 및 앤모스 트랜지스터의 공통 게이트는 상기 제 2 인버터(103b)를 구성하고 있는 피모스 트랜지스터의 드레인에 연결된다.

그리고 제 2 인버터(103b)를 구성하고 있는 피모스 및 앤모스 트랜지스터의 공통 게이트는 상기 제 1 인버터(103a)를 구성하고 있는 피모스 트랜지스터의 드레인에 연결된다.

또한, 제 1 실시예에 따른 센스앰프는 제 1 인버터(103a)의 앤모스 트랜지스터와 제 2 인버터(103b)의 앤모스 트랜지스터가 공통으로 접지단(Vss)에 연결되었으나 제 2 실시예에서는 센스앰프 인에이블 신호(SEN) 입력단에 연결된다.

이와 같은 본 발명의 센스앰프의 제 2 실시예는 상기 제 2 증폭부(103)가 두 개의 인버터로 구성되어 있다는 것과, 상기 제 1, 제 2 인버터(103a)(103b)의 앤모스 트랜지스터가 센스앰프 인에이블 신호(SEN) 입력단에 연결된다는 것을 제외하면 제 1 실시예에 따른 센스앰프의 구성과 동일하므로 이하 생략한다.

이와 같은 센스앰프의 제 1 실시예의 동작 타이밍도를 도 20에 도시하였다.

그리고 도 21은 도 21은 리드모드(Read Mode)에서의 센스앰프의 동작타이밍도이고, 도 22는 라이트모드(Write Mode)에서의 센스앰프의 동작타이밍도이다.

도 20에 도시한 바와 같이, 워드라인(W/L)과 플레이트 라인(P/L)이 동시에 하이(high)로 천이되면 센스앰프 인에이블 신호(SEN)가 로우(low)로 활성화된다.

그리고 도 18에 도시된 제 1, 제 2 앤모스 트랜지스터(MN1, MN2)를 활성화시키는 신호(SALE)가 하이레벨로 활성화되면 칼럼선택신호가 하이로 천이된다.

여기서, 리드모드시 센스앰프의 동작은 도 21에 도시한 바와 같이, 워드라인(W/L)과 플레이트 라인(P/L)이 둘 다 하이(high)인 구간에서 상기 도 18에 도시된 제 1, 제 2 앤모스 트랜지스터(MN1, MN2)를 활성화시키는 신호(SALE)가 하이레벨로 천이되면, 칼럼선택신호가 순차적으로 하이레벨로 천이된다.

여기서, 상기 칼럼선택신호의 천이동작은 t10구간까지 순차적으로 수행된다.

이와 같은 리드모드와는 달리 라이트 모드의 경우에는 도 22에 도시된 바와 같이, 칼럼선택신호의 천이동작이 워드라인(W/L)과 플레이트 라인(P/W)이 둘 다 하이인 구간중에서 t6~t7구간내에서만 순차적으로 수행된다.

즉, 칼럼선택신호(COLSEL1, COLSEL2, COLSEL3, ... COLSELn)는 워드라인과 플레이트 라인이 둘 다 하이인 구간중에서 도 18에 도시된 제 1, 제 2 앤모스 트랜지스터(MN1, MN2)를 활성화시키는 신호(SALE)가 하이레벨로 천이되면 t6~t7구간내에서 순차적으로 천이된다.

이와 같이, 칼럼선택신호가 순차적으로 모두 천이되고 나면, 워드라인(W/L)은 로우로 천이되고, 상기 워드라인(W/L)이 로우에서 하이로 다시 천이될 때, 플레이트 라인(P/L)은 로우로 천이된다.

한편, 도 23a는 본 발명의 센스앰프의 제 2 실시예에 따른 동작타이밍도이다.

도 23a에 도시된 바와 같이, 센스앰프 인에이블 신호(SEN)가 워드라인(W/L) 및 플레이트 라인(P/L)이 하이로 천이되는 동시에 로우로 활성화되는 것을 알 수 있다.

즉, 전술한 SALE신호보다 더 빨라 센스앰프 인에이블 신호(SEN)를 활성화시킴으로써, 센싱스피드를 개선시킬 수가 있다.

한편, 도 23b는 본 발명에 따른 레벨슈프터의 제 2 실시예에서 사용하는 REFCON신호와 센스앰프에서 사용하는 신호를 비교하여 도시한 동작타이밍도이다.

도 23b에 도시한 바와 같이, 레벨슈프터의 출력단 레벨을 안정화시키기 위한 컨트롤신호(REFCON)가 로우로 천이됨과 동시에 센스앰프 인에이블 신호(SEN)가 로우로 활성화되는 것을 알 수 있다.

즉, SALE신호가 하이로 활성화되기 이전에 미리 REFCON신호에 의해 레벨 슈프터의 출력단의 레벨 변동을 보상하여 주므로써, 레벨 슈프터로부터 레퍼런스 전압(CREF)을 받는 센스앰프가 안정된 센싱동작을 할 수 있다.

한편, 도 24은 본 발명의 제 2 실시예에 따른 비휘발성 강유전체 메모리장치의 셀 어레이의 구성도이다.

도 24에 도시된 셀 어레이를 도 6과 비교할 때, 메인 비트라인 컨트롤부나 레퍼런스 비트라인 컨트롤부가 메인 셀 어레이부의 하측에만 구성되는 것이 아니라 상측에도 구성되어 있음을 알 수 있다.

이는 레이아웃을 보다 효율적으로 이용하기 위한 것이다.

즉, 도 24에 도시한 바와 같이, 메인 셀 어레이부(201), 상기 메인 셀 어레이부(201)의 상측과 하측에 각각 형성된 제 1 메인 비트라인 컨트롤부(203a)와 제 2 메인 비트라인 컨트롤부(203b), 상기 메인 셀 어레이부(201)의 일측에 형성된 워드라인 구동부(205), 상기 메인 셀 어레이부(201)의 다른 일측에 형성된 플레이트 라인 구동부(207), 상기 제 1, 제 2 메인 비트라인 컨트롤부(203a, 203b)의 일측에 형성된 제 1 레퍼런스 비트라인 컨트롤부(209a)와 제 2 레퍼런스 비트라인 컨트롤부(209b)로 구성된다.

상기의 구성을 메인 셀 어레이부를 중심으로 보다 상세하게 나타낸 것을 도 25에 도시하였다.

도 25에 도시한 바와 같이, 메인 셀 어레이부(201)에 구성된 메인 글로벌 비트라인중에서 홀수번째 메인 글로벌 비트라인(BLG_n, BLG_{n+2}, BLG_{n+4}, ...)들은 하측에 구성된 제 2 메인 비트라인 컨트롤부(203b)에 연결되고, 짝수번째 메인 글로벌 비트라인(BLG_{n+1}, BLG_{n+3}, BLG_{n+5}, ...)들은 상측에 구성된 메인 비트라인 컨트롤부(203a)에 연결된다.

그리고 레퍼런스 글로벌 비트라인(BLRG₁, BLRG₂)들은 메인 셀 어레이부(201)의 상, 하측에 형성된 레퍼런스 비트라인 컨트롤부(209a, 209b)와 연결되는데, 상기 레퍼런스 비트라인 컨트롤부(209a, 209b)는 두 개의 레퍼런스 글로벌 비트라인(BLRG₁, BLRG₂)을 수용한다.

또한, 전술한 바와 같이, 메인 셀 어레이부(201)는 복수개의 서브 셀 어레이부(201₁, 201₂, ...)들로 구성된다.

각 서브 셀 어레이부에는 메인 글로벌 비트라인에 상응하여 메인 로컬 비트라인이 구성되는데, 일례로 첫 번째 메인 글로벌 비트라인(BRG_n)에 상응하여 복수개의 메인 로컬 비트라인(BLL1_n, BLL2_n, ..., BLLn_n)이 구성된다.

그리고 레퍼런스 글로벌 비트라인(BLRG₁, BLRG₂)에도 레퍼런스 로컬 비트라인이 구성되는데, 일례로 첫 번째 레퍼런스 글로벌 비트라인(BLRG₁)에 상응하여 복수개의 레퍼런스 로컬 비트라인(BLLR1₁, BLLR2₁, ..., BLLRn₁)이 구성된다.

여기서, 각 서브 셀 어레이부마다 형성된 메인 로컬 비트라인들은 해당 메인 글로벌 비트라인과 스위칭소자(SW11~SWnn)를 통해 연결 또는 단절된다.

따라서, 스위칭소자들이 선택적으로 온/오프됨에 따라 해당 메인 로컬 비트라인이 메인 글로벌 비트라인과 연결된다.

여기서, 임의의 서브 셀 어레이부 예를들어, 첫 번째 서브 셀 어레이부(201₁)내의 스위칭소자(SW11, SW12, SW13, ... SW1n)들중 턴-온된 임의의 스위칭소자가 홀수번째 메인 글로벌 비트라인(BLG_n 또는 BLG_{n+2} 또는 BLG_{n+4}, ...)에 연결되어 있으면, 해당 메인 로컬 비트라인의 데이터는 상기 제 2 메인 비트라인 컨트롤부(203b)내의 메인 센스앰프(도시되지 않음)로 전달된다.

만일, 짝수번째 메인 글로벌 비트라인(BLG_{n+1} 또는 BLG_{n+3} 또는 BLG_{n+5}, ...)에 연결되어 있으면, 상기 제 1 메인 비트라인 컨트롤부(203a)내의 레퍼런스 센스앰프(도시되지 않음)로 데이터가 전달된다.

도 26은 도 24의 구성중 제 1 메인 비트라인 컨트롤부 및 제 1 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 도시한 것이다.

도 26에 도시한 바와 같이, 제 1 레퍼런스 비트라인 컨트롤부(209a)에는 하나의 레퍼런스 센스앰프(204a)가 구성되고, 제 1 메인 비트라인 컨트롤부(203a)에는 짝수번째 메인 글로벌 비트라인(BLG_{n+1}, BLG_{n+3}, BLG_{n+5}, ...)마다 메인 센스앰프(206_{n+1}, 206_{n+3}, 206_{n+5}, ...)가 구성되어 있다.

그리고 홀수번째 메인 글로벌 비트라인(BLG_n,BLG_{n+2},BLG_{n+4},...)은 제 2 메인 비트라인 컨트롤부(도면에는 도시되지 않음)에 연결되므로 상기 제 2 메인 비트라인 컨트롤부에도 메인 센스앰프(도시되지 않음)가 구성된다.

또한, 도 13에 도시된 본 발명의 제 1 실시예와 마찬가지로 인접한 메인 글로벌 비트라인 사이에는 비트라인 프리차지 회로부(208a₁,208a₂,...)가 각각 구성된다.

그리고 메인 글로벌 비트라인들중 마지막번째 메인 글로벌 비트라인과 상기 레퍼런스 센스앰프(204a)에 연결되는 레퍼런스 글로벌 비트라인(BLRG₂) 사이에도 비트라인 프리차지 회로부(210a)가 구성된다.

여기서, 상기 제 1 레퍼런스 비트라인 컨트롤부(207a)는 두 개의 레퍼런스 글로벌 비트라인(BLRG₁,BLRG₂)을 수용하는데, 이중 하나는 레퍼런스 센스앰프(204a)에 연결되고, 다른 하나는 일정한 전압(Constant Voltage)이 인가된다.

또한, 제 1 메인 비트라인 컨트롤부(203a)내의 메인 센스앰프(206_{n+1},206_{n+3},...)에는 상기 레퍼런스 센스앰프(204a)에서 제공되는 레퍼런스 전압(CREF)이 공통으로 인가된다.

도 27은 도 24의 구성중 제 2 메인 비트라인 컨트롤부 및 제 2 레퍼런스 비트라인 컨트롤부를 중심으로 보다 상세하게 도시한 것이다.

도 27에 도시한 바와 같이, 상기 제 2 메인 비트라인 컨트롤부(203b)나 제 2 레퍼런스 비트라인 컨트롤부(209b)의 구성은 전술한 제 1 메인 비트라인 컨트롤부(203a) 및 제 2 레퍼런스 비트라인 컨트롤부(209a)의 구성과 동일하다.

즉, 제 2 레퍼런스 비트라인 컨트롤부(209b)에는 하나의 레퍼런스 센스앰프(204b)가 구성되고, 제 2 메인 비트라인 컨트롤부(203b)에는 홀수번째 메인 글로벌 비트라인(BLG_n,BLG_{n+2},...)마다 메인 센스앰프(206_n,206_{n+2})가 구성된다.

상기 레퍼런스 센스앰프(204b)에는 하나의 레퍼런스 글로벌 비트라인(BLRG₂)이 연결되고, 나머지 하나에는 일정한 전압이 인가된다.

그리고 인접한 메인 글로벌 비트라인 사이에는 비트라인 프리차지 회로부(208b₁,208b₂,...)가 구성되고, 상기 메인 센스앰프(206_n,206_{n+2},...)에는 상기 레퍼런스 센스앰프(204b)에서 제공되는 레퍼런스 전압(CREF)이 공통으로 인가된다.

여기서, 도면에는 도시하지 않았지만, 본 발명의 제 2 실시예에 따른 서브 셀 어레이부의 상세 구성은 본 발명의 제 1 실시예에서 설명한 도 10과 동일하므로 이하 생략한다.

그리고 본 발명의 제 2 실시예의 비휘발성 메모리장치에 따른 센스앰프 및 레벨 슈프터, 비트라인 프리차지 레벨 공급부의 구성은 전술한 본 발명의 제 1 실시예와 동일하다.

발명의 효과

이상에서와 같이, 본 발명의 제 1 및 제 2 실시예에 따른 비휘발성 강유전체 메모리 소자의 구동회로는 다음과 같은 효과가 있다.

레퍼런스 셀이 한 번 액세스 될 때 메인 셀도 한 번 액세스 되므로 레퍼런스 셀과 메인 셀이 액세스되는 횟수가 동일하다.

따라서, 메인 셀에 비해 레퍼런스 셀이 과도하게 액세스되는 종래 기술과는 달리 레퍼런스 셀에 의한 유도전압과 메인 셀에 의한 유도전압을 동일하게 유지시킬 수가 있으므로 소자의 수명을 연장시킬 수 있다.

그리고 센싱동작에 있어서 안정된 센스앰프의 레퍼런스전압을 공급할 수가 있으므로 안정된 센싱동작을 수행할 수 있다.

(57) 청구의 범위

청구항 1

복수개의 서브 셀 어레이들과, 상기 각 서브 셀 어레이들을 가로지르는 방향으로 형성되는 복수개의 메인 글로벌 비트라인 및 적어도 한 쌍의 레퍼런스 글로벌 비트라인들과, 상기 각 메인 글로벌 비트라인 및 레퍼런스 글로벌 비트라인에 대응하여 형성되는 메인 로컬 비트라인 및 레퍼런스 로컬 비트라인들과, 상기 각 로컬 비트라인과 해당 글로벌 비트라인 사이에 구성되는 스위칭 소자들을 포함하여 이루어지는 메인 셀 어레이부;

상기 메인 셀 어레이부의 하부 또는 상부에 형성되며 상기 한 쌍의 레퍼런스 글로벌 비트라인중 일 비트라인을 통해 인가되는 신호를 센싱하여 레퍼런스 전압을 출력하는 레퍼런스 센스앰프로 구성되는 레퍼런스 비트라인 컨트롤부;

상기 레퍼런스 비트라인 컨트롤부의 일측에 형성되며 상기 메인 글로벌 비트라인마다 연결되어 상기 레퍼런스 전압을 받아 해당 글로벌 비트라인을 통해 인가되는 신호를 센싱하는 복수개의 메인 센스앰프들로 구성되는 메인 비트라인 컨트롤부;

상기 메인 셀 어레이부의 일측에 형성되어 셀 선택을 위한 구동신호를 출력하는 워드라인 구동부; 그리고

상기 메인 셀 어레이부의 다른 일측에 형성되어 상기 워드라인 구동부의 구동신호와 함께 셀 선택을 위한 구동신호를 출력하는 플레이트 라인 구동부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 장치.

청구항 2

제 1 항에 있어서, 상기 서브 셀 어레이부는

워드라인과 플레이트 라인이 한 쌍을 이루어 상기 글로벌 비트라인과 교차하는 방향으로 복수개의 쌍들이 형성되는 워드라인쌍들과,

상기 각 글로벌 비트라인에 상응하여 형성되는 로컬 비트라인들과,

상기 로컬 비트라인 및 상기 워드라인쌍을 기본단위로하여 상기 로컬 비트라인에 연결되는 복수개의 단위 셀들을 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 장치.

청구항 3

제 2 항에 있어서, 상기 제 1 단위 셀들은

게이트 단자가 상기 워드라인(W/L)에 연결되고 소오스 단자가 상기 로컬 비트라인에 연결되며 드레인 단자와 상기 플레이트 라인 사이에 구성된 강유전체 커패시터(FC1)로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 4

제 1 항에 있어서, 상기 메인 비트라인 컨트롤부는

상기 인접한 글로벌 비트라인들을 서로 일정레벨로 프리차지시키는 비트라인 프리차지 회로부를 더 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 5

제 1 항에 있어서, 상기 레퍼런스 글로벌 비트라인중 상기 레퍼런스 센스앰프와 연결되지 않은 나머지 하나의 레퍼런스 글로벌 비트라인에는 일정한 전압이 인가되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 6

제 1 항에 있어서, 레퍼런스 비트라인 컨트롤부는

상기 레퍼런스 센스앰프와 연결된 상기 레퍼런스 글로벌 비트라인과 상기 메인 글로벌 비트라인들중 마지막 번째 메인 글로벌 비트라인 사이에 형성된 비트라인 프리차지 회로부를 더 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 7

제 6 항에 있어서, 상기 비트라인 프리차지 회로부는

복수개의 글로벌 비트라인들과,

각 글로벌 비트라인들 사이에 구성된 비트라인 이퀄라이즈 스위치부와,

상기 비트라인을 프리차지시키는 프리차지 신호를 상기 각각의 글로벌 비트라인으로 스위칭하는 복수개의 비트라인 프리차지 스위치부를 포함하여 구성되는 것을 특징으로 비휘발성 강유전체 메모리장치.

청구항 8

제 7 항에 있어서, 상기 비트라인 프리차지 신호의 레벨은 상기 앤모스 트랜지스터의 문턱전압과 동일하거나 혹은 약간 큰 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 9

제 7 항에 있어서, 상기 프리차지 신호는 소오스가 전원단(Vcc)에 연결되고 비트라인 프리차지 레벨 공급부를 활성화시키기 위한 활성화신호(BQLEN)에 의해 컨트롤되는 제 1 피모스 트랜지스터(MP1)와, 소오스가 각각 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 분기접속되고 게이트가 공통으로 연결되는 제 2 피모스 트랜지스터(MP2) 및 제 3 피모스 트랜지스터(MP3)와, 상기 제 3 피모스 트랜지스터(MP3)의 드레인 전압에 의해 컨트롤되며 상기 접지전압을 선택적으로 출력하는 제 1 앤모스 트랜지스터(MN1)와, 상기 제 2 피모스 트랜지스터(MP2)와 상기 제 1 앤모스 트랜지스터(MN1) 사이에 연결되며 외부에서 인가되는 레퍼런스 전압(REF_IN)에 의해 컨트롤되는 제 2 앤모스 트랜지스터(MN2)와, 상기 제 3 피모스 트랜지스터(MP3)와 제 1 앤모스 트랜지스터(MN1) 사이에 연결되며 출력단(노드 1) 전압에 의해 컨트롤되는 제 3 앤모스 트랜지스터(MN3)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 분기 접속되며 게이트가 공통으로 연결된 제 4 피모스 트랜지스터(MP5) 및 제 5 피모스 트랜지스터(MP5)와, 상기 제 4 피모스 트랜지스터(MP4) 및 제 5 피모스 트랜지스터(MP5)의 게이트 전압에 의해 컨트롤되며 접지전압을 선택적으로 출력하는 제 4 앤모스 트랜지스터(MN4)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 소오스가 연결되고, 상기 제 5 피모스 트랜지스터(MP5)의 드레인 전압에 의해 컨트롤되는 제 5 앤모스 트랜지스터(MN5)와, 상기 제 5 앤모스 트랜지스터(MN5)의 게이트와 드레인 사이에 연결되고 상기 제 2 앤모스 트랜지스터(MN2)의 드레인 전압에 의해 컨트롤되는 제 6 앤모스 트랜지스터(MN6)와, 상기 제 3 피모스 트랜지스터(MP3)의 드레인 전압에 의해 컨트롤되며 상기 제 4 피모스 트랜지스터(MP4)와 상기 제 4 앤모스 트랜지스터(MN4) 사이에 연결되는 제 7 앤모스 트랜지스터(MN7)와, 상기 제 2 앤모스 트랜지스터(MN2)의 드레인 전압에 의해 컨트롤되며 상기 제 5 피모스 트랜지스터(MP5)와 제 4 앤모스 트랜지스터(MN4) 사이에 연결된 제 8 앤모스 트랜지스터(MN8)와, 상기 제 2 앤모스 트랜지스터(MN2)의 드레인 전압에 의해 컨트롤되며 드레인이 상기 출력단(노드 1)에 연결되는 제 9 앤모스 트랜지스터(MN9)와, 상기 제 9 앤모스 트랜지스터(MN9)의 소오스와 접지단(Vss) 사이에 연결되며 게이트와 드레인이 공통으로 연결된 제 10 트랜지스터(NM10)와,

상기 전원단(Vcc)과 제 1 피모스 트랜지스터(MP1) 사이에 분기접속되고 비트라인 프리차지 레벨 공급부를 활성화시키기 위한 활성화신호(BQLEN)에 의해 컨트롤되는 제 6 피모스 트랜지스터(MP6)와, 상기 제 6 피모스 트랜지스터(MP6)의 접지단(Vss) 사이에 시리얼하게 연결되는 제 7 피모스 트랜지스터(MP7) 및 제 11 앤모스 트랜지스터(MN11)를 포함하여 구성되는 비트라인 프리차지 레벨 공급부에서 공급되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 10

제 9 항에 있어서, 상기 제 11 앤모스 트랜지스터(MN11)의 게이트는 드레인과 공통으로 연결되어 상기 제 2 앤모스 트랜지스터(MN2)의 게이트에 인가되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 11

제 1 항에 있어서, 상기 레퍼런스 센스앰프는 레퍼런스 글로벌 비트라인을 통해 인가되는 신호의 레벨을 쉬프팅시키는 레벨쉬프터와, 상기 레퍼런스 글로벌 비트라인을 풀-다운시키는 풀-다운 컨트롤부로 구성되며, 상기 레벨쉬프터는 레벨쉬프터를 인에이블시키는 인에이블 신호(LSEN)에 의해 컨트롤되고 소오스가 전원단(Vcc)에 연결된 제 1 피모스 트랜지스터(MP1)와, 상기 제 1 피모스 트랜지스터(MP1)의 드레인에서 분기 접속된 제 2 피모스 트랜지스터(MP2) 및 제 3 피모스 트랜지스터(MP3)와, 레퍼런스 글로벌 비트라인의 신호(BLRG_2)에 의해 컨트롤되며 상기 제 2 피모스 트랜지스터(MP2)와 연결된 제 1 앤모스 트랜지스터(MN1)와, 소오스가 상기 제 1 앤모스 트랜지스터(MN1)의 드레인에 공통으로 연결되며 상기 제 1 앤모스 트랜지스터(MN1)와 상기 제 3 피모스 트랜지스터(MP3) 사이에 연결된 제 2 앤모스 트랜지스터(MN2)와, 상기 제 1, 제 2 앤모스 트랜지스터 소오스와 접지단(Vss) 사이에 연결되며 상기 제 2 피모스 트랜지스터(MP2)의 드레인 전압에 의해 컨트롤되는 제 3 앤모스 트랜지스터(MN3)와, 소오스가 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 공통으로 연결되며 게이트들이 공통으로 연결된 제 4 피모스 트랜지스터(MP4) 및 제 5 피모스 트랜지스터(MP5)와, 상기 레퍼런스 글로벌 비트라인(BLRG_2)신호에 의해 컨트롤되며 드레인이 상기 제 4 피모스 트랜지스터(MP4)의 드레인에 연결되는 제 4 앤모스 트랜지스터(MN4)와, 출력단(노드 1)의 전압에 의해 컨트롤되며 드레인이 상기 제 5 피모스 트랜지스터(MP5)의 드레인에 연결되고 소오스는 상기 제 4 앤모스 트랜지스터(MN4)의 소오스와 공통으로 연결된 제 5 앤모스 트랜지스터(MN5)와, 상기 제 5 앤모스 트랜지스터(MN5)의 드레인 전압에 의해 컨트롤되며 상기 제 4, 제 5 앤모스 트랜지스터(MN4)(MN5)의 소오스와 접지단(Vss) 사이에 연결된 제 6 앤모스 트랜지스터(MN6)와, 외부에서 인가되는 레퍼런스 전압 컨트롤신호(REFCON)에 의해 컨트롤되며 소오스가 상기 제 1 피모스 트랜지스터(MP1)의 드레인에 연결되는 제 6 피모스 트랜지스터(MP6)와, 소오스가 상기 제 6 피모스 트랜지스터(MP6)의 드레인에 연결되고 상기 제 3 피모스 트랜지스터(MP3)의 드레인 전압에 의해 컨트롤되는 제 7 앤모스 트랜지스터(MN7)와, 상기 제 4 앤모스 트랜지스터(MN4)의 드레인 전압에 의해 컨트롤되며 상기 제 3 피모스 트랜지스터(MP3)의 드레인과 상기 제 7 앤모스 트랜지스터(MN7)의 드레인 사이에 연결되는 제 8 앤모스 트랜지스터(MN8)와, 상기 레퍼런스 전압 컨트롤신호(REFCON)에 의해 컨트롤되고 상기 제 7 앤모스 트랜지스터(MN7)와 접지단(Vss) 사이에 시리얼하게 연결된 제 9 앤모스 트랜지스터(MN9) 및 제 10 앤모스 트랜지스터(MN10)와, 상기 제 4 앤모스 트랜지스터(MN4)의 드레인 전압에 의해 컨트롤되며 소오스는 상기 제 1 피모스 트랜지스터(MP1)의 드레인으로부터 분기접속되고, 드레인은 출력단(노드 1)에 연결되는 제 7 앤모스 트랜지스터(MP7)를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 12

제 1 항에 있어서, 상기 메인 센스앰프는

상부의 메인 셀과 연결되는 글로벌 비트라인 및 하부의 메인 셀과 연결되는 글로벌 비트라인에 소오스가 연결된 제 1 앤모스 트랜지스터와, 상기 상부의 레퍼런스 셀에 연결된 레퍼런스 글로벌 비트라인 및 하부의 레퍼런스 셀에 연결된 레퍼런스 글로벌 비트라인에 소오스가 연결되고 게이트는 상기 제 1 앤모스 트랜지스터의 게이트에 공통연결된 제 2 앤모스 트랜지스터와, 상기 제 1 앤모스 트랜지스터를 통해 들어오는 신호전압을 증폭하는 제 3 앤모스 트랜지스터와, 상기 제 2 앤모스 트랜지스터를 통해 들어오는 기준 전압을 증폭하는 제 4 앤모스 트랜지스터와, 상기 제 3, 제 4 앤모스 트랜지스터에 의해 증폭된 전압을 2차적으로 증폭하기 위해 래치회로로 구성되는 제 2 증폭부를 포함하는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 13

제 12 항에 있어서, 상기 래치회로는 피모스와 앤모스로 구성되는 제 1 인버터와 제 2 인버터로 구성되며, 상기 제 1 인버터를 구성하고 있는 피모스 및 앤모스 트랜지스터의 공통 게이트는 상기 제 2 인버터를 구성하고 있는 피모스 트랜지스터의 드레인에 연결되고, 상기 제 2 인버터를 구성하고 있는 피모스 및 앤모스 트랜지스터의 공통 게이트는 상기 제 1 인버터를 구성하고 있는 피모스 트랜지스터의 드레인에 연결되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 14

제 13 항에 있어서, 상기 제 1 인버터의 앤모스 트랜지스터 및 제 2 인버터의 앤모스 트랜지스터의 드레인은 공통으로 연결되어 센스앰프 인에이블 신호 입력단과 연결되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 15

제 12 항에 있어서, 상기 제 1 앤모스 트랜지스터의 소오스와 상기 상부의 메인 셀과 연결된 글로벌 비트라인 사이에 제 5 앤모스 트랜지스터가 더 구성되고, 상기 제 1 앤모스 트랜지스터의 소오스와 상기 하부의 메인 셀과 연결된 글로벌 비트라인 사이에 제 6 앤모스 트랜지스터가 더 구성되며, 상기 제 2 앤모스 트랜지스터의 소오스와 상기 상부의 레퍼런스 셀과 연결된 레퍼런스 글로벌 비트라인 사이에 제 7 앤모스 트랜지스터가 구성되고, 상기 제 2 앤모스 트랜지스터의 소오스와 상기 하부의 메인 셀과 연결된 글로벌 비트라인 사이에 제 8 앤모스 트랜지스터가 더 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

지.

청구항 16

제 12 항에 있어서, 상기 센스앰프의 출력단에는 칼럼선택신호에 의해 데이터 버스와 선택적으로 스위칭하는 제 9 앤모스 트랜지스터와, 데이터버스와 선택적으로 스위칭하는 제 10 앤모스 트랜지스터가 더 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

청구항 17

복수개의 서브 셀 어레이들과, 상기 각 서브 셀 어레이들을 가로지르는 방향으로 형성되는 복수개의 메인 글로벌 비트라인 및 적어도 한 쌍의 레퍼런스 글로벌 비트라인들과, 상기 각 메인 글로벌 비트라인 및 레퍼런스 글로벌 비트라인에 대응하여 형성되는 메인 로컬 비트라인 및 레퍼런스 로컬 비트라인들과, 상기 각 로컬 비트라인과 해당 글로벌 비트라인 사이에 구성되는 스위칭 소자들을 포함하여 이루어지는 메인 셀 어레이부;

상기 메인 셀 어레이부의 상부에 형성되며 상기 한 쌍의 레퍼런스 글로벌 비트라인중 일 비트라인을 통해 인가되는 신호를 센싱하여 제 1 레퍼런스 전압을 출력하는 제 1 레퍼런스 센스앰프로 구성되는 제 1 레퍼런스 비트라인 컨트롤부;

상기 메인 셀 어레이부의 하부에 형성되며 제 1 레퍼런스 전압과 동일한 전압을 출력하는 제 2 레퍼런스 센스앰프로 이루어지는 제 2 레퍼런스 비트라인 컨트롤부;

상기 제 1 레퍼런스 비트라인 컨트롤부의 일측에 형성되며 상기 복수개의 메인 글로벌 비트라인중 짝수번째 메인 글로벌 비트라인마다 연결되고 상기 제 1 레퍼런스 전압을 받아 해당 글로벌 비트라인을 통해 인가되는 신호를 센싱하는 메인 센스앰프들로 구성되는 제 1 메인 비트라인 컨트롤부;

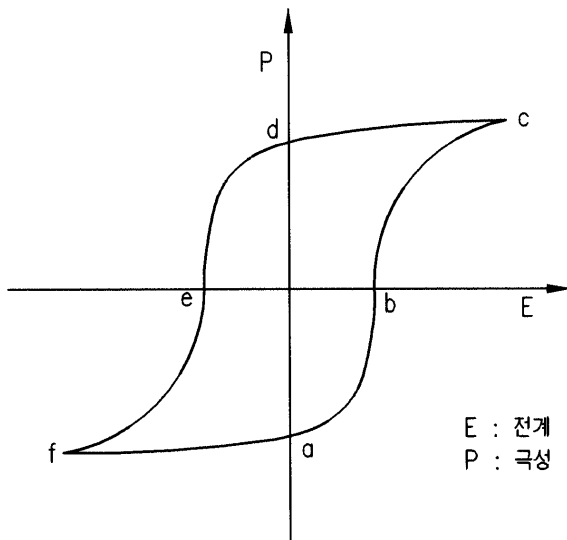
상기 제 2 레퍼런스 비트라인 컨트롤부의 일측에 형성되며 상기 복수개의 메인 글로벌 비트라인중 홀수번째 메인 글로벌 비트라인마다 연결되고 상기 제 2 레퍼런스 전압을 받아 해당 글로벌 비트라인을 통해 인가되는 신호를 센싱하는 메인 센스앰프들로 구성되는 제 2 메인 비트라인 컨트롤부;

상기 메인 셀 어레이부의 일측에 형성되어 셀 선택을 위한 구동신호를 출력하는 워드라인 구동부;

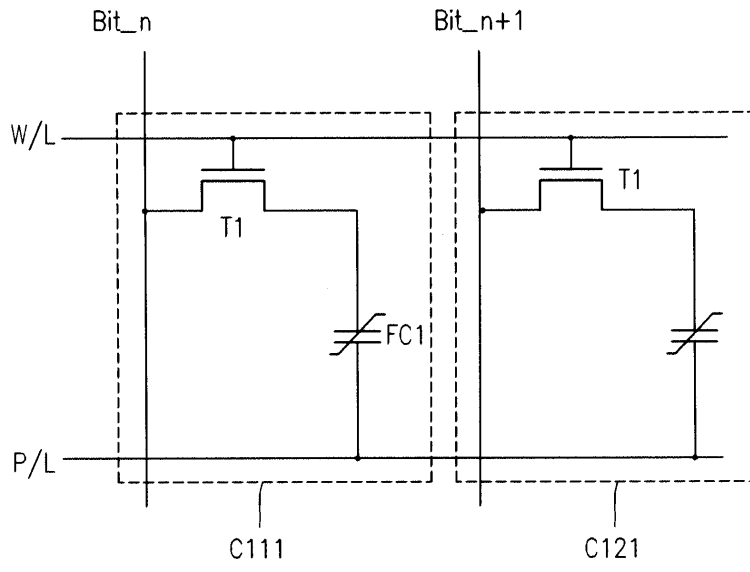
상기 메인 셀 어레이부의 다른 일측에 형성되어 상기 워드라인 구동부에서 출력되는 구동신호와 함께 셀 선택을 위한 구동신호를 출력하는 플레이트 라인 구동부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리장치.

도면

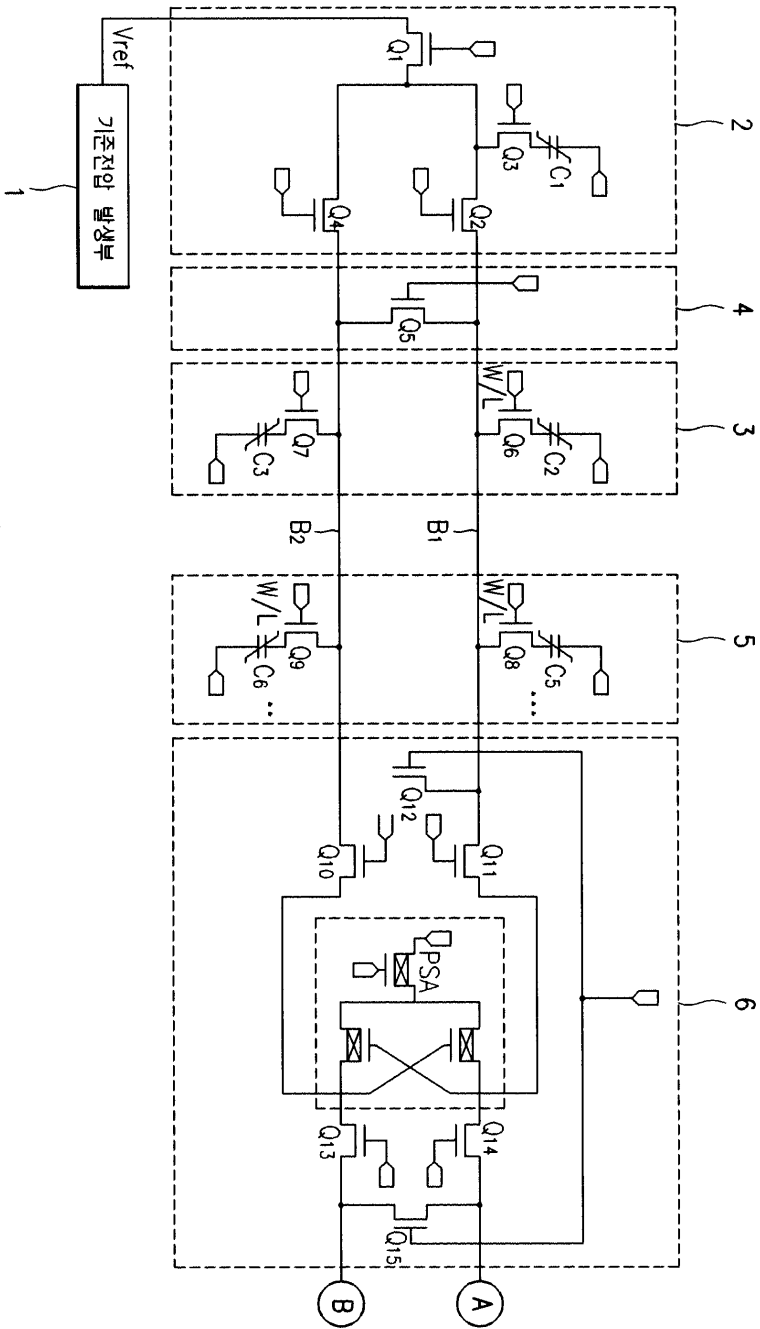
도면1



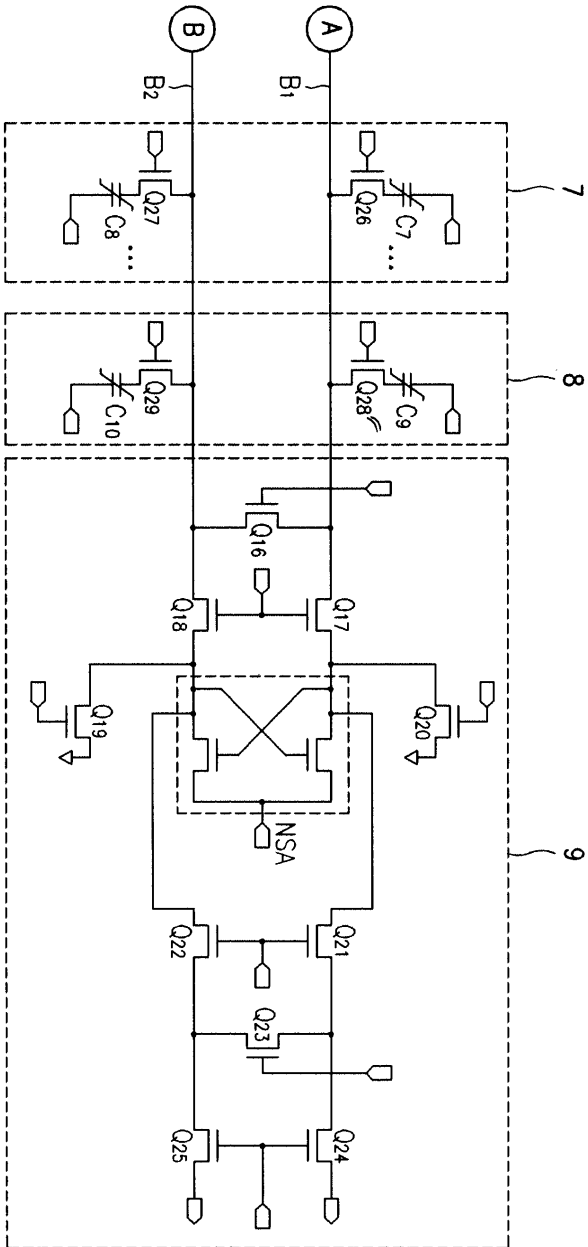
도면2



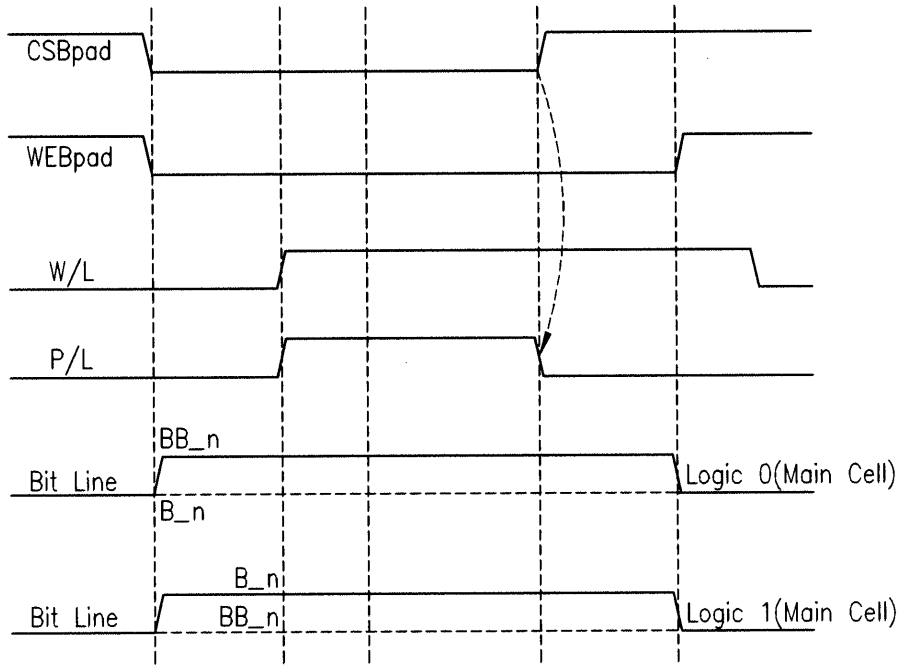
도면3a



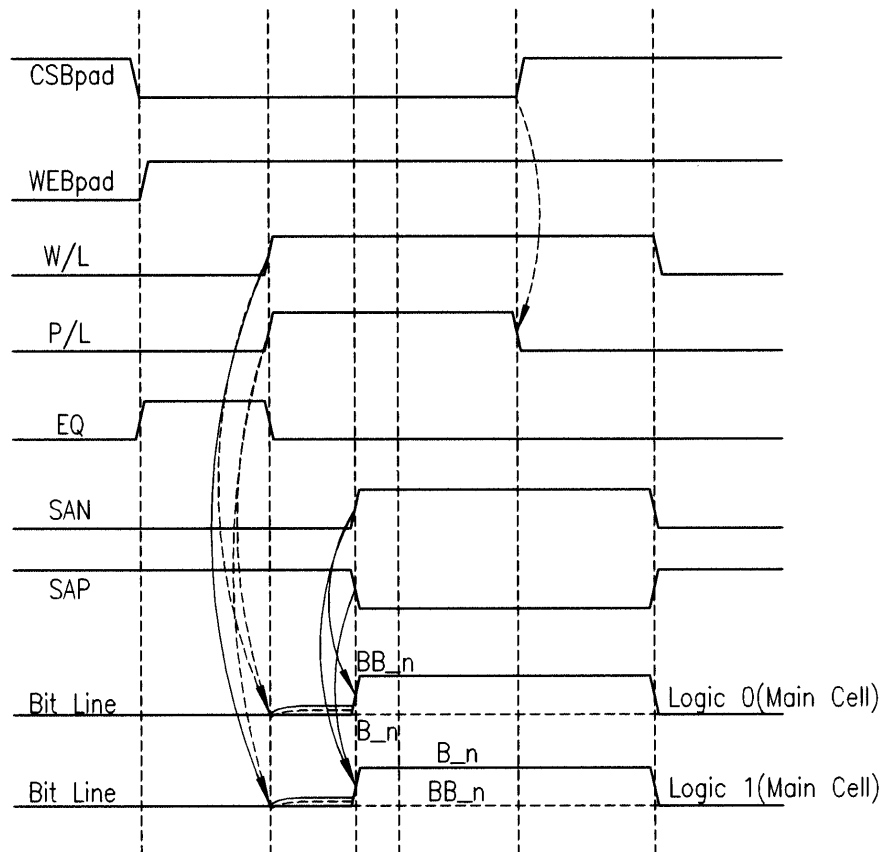
도면3b



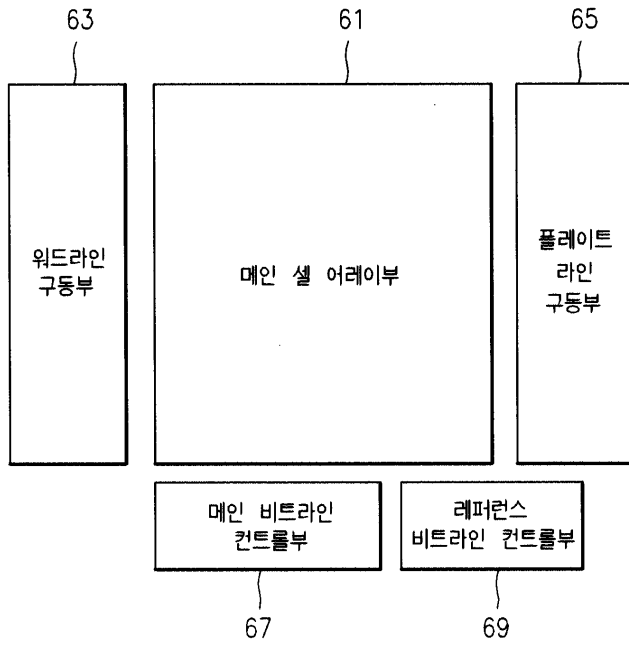
도면4



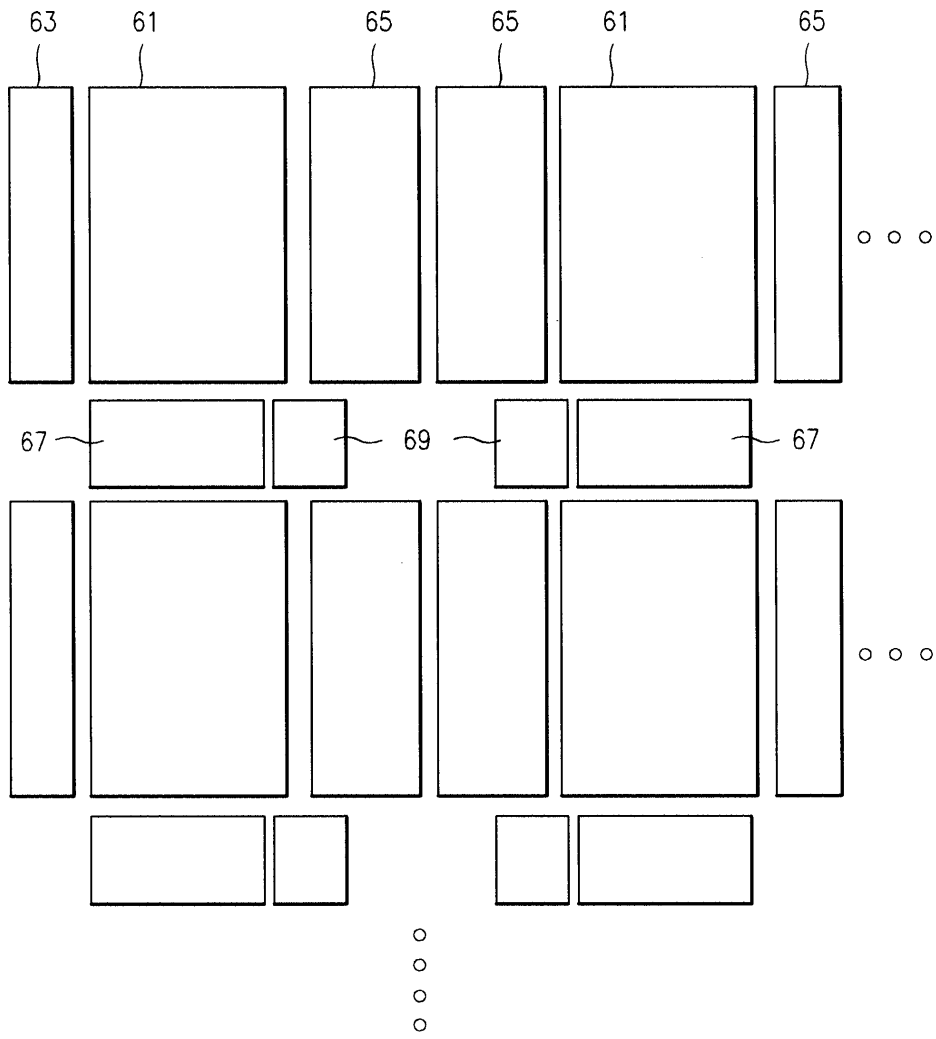
도면5



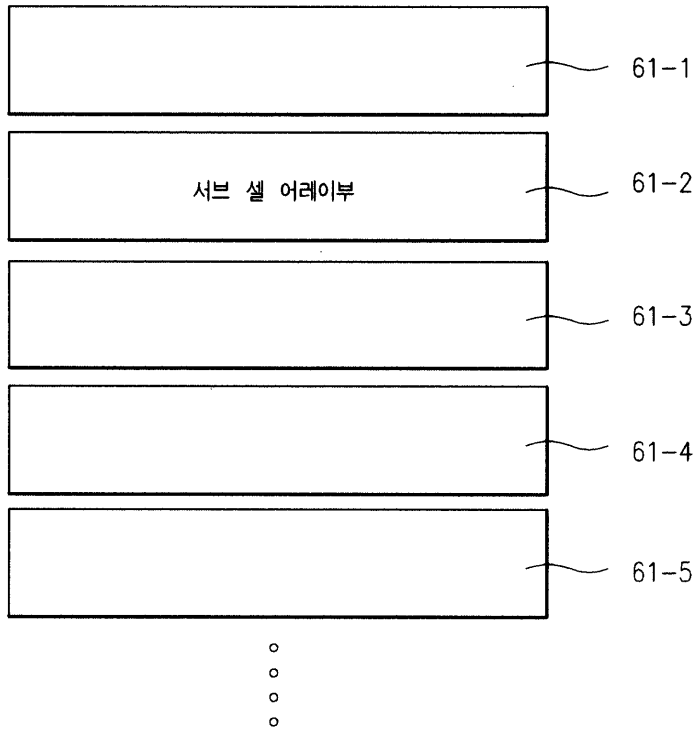
도면6



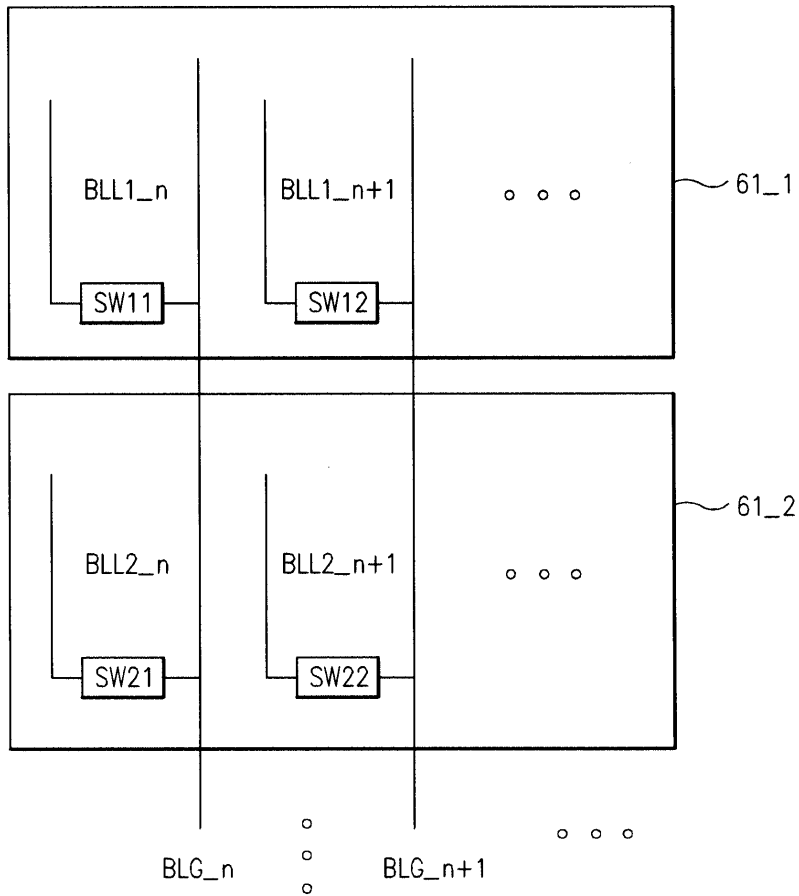
도면7



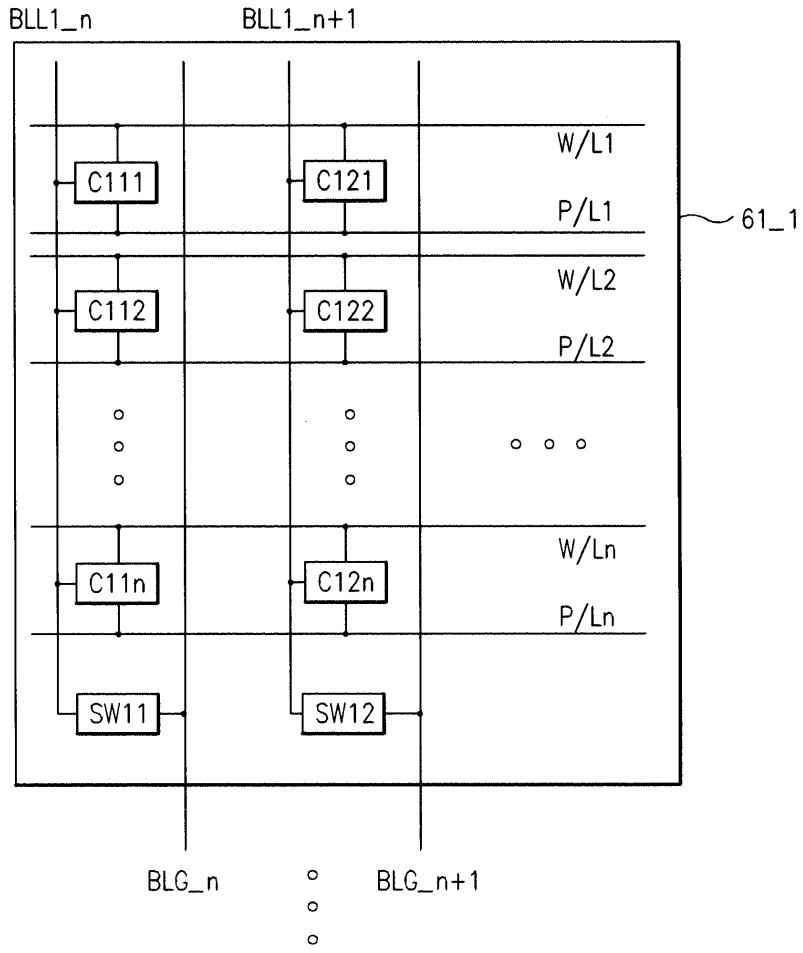
도면8



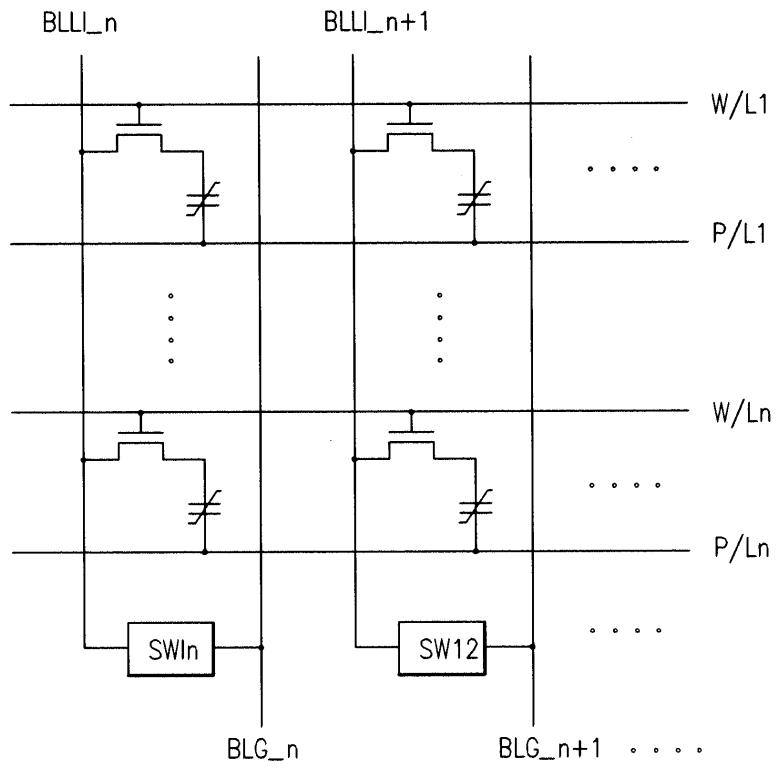
도면9



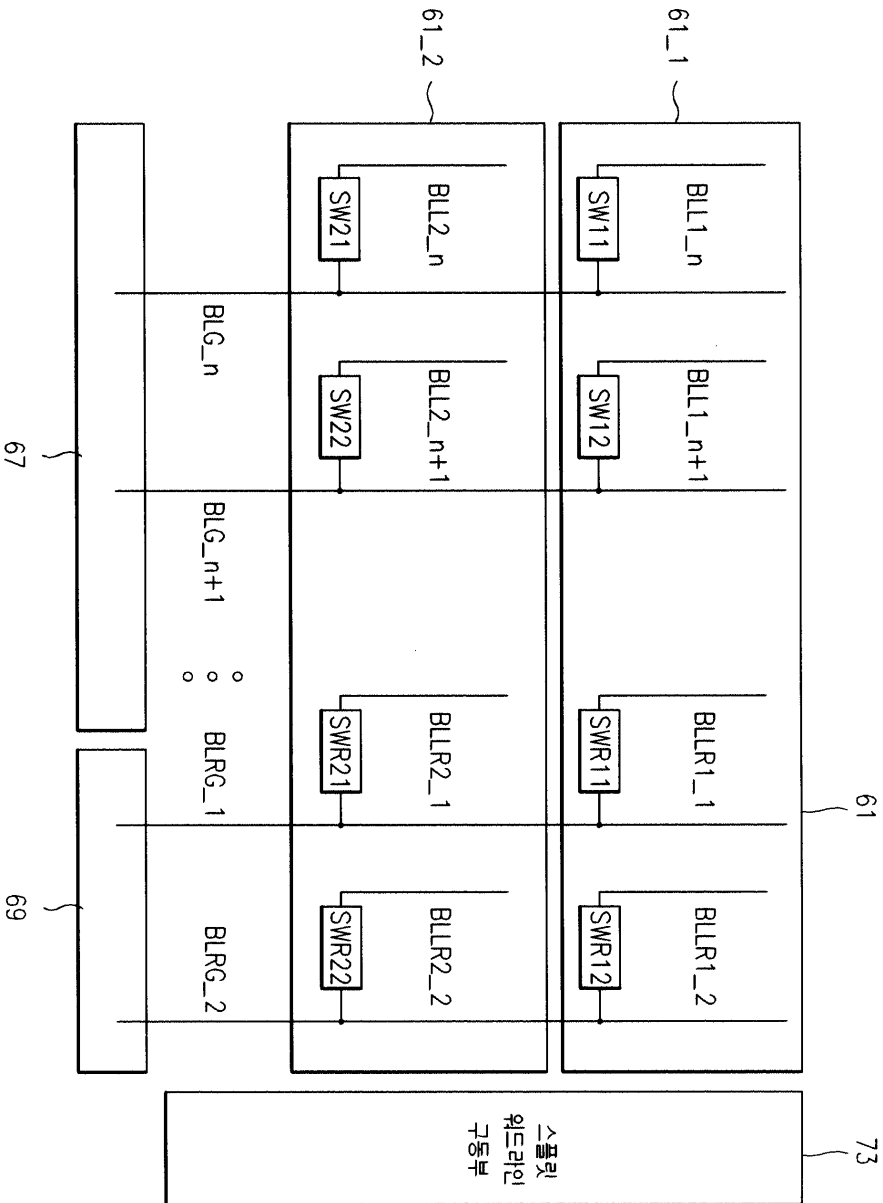
도면10



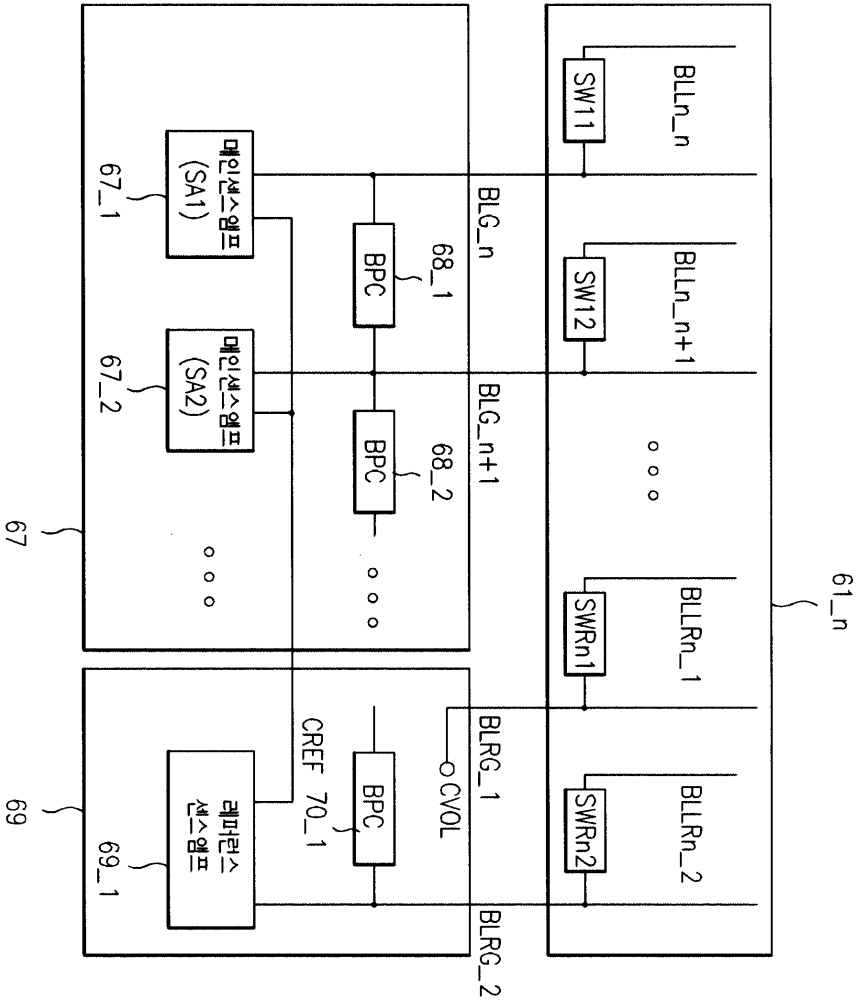
도면11



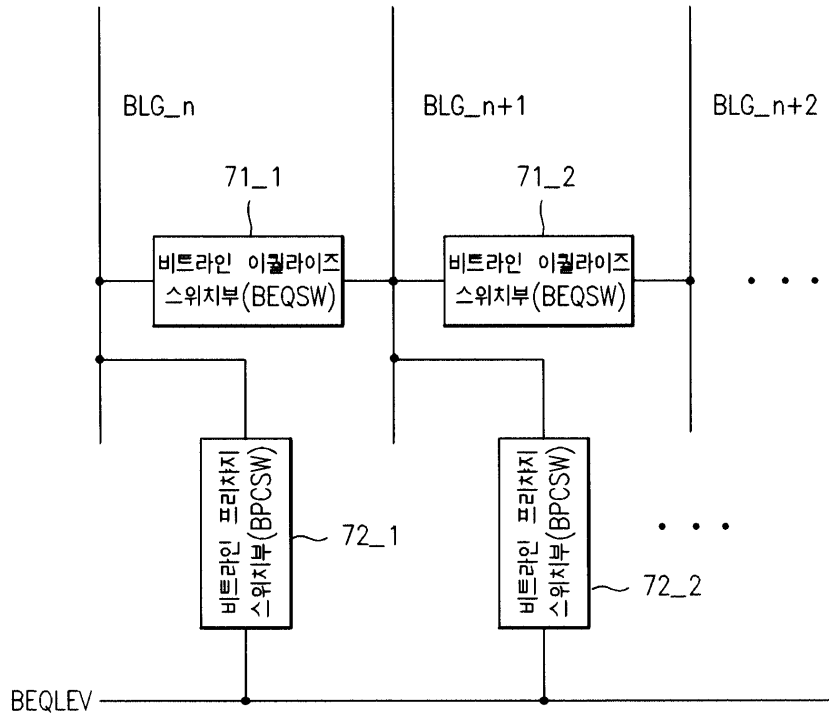
도면12



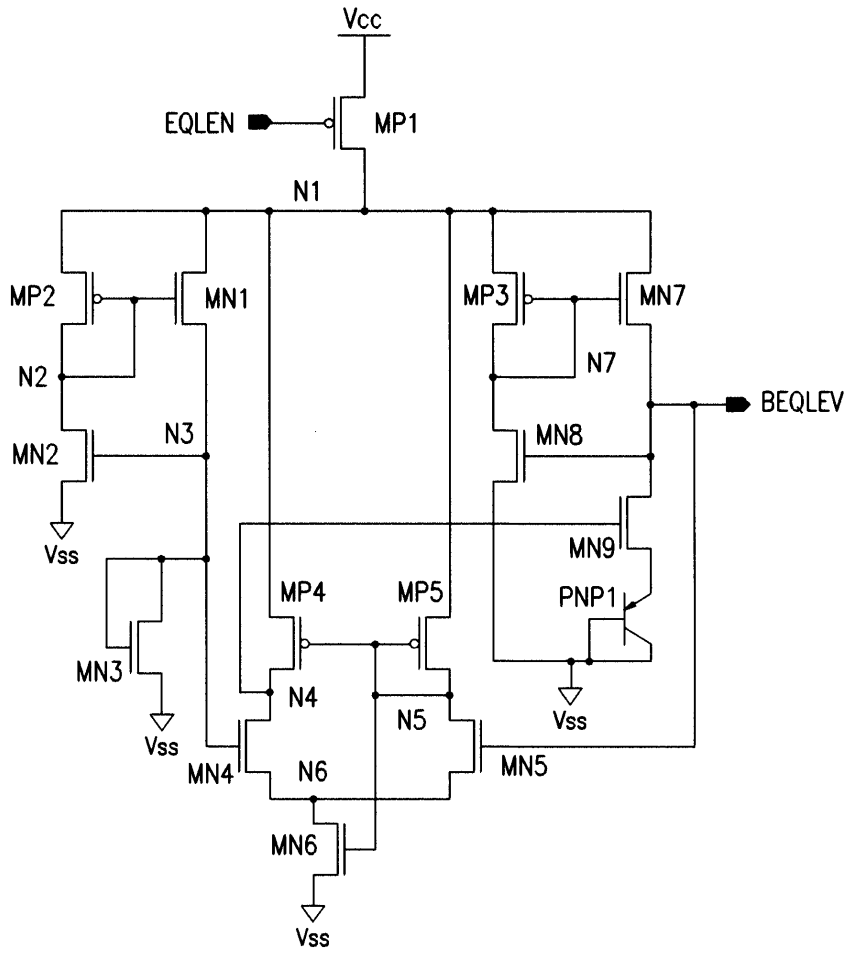
도면13



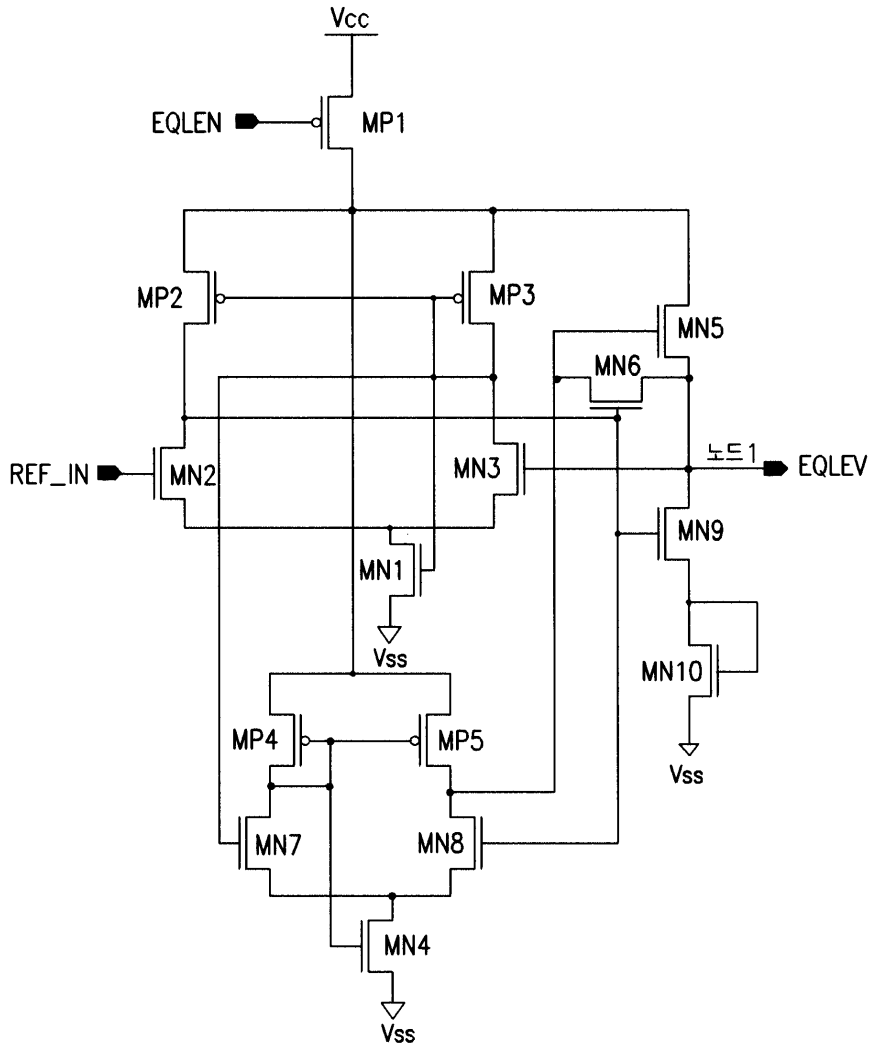
도면 14



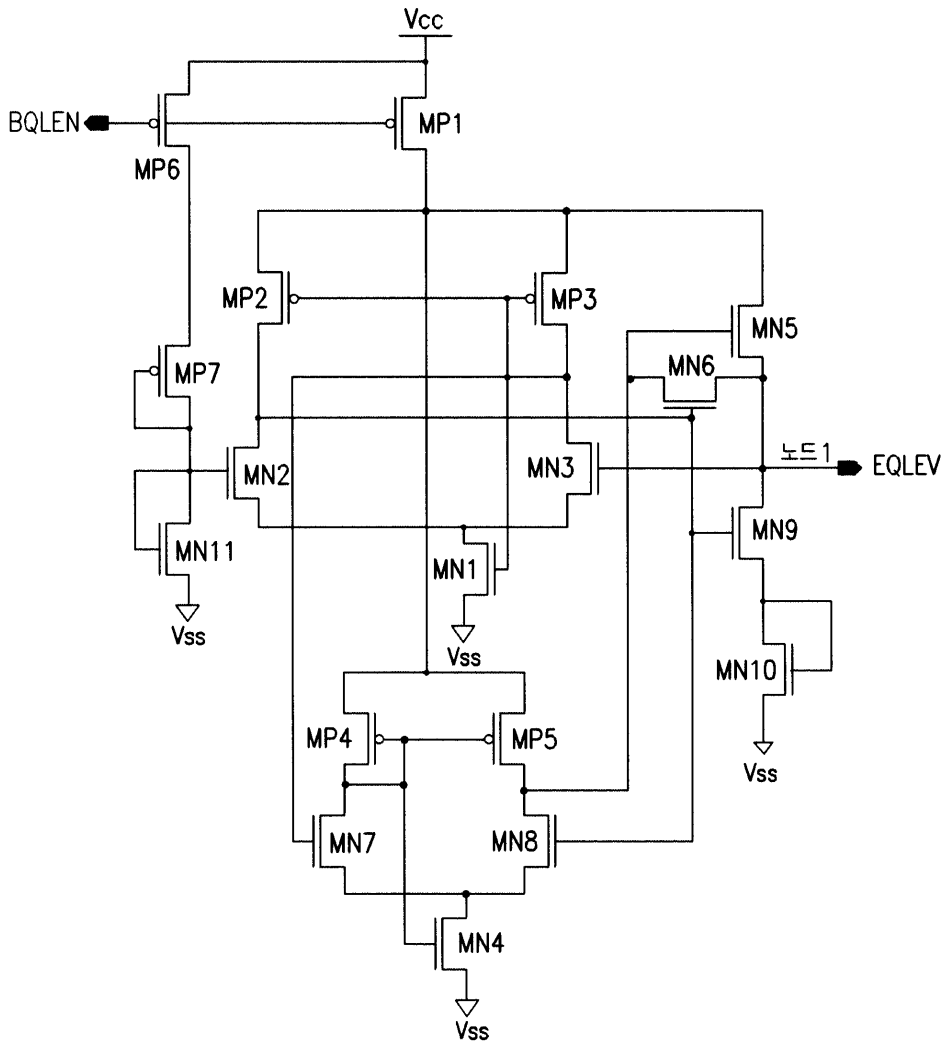
도면 15a



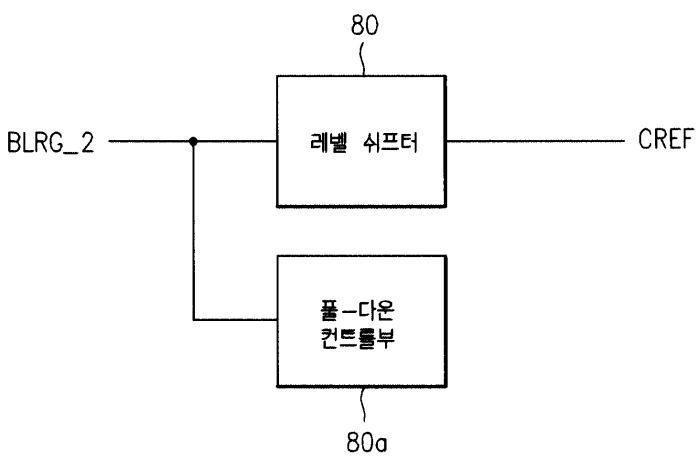
도면 15b



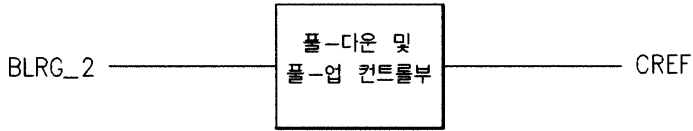
도면 15c



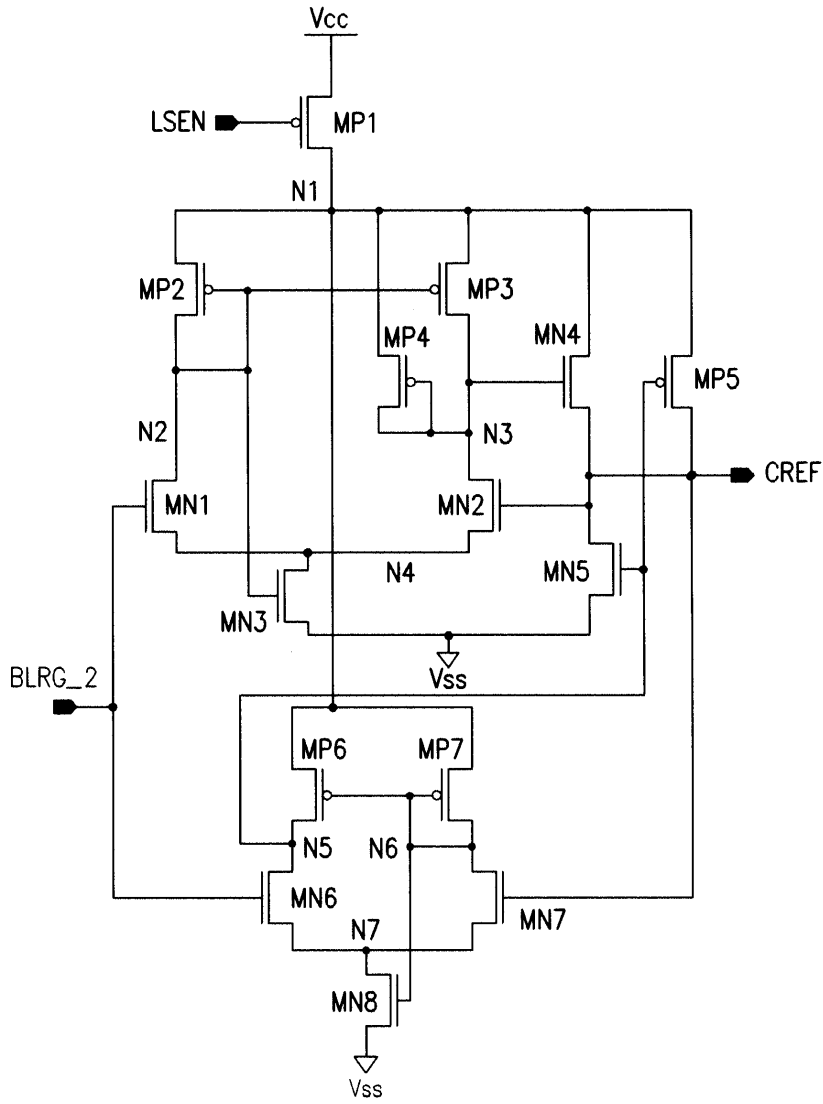
도면 16a



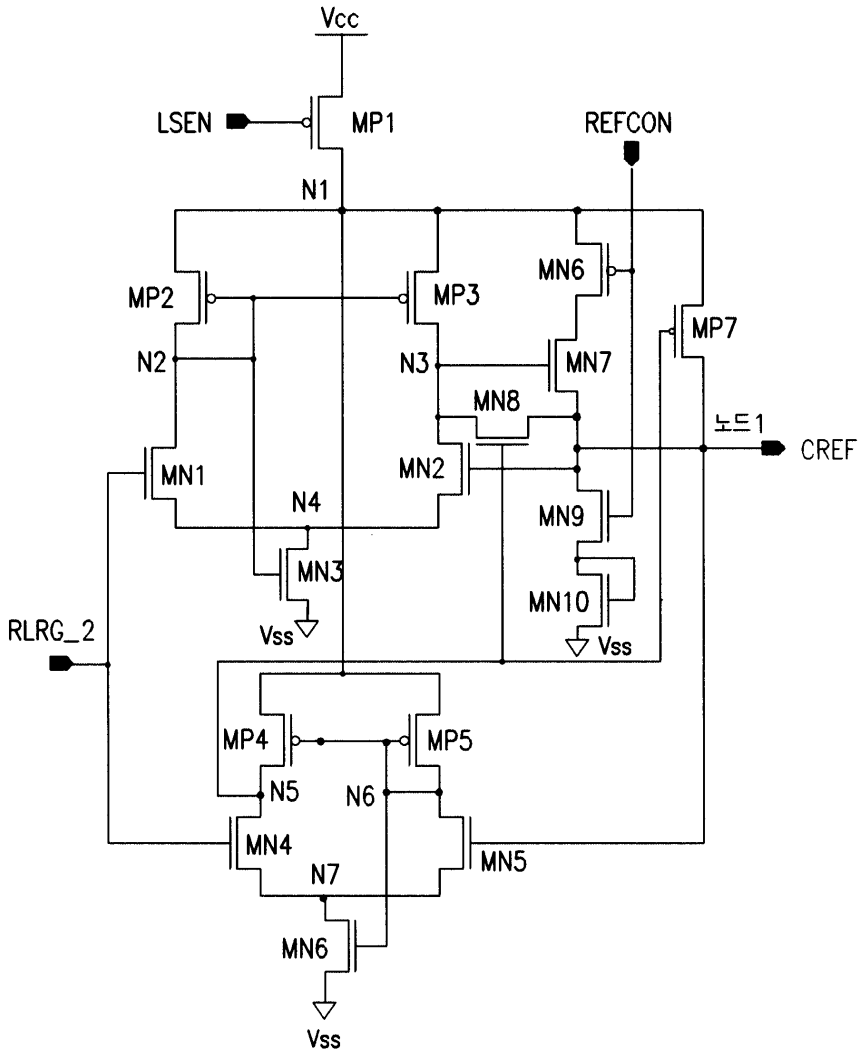
도면 16b



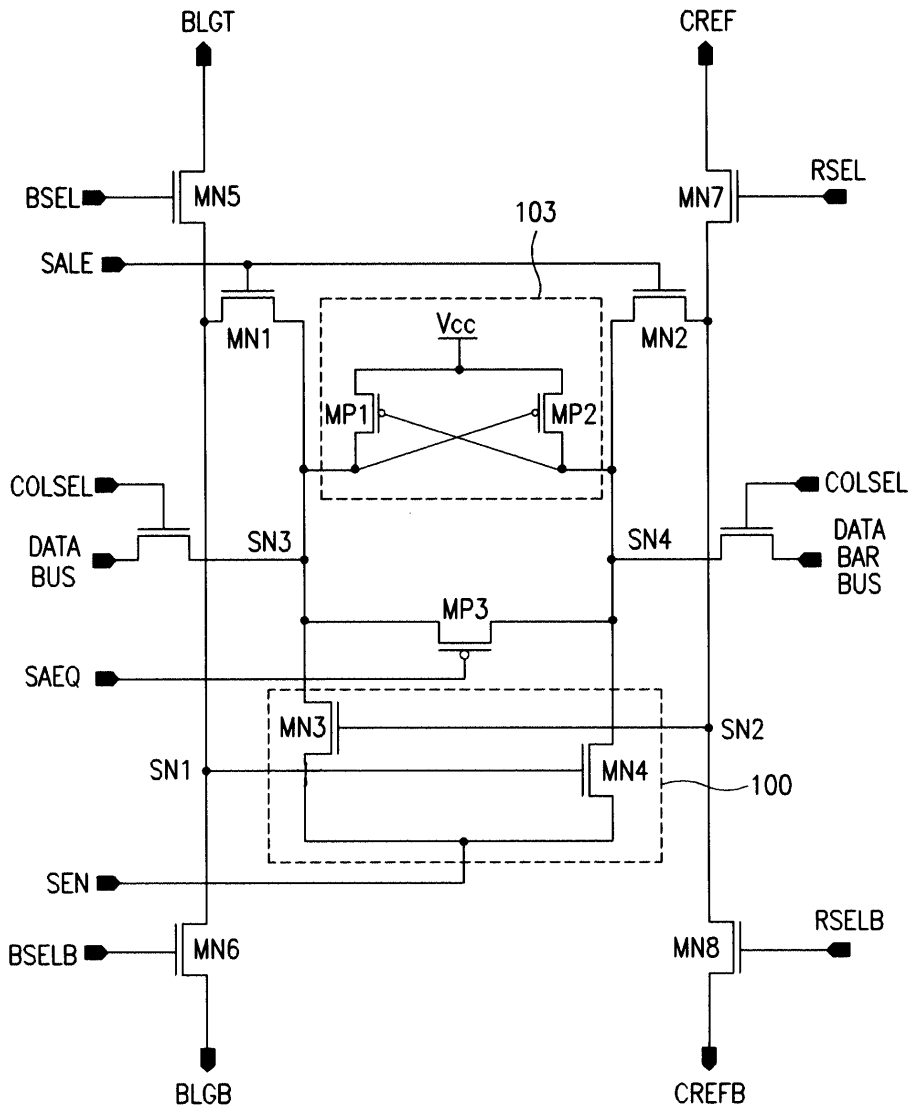
도면 17a



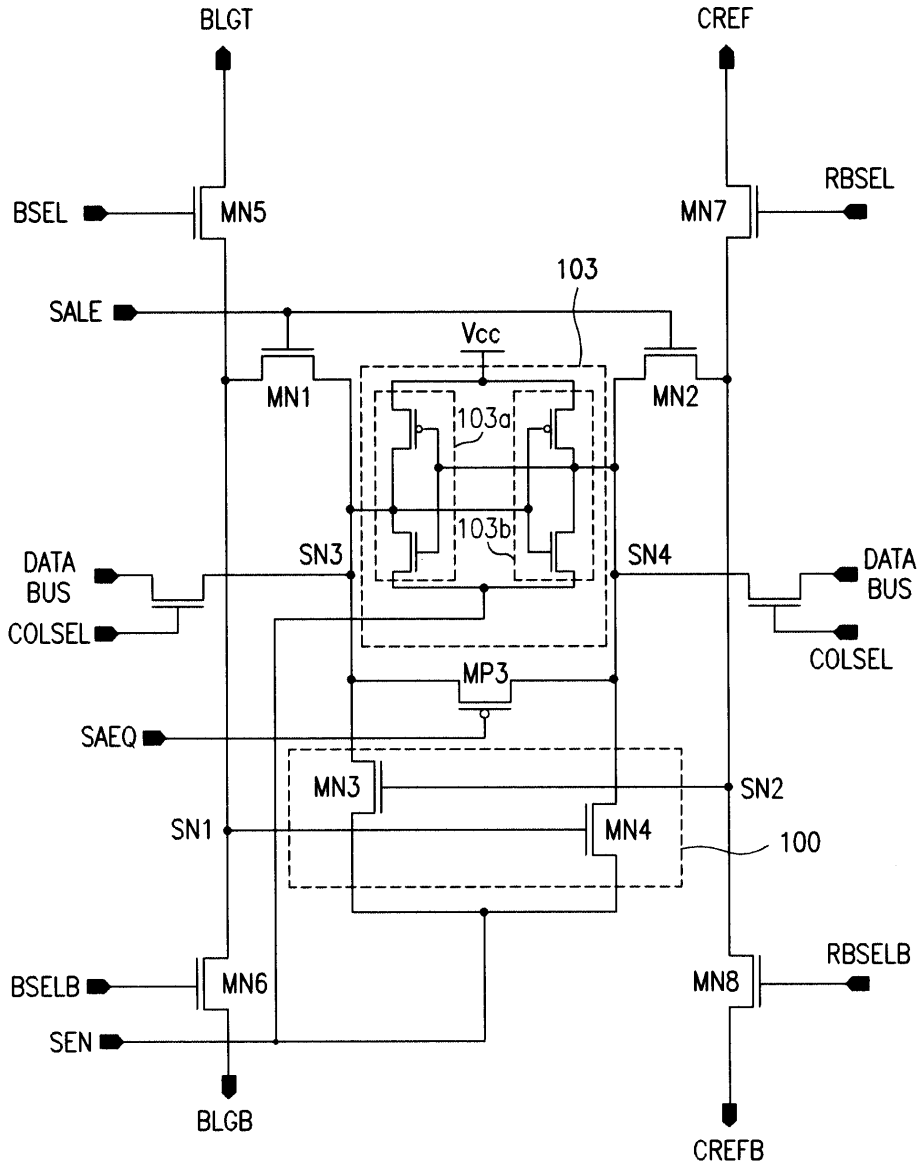
도면 17b



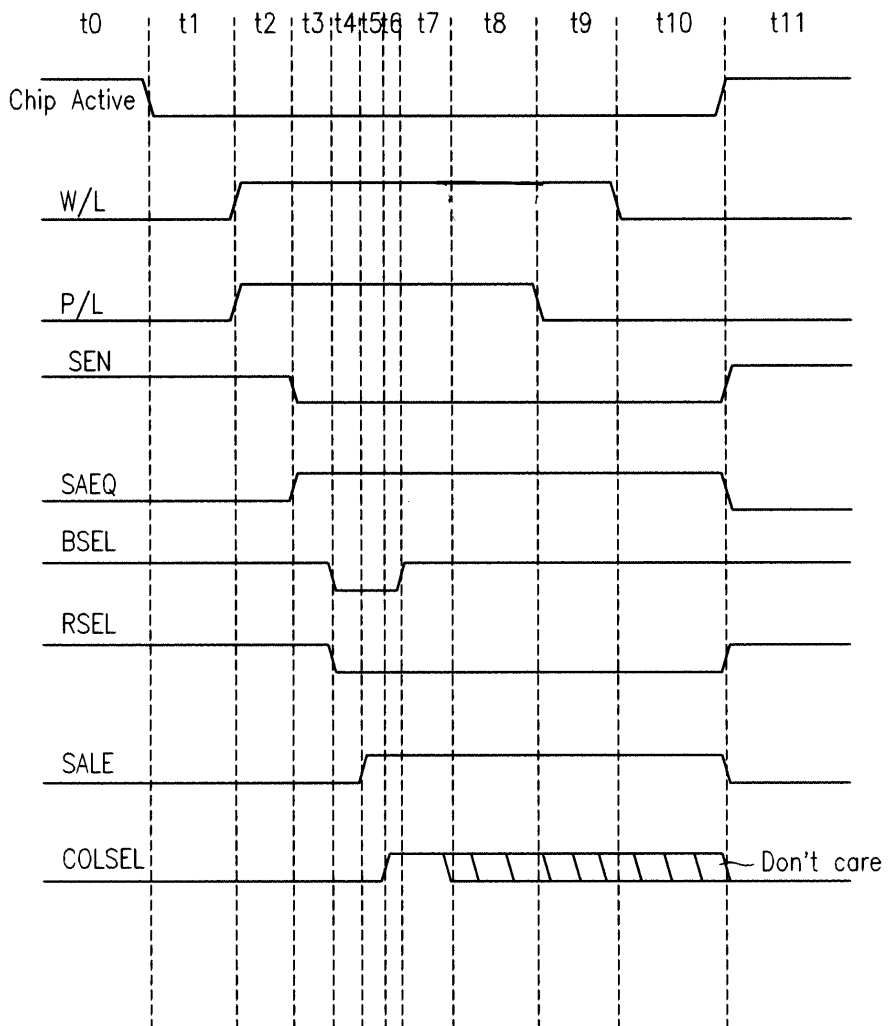
도면 18



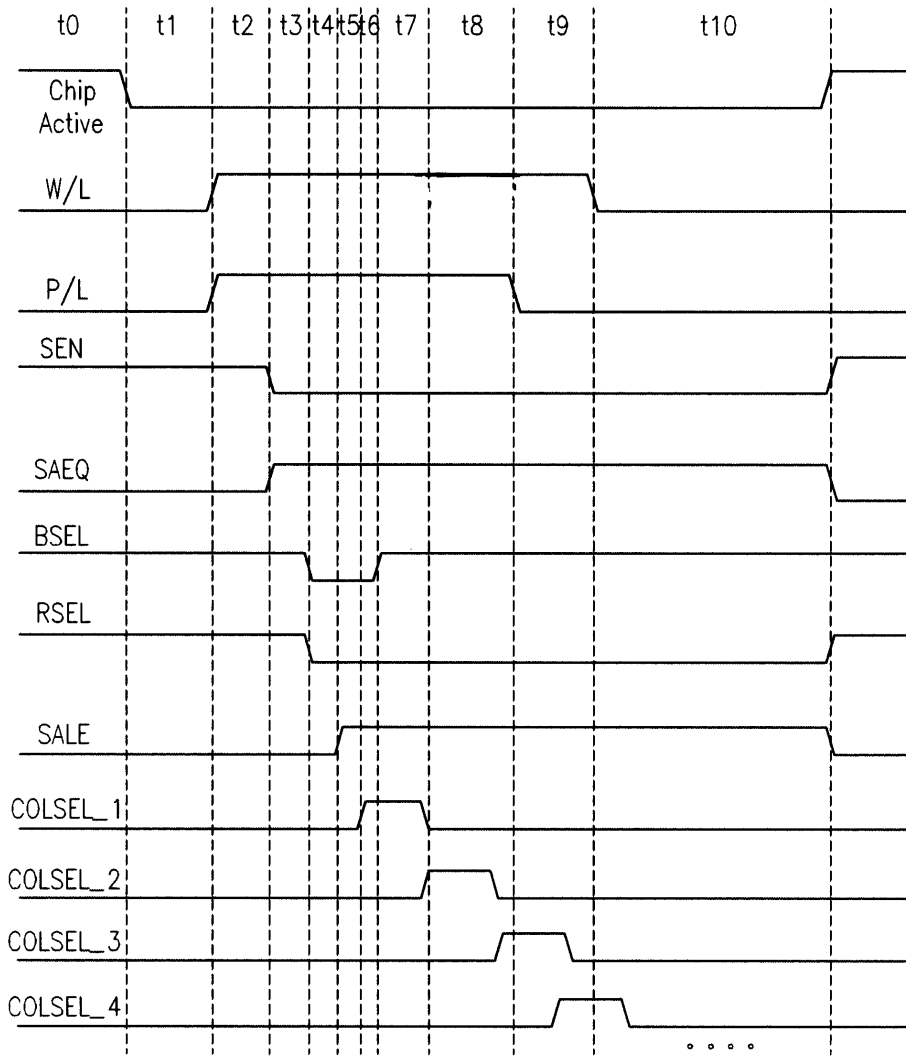
도면 19



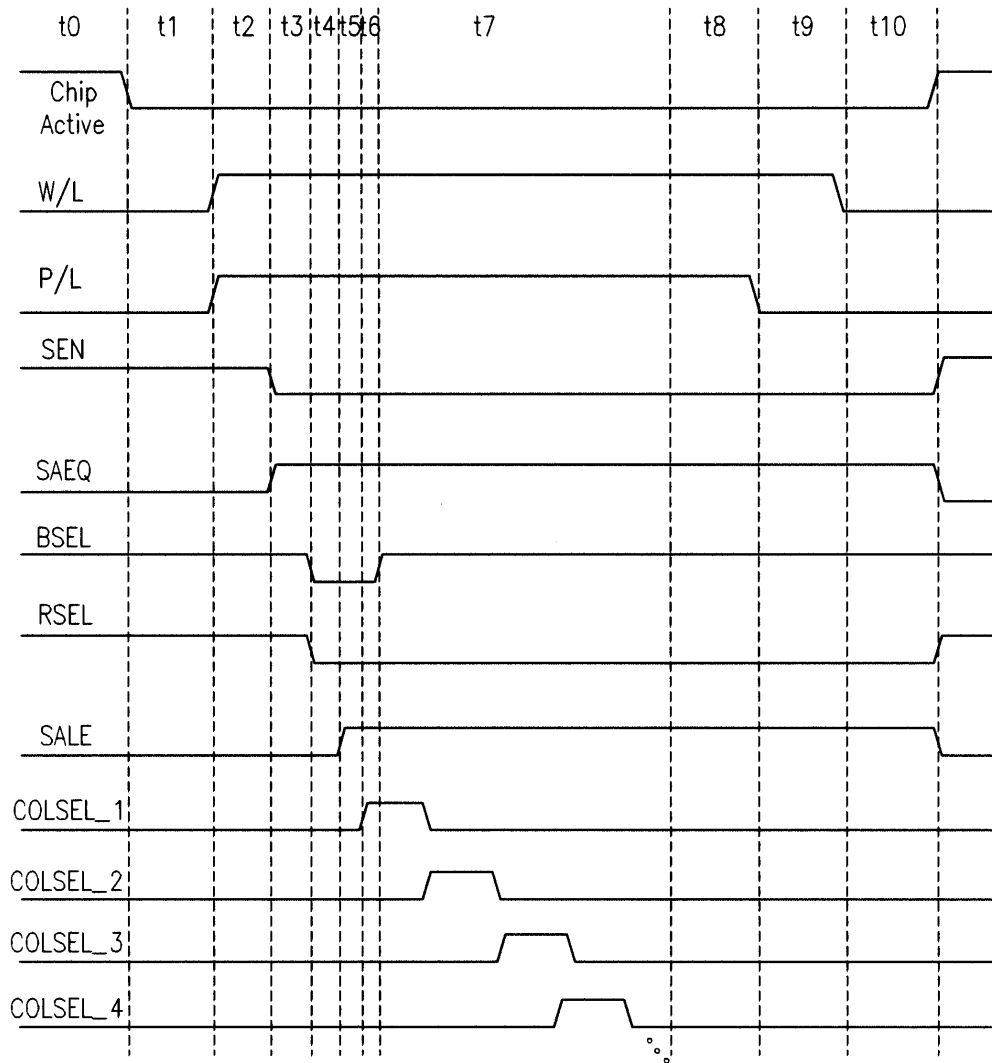
도면20



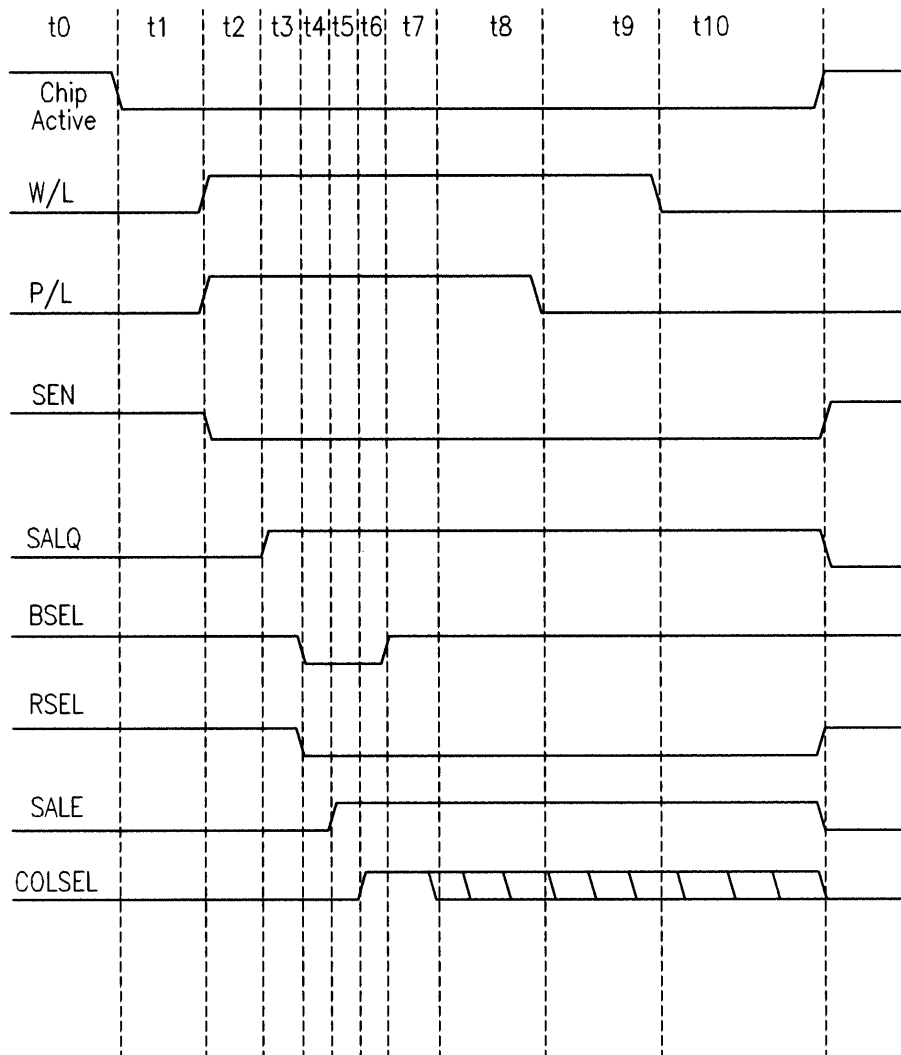
도면21



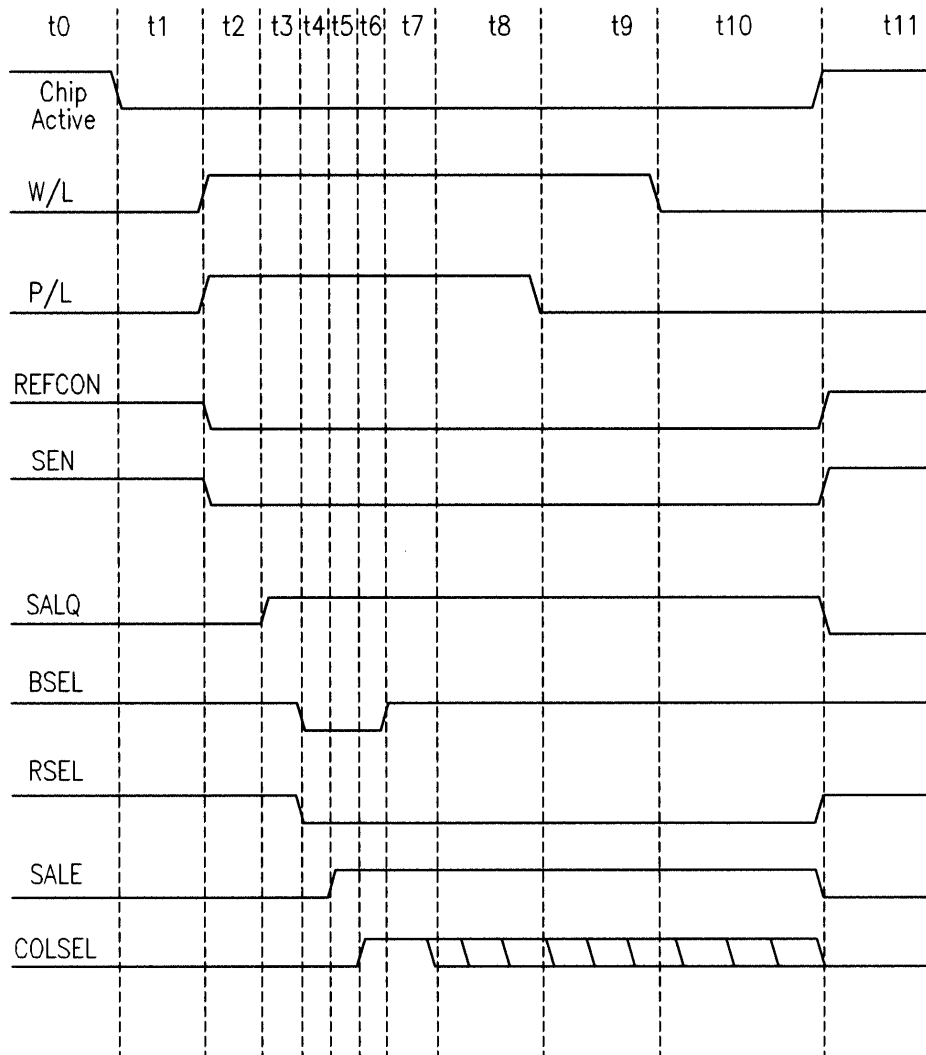
도면22



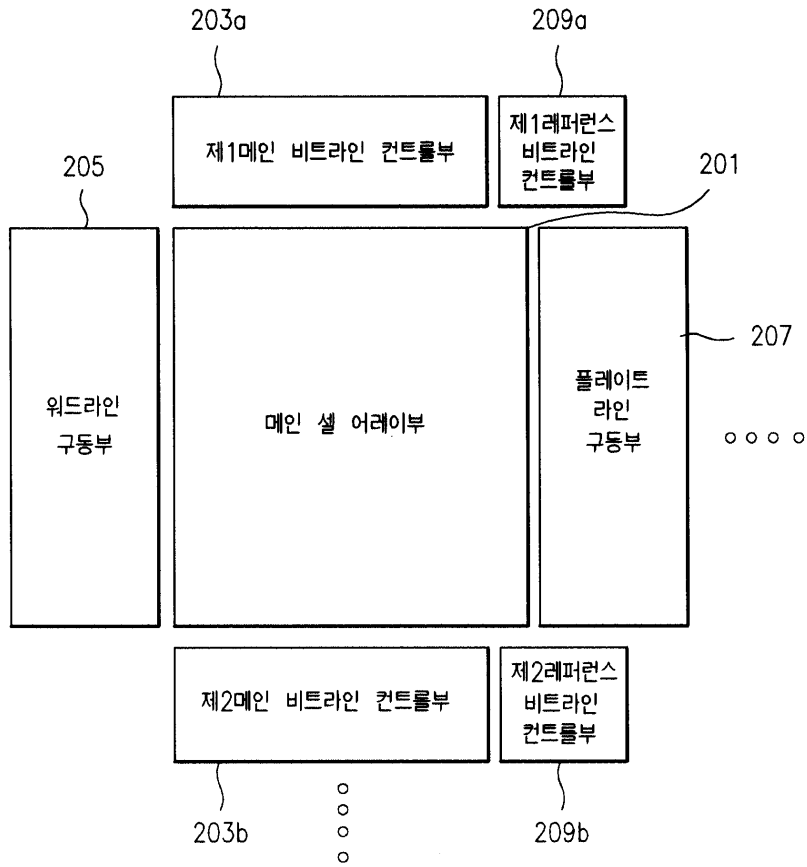
도면23a

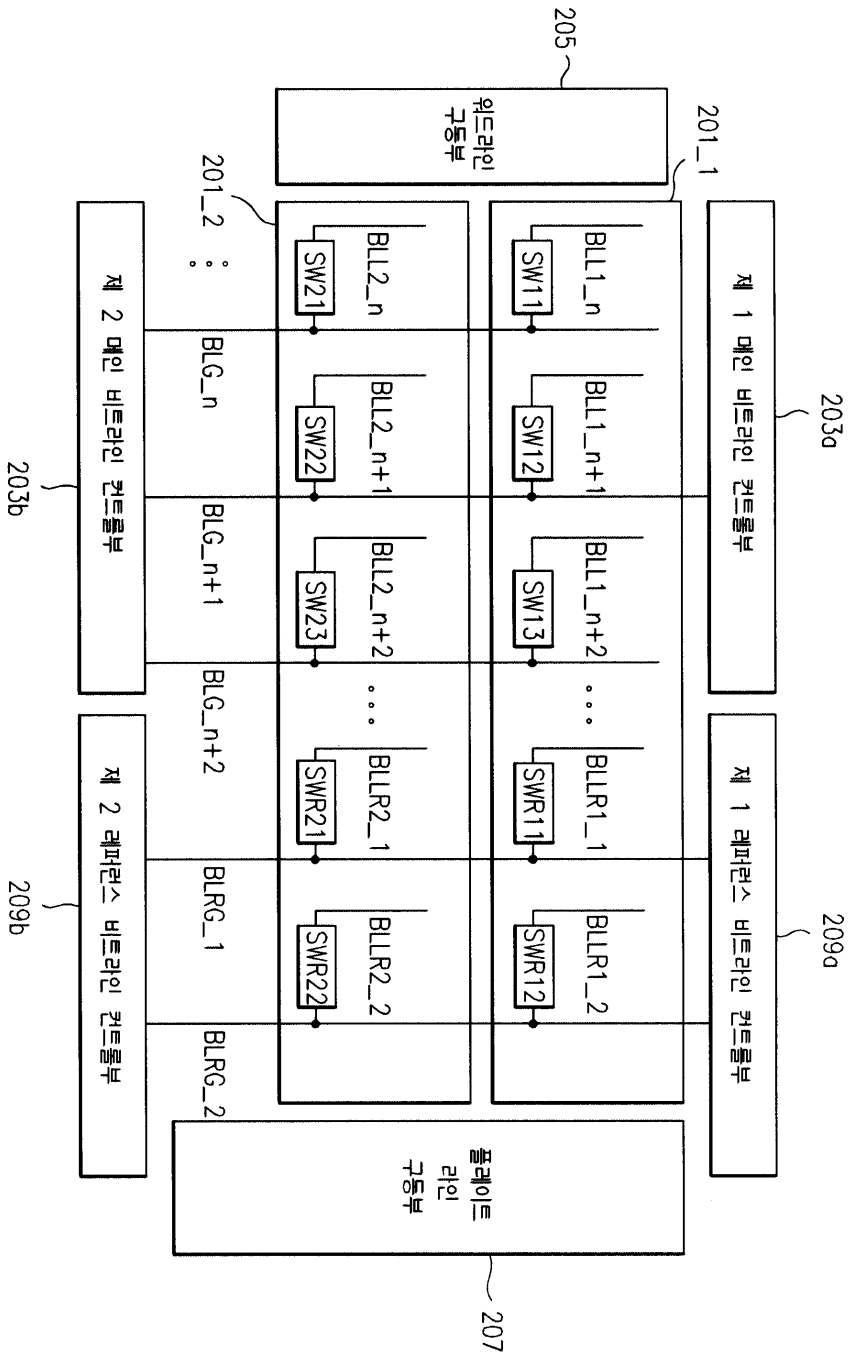


도면23b

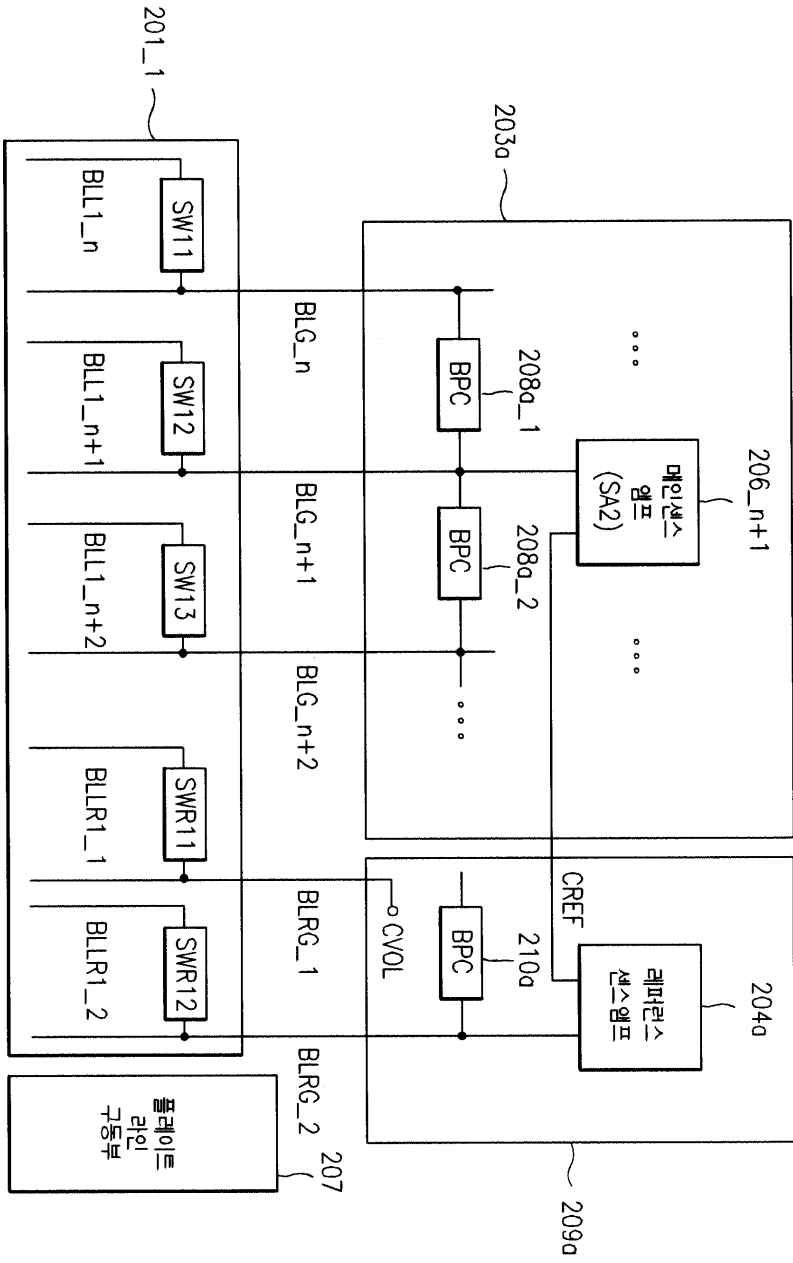


도면24





도면26



도면27

