

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6355536号
(P6355536)

(45) 発行日 平成30年7月11日(2018.7.11)

(24) 登録日 平成30年6月22日(2018.6.22)

(51) Int.Cl.		F I			
HO 4 L	12/713	(2013.01)	HO 4 L	12/713	
HO 4 L	12/70	(2013.01)	HO 4 L	12/70	B
HO 4 L	12/891	(2013.01)	HO 4 L	12/891	
HO 4 L	12/46	(2006.01)	HO 4 L	12/46	E

請求項の数 11 (全 37 頁)

(21) 出願番号	特願2014-240612 (P2014-240612)	(73) 特許権者	517121630
(22) 出願日	平成26年11月27日(2014.11.27)		APRESIA Systems株式会社
(65) 公開番号	特開2016-103724 (P2016-103724A)		東京都中央区築地二丁目3番4号
(43) 公開日	平成28年6月2日(2016.6.2)	(74) 代理人	110002066
審査請求日	平成29年7月3日(2017.7.3)		特許業務法人筒井国際特許事務所
		(72) 発明者	安多 慎
			東京都港区芝浦一丁目2番1号 日立金属株式会社内
		審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 中継システムおよびスイッチ装置

(57) 【特許請求の範囲】

【請求項1】

P B B 規格に基づく中継が行われる P B B 網の入口または出口に設置され、前記 P B B 網の外部から受信した非カプセル化フレームをカプセル化フレームに変換して前記 P B B 網に中継し、前記 P B B 網から受信した前記カプセル化フレームを前記非カプセル化フレームに変換して前記 P B B 網の外部に中継する第 1 スイッチ装置、第 2 スイッチ装置および第 3 スイッチ装置と、

を有する中継システムであって、

前記非カプセル化フレームは、カスタマ用アドレスを含み、

前記カプセル化フレームは、前記 P B B 規格に基づき、前記非カプセル化フレームにカプセル化用アドレスが付加された構造を持ち、

前記第 1 スイッチ装置および前記第 2 スイッチ装置のそれぞれは、

前記非カプセル化フレームの送信または受信を行う下位リンク用ポートと、

前記カプセル化フレームの送信または受信を行う上位リンク用ポートと、

前記下位リンク用ポートである第 1 M C L A G 用ポートを含み、装置跨ぎの L A G が設定される単数または複数の M C L A G 用ポートと、

前記上位リンク用ポートであり、自装置とピア装置とを接続するブリッジ用ポートと、を有し、

前記第 1 スイッチ装置の前記カプセル化用アドレスは、前記第 2 スイッチ装置の前記カプセル化用アドレスと比較して一部のビットのみが異なるように設定され、

10

20

前記第 3 スイッチ装置は、
 前記非カプセル化フレームの送信または受信を行う下位リンク用ポートと、
 前記カプセル化フレームの送信または受信を行う上位リンク用ポートと、
 前記下位リンク用ポートの先に存在する前記カスタマ用アドレスを、当該下位リンク用
 ポートを表すポート識別子に対応付けて保持し、前記上位リンク用ポートの先に存在する
 前記カスタマ用アドレスを、前記カプセル化用アドレスと、当該上位リンク用ポートを表
 すポート識別子と、に対応付けて保持するアドレステーブルと、
 前記上位リンク用ポートで前記カプセル化フレームを受信し、前記アドレステーブルか
 ら当該カプセル化フレームの送信元の前記カスタマ用アドレスに対応する前記カプセル化
 用アドレスを取得した第 1 の場合で、当該カプセル化フレームの送信元の前記カプセル化
 用アドレスと、前記アドレステーブルから取得した前記カプセル化用アドレスと、の相違
 が前記一部のビットのみである第 2 の場合、前記アドレステーブルに、当該送信元のカス
 タマ用アドレスと当該送信元のカプセル化用アドレスとの対応関係を学習しない、学習情
 報制御部と、
 を有する、
 中継システム。

10

【請求項 2】

請求項 1 記載の中継システムにおいて、
 前記学習情報制御部は、前記第 2 の場合に、前記アドレステーブルにおける前記カス
 タマ用アドレスに対応するエントリのエージングタイムも更新しない、
 中継システム。

20

【請求項 3】

請求項 1 記載の中継システムにおいて、
 前記学習情報制御部は、さらに、優先値が定められ、前記第 2 の場合で、前記カプセル
 化フレームの前記送信元のカプセル化用アドレスに含まれる前記一部のビットが前記優先
 値である第 3 の場合、前記アドレステーブルに前記対応関係を学習し、前記一部のビット
 が前記優先値ではない第 4 の場合、前記アドレステーブルに前記対応関係を学習しない、
 中継システム。

【請求項 4】

請求項 1 記載の中継システムにおいて、
 前記第 1 スイッチ装置および前記第 2 スイッチ装置のそれぞれは、自装置の前記第 1 M
 C L A G 用ポートで受信した前記非カプセル化フレームを前記上位リンク用ポートに中継
 する場合、自装置の前記カプセル化用アドレスを用いて前記カプセル化フレームを生成す
 る、
 中継システム。

30

【請求項 5】

請求項 4 記載の中継システムにおいて、
 前記第 1 スイッチ装置および前記第 2 スイッチ装置のそれぞれは、さらに、
 前記下位リンク用ポートの先に存在する前記カスタマ用アドレスを、当該下位リンク用
 ポートを表すポート識別子または当該下位リンク用ポートに対応付けられる M C L A G 識
 別子に対応付けて保持し、前記上位リンク用ポートの先に存在する前記カスタマ用アドレ
 スを、前記カプセル化用アドレスと、当該上位リンク用ポートを表すポート識別子または
 当該上位リンク用ポートに対応付けられる M C L A G 識別子と、に対応付けて保持するア
 ドレステーブルと、

40

前記アドレステーブルの学習および検索を行う中継処理部と、
 前記 M C L A G 用ポートで受信したフレームを前記ブリッジ用ポートに中継する場合に
 、当該フレームに、当該 M C L A G 用ポートに対応する M C L A G 識別子を付加する M C
 L A G 識別子付加部と、
 を有する、
 中継システム。

50

【請求項 6】

請求項 5 記載の中継システムにおいて、

前記中継処理部は、受信した前記カプセル化フレームに含まれる宛先の前記カプセル化用アドレスが自装置またはピア装置の前記カプセル化用アドレスの場合に、当該カプセル化フレームに含まれる宛先の前記カスタマ用アドレスを検索キーとして自装置の前記アドレステーブルを検索する、

中継システム。

【請求項 7】

P B B 規格に基づく中継が行われる P B B 網の入口または出口に設置され、前記 P B B 網の外部から受信した非カプセル化フレームをカプセル化フレームに変換して前記 P B B 網に中継し、前記 P B B 網から受信した前記カプセル化フレームを前記非カプセル化フレームに変換して前記 P B B 網の外部に中継し、前記非カプセル化フレームの送信または受信を行う下位リンク用ポートと、前記カプセル化フレームの送信または受信を行う上位リンク用ポートと、を有するスイッチ装置であって、

前記非カプセル化フレームは、カスタマ用アドレスを含み、

前記カプセル化フレームは、前記 P B B 規格に基づき、前記非カプセル化フレームにカプセル化用アドレスが付加された構造を持ち、

前記スイッチ装置は、P B B 網の入口または出口に設置される他の 2 台のスイッチ装置に P B B 網を介して接続され、

前記他の 2 台のスイッチ装置は、装置跨ぎの L A G が設定される前記下位リンク用ポートを有し、

前記他の 2 台のスイッチ装置の一方の前記カプセル化用アドレスは、他方の前記カプセル化用アドレスと比較して一部のビットのみが異なるように設定され、

前記スイッチ装置は、

前記下位リンク用ポートの先に存在する前記カスタマ用アドレスを、当該下位リンク用ポートを表すポート識別子に対応付けて保持し、前記上位リンク用ポートの先に存在する前記カスタマ用アドレスを、前記カプセル化用アドレスと、当該上位リンク用ポートを表すポート識別子と、に対応付けて保持するアドレステーブルと、

前記上位リンク用ポートで前記カプセル化フレームを受信し、前記アドレステーブルから当該カプセル化フレームの送信元の前記カスタマ用アドレスに対応する前記カプセル化用アドレスを取得した第 1 の場合で、当該カプセル化フレームの送信元の前記カプセル化用アドレスと、前記アドレステーブルから取得した前記カプセル化用アドレスと、の相違が前記一部のビットのみである第 2 の場合、前記アドレステーブルに、当該送信元のカスタマ用アドレスと当該送信元のカプセル化用アドレスとの対応関係を学習しない、学習情報制御部と、

を有する、

スイッチ装置。

【請求項 8】

請求項 7 記載のスイッチ装置において、

前記学習情報制御部は、前記第 2 の場合に、前記アドレステーブルにおける前記カスタマ用アドレスに対応するエントリのエージングタイマも更新しない、

スイッチ装置。

【請求項 9】

請求項 7 記載のスイッチ装置において、

前記学習情報制御部は、さらに、優先値が定められ、前記第 2 の場合で、前記カプセル化フレームの前記送信元のカプセル化用アドレスに含まれる前記一部のビットが前記優先値である第 3 の場合、前記アドレステーブルに前記対応関係を学習し、前記一部のビットが前記優先値ではない第 4 の場合、前記アドレステーブルに前記対応関係を学習しない、

スイッチ装置。

【請求項 10】

10

20

30

40

50

請求項7記載のスイッチ装置において、
前記スイッチ装置は、さらに、
前記下位リンク用ポートである第1MCLAG用ポートを含み、装置跨ぎのLAGが設定される単数または複数のMCLAG用ポートと、
前記上位リンク用ポートであり、自装置とピア装置とを接続するブリッジ用ポートと、
前記アドレステーブルの学習および検索を行う中継処理部と、
前記MCLAG用ポートで受信したフレームを前記ブリッジ用ポートに中継する場合に、当該フレームに、当該MCLAG用ポートに対応するMCLAG識別子を付加するMCLAG識別子付加部と、
を有し、

10

前記アドレステーブルは、前記下位リンク用ポートの先に存在する前記カスタム用アドレスを、当該下位リンク用ポートを表すポート識別子または当該下位リンク用ポートに対応付けられるMCLAG識別子に対応付けて保持し、前記上位リンク用ポートの先に存在する前記カスタム用アドレスを、前記カプセル化用アドレスと、当該上位リンク用ポートを表すポート識別子または当該上位リンク用ポートに対応付けられるMCLAG識別子と、に対応付けて保持する、
スイッチ装置。

【請求項11】

請求項10記載のスイッチ装置において、
前記中継処理部は、受信した前記カプセル化フレームに含まれる宛先の前記カプセル化用アドレスが自装置またはピア装置の前記カプセル化用アドレスの場合に、当該カプセル化フレームに含まれる宛先の前記カスタム用アドレスを検索キーとして自装置のアドレステーブルを検索する、
スイッチ装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、中継システムおよびスイッチ装置に関し、例えば、2台のスイッチ装置を跨いでリンクアグリゲーショングループが設定され、PBB(Provider Backbone Bridge)規格に基づく動作を行う中継システムおよびスイッチ装置に関する。

30

【背景技術】**【0002】**

例えば、特許文献1には、MAC-in-MAC方式のネットワークの境界に設置される2台のエッジスイッチ装置に、ノード冗長を適用した構成が示されている。当該文献では、2台のエッジスイッチ装置のそれぞれは、自装置/他装置のMACアドレスをマイ代表アドレス/メイト代表アドレスとすると、フレームの宛先および送信元に含まれる、マイ代表アドレスとメイト代表アドレスの組み合わせに基づいて、フレームの流れを制御する。

【0003】

例えば、2台のエッジスイッチ装置の一方は、コアスイッチからマイ代表アドレス宛てのカプセル化フレームを受信した場合で、宛先のカスタム用アドレスが未学習の場合、当該カプセル化フレームを、非カプセル化したのちアクセスポートに中継すると共に、当該カプセル化フレームをICポートを介して他装置にも中継する。そして、他装置も、受信したカプセル化フレームを非カプセル化したのちアクセスポートに中継する。

40

【0004】

特許文献2には、ユーザ網内のカスタムエッジと、MPLS網内の2台のプロバイダエッジと、の間の各リンクに装置跨ぎのリンクアグリゲーションが設定された構成が示される。2台のプロバイダエッジは、ユーザ網とMPLS網との間でパケットを中継する際に、互いの間で予めなされた取り決めに基づいて一方のプロバイダエッジのみがパケットを中継する。

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2012-161027号公報

【特許文献2】特開2012-209984号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

例えば、冗長化方式として、特許文献2に示されるように、2台のスイッチ装置をブリッジ用ポートを介して互いに接続すると共に、2台のスイッチ装置のそれぞれのポートを含む複数のポートにLAGを設定する方式が知られている。当該冗長化方式では、1台のスイッチ装置で設定される一般的なLAGと異なり、2台のスイッチ装置を跨いでLAGが設定される。このため、通信回線の障害に対する冗長化や通信帯域の拡大といった一般的なLAGによって得られる効果に加えて、スイッチ装置の障害に対する冗長化が実現可能になる。

10

【0007】

本明細書では、このような装置跨ぎのLAGをマルチシャーシリンクアグリゲーショングループ（以降、MCLAGと略す）と呼ぶ。また、MCLAGが設定される2台のスイッチ装置の集合体をMCLAGスイッチと呼ぶ。さらに、2台のスイッチ装置の一方から他方を見た場合の他方のスイッチ装置を、ピア装置と呼ぶ。

20

【0008】

また、広域イーサネットを実現する技術として、特許文献1に示されるように、拡張VLAN方式や、MAC-in-MAC方式等が知られている。拡張VLAN方式は、IEEE802.1adで標準化されており、IEEE802.1Qに基づくカスタマ用のVLAN（Virtual Local Area Network）タグに事業者用のVLANタグを付加することでVLAN数の拡張を図る技術である。MAC-in-MAC方式は、カスタマ用のMAC（Media Access Control）フレームを事業者用のMACフレームでカプセル化することで、拡張VLAN方式によるVLAN数の更なる拡張や、広域網内のスイッチ（コアスイッチ）で学習されるMACアドレス数の低減等を図る技術である。MAC-in-MAC方式の詳細な方式として、IEEE802.1ahに基づくPBB方式が知られている。

30

【0009】

ここで、本発明者等は、PBB網のエッジスイッチ装置に、MCLAGスイッチを適用することを検討した。この場合、MCLAGスイッチは、カスタマ網内の同一のカスタマ端末からのフレームを、2台のスイッチ装置のいずれのMCLAG用ポートでも受信することができる。そして、2台のスイッチ装置のそれぞれは、当該受信したフレームの宛先がPBB網である場合、自装置のMACアドレスを送信元のカプセル化用アドレスとして当該フレームをカプセル化する。

【0010】

その結果、PBB網の他のエッジスイッチ装置は、同一のカスタマ端末からのフレームを受信したにも関わらず、当該フレームの送信元のカプセル化用アドレスが2台のスイッチ装置の一方のMACアドレスである場合と、他方のMACアドレスである場合とがある。そうすると、アドレステーブルの学習情報が、同一のカスタマ端末を対象としているにも関わらず不必要に変更される事態が生じ得る。

40

【0011】

本発明は、このようなことに鑑みてなされたものであり、その目的の一つは、アドレステーブルの学習情報が不必要に変更される事態を防止することが可能な中継システムおよびスイッチ装置を提供することにある。

【0012】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

50

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0014】

本実施の形態による中継システムは、PBB規格に基づく中継が行われるPBB網の入口または出口に設置される第1、第2および第3スイッチ装置を有する。第1、第2および第3スイッチ装置のそれぞれは、PBB網の外部から受信した非カプセル化フレームをカプセル化フレームに変換してPBB網に中継し、PBB網から受信したカプセル化フレームを非カプセル化フレームに変換してPBB網の外部に中継する。非カプセル化フレームは、カスタマ用アドレスを含み、カプセル化フレームは、PBB規格に基づき、非カプセル化フレームにカプセル化用アドレスが付加された構造を持つ。ここで、第1および第2スイッチ装置のそれぞれは、非カプセル化フレームの送信または受信を行う下位リンク用ポートと、カプセル化フレームの送信または受信を行う上位リンク用ポートと、単数または複数のMCLAG用ポートと、ブリッジ用ポートとを有する。単数または複数のMCLAG用ポートは、下位リンク用ポートである第1MCLAG用ポートを含み、装置跨ぎのLAGが設定される。ブリッジ用ポートは、上位リンク用ポートであり、自装置とピア装置とを接続する。第1スイッチ装置のカプセル化用アドレスは、第2スイッチ装置のカプセル化用アドレスと比較して一部のビットのみが異なるように設定される。第3スイッチ装置は、下位リンク用ポートおよび上位リンク用ポートと、アドレステーブルと、学習情報制御部とを有する。アドレステーブルは、下位リンク用ポートの先に存在するカスタマ用アドレスを、当該下位リンク用ポートを表すポート識別子に対応付けて保持し、上位リンク用ポートの先に存在するカスタマ用アドレスを、カプセル化用アドレスと、当該上位リンク用ポートを表すポート識別子と、に対応付けて保持する。学習情報制御部は、第1の場合かつ第2の場合に、アドレステーブルに、送信元のカスタマ用アドレスと送信元のカプセル化用アドレスとの対応関係を学習しない。第1の場合は、上位リンク用ポートでカプセル化フレームを受信し、アドレステーブルから当該カプセル化フレームの送信元のカスタマ用アドレスに対応するカプセル化用アドレスを取得した場合である。第2の場合は、当該カプセル化フレームの送信元のカプセル化用アドレスと、アドレステーブルから取得したカプセル化用アドレスと、の相違が前述した一部のビットのみの場合である。

【発明の効果】

【0015】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、MCLAGスイッチを含む中継システムにおいて、アドレステーブルの学習情報が不必要に変更される事態を防止することが可能になる。

【図面の簡単な説明】

【0016】

【図1】本発明の実施の形態1による中継システムにおいて、その全体の構成例を示す概略図である。

【図2】図1の中継システムにおいて、各中継網を流れるフレームの主要部の構造例を示す図である。

【図3】図1の中継システムにおいて、MCLAGスイッチ周りの構成例を示す概略図である。

【図4】図3の中継システムにおいて、学習情報制御部の処理内容の一例を示すフロー図である。

【図5】図3の中継システムの動作例を示す説明図である。

【図6】図3の中継システムの他の動作例を示す説明図である。

【図7】本発明の実施の形態2による中継システムにおいて、図3の学習情報制御部の処理内容の一例を示すフロー図である。

【図8】図7の主要な処理内容を纏めた補足図である。

10

20

30

40

50

【図 9】本発明の比較例として検討した中継システムにおいて、学習情報制御部が常にエージングタイムを更新する場合の動作例および問題点を示す説明図である。

【図 10】図 7 の学習情報制御部を備えた中継システムの動作例を示す説明図である。

【図 11】本発明の実施の形態 3 による中継システムにおいて、図 3 の学習情報制御部の処理内容の一例を示すフロー図である。

【図 12】図 11 の主要な処理内容を纏めた補足図である。

【図 13】図 11 の学習情報制御部を備えた中継システムの動作例を示す説明図である。

【図 14】図 13 の比較例として検討した中継システムの動作例および問題点の一例を示す説明図である。

【図 15】図 13 に続く動作例を示す説明図である。

10

【図 16】本発明の実施の形態 4 によるスイッチ装置において、その主要部の構成例を示すブロック図である。

【図 17】図 16 におけるアドレステーブルの構造例を示す概略図である。

【図 18】図 16 における M C L A G テーブルの構造例を示す概略図である。

【図 19】(a) は、図 16 における受信側 I V I D 管理テーブルの構造例を示す概略図であり、(b) は、図 16 における送信側 I V I D 管理テーブルの構造例を示す概略図である。

【図 20】本発明の前提として検討した中継システムにおいて、図 3 の中継システムが学習情報制御部を備えない場合の動作例および問題点の一例を示す説明図である。

【発明を実施するための形態】

20

【0017】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0018】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

30

【0019】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0020】

（実施の形態 1）

40

《中継システムの全体構成》

図 1 は、本発明の実施の形態 1 による中継システムにおいて、その全体の構成例を示す概略図である。図 1 に示す中継システムは、複数（ここでは 4 個）のカスタマ網 1 2 a ~ 1 2 d と、カスタマ網 1 2 a ~ 1 2 d 間の中継を担う複数（ここでは 2 個）の P B 網 1 1 a , 1 1 b と、P B 網 1 1 a , 1 1 b 間の中継を担う P B B 網 1 0 と、を備える。P B 網 1 1 a は、カスタマ網 1 2 a , 1 2 b 間の中継を担い、P B 網 1 1 b は、カスタマ網 1 2 c , 1 2 d 間の中継を担う。P B B 網 1 0 は、I E E E 8 0 2 . 1 a h（言い換えれば P B B 規格）に基づく中継が行われる中継網である。P B 網 1 1 a , 1 1 b は、前述した拡張 V L A N 方式が適用される中継網である。

【0021】

50

カスタマ網 1 2 a , 1 2 b と P B 網 1 1 a との間の境界部には、それぞれ、スイッチ S W B 1 , S W B 2 が設置される。カスタマ網 1 2 a は、複数のカスタマ端末 T M と、これらをスイッチ S W B 1 に接続するネットワーク N W c 1 と、を備える。カスタマ網 1 2 b は、複数のカスタマ端末 T M と、これらをスイッチ S W B 2 に接続するネットワーク N W c 2 と、を備える。ネットワーク N W c 1 , N W c 2 のそれぞれは、通信回線や図示しないスイッチ等によって構成される。スイッチ S W B 1 は、カスタマ網 1 2 a 内の複数のカスタマ端末 T M 間の中継を担うと共に、各カスタマ端末 T M と P B 網 1 1 a との間の中継を担う。スイッチ S W B 2 は、カスタマ網 1 2 b 内の複数のカスタマ端末 T M 間の中継を担うと共に、各カスタマ端末 T M と P B 網 1 1 a との間の中継を担う。

【 0 0 2 2 】

10

同様に、カスタマ網 1 2 c , 1 2 d と P B 網 1 1 b との間の境界部には、それぞれ、スイッチ S W B 3 , S W B 4 が設置される。カスタマ網 1 2 c , 1 2 d は、それぞれ、複数のカスタマ端末 T M と、ネットワーク N W c 3 , N W c 4 と、を備える。スイッチ S W B 3 , S W B 4 は、それぞれ、カスタマ網 1 2 c , 1 2 d 内の複数のカスタマ端末 T M 間の中継を担うと共に、各カスタマ端末 T M と P B 網 1 1 b との間の中継を担う。

【 0 0 2 3 】

P B 網 1 1 a と、 P B B 網 1 0 との間の境界部（言い換えれば P B B 網 1 0 の入口または出口）には、2 台のスイッチ装置（エッジスイッチ装置） S W E 1 a , S W E 1 b で構成される M C L A G スイッチ M C L A G S W 1 が設置される。スイッチ装置 S W E 1 a , S W E 1 b のそれぞれは、下位リンク用ポートと上位リンク用ポートとを有する。この例では、下位リンク用ポートの中には、 M C L A G 用ポート P m 1 , P m 2 が含まれ、上位リンク用ポートの中には、 M C L A G 用ポート P m 3 と、ブリッジ用ポート P b と、が含まれる。

20

【 0 0 2 4 】

スイッチ装置 S W E 1 a , S W E 1 b のそれぞれは、自装置およびピア装置の M C L A G 用ポート P m 1 に共通の M C L A G 1 a を設定し、同様に、自装置およびピア装置の M C L A G 用ポート P m 2 , P m 3 にそれぞれ共通の M C L A G 2 a , M C L A G 3 a を設定する。 P B 網 1 1 a は、通信回線やスイッチ等によって構成されるネットワーク N W b 1 を備える。この例では、ネットワーク N W b 1 は、スイッチ S W 1 , S W 2 を含んでいる。

30

【 0 0 2 5 】

スイッチ S W B 1 , S W B 2 は、ネットワーク N W b 1 を介して、 M C L A G スイッチ M C L A G S W 1 の複数の下位リンク用ポートのいずれかに適宜接続される。この例では、スイッチ S W B 1 は、スイッチ S W 1 を介してスイッチ装置 S W E 1 a , S W E 1 b の M C L A G 用ポート P m 1 に接続され、スイッチ S W B 2 は、スイッチ S W 2 を介してスイッチ装置 S W E 1 a , S W E 1 b の M C L A G 用ポート P m 2 に接続される。これにより、 M C L A G スイッチ M C L A G S W 1 は、自装置の下位リンクに存在する複数のスイッチ S W B 1 , S W B 2 間の中継を担うと共に、各スイッチ S W B 1 , S W B 2 と P B B 網 1 0 との間の中継を担う。

【 0 0 2 6 】

40

M C L A G スイッチ M C L A G S W 1 の場合と同様に、 P B 網 1 1 b と、 P B B 網 1 0 との間の境界部には、2 台のスイッチ装置（エッジスイッチ装置） S W E 2 a , S W E 2 b で構成される M C L A G スイッチ M C L A G S W 2 が設置される。スイッチ装置 S W E 2 a , S W E 2 b のそれぞれは、下位リンク用ポートと上位リンク用ポートとを有する。この例では、下位リンク用ポートの中には、 M C L A G 用ポート P m 1 , P m 2 が含まれ、上位リンク用ポートの中には、 M C L A G 用ポート P m 3 と、ブリッジ用ポート P b と、が含まれる。

【 0 0 2 7 】

スイッチ装置 S W E 2 a , S W E 2 b のそれぞれは、自装置およびピア装置の M C L A G 用ポート P m 1 に共通の M C L A G 1 b を設定し、同様に、自装置およびピア装置の M

50

C L A G用ポート P m 2 , P m 3 にそれぞれ共通の M C L A G 2 b , M C L A G 3 b を設定する。P B 網 1 1 b は、ネットワーク N W b 2 を備える。この例では、ネットワーク N W b 2 は、スイッチ S W 3 , S W 4 を含んでいる。

【 0 0 2 8 】

スイッチ S W B 3 , S W B 4 は、ネットワーク N W b 2 を介して、M C L A G スイッチ M C L A G S W 2 の複数の下位リンク用ポートのいずれかに適直接続される。この例では、スイッチ S W B 3 は、スイッチ S W 3 を介してスイッチ装置 S W E 2 a , S W E 2 b の M C L A G 用ポート P m 1 に接続され、スイッチ S W B 4 は、スイッチ S W 4 を介してスイッチ装置 S W E 2 a , S W E 2 b の M C L A G 用ポート P m 2 に接続される。これにより、M C L A G スイッチ M C L A G S W 2 は、自装置の下位リンクに存在する複数のスイッチ S W B 3 , S W B 4 間の中継を担うと共に、各スイッチ S W B 3 , S W B 4 と P B B 網 1 0 との間の中継を担う。

10

【 0 0 2 9 】

さらに、P B 網と、P B B 網 1 0 との間境界部には、スイッチ装置（エッジスイッチ装置）S W E 3 , S W E 4 が設置される。スイッチ装置 S W E 3 , S W E 4 のそれぞれは、図示は省略するが、M C L A G スイッチ M C L A G S W 1 等の場合と同様に、下位リンク用ポートと上位リンク用ポートとを有し、下位リンクに P B 網およびカスタマ網を備える。スイッチ装置 S W E 3 , S W E 4 のそれぞれは、ここでは、M C L A G が設定されないスイッチ装置となっているが、M C L A G スイッチであってもよい。

【 0 0 3 0 】

20

P B B 網 1 0 は、通信回線やスイッチ等によって構成されるネットワーク（コア網）N W b b を備える。M C L A G スイッチ M C L A G S W 1 , M C L A G S W 2 およびスイッチ装置 S W E 3 , S W E 4 は、ネットワーク N W b b を介して互いに接続される。この例では、ネットワーク N W b b は、コアスイッチ S W C を含んでいる。コアスイッチ S W C は、M C L A G スイッチ M C L A G S W 1 , M C L A G S W 2 の各 M C L A G 用ポート P m 3 と、スイッチ装置 S W E 3 , S W E 4 の各上位リンク用ポートにそれぞれ接続される。

【 0 0 3 1 】

なお、ここでは、M C L A G スイッチを論理的に 1 台のエッジスイッチ装置として、P B B 網 1 0 の境界部に 4 台のエッジスイッチ装置が設置される例を示したが、2 台以上のエッジスイッチ装置が設置されればよい。そして、その中の少なくとも 1 台のエッジスイッチ装置が M C L A G スイッチであればよい。また、ここでは、P B 網 1 1 a （P B 網 1 1 b も同様）の境界部には、2 台のスイッチ S W B 1 , S W B 2 が設置されているが、実際には、更に多くのスイッチが設置される。これに応じて、P B 網 1 1 a （P B 網 1 1 b も同様）には、2 個のカスタマ網 1 2 a , 1 2 b に加えて、更に多くのカスタマ網が収容される。

30

【 0 0 3 2 】

さらに、ここでは、説明を簡略化するため、例えば、スイッチ S W B 1 , S W B 2 と M C L A G スイッチ M C L A G S W 1 とは、2 台のスイッチ S W 1 , S W 2 を介して 1 段で接続され、M C L A G スイッチ M C L A G S W 1 と M C L A G スイッチ M C L A G S W 2 とは、1 台のコアスイッチ S W C を介して 1 段で接続されている。ただし、実際には、ネットワーク N W b 1 , N W b 2 やネットワーク（コア網）N W b b は、更に多くのスイッチおよびコアスイッチを有し、各中継網間を複数段のスイッチ（コアスイッチ）を介して接続するような構成となっている。

40

【 0 0 3 3 】

《中継システム内のフレーム構造》

図 2 は、図 1 の中継システムにおいて、各中継網を流れるフレームの主要部の構造例を示す図である。ここでは、カスタマ網 1 2 a 内のカスタマ端末 T M からカスタマ網 1 2 c 内のカスタマ端末 T M に向けてフレームを転送する場合を例とする。カスタマ網 1 2 a 内のカスタマ端末 T M のカスタマ用アドレス（M A C アドレス）C M A C は「C A 1 1」で

50

あり、カスタマ網 1 2 c 内のカスタマ端末 T M のカスタマ用アドレス C M A C は「 C A 2 1 」であるものとする。また、スイッチ装置 S W E 1 a のカプセル化用アドレス (M A C アドレス) B M A C は「 B A 1 a 」であり、スイッチ装置 S W E 2 a のカプセル化用アドレス B M A C は「 B A 2 a 」であるものとする。

【 0 0 3 4 】

図 1 および図 2 に示すように、まず、送信元のカスタマ端末 T M は、カスタマ網 1 2 a 内にフレーム F L 1 を送信する。カスタマ網 1 2 a 内のフレーム F L 1 は、カスタマ V L A N タグ 1 5、送信元のカスタマ用アドレス C M A C (C S A) および宛先のカスタマ用アドレス C M A C (C D A) を含んだ非カプセル化フレームである。ここでは、送信元のカスタマ用アドレス C S A は、 M A C アドレス「 C A 1 1 」であり、宛先のカスタマ用アドレス C D A は、 M A C アドレス「 C A 2 1 」である。カスタマ V L A N タグ 1 5 には、カスタマによって任意に設定されるカスタマ V L A N 識別子 C V I D が含まれる。

10

【 0 0 3 5 】

次いで、図 1 に示すように、スイッチ S W B 1 は、フレーム F L 1 を受信し、 P B 網 1 1 a 内にフレーム F L 2 を送信する。フレーム F L 2 は、拡張 V L A N フレームであり、図 2 に示すように、フレーム F L 1 に対してサービス V L A N タグ 1 6 が付加された非カプセル化フレームである。サービス V L A N (拡張 V L A N) タグ 1 6 には、事業者等によって任意に設定されるサービス V L A N 識別子 S V I D が含まれる。 P B 網 1 1 a 内のブロードキャストドメインは、このサービス V L A N 識別子 S V I D によって定められる。スイッチ S W B 1 は、この事業者等の設定に基づいて、フレーム F L 1 に対してサー

20

【 0 0 3 6 】

続いて、図 1 に示すように、スイッチ装置 S W E 1 a は、フレーム F L 2 を受信し、 P B B 網 1 0 内にフレーム F L 3 を送信する。フレーム F L 3 は、 P B B フレームであり、カプセル化フレームである。カプセル化フレームは、概略的には、 P B B 規格に基づき、非カプセル化フレームにカプセル化用アドレスが付加された構造を持つ。具体的には、フレーム F L 3 は、図 2 に示すように、フレーム F L 2 を、サービスインスタンス識別子 I S I D、バックボーン V L A N タグ (B タグ) 1 8、送信元のカプセル化用アドレス B M A C (B S A) および宛先のカプセル化用アドレス B M A C (B D A) でカプセル化した構造を持つ。

30

【 0 0 3 7 】

サービスインスタンス識別子 I S I D は、前述した送信元のカスタマ用アドレス C S A および宛先のカスタマ用アドレス C D A を含めてサービスインスタンスタグ (I タグ) 1 7 内に含まれる。サービスインスタンス識別子 I S I D は、カスタマを識別するための識別子であり、 2 4 ビットの領域を持つ。この 2 4 ビットの領域によって、 1 2 ビットのサービス V L A N 識別子 S V I D の更なる拡張が可能となる。サービスインスタンス識別子 I S I D は、事業者等によって任意に設定される。代表的な設定方法としては、 1 個のサービス V L A N 識別子 S V I D を 1 個のサービスインスタンス識別子 I S I D に対応付ける方法や、複数のサービス V L A N 識別子 S V I D を 1 個のサービスインスタンス識別子 I S I D に対応付ける方法等が挙げられる。

40

【 0 0 3 8 】

バックボーン V L A N タグ (B タグ) 1 8 は、バックボーン V L A N 識別子 B V I D を含む。バックボーン V L A N 識別子 B V I D は、中継時の経路制御用の識別子であり、 1 2 ビットの領域を持つ。 P B B 網 1 0 内でのブロードキャストドメインは、このバックボーン V L A N 識別子 B V I D によって定められる。バックボーン V L A N 識別子 B V I D は、事業者等によって設定される。代表的な設定方法としては、複数のサービスインスタンス識別子 I S I D を 1 個のバックボーン V L A N 識別子 B V I D に対応付ける方法等が挙げられる。

【 0 0 3 9 】

スイッチ装置 S W E 1 a は、図 2 のフレーム F L 3 に示すように、自装置の M A C アド

50

レス「BA1a」を送信元のカプセル化用アドレスBSAとし、ここではスイッチ装置SWE2aのMACアドレス「BA2a」を宛先のカプセル化用アドレスBDAとして、フレームFL2をカプセル化する。そして、スイッチ装置SWE1aは、このカプセル化フレームとなるフレームFL3を、MCLAG用ポート（上位リンク用ポート）Pm3からスイッチ装置SWE2aに向けて送信する。

【0040】

スイッチ装置SWE2aは、フレーム（カプセル化フレーム）FL3を受信する。スイッチ装置SWE2aは、フレームFL3の宛先のカプセル化用アドレスBDA「BA2a」が自装置宛であるため、図1および図2に示すように、フレーム（カプセル化フレーム）FL3をフレーム（非カプセル化フレーム）FL2に変換する。そして、スイッチ装置SWE2aは、当該フレームFL2をMCLAG用ポート（下位リンク用ポート）Pm1からPB網11bを介してスイッチSWB3に向けて送信する。

10

【0041】

スイッチSWB3は、フレームFL2を受信し、フレームFL2からサービスVLANタグ16を取り除くことでフレームFL1に変換する。そして、スイッチSWB3は、フレームFL1を、カスタマ網12cを介して、カスタマ用アドレスCMAC「CA21」を持つカスタマ端末TMに向けて送信する。

【0042】

なお、図1および図2の例では、MCLAGスイッチMCLAGSW1、MCLAGSW2は、PB網11a、11bとの間でフレームFL2の受信または送信を行ったが、場合によっては、カスタマ網12a、12cとの間でフレームFL1の受信または送信を行うことも可能である。すなわち、エッジスイッチ装置は、図2のフレームFL1をカプセル化することでフレームFL3を生成したり、フレームFL3をデカプセル化することでフレームFL1を生成することも可能である。また、ここでは、PBB規格に基づく構成を前提として説明を行ったが、EoE（Ethernet over Ethernet）規格に対しても同様に適用可能である。EoEフレームは、図2のPBBフレーム（フレームFL3）とはフォーマットが若干異なるが、実質的には図2のPBBフレームが持つ情報と同等の情報を持ち、中継システムも、図1の場合と同様にして構成される。

20

【0043】

《中継システムの主要部の構成》

図3は、図1の中継システムにおいて、MCLAGスイッチ周りの構成例を示す概略図である。図1で述べたように、MCLAGスイッチMCLAGSW1は、2台のスイッチ装置SWE1a、SWE1bで構成され、MCLAGスイッチMCLAGSW2は、2台のスイッチ装置SWE2a、SWE2bで構成される。スイッチ装置SWE1a、SWE1b、SWE2a、SWE2bのカプセル化用アドレス（MACアドレス）は、それぞれ、BA1a、BA1b、BA2a、BA2bであるものとする。

30

【0044】

MCLAGスイッチMCLAGSW1、MCLAGSW2は、それぞれ、PBB網10の外部（ここではPB網11a、11b）から受信した非カプセル化フレームをカプセル化フレームに変換してPBB網10に中継する。その逆に、MCLAGスイッチMCLAGSW1、MCLAGSW2は、それぞれ、PBB網10から受信したカプセル化フレームを非カプセル化フレームに変換してPBB網の外部（PB網11a、11b）に中継する。さらに、MCLAGスイッチMCLAGSW1、MCLAGSW2は、それぞれ、PB網11a、11b内での非カプセル化フレームの中継や、PBB網10内でのカプセル化フレームの中継も行う。

40

【0045】

スイッチ装置SWE1a、SWE1b（スイッチ装置SWE2a、SWE2bも同様）のそれぞれは、非カプセル化フレームの送信または受信を行う下位リンク用ポートと、カプセル化フレームの送信または受信を行う上位リンク用ポートと、を有する。図1で述べたように、下位リンク用ポートは、MCLAG用ポートPm1、Pm2を含み、上位リン

50

ク用ポートは、MCLAG用ポートPm3およびブリッジ用ポートPbを含む。

【0046】

ブリッジ用ポートPbは、自装置とピア装置とを通信回線13を介して接続する。通信回線13は、イーサネット（登録商標）回線で構成される場合や、専用回線で構成される場合がある。なお、ここでは、上位リンク用ポートおよび下位リンク用ポートは、ブリッジ用ポートPbを除いてMCLAG用ポートで構成されているが、特にこれに限定されない。少なくとも、下位リンク用ポートであるMCLAG用ポート（第1MCLAG用ポート）（例えばPm1）を有していれば、その他のポートは、MCLAG用ポートであっても、MCLAGが設定されないポートであってもよい。

【0047】

また、PB網11a内のスイッチSW1，SW2のそれぞれは、LAG用ポートP1，P2を有する。スイッチSW1のLAG用ポートP1は、通信回線14を介してスイッチ装置SWE1aのMCLAG用ポートPm1に接続され、LAG用ポートP2は、通信回線14を介してスイッチ装置SWE1bのMCLAG用ポートPm1に接続される。スイッチSW2のLAG用ポートP1は、通信回線14を介してスイッチ装置SWE1aのMCLAG用ポートPm2に接続され、LAG用ポートP2は、通信回線14を介してスイッチ装置SWE1bのMCLAG用ポートPm2に接続される。通信回線14は、例えば、イーサネット回線で構成される。

【0048】

スイッチSW1は、LAG用ポートP1，P2にMCLAG1aを設定し、スイッチSW2は、LAG用ポートP1，P2にMCLAG2aを設定する。なお、スイッチSW1，SW2のそれぞれは、実際には、LAG用ポートP1，P2に、通常のLAGを設定すればよく、特に、LAGとMCLAGとを区別して取り扱う必要はない。

【0049】

同様に、PB網11b内のスイッチSW3，SW4のそれぞれも、LAG用ポートP1，P2を有する。スイッチSW3のLAG用ポートP1，P2は、それぞれ、通信回線14を介してスイッチ装置SWE2a，SWE2bのMCLAG用ポートPm1に接続され、スイッチSW4のLAG用ポートP1，P2は、それぞれ、通信回線14を介してスイッチ装置SWE2a，SWE2bのMCLAG用ポートPm2に接続される。スイッチSW3は、LAG用ポートP1，P2にMCLAG1b（実際には通常のLAG）を設定し、スイッチSW4は、LAG用ポートP1，P2にMCLAG2bを設定する。

【0050】

PBB網10内のコアスイッチSWCは、LAG用ポートP1～P4を有する。LAG用ポートP1，P2は、それぞれ、通信回線14を介してスイッチ装置SWE1a，SWE1bのMCLAG用ポートPm3に接続され、LAG用ポートP3，P4は、それぞれ、通信回線14を介してスイッチ装置SWE2a，SWE2bのMCLAG用ポートPm3に接続される。コアスイッチSWCは、LAG用ポートP1，P2にMCLAG3a（実際には通常のLAG）を設定し、LAG用ポートP3，P4にMCLAG3bを設定する。なお、コアスイッチSWCは、記載を省略しているが、図1のスイッチ装置SWE3，SWE4に接続されるポートも有する。

【0051】

また、図3には、カスタマ端末TM1a，TM1b，TM2a，TM2bが示されている。カスタマ端末TM1a，TM1b，TM2a，TM2bのカスタマ用アドレス（MACアドレス）CMACは、それぞれCA1a，CA1b，CA2a，CA2bであるものとする。カスタマ端末TM1a，TM1bは、図1のカスタマ網12a，12bに含まれ、カスタマ端末TM2a，TM2bは、カスタマ網12c，12dに含まれる。カスタマ端末TM1a，TM1bは、それぞれ、スイッチSW1，SW2に接続され、カスタマ端末TM2a，TM2bは、それぞれ、スイッチSW3，SW4に接続される。なお、図3では、便宜上、各カスタマ網のネットワーク（NWc1～NWc4）や、スイッチ（SWB1～SWB4）の記載は省略されている。

10

20

30

40

50

【 0 0 5 2 】

このような構成において、図3では、MCLAGスイッチMCLAGSW1, MCLAGSW2の動作方式の一例として、MCLAG毎に、そのメンバポートとなるMCLAG用ポートに対して、アクティブACTまたはスタンバイSBYを設定する方式が示されている。この例では、MCLAG1aにおいて、スイッチ装置SWE1aのMCLAG用ポートPm1はアクティブACTに設定され、スイッチ装置SWE1bのMCLAG用ポートPm1はスタンバイSBYに設定される。

【 0 0 5 3 】

同様に、MCLAG2a, MCLAG3aにおいても、スイッチ装置SWE1aのMCLAG用ポートPm2, Pm3はアクティブACTに設定され、スイッチ装置SWE1bのMCLAG用ポートPm2, Pm3はスタンバイSBYに設定される。さらに、MCLAG1b, MCLAG2b, MCLAG3bに関しても同様であり、スイッチ装置SWE2aのMCLAG用ポートPm1, Pm2, Pm3はアクティブACTに設定され、スイッチ装置SWE2bのMCLAG用ポートPm1, Pm2, Pm3はスタンバイSBYに設定される。

【 0 0 5 4 】

障害無しの場合、アクティブACTに設定されたMCLAG用ポートは、送信および受信共に許可する送受信許可状態FWに制御される。一方、スタンバイSBYに設定されたMCLAG用ポートは、送信を禁止し受信を許可する送信禁止状態TBKに制御される。その結果、例えば、MCLAGスイッチMCLAGSW1からスイッチSW1に向けたフレームは、常に、スイッチ装置SWE1aのMCLAG用ポートPm1から送信される。同様に、MCLAGスイッチMCLAGSW1からコアスイッチSWCに向けたフレームは、常に、スイッチ装置SWE1aのMCLAG用ポートPm3から送信される。一方、スイッチSW1またはコアスイッチSWCからMCLAGスイッチMCLAGSW1に向けたフレームは、LAG用ポートP1, P2の両方から送信される。

【 0 0 5 5 】

ここで、例えば、スイッチ装置SWE1aのMCLAG用ポートPm1に障害が発生した場合には、MCLAGスイッチMCLAGSW1において、障害時の切り換え動作が行われる。具体的には、MCLAG1aにおいて、スイッチ装置SWE1bのMCLAG用ポートPm1は送受信許可状態FWに制御され、スイッチ装置SWE1aのMCLAG用ポートPm1は、例えば、送信および受信共に禁止する送受信禁止状態等に制御される。

【 0 0 5 6 】

なお、MCLAGスイッチの動作方式は、このような方式に限定されるものではなく、様々な方式を用いることができる。例えば、原則的に、フレームを受信した側のスイッチ装置が、自装置のMCLAG用ポートからフレームを送信するような方式が挙げられる。具体的には、PB網11aからPBB網10に向けたフレームをスイッチ装置SWE1aが受信した場合、スイッチ装置SWE1aが当該フレームを自装置のMCLAG用ポートPm3から送信し、スイッチ装置SWE1bが受信した場合、スイッチ装置SWE1bが当該フレームを自装置のMCLAG用ポートPm3から送信する。

【 0 0 5 7 】

あるいは、例えば、分散ID等に基づいて、フレームを送信するMCLAG用ポートを2台のスイッチ装置SWE1a, SWE1bに均等に振り分けるような方式も挙げられる。すなわち、MCLAGスイッチを構成する2台のスイッチ装置(例えばSWE1a, SWE1b)が、下位リンク用ポートであるMCLAG用ポート(第1MCLAG用ポート)(例えばPm1)で、共に非カプセル化フレームを受信可能であれば、MCLAGスイッチの動作方式は、特に限定されない。

【 0 0 5 8 】

また、図3では、スイッチ装置SWE1a, SWE1bおよびスイッチ装置SWE2a, SWE2bのそれぞれにおける主要部の概略的な構成例が示される。ここでは、スイッチ装置SWE1a, SWE1bを代表例として説明する。スイッチ装置SWE1a, SW

10

20

30

40

50

E 1 bのそれぞれは、アドレステーブルFDBと、MCLAGテーブル21と、中継処理部20と、を有する。中継処理部20は、主に、アドレステーブルFDBの学習および検索を行う。

【0059】

MCLAGテーブル21は、単数または複数のMCLAG用ポートを、単数または複数のMCLAG識別子にそれぞれ対応付けて保持する。図3の例では、スイッチ装置SWE1a, SWE1bのMCLAGテーブル21は、共に、MCLAG用ポートPm1, Pm2, Pm3を、それぞれ、MCLAG識別子{MCLAG1a}, {MCLAG2a}, {MCLAG3a}に対応付けて保持する。本明細書では、例えば{AA}は、「AA」の識別子(ID)を表すものとする。

10

【0060】

このMCLAGテーブル21によって、スイッチ装置SWE1a, SWE1bのそれぞれは、自装置およびピア装置のMCLAG用ポートPm1に共通のMCLAG1aを設定する。同様に、スイッチ装置SWE1a, SWE1bのそれぞれは、自装置およびピア装置のMCLAG用ポートPm2, Pm3に、それぞれ共通のMCLAG2a, MCLAG3aを設定する。

【0061】

アドレステーブルFDBは、下位リンク用ポートの先に存在するカスタム用アドレスを、当該下位リンク用ポートを表すポート識別子または当該下位リンク用ポートに対応付けられるMCLAG識別子に対応付けて保持する。例えば、図3の例では、スイッチ装置SWE1aのアドレステーブルFDBは、MCLAG用ポート(下位リンク用ポート)Pm1の先に存在するカスタム用アドレスCMAC「CA1a」を、MCLAG識別子{MCLAG1a}に対応付けて保持する。なお、前述したように、下位リンク用ポートにMCLAGが設定されないポートが含まれる場合、MCLAG識別子の代わりにポート識別子が用いられる。

20

【0062】

また、アドレステーブルFDBは、上位リンク用ポートの先に存在するカスタム用アドレスを、カプセル化用アドレスと、当該上位リンク用ポートを表すポート識別子または当該上位リンク用ポートに対応付けられるMCLAG識別子と、に対応付けて保持する。例えば、図3の例では、スイッチ装置SWE1aのアドレステーブルFDBは、MCLAG用ポート(上位リンク用ポート)Pm3の先に存在するカスタム用アドレスCMAC「CA2a」を、カプセル化用アドレスBMAC「BA2a」と、MCLAG識別子{MCLAG3a}と、に対応付けて保持する。

30

【0063】

中継処理部20は、学習情報制御部22とMCLAG識別子付加部23とを備える。MCLAG識別子付加部23は、MCLAG用ポート(例えばPm1)で受信したフレームをブリッジ用ポートPbに中継する場合に、当該フレームに、当該MCLAG用ポートに対応するMCLAG識別子({MCLAG1a})を付加する。学習情報制御部22は、詳細は後述するが、アドレステーブルFDBの学習情報が不必要に変更される事態を防止するため、アドレステーブルFDBに学習する情報を制御する。

40

【0064】

《中継システムの主要部の前提動作および問題点》

図20は、本発明の前提として検討した中継システムにおいて、図3の中継システムが学習情報制御部を備えない場合の動作例および問題点の一例を示す説明図である。まず、カスタム端末TM1aからカスタム端末TM2aに向けてフレームFL10を転送する場合を想定する。スイッチSW1は、フレーム(ここでは非カプセル化フレーム)FL10を受信し、当該フレームFL10を、所定の分散規則に基づき、LAG用ポートP1, P2のいずれか一方に中継する。特に限定はされないが、所定の分散規則は、送信元のカスタム用アドレスCSAおよび宛先のカスタム用アドレスCDAを入力とするハッシュ演算等が用いられる。ここでは、フレームFL10は、LAG用ポートP1に中継されたもの

50

とする。

【 0 0 6 5 】

スイッチ装置 SWE 1 a は、MCLAG 用ポート P m 1 でフレーム（ここでは非カプセル化フレーム）FL 1 0 を受信する。そして、スイッチ装置 SWE 1 a（具体的には中継処理部 2 0）は、フレーム（非カプセル化フレーム）FL 1 0 に含まれる送信元のカスタマ用アドレス CSA「CA 1 a」を、受信ポート識別子に対応付けてアドレステーブル FDB に学習する。受信ポート識別子とは、フレームを受信したポートのポート識別子または当該ポートに対応付けられる MCLAG 識別子を表す。ここでは、受信ポート識別子は、MCLAG 識別子 { MCLAG 1 a } である。

【 0 0 6 6 】

また、スイッチ装置 SWE 1 a（具体的には中継処理部 2 0）は、フレーム（非カプセル化フレーム）FL 1 0 に含まれる宛先のカスタマ用アドレス CDA「CA 2 a」を検索キーとしてアドレステーブル FDB を検索する。その結果、スイッチ装置 SWE 1 a は、カプセル化用アドレス BMAC「BA 2 a」と、宛先ポート識別子である MCLAG 識別子 { MCLAG 3 a } と、を取得したものとする。宛先ポート識別子とは、アドレステーブル FDB の検索によって取得されたポート識別子または MCLAG 識別子を表す。

【 0 0 6 7 】

スイッチ装置 SWE 1 a（具体的には中継処理部 2 0）は、MCLAG 3 a のメンバーポートとなる自装置の MCLAG 用ポート P m 3 が送受信許可状態 FW に制御されているため、当該フレーム FL 1 0 の送信ポート識別子を、自装置の MCLAG 用ポート P m 3 のポート識別子 { P m 3 } に定める。なお、仮に、自装置の MCLAG 用ポート P m 3 が送信禁止状態 TBK に制御されている場合には、送信ポート識別子は、ブリッジ用ポート P b のポート識別子 { P b } に定められる。

【 0 0 6 8 】

送信ポート識別子とは、実際にフレームを送信するポートのポート識別子を意味する。例えば、宛先ポート識別子が MCLAG 識別子ではなく、MCLAG が設定されないポートのポート識別子の場合、送信ポート識別子は宛先ポート識別子に等しい。一方、宛先ポート識別子が MCLAG 識別子の場合、送信ポート識別子は、MCLAG 用ポートの制御状態に応じて、MCLAG 用ポート（例えば P m 3）のポート識別子（ { P m 3 } ）か、ブリッジ用ポート P b のポート識別子 { P b } となる。

【 0 0 6 9 】

ここでは、送信ポート識別子は、上位リンク用ポートである MCLAG 用ポート P m 3 のポート識別子 { P m 3 } である。そこで、スイッチ装置 SWE 1 a は、フレーム（非カプセル化フレーム）FL 1 0 を、送信元のカプセル化用アドレス BSA（自装置のカプセル化用アドレス BMAC「BA 1 a」）と、宛先のカプセル化用アドレス BDA（アドレステーブル FDB に基づくカプセル化用アドレス BMAC「BA 2 a」）でカプセル化する。そして、スイッチ装置 SWE 1 a は、当該フレーム（カプセル化フレーム）FL 1 0 を、MCLAG 用ポート P m 3 から送信する。

【 0 0 7 0 】

コアスイッチ SWC は、当該フレーム（カプセル化フレーム）FL 1 0 を受信し、当該フレームに含まれる送信元のカプセル化用アドレス BSA「BA 1 a」をアドレステーブルに学習すると共に、宛先のカプセル化用アドレス BDA「BA 2 a」を検索キーとしてアドレステーブルを検索する。ここでは、コアスイッチ SWC は、アドレステーブルの検索結果に基づき MCLAG 識別子（実際には LAG 識別子） { MCLAG 3 b } を取得し、所定の分散規則に基づき LAG 用ポート P 3 を選択したものとする。

【 0 0 7 1 】

これにより、スイッチ装置 SWE 2 a は、MCLAG 用ポート P m 3 でフレーム（カプセル化フレーム）FL 1 0 を受信する。スイッチ装置 SWE 2 a（具体的には中継処理部 2 0）は、当該フレーム FL 1 0 の送信元のカスタマ用アドレス CSA「CA 1 a」を、送信元のカプセル化用アドレス BSA「BA 1 a」と、受信ポート識別子（ここでは MC

10

20

30

40

50

L A G 識別子 { M C L A G 3 b }) と、に対応付けてアドレステーブル F D B に学習する。

【 0 0 7 2 】

また、スイッチ装置 S W E 2 a (具体的には中継処理部 2 0) は、当該フレーム F L 1 0 の宛先のカプセル化用アドレス B D A 「 B A 2 a 」が自装置宛てであるため、当該フレーム F L 1 0 の宛先のカスタマ用アドレス C D A 「 C A 2 a 」を検索キーとしてアドレステーブル F D B を検索する。その結果、スイッチ装置 S W E 2 a は、宛先ポート識別子として M C L A G 識別子 { M C L A G 1 b } を取得したものとす。

【 0 0 7 3 】

スイッチ装置 S W E 2 a (具体的には中継処理部 2 0) は、 M C L A G 識別子 { M C L A G 1 b } に対応する自装置の M C L A G 用ポート P m 1 が送受信許可状態 F W に制御され、また、下位リンク用ポートであるため、当該フレーム (カプセル化フレーム) F L 1 0 を、非カプセル化フレームに変換したのち M C L A G 用ポート P m 1 に中継する。その結果、当該フレーム (非カプセル化フレーム) F L 1 0 は、スイッチ S W 3 を介してカスタマ端末 T M 2 a に到達する。

【 0 0 7 4 】

次に、カスタマ端末 T M 1 a からカスタマ端末 T M 2 b に向けてフレーム F L 1 1 を転送する場合を想定する。スイッチ S W 1 は、フレーム (非カプセル化フレーム) F L 1 1 を受信し、当該フレーム F L 1 1 を、所定の分散規則に基づき、L A G 用ポート P 1 , P 2 のいずれか一方 (ここでは L A G 用ポート P 2) に中継する。スイッチ装置 S W E 1 b は、 M C L A G 用ポート P m 1 でフレーム F L 1 1 を受信する。そして、スイッチ装置 S W E 1 b は、フレーム (非カプセル化フレーム) F L 1 1 に含まれる送信元のカスタマ用アドレス C S A 「 C A 1 a 」を、受信ポート識別子である M C L A G 識別子 { M C L A G 1 a } に対応付けてアドレステーブル F D B に学習する。

【 0 0 7 5 】

また、スイッチ装置 S W E 1 b は、フレーム F L 1 1 に含まれる宛先のカスタマ用アドレス C D A 「 C A 2 b 」を検索キーとしてアドレステーブル F D B を検索する。その結果、スイッチ装置 S W E 1 b は、カプセル化用アドレス B M A C 「 B A 2 a 」と、宛先ポート識別子である M C L A G 識別子 { M C L A G 3 a } と、を取得したものとす。スイッチ装置 S W E 1 b (具体的には中継処理部 2 0) は、 M C L A G 3 a のメンバポートとなる自装置の M C L A G 用ポート P m 3 が送信禁止状態 T B K に制御されているため、当該フレーム F L 1 1 の送信ポート識別子をポート識別子 { P b } に定める。言い換えれば、スイッチ装置 S W E 1 b は、宛先ポートをブリッジ用ポート P b に定める。

【 0 0 7 6 】

スイッチ装置 S W E 1 b は、ブリッジ用ポート P b が上位リンク用ポートであるため、フレーム (非カプセル化フレーム) F L 1 1 を、送信元のカプセル化用アドレス B S A (自装置のカプセル化用アドレス B M A C 「 B A 1 b 」) と、宛先のカプセル化用アドレス B D A (カプセル化用アドレス B M A C 「 B A 2 a 」) でカプセル化する。また、スイッチ装置 S W E 1 b (具体的には M C L A G 識別子付加部 2 3) は、 M C L A G 用ポート P m 1 で受信したフレームをブリッジ用ポート P b に中継する場合に、当該フレームに、受信ポート識別子である M C L A G 識別子 { M C L A G 1 a } を付加する。

【 0 0 7 7 】

これにより、スイッチ装置 S W E 1 b は、 M C L A G 識別子 { M C L A G 1 a } が付加されたフレーム (カプセル化フレーム) F L 1 1 を、ブリッジ用ポート P b から送信する。一方、スイッチ装置 S W E 1 a は、ブリッジ用ポート P b でフレーム (カプセル化フレーム) F L 1 1 を受信する。そして、スイッチ装置 S W E 1 a は、例えば、フレーム F L 1 1 に含まれる送信元のカスタマ用アドレス C S A 「 C A 1 a 」を、フレーム F L 1 1 に付加された M C L A G 識別子 { M C L A G 1 a } に対応付けてアドレステーブル F D B に学習する。

【 0 0 7 8 】

10

20

30

40

50

また、スイッチ装置 SWE 1 a は、フレーム（カプセル化フレーム）FL 1 1 に含まれる宛先のカプセル化用アドレス BDA「BA 2 a」を検索キーとしてアドレステーブル FDB を検索する。その結果、スイッチ装置 SWE 1 a は、宛先ポート識別子である MCLAG 識別子 {MCLAG 3 a} を取得したものとす。スイッチ装置 SWE 1 a は、MCLAG 3 a のメンバポートとなる自装置の MCLAG 用ポート Pm 3 が送受信許可状態 FW に制御されているため、当該フレーム FL 1 1 の送信ポート識別子を、自装置の MCLAG 用ポート Pm 3 のポート識別子 {Pm 3} に定める。そして、スイッチ装置 SWE 1 a は、当該フレーム FL 1 1 を、MCLAG 用ポート Pm 3 から送信する。

【0079】

コアスイッチ SWC は、当該フレーム（カプセル化フレーム）FL 1 1 を受信し、当該フレームに含まれる送信元のカプセル化用アドレス BSA「BA 1 b」をアドレステーブルに学習すると共に、宛先のカプセル化用アドレス BDA「BA 2 a」を検索キーとしてアドレステーブルを検索する。ここでは、コアスイッチ SWC は、アドレステーブルの検索結果に基づき MCLAG 識別子（実際には LAG 識別子）{MCLAG 3 b} を取得し、所定の分散規則に基づき LAG 用ポート P 3 を選択したものとす。

【0080】

これにより、スイッチ装置 SWE 2 a は、MCLAG 用ポート Pm 3 でフレーム（カプセル化フレーム）FL 1 1 を受信する。スイッチ装置 SWE 2 a は、当該フレーム FL 1 1 の送信元のカスタマ用アドレス CSA「CA 1 a」を、送信元のカプセル化用アドレス BSA「BA 1 b」と、受信ポート識別子（MCLAG 識別子 {MCLAG 3 b}）と、

【0081】

また、スイッチ装置 SWE 2 a は、当該フレーム FL 1 1 の宛先のカプセル化用アドレス BDA「BA 2 a」が自装置宛てであるため、当該フレーム FL 1 1 の宛先のカスタマ用アドレス CDA「CA 2 b」を検索キーとしてアドレステーブル FDB を検索する。その結果、スイッチ装置 SWE 2 a は、宛先ポート識別子として MCLAG 識別子 {MCLAG 2 b} を取得したものとす。

【0082】

スイッチ装置 SWE 2 a は、MCLAG 識別子 {MCLAG 2 b} に対応する自装置の MCLAG 用ポート Pm 2 が送受信許可状態 FW に制御され、また、下位リンク用ポート

【0083】

以上のように、MCLAG スイッチ MCLAG SW 1 は、カスタマ端末 TM 1 a から送信され、下位リンク用ポートである MCLAG 用ポート（第 1 MCLAG 用ポート）Pm 1 で受信した非カプセル化フレームをカプセル化する際に、送信元のカプセル化用アドレス BSA を「BA 1 a」に定める場合と「BA 1 b」に定める場合とがある。その結果、PBB 網 10 内の他のスイッチ装置（エッジスイッチ装置）SWE 2 a では、アドレステーブル FDB の学習情報が、同一のカスタマ用アドレス CMAC「CA 1 a」を対象とし

【0084】

また、スイッチ装置は、このように、同一のカスタマ用アドレスを対象した学習情報が頻繁に変更されていることを検出し、それを障害とみなすような機能を備える場合がある。当該機能は、本来、ループ経路の発生等を検出するために設けられる。一方、図 20 のような現象は、本来、障害に該当する現象ではないため、これに伴う不要な障害検出を防止することが望まれる。なお、前述した他のスイッチ装置（エッジスイッチ装置）SWE 2 a は、ここでは、MCLAG スイッチ MCLAG SW 2 となっているが、MCLAG スイッチに限らず、例えば、図 1 のスイッチ装置 SWE 3 , SWE 4 等でも同様の問題が生

10

20

30

40

50

じ得る。

【 0 0 8 5 】

《学習情報制御部の動作および中継システムの主要部の動作》

図4は、図3の中継システムにおいて、学習情報制御部の処理内容の一例を示すフロー図である。図5は、図3の中継システムの動作例を示す説明図である。図5では、前述した図20の場合と同様に、まず、カスタマ端末TM1aからカスタマ端末TM2aに向けてフレームFL10が転送され、次に、カスタマ端末TM1aからカスタマ端末TM2bに向けてフレームFL11が転送される場合の動作例が示されている。ここでは、図20との違いに着目して説明を行う。

【 0 0 8 6 】

図5では、MCLAGスイッチMCLAGSW1において、スイッチ装置（第1スイッチ装置）SWE1aのカプセル化用アドレスBMAC「BA1a」は、スイッチ装置（第2スイッチ装置）のカプセル化用アドレスBMAC「BA1b」と比較して一部のビットのみが異なるように設定されている。図5の例では、カプセル化用アドレスBMAC「BA1a」は、カプセル化用アドレスBMAC「BA1b」と比較して、1ビット目～47ビット目が同一の値（mmm）であり、0ビット目が異なっている。ここでは、カプセル化用アドレスBMAC「BA1a」の0ビット目は、“1”であり、カプセル化用アドレスBMAC「BA1a」の0ビット目は、“0”である。

【 0 0 8 7 】

本明細書では、この一部のビット（0ビット目）を、マスクビット25と呼ぶ。マスクビット25は、0ビット目に限らず、他のビット位置であってもよく、また、1ビットに限らず、複数ビットであってもよい。なお、エッジスイッチ装置は、通常、装置の管理者等によってカプセル化用アドレス（MACアドレス）BMACを任意に設定可能な構成となっている。

【 0 0 8 8 】

このようにカプセル化用アドレスBMACが設定されることを前提として、例えば、スイッチ装置（第3スイッチ装置）SWE2aの学習情報制御部22は、図4に示すような処理を行う。当該学習情報制御部22は、概略的には、第1の場合かつ第2の場合に、アドレステーブルFDBに、送信元のカスタマ用アドレスCSAと送信元のカプセル化用アドレスBSAとの対応関係を学習しない処理を行う。

【 0 0 8 9 】

第1の場合とは、上位リンク用ポートでカプセル化フレームを受信し、アドレステーブルFDBから当該カプセル化フレームの送信元のカスタマ用アドレスCSAに対応するカプセル化用アドレスBMACを取得した場合である。第2の場合とは、当該カプセル化フレームの送信元のカプセル化用アドレスBSAと、アドレステーブルFDBから取得したカプセル化用アドレスBMACと、の相違が一部のビット（すなわちマスクビット25）のみの場合である。

【 0 0 9 0 】

具体的には、図4に示すように、学習情報制御部22は、例えば宛先のカプセル化用アドレスBDAが自装置宛てのカプセル化フレームを受信した場合に、当該フレームの送信元のカスタマ用アドレスCSAを検索キーとしてアドレステーブルFDBを検索する（ステップS101）。そして、学習情報制御部22は、アドレステーブルFDBの検索結果がヒットかミスヒットかを判別する（ステップS102）。この際に、アドレステーブルFDBの検索結果がヒットの場合には、カプセル化用アドレスBMACが取得される。

【 0 0 9 1 】

アドレステーブルFDBの検索結果がヒットの場合（第1の場合）、学習情報制御部22は、フレームに含まれる送信元のカプセル化用アドレスBSAと、アドレステーブルFDBから取得したカプセル化用アドレスBMACと、が一致するか否かを判別する（ステップS103）。不一致の場合、学習情報制御部22は、相違が一部のビット（すなわちマスクビット25）のみか否かを判別する（ステップS104）。

10

20

30

40

50

【 0 0 9 2 】

ここで、相違がマスクビット25のみの場合（第2の場合）、学習情報制御部22は、アドレステーブルFDBに、送信元のカスタム用アドレスCSAと送信元のカプセル化用アドレスBSAとの対応関係を学習しない（ステップS105）。言い換えれば、学習情報制御部22は、アドレステーブルFDBにおける当該送信元のカスタム用アドレスCSAのエントリに、上書きでの学習を行わない。

【 0 0 9 3 】

また、ステップS103において、送信元のカプセル化用アドレスBSAと、アドレステーブルFDBから取得したカプセル化用アドレスBMACと、が一致する場合も、学習情報制御部22は、アドレステーブルFDBに対して上書きでの学習を行う必要がない（ステップS105）。一方、ステップS102において、アドレステーブルFDBの検索結果がミスヒットの場合、学習情報制御部22は、送信元のカスタム用アドレスCSAと送信元のカプセル化用アドレスBSAとの対応関係を、アドレステーブルFDBに新たに学習する（ステップS106）。

【 0 0 9 4 】

このような学習情報制御部22を用いることで、具体的には、例えば、図5に示すような動作が行われる。図5において、スイッチ装置SWE2aは、まず、図20の場合と同様にして、フレーム（カプセル化フレーム）FL10を受信し、その送信元のカスタム用アドレスCSA「CA1a」を送信元のカプセル化用アドレスBSA「BA1a」に対応付けてアドレステーブルFDBに学習する。または、スイッチ装置SWE2aは、既にカスタム用アドレスCMAC「CA1a」とカプセル化用アドレスBMAC「BA1a」との対応関係が学習済みの場合、当該対応関係を維持する。すなわち、スイッチ装置SWE2aの学習情報制御部22は、例えば、図4のステップS102 ステップS106の処理を実行するか、または、ステップS103 ステップS105の処理を実行する。

【 0 0 9 5 】

その後、スイッチ装置SWE2aは、図20の場合と同様にして、フレーム（カプセル化フレーム）FL11を受信する。フレームFL11の送信元のカスタム用アドレスCSAは、アドレステーブルFDBに学習済みの「CA1a」であり、送信元のカプセル化用アドレスBSAは、アドレステーブルFDBの学習情報（BA1a）とはマスクビット25のみが異なる「BA1b」である。この場合、スイッチ装置SWE2aの学習情報制御部22は、図4のステップS102 ステップS103 ステップS104 ステップS105の処理を実行する。その結果、アドレステーブルFDBは、既存のカスタム用アドレスCMAC「CA1a」とカプセル化用アドレスBMAC「BA1a」との対応関係を維持する。

【 0 0 9 6 】

以上のように、学習情報制御部22を設けることで、図20の場合と異なり、スイッチ装置SWE2aにおけるアドレステーブルFDBの学習情報は、フレームFL10を受信したのちフレームFL11を受信した場合に変更されなくなる。同様に、当該学習情報は、フレームFL11を受信したのちフレームFL10を受信した場合にも変更されなくなる。この場合、アドレステーブルFDBは、カスタム用アドレスCMAC「CA1a」とカプセル化用アドレスBMAC「BA1b」との対応関係を維持する。その結果、図20で述べたような、アドレステーブルFDBの学習情報が不必要に変更される事態を防止することが可能になる。また、図20で述べたような、不要な障害検出を防止することが可能になる。

【 0 0 9 7 】

図6は、図3の中継システムの他の動作例を示す説明図である。図6では、図5のフレームFL10とは反対に、カスタム端末TM2aからカスタム端末TM1aに向けてフレームを転送する場合の動作例が示されている。また、図6では、図5の場合と異なり、スイッチ装置SWE2aの学習情報制御部22によって、アドレステーブルFDBが、カスタム用アドレスCMAC「CA1a」とカプセル化用アドレスBMAC「BA1b」との

10

20

30

40

50

対応関係を維持する場合を例とする。以下、アドレステーブルFDBの学習や検索等に関する詳細な説明は省略し、特徴的な事項に絞って説明する。

【0098】

カスタマ端末TM2aから送信された非カプセル化フレーム(FL20, FL21)は、スイッチ装置SWE2aでカプセル化フレームに変換される。この際に、スイッチ装置SWE2aは、宛先のカプセル化用アドレスBDAを「BA1b」に定める。コアスイッチSWCは、当該カプセル化フレームを受信し、所定の分散規則に基づいて、当該カプセル化フレームをLAG用ポートP1, P2のいずれか一方に中継する。図6では、LAG用ポートP1に中継された場合のフレームはFL20で示され、LAG用ポートP2に中継された場合のフレームはFL21で示される。

10

【0099】

まず、フレームFL20に関し、スイッチ装置SWE1aは、フレーム(カプセル化フレーム)FL20をMCLAG用ポートPm3で受信する。ここで、スイッチ装置SWE1a, SWE1bのそれぞれは、受信したカプセル化フレームに含まれる宛先のカプセル化用アドレスBDAが自装置またはピア装置のカプセル化用アドレスの場合に、当該フレームに含まれる宛先のカスタマ用アドレスCDAを検索キーとして自装置のアドレステーブルFDBを検索する機能を備える。この場合、スイッチ装置SWE1a(具体的には中継処理部20)は、フレームFL20の宛先のカプセル化用アドレスBDA「BA1b」がピア装置のカプセル化用アドレスであるため、宛先のカスタマ用アドレスCDA「CA1a」を検索キーとしてアドレステーブルFDBを検索する。

20

【0100】

その結果、スイッチ装置SWE1aは、宛先ポート識別子であるMCLAG識別子{MCLAG1a}を取得したものとする。スイッチ装置SWE1a(具体的には中継処理部20)は、MCLAG1aのメンバポートとなる自装置のMCLAG用ポートPm1が送受信許可状態FWに制御されているため、送信ポート識別子をポート識別子{Pm1}に定める。言い換えれば、スイッチ装置SWE1aは、宛先ポートを自装置のMCLAG用ポートPm1に定める。スイッチ装置SWE1aは、宛先ポートが下位リンク用ポートであるため、受信したフレーム(カプセル化フレーム)FL20を、非カプセル化フレームに変換したのち、MCLAG用ポートPm1に中継する。

【0101】

30

次に、フレームFL21に関し、スイッチ装置SWE1bは、フレーム(カプセル化フレーム)FL21をMCLAG用ポートPm3で受信する。そして、スイッチ装置SWE1b(具体的には中継処理部20)は、フレームFL21の宛先のカプセル化用アドレスBDA「BA1b」が自装置のカプセル化用アドレスであるため、宛先のカスタマ用アドレスCDA「CA1a」を検索キーとしてアドレステーブルFDBを検索する。

【0102】

その結果、スイッチ装置SWE1bは、宛先ポート識別子であるMCLAG識別子{MCLAG1a}を取得したものとする。スイッチ装置SWE1b(具体的には中継処理部20)は、MCLAG1aのメンバポートとなる自装置のMCLAG用ポートPm1が送信禁止状態TBKに制御されているため、送信ポート識別子をポート識別子{Pb}に定める。言い換えれば、スイッチ装置SWE1bは、宛先ポートをブリッジ用ポートPbに定める。

40

【0103】

スイッチ装置SWE1bは、宛先ポートが上位リンク用ポートであるため、受信したフレーム(カプセル化フレーム)FL21を、カプセル化フレームのままブリッジ用ポートPbに中継する。この際に、スイッチ装置SWE1b(具体的にはMCLAG識別子付加部23)は、フレームFL21に、受信ポート識別子SPであるMCLAG識別子{MCLAG3a}を付加する。

【0104】

スイッチ装置SWE1aは、ブリッジ用ポートPbで、MCLAG識別子{MCLAG

50

3 a } が付加されたフレーム（カプセル化フレーム）FL 2 1を受信する。そして、スイッチ装置SWE 1 a（具体的には中継処理部20）は、フレームFL 2 1に含まれる送信元のカスタマ用アドレスCSA「CA 2 a」を、送信元のカプセル化用アドレスBSA「BA 2 a」と、フレームFL 2 1に付加されたMCLAG識別子{MCLAG 3 a}と、に対応付けてアドレステーブルFDBに学習する。

【0105】

また、スイッチ装置SWE 1 a（具体的には中継処理部20）は、フレームFL 2 1の宛先のカプセル化用アドレスBDA「BA 1 b」がピア装置のカプセル化用アドレスであるため、宛先のカスタマ用アドレスCDA「CA 1 a」を検索キーとしてアドレステーブルFDBを検索する。その結果、スイッチ装置SWE 1 aは、フレームFL 2 0の場合と同様に、MCLAG識別子{MCLAG 1 a}を取得し、以降、フレームFL 2 0の場合と同様の処理を経て、フレーム（非カプセル化フレーム）FL 2 1をMCLAG用ポートPm 1に中継する。

10

【0106】

このように、MCLAGスイッチを構成する各スイッチ装置は、宛先のカプセル化用アドレスBDAが自装置宛てまたはピア装置宛ての場合に、宛先のカスタマ用アドレスCDAを検索キーとして自装置のアドレステーブルFDBを検索する。したがって、例えば、図20のように、同一のカスタマ用アドレスCMAC「CA 1 a」に対応付けられるカプセル化用アドレスBMACが変更される場合でも、図5のように、当該カプセル化用アドレスBMACが固定される場合でも、フレームの中継処理を問題無く行うことが可能である。

20

【0107】

以上、本実施の形態1の中継システムおよびスイッチ装置を用いることで、代表的には、アドレステーブルの学習情報が不必要に変更される事態を防止することが可能になる。

【0108】

（実施の形態2）

《学習情報制御部の動作（応用例[1]）》

図7は、本発明の実施の形態2による中継システムにおいて、図3の学習情報制御部の処理内容の一例を示すフロー図である。図7に示す処理フローは、図4に示した処理フローと比較して、図4におけるステップS105がステップS201に変更された点と、ステップS202が追加された点と、が異なっている。その他の処理内容に関しては、図4の場合と同様であるため、詳細な説明は省略する。

30

【0109】

ステップS201において、学習情報制御部22は、ステップS105の場合と同様に、送信元のカスタマ用アドレスCSAと送信元のカプセル化用アドレスBSAとの対応関係を学習しないことに加えて、エージングタイマも更新しない。すなわち、学習情報制御部22は、前述したように、送信元のカプセル化用アドレスBSAと、アドレステーブルFDBから取得したカプセル化用アドレスBMACと、の相違がマスクビット25のみの場合（ステップS104（第2の場合））に、当該送信元のカスタマ用アドレスCSAに対応するエントリのエージングタイマも更新しない。

40

【0110】

また、ステップS202は、ステップS103において、送信元のカプセル化用アドレスBSAと、アドレステーブルFDBから取得したカプセル化用アドレスBMACと、が一致する場合に実行される。この場合、学習情報制御部22は、ステップS202に示すように、送信元のカスタマ用アドレスCSAに対応するエントリのエージングタイマを更新する。

【0111】

なお、図3に示したアドレステーブルFDBでは、エージングタイマは省略されているが、実際には、後述する図17に示されるように、各カスタマ用アドレスCMACに対応する各エントリは、エージングタイマを含んでいる。エージングタイマは、広く知られて

50

いるように、対応するエントリが消去されるまでの残り時間を定めるものであり、この残り時間は、エージングタイマの更新によって初期値に戻る。

【0112】

図8は、図7の主要な処理内容を纏めた補足図である。図8では、既にアドレステーブルFDBに所定のカプセル化用アドレスBMACが学習された状態で、当該カプセル化用アドレスBMACと同一か、または、マスクビット25のみが異なる送信元のカプセル化用アドレスBSAを受信した場合の処理内容が示されている。まず、学習済みのカプセル化用アドレスBMACのマスクビット25が“0”または“1”に関わらず、同一またはマスクビット25のみが異なる送信元のカプセル化用アドレスBSAを受信した場合には、アドレステーブルFDBの学習は行われない。

10

【0113】

一方、エージングタイマは、学習済みのカプセル化用アドレスBMACのマスクビット25が“0”の場合において、同じくマスクビット25＝“0”である送信元のカプセル化用アドレスBSAを受信した場合には更新され、マスクビット25＝“1”である送信元のカプセル化用アドレスBSAを受信した場合には更新されない。同様に、エージングタイマは、学習済みのカプセル化用アドレスBMACのマスクビット25が“1”の場合において、同じくマスクビット25＝“1”である送信元のカプセル化用アドレスBSAを受信した場合には更新され、マスクビット25＝“0”である送信元のカプセル化用アドレスBSAを受信した場合には更新されない。

【0114】

《中継システム（比較例）の主要部の動作および問題点》

図9は、本発明の比較例として検討した中継システムにおいて、学習情報制御部が常にエージングタイマを更新する場合の動作例および問題点を示す説明図である。すなわち、仮に、図7のステップS201でエージングタイマが更新され、図8における「エージングタイマ更新」が全て「」になるような場合、図9に示されるように問題が生じ得る。

20

【0115】

図9には、図5に示したように、スイッチ装置SWE2aがカスタマ用アドレスCMAC「CA1a」とカプセル化用アドレスBMAC「BA1a」との対応関係を学習している状態で、スイッチ装置SWE1aに障害が生じた場合の動作例が示される。この場合、MCLAGの機能に基づき、障害時の切り換え動作が行われる。その結果、スイッチ装置SWE1aのMCLAG用ポートPm1、Pm2、Pm3は、例えば、送信および受信共に禁止する送受信禁止状態BK等に制御され、その代わりに、スイッチ装置SWE1bのMCLAG用ポートPm1、Pm2、Pm3は、送受信許可状態FWに制御される。

30

【0116】

この状態で、カスタマ端末TM1aからカスタマ端末TM2aに向けてフレームFL10aが転送される場合を想定する。この場合、スイッチSW1がスイッチ装置SWE1aの障害を検出する結果、フレームFL10aは、図5のフレームFL10とは異なり、スイッチ装置SWE1bのMCLAG用ポートPm1で受信される。これにより、スイッチ装置SWE1bは、送信元のカプセル化用アドレスBSA「BA1b」を含むフレーム（カプセル化用フレーム）FL10aをMCLAG用ポートPm3から送信する。

40

【0117】

スイッチ装置SWE2aは、当該フレーム（カプセル化用フレーム）FL10aを受信する。ここで、スイッチ装置SWE2aの学習情報制御部（比較例）22'は、当該フレームFL10aを受信した際にもエージングタイマを更新するため、アドレステーブルFDBに学習済みのカプセル化用アドレスBSA「BA1a」を継続的に維持することになる。一方、コアスイッチSWCは、スイッチ装置SWE1aの障害に伴い、送信元のカプセル化用アドレスBSA「BA1a」を含むカプセル化フレームを受信しなくなる。このため、コアスイッチSWCのアドレステーブルでは、カプセル化用アドレスBMAC「BA1a」のエントリは消滅する。

【0118】

50

この状態で、カスタマ端末 T M 2 a からカスタマ端末 T M 1 a に向けてフレーム F L 1 2 a が転送される場合を想定する。スイッチ装置 S W E 2 a は、フレーム（非カプセル化フレーム） F L 1 2 a を受信し、アドレステーブル F D B の検索結果に基づき、宛先のカプセル化用アドレス B D A 「 B A 1 a 」を含むカプセル化フレームを M C L A G 用ポート P m 3 から送信する。コアスイッチ S W C は、当該フレーム（カプセル化フレーム） F L 1 2 a を受信する。しかしながら、コアスイッチ S W C は、アドレステーブルにカプセル化用アドレス B M A C 「 B A 1 a 」のエントリを保持していないため、フレーム F L 1 2 a を受信する度にフラッディングを行ってしまう。

【 0 1 1 9 】

《中継システムの主要部の動作（応用例 [1] ）》

図 1 0 は、図 7 の学習情報制御部を備えた中継システムの動作例を示す説明図である。図 1 0 において、スイッチ装置 S W E 2 a は、図 9 の場合と同様に、アドレステーブル F D B にカプセル化用アドレス B S A 「 B A 1 a 」を学習した状態で、フレーム（カプセル化フレーム） F L 1 0 a を受信する。ただし、スイッチ装置 S W E 2 a の学習情報制御部 2 2 は、図 9 の場合と異なり、当該フレーム F L 1 0 a を受信した際にはエージングタイマを更新しない。

【 0 1 2 0 】

このため、スイッチ装置 S W E 2 a のアドレステーブル F D B では、カプセル化用アドレス B M A C 「 B A 1 a 」のエントリは、所定の期間経過後に消滅する。そして、スイッチ装置 S W E 2 a は、その後に受信したフレーム F L 1 0 a に基づき、カスタマ用アドレス C M A C 「 C A 1 a 」とカプセル化用アドレス B M A C 「 B A 1 b 」との対応関係をアドレステーブル F D B に学習する。

【 0 1 2 1 】

その結果、スイッチ装置 S W E 2 a は、フレーム（非カプセル化フレーム） F L 1 2 a を受信した際に、図 9 の場合と異なり、宛先のカプセル化用アドレス B D A 「 B A 1 b 」を含むカプセル化フレームを M C L A G 用ポート P m 3 から送信する。コアスイッチ S W C は、アドレステーブルにカプセル化用アドレス B M A C 「 B A 1 b 」のエントリを保持しているため、フレーム F L 1 2 a をフラッディングすることなく中継することが可能である。

【 0 1 2 2 】

以上、本実施の形態 2 の中継システムおよびスイッチ装置を用いることで、実施の形態 1 で述べたような各種効果が得られることに加えて、さらに、フラッディングに伴う通信の輻輳を軽減することが可能になる。特に、 P B B 網 1 0 は、多数のカスタマ網間の通信を集約するため、通信の輻輳を可能な限り軽減することが望まれる。そこで、本実施の形態 2 の中継システムおよびスイッチ装置を用いることが有益となる。

【 0 1 2 3 】

（実施の形態 3 ）

《学習情報制御部の動作（応用例 [2] ）》

図 1 1 は、本発明の実施の形態 3 による中継システムにおいて、図 3 の学習情報制御部の処理内容の一例を示すフロー図である。図 1 1 に示す処理フローは、図 7 に示した処理フローと比較して、図 7 におけるステップ S 1 0 4 とステップ S 2 0 1 との間にステップ S 3 0 1 が追加された点が異なっている。その他の処理内容に関しては、図 7 の場合と同様であるため、詳細な説明は省略する。

【 0 1 2 4 】

まず、図 1 1 の処理フローの前提として、図 3 の学習情報制御部 2 2 は、マスクビット 2 5 の値に関して、予め優先値が定められている。この前提で、学習情報制御部 2 2 は、前述したようにカプセル化用アドレスの相違がマスクビット 2 5 のみの場合（ステップ S 1 0 4 （第 2 の場合））で、かつ、送信元のカプセル化用アドレス B S A に含まれるマスクビット 2 5 が優先値である場合（ステップ S 3 0 1 （第 3 の場合））、ステップ S 1 0 6 の処理を実行する。すなわち、学習情報制御部 2 2 は、アドレステーブル F D B に、送

10

20

30

40

50

信元のカスタマ用アドレスCSAと送信元のカプセル化用アドレスBSAとの対応関係を学習する(ステップS106)。

【0125】

一方、学習情報制御部22は、前述した第2の場合で、かつ、送信元のカプセル化用アドレスBSAに含まれるマスクビット25が優先値ではない場合(ステップS301(第4の場合))、ステップS201の処理を実行する。すなわち、学習情報制御部22は、アドレステーブルFDBに、送信元のカスタマ用アドレスCSAと送信元のカプセル化用アドレスBSAとの対応関係を学習せず、また、エージングタイマも更新しない(ステップS201)。

【0126】

図12は、図11の主要な処理内容を纏めた補足図である。図12では、マスクビット25の優先値が“1”である場合を例として、図8の場合と同様に、アドレステーブルFDBの学習の有無と、エージングタイマの更新の有無とが示されている。まず、エージングタイマの更新の有無に関しては、図8の場合と同じである。一方、アドレステーブルFDBの学習に関しては、図8の場合と異なり、学習済みのカプセル化用アドレスBMACのマスクビット25が“0”の場合で、マスクビット25=“1”(すなわち優先値)である送信元のカプセル化用アドレスBSAを受信した場合に、アドレステーブルFDBの学習が行われる。

【0127】

《中継システムの主要部の動作(応用例[2-1])》

図13は、図11の学習情報制御部を備えた中継システムの動作例を示す説明図である。図13に示す中継システムは、図3および図5等に示した中継システムと同様の構成を備えている。このような中継システムにおいて、図5の場合とは逆に、カスタマ端末TM1aからカスタマ端末TM2bに向けてフレームFL11が転送されたのち、カスタマ端末TM1aからカスタマ端末TM2aに向けてフレームFL10が転送される場合を想定する。

【0128】

フレームFL11は、図5の場合と同様にしてスイッチ装置SWE2aに転送される。スイッチ装置SWE2aは、当該フレーム(カプセル化用フレーム)FL11を受信し、その送信元のカスタマ用アドレスCSA「CA1a」を送信元のカプセル化用アドレスBSA「BA1b」に対応付けてアドレステーブルFDBに学習する。

【0129】

その後、フレームFL10も、図5の場合と同様にしてスイッチ装置SWE2aに転送される。スイッチ装置SWE2aは、当該フレーム(カプセル化用フレーム)FL10を受信する。ここで、フレームFL10の送信元のカプセル化用アドレスBSA「BA1a」に含まれるマスクビット25の値は、優先値“1”である。このため、スイッチ装置SWE2aの学習情報制御部22は、送信元のカスタマ用アドレスCSA「CA1a」を送信元のカプセル化用アドレスBSA「BA1a」に対応付けてアドレステーブルFDBに上書きで学習する。

【0130】

その後は、スイッチ装置SWE2aは、フレームFL10、FL11のいずれを受信した場合であっても、アドレステーブルFDBにおけるカスタマ用アドレスCMAC「CA1a」とカプセル化用アドレスBMAC「BA1a」との対応関係を維持する。このように優先値を定めることで、スイッチ装置SWE1a、SWE1bのいずれのカプセル化用アドレスBMACをアドレステーブルFDBに維持させるかを選択することができる。これによって、例えば、以下に述べるような効果が得られる。

【0131】

《中継システム(比較例)の主要部の動作および問題点》

図14は、図13の比較例として検討した中継システムの動作例および問題点の一例を示す説明図である。図14の例では、前提として、スイッチ装置SWE2aの学習情報制

10

20

30

40

50

御部 2 2 は、実施の形態 1 または 2 の方式のように優先値が定められず、これに伴い、図 1 3 のフレーム F L 1 0 の受信に応じてアドレステーブル F D B の学習を行わないこととする。すなわち、当該学習情報制御部 2 2 は、アドレステーブル F D B において、カスタマ用アドレス C M A C 「 C A 1 a 」とカプセル化用アドレス B M A C 「 B A 1 b 」との対応関係を維持する。そして、この状態で、図 1 4 に示すように、カスタマ端末 T M 2 b からカスタマ端末 T M 1 a に向けてフレーム F L 1 4 a が転送される場合を想定する。

【 0 1 3 2 】

スイッチ装置 S W E 2 a は、M C L A G 用ポート P m 2 で受信したフレーム（非カプセル化フレーム）F L 1 4 a を、宛先のカプセル化用アドレス B D A 「 B A 1 b 」を含むカプセル化用フレームに変換したのち、M C L A G 用ポート P m 3 に中継する。コアスイッチ S W C は、所定の分散規則に基づき、フレーム F L 1 4 a を L A G 用ポート P 1 , P 2 のいずれか一方に中継する。ここでは、フレーム F L 1 4 a は、L A G 用ポート P 2 に中継されたものとする。

10

【 0 1 3 3 】

スイッチ装置 S W E 1 b は、M C L A G 用ポート P m 3 でフレーム（カプセル化用フレーム）F L 1 4 a を受信し、当該フレームの宛先のカスタマ用アドレス C D A 「 C A 1 a 」を検索キーとしてアドレステーブル F D B を検索する。その結果、スイッチ装置 S W E 1 b は、宛先ポート識別子である M C L A G 識別子 { M C L A G 1 a } を取得する。スイッチ装置 S W E 1 b は、M C L A G 識別子 { M C L A G 1 a } に対応する自装置の M C L A G 用ポート P m 1 が送信禁止状態 T B K であるため、送信ポート識別子をポート識別子 { P b } に定める。

20

【 0 1 3 4 】

このように、優先値を定めない場合、ブリッジ用ポート P b から送信されるフレームの数が增大する恐れがある。ブリッジ用ポート P b は、このような通常のユーザフレームに加えて、所定の M C L A G の動作方式を実現するための M C L A G 用の制御フレームを送信または受信する。したがって、ブリッジ用ポート P b 間での通信の輻輳を軽減するため、ブリッジ用ポート P b から送信されるユーザフレームの数を減らすことが望ましい場合がある。

【 0 1 3 5 】

《中継システムの主要部の動作（応用例 [2 - 2] ）》

30

図 1 5 は、図 1 3 に続く動作例を示す説明図である。図 1 5 の例では、前提として、図 1 3 に示したように、M C L A G スイッチ M C L A G S W 1 の中でアクティブ A C T に設定される側のスイッチ装置（ここでは S W E 1 a ）が優先されるように、学習情報制御部 2 2 における優先値が定められている。これにより、スイッチ装置 S W E 2 a の学習情報制御部 2 2 は、アドレステーブル F D B において、カスタマ用アドレス C M A C 「 C A 1 a 」とカプセル化用アドレス B M A C 「 B A 1 a 」との対応関係を維持する。このような状態で、図 1 4 の場合と同様に、カスタマ端末 T M 2 b からカスタマ端末 T M 1 a に向けてフレーム F L 1 4 b が転送される場合を想定する。

【 0 1 3 6 】

スイッチ装置 S W E 2 a は、M C L A G 用ポート P m 2 で受信したフレーム（非カプセル化フレーム）F L 1 4 b を、宛先のカプセル化用アドレス B D A 「 B A 1 a 」を含むカプセル化用フレームに変換したのち、M C L A G 用ポート P m 3 に中継する。コアスイッチ S W C は、所定の分散規則に基づき、フレーム F L 1 4 b を L A G 用ポート P 1 , P 2 のいずれか一方に中継する。

40

【 0 1 3 7 】

ここで、当該所定の分散規則は、例えば、宛先のカプセル化用アドレス B D A に基づくハッシュ演算を用いるものとし、当該ハッシュ演算により、宛先のカプセル化用アドレス B D A の 0 ビット目が奇数の場合には、L A G 用ポート P 1 が選択され、偶数の場合には L A G 用ポート P 2 が選択されるものとする。この場合、コアスイッチ S W C は、図 1 4 の場合と異なり、宛先のカプセル化用アドレス B D A 「 B A 1 a 」の 0 ビット目が奇数

50

1'であるため、受信したフレーム（カプセル化用フレーム）FL14bをLAG用ポートP1に中継する。

【0138】

スイッチ装置SWE1aは、MCLAG用ポートPm3でフレーム（カプセル化用フレーム）FL14bを受信し、当該フレームの宛先のカスタム用アドレスCDA「CA1a」を検索キーとしてアドレステーブルFDBを検索する。その結果、スイッチ装置SWE1aは、宛先ポート識別子であるMCLAG識別子{MCLAG1a}を取得する。スイッチ装置SWE1aは、MCLAG識別子{MCLAG1a}に対応する自装置のMCLAG用ポートPm1が送受信許可状態FWであるため、送信ポート識別子をポート識別子{Pm1}に定める。これにより、図14で述べたような問題を解決できる。

10

【0139】

以上、本実施の形態3の中継システムおよびスイッチ装置を用いることで、実施の形態1および2で述べたような各種効果が得られることに加えて、さらに、ブリッジ用ポートPb間での通信の輻輳を軽減することが可能になる。

【0140】

（実施の形態4）

《スイッチ装置の詳細》

図16は、本発明の実施の形態4によるスイッチ装置において、その主要部の構成例を示すブロック図である。図17は、図16におけるアドレステーブルの構造例を示す概略図である。図18は、図16におけるMCLAGテーブルの構造例を示す概略図である。図19(a)は、図16における受信側IVID管理テーブルの構造例を示す概略図であり、図19(b)は、図16における送信側IVID管理テーブルの構造例を示す概略図である。

20

【0141】

図16に示すスイッチ装置SWEは、例えば、図3のスイッチ装置SWE1a, SWE1b, SWE2a, SWE2bのそれぞれに対応するものである。当該スイッチ装置SWEは、PBB網10の外部（例えばPB網11）に接続される下位リンク用ポートと、PBB網10に接続される上位リンク用ポートと、各種処理部および各種テーブルと、を有する。下位リンク用ポートには、少なくとも、1個以上のMCLAG用ポートが含まれ、図16の例では、2個のMCLAG用ポートPm1, Pm2が含まれる。上位リンク用ポートには、例えば、ブリッジ用ポートPbとMCLAG用ポートPm3とが含まれる。以下、各種処理部および各種テーブルに関して説明する。

30

【0142】

インタフェース部30は、受信バッファおよび送信バッファを備え、下位リンク用ポート（Pm1, Pm2）との間で非カプセル化フレームの送信または受信を行い、上位リンク用ポート（Pm3, Pb）との間でカプセル化フレームの送信または受信を行う。また、インタフェース部30は、障害検出部38と、受信ポート識別子付加部39と、を備える。受信ポート識別子付加部39は、複数のポートのいずれかでフレームを受信した場合に、当該フレームに受信ポート識別子を付加する。

【0143】

障害検出部38は、ハードウェアによって複数のポート毎の障害有無（リンクダウン有無）を検出する。障害検出部38は、例えば、受信した光信号レベルを監視し、光信号レベルの不足といった異常状態が所定の期間継続する場合にリンクダウン有りを検出する。あるいは、障害検出部38は、受信した信号から、アイドル状態で生成されるリンクパルス信号の有無や非アイドル状態でのデータ信号の有無を監視し、リンクパルス信号およびデータ信号が共に無しといった異常状態が所定の期間継続する場合にリンクダウン有りを検出する。

40

【0144】

IVID割り当て部31は、予め事業者等によって定められた受信側IVID管理テーブル32aに基づいて、下位リンク用ポートで受信した非カプセル化フレームまたは上位

50

リンク用ポートで受信したカプセル化フレームに、内部VLAN識別子IVIDを割り当てる。受信側IVID管理テーブル32aは、図19(a)に示されるように、サービスVLAN識別子SVIDと受信ポート識別子との組合せを、内部VLAN識別子IVIDに対応付けて保持している。

【0145】

サービスVLAN識別子SVIDは、非カプセル化フレームに含まれており、受信ポート識別子は、受信ポート識別子付加部39で当該非カプセル化フレームに付加されている。IVID割り当て部31は、当該サービスVLAN識別子SVIDおよび受信ポート識別子に対応する内部VLAN識別子IVIDを受信側IVID管理テーブル32aから取得し、当該内部VLAN識別子IVIDを非カプセル化フレームに付加して中継処理部20に送信する。

10

【0146】

また、受信側IVID管理テーブル32aは、図19(a)に示されるように、バックボーンVLAN識別子BVIDと受信ポート識別子との組合せを、内部VLAN識別子IVIDに対応付けて保持している。バックボーンVLAN識別子BVIDは、カプセル化フレームに含まれており、受信ポート識別子は、受信ポート識別子付加部39で当該カプセル化フレームに付加されている。IVID割り当て部31は、当該バックボーンVLAN識別子BVIDおよび受信ポート識別子に対応する内部VLAN識別子IVIDを受信側IVID管理テーブル32aから取得し、当該内部VLAN識別子IVIDをカプセル化フレームに付加して中継処理部20に送信する。

20

【0147】

MCLAGテーブル21は、図18に示すように、単数または複数のMCLAG用ポートを、単数または複数のMCLAG識別子にそれぞれ対応付けて保持する。また、当該MCLAGテーブル21は、ここでは、各MCLAG用ポートの制御状態も保持する。図18の例では、MCLAG用ポートPm1を表すポート識別子{Pm1}は、MCLAG識別子{MCLAG1a}に対応付けられ、送受信許可状態FWに制御されている。また、MCLAG用ポートPm2, Pm3を表すポート識別子{Pm2}, {Pm3}は、それぞれ、MCLAG識別子{MCLAG2a}, {MCLAG3a}に対応付けられ、共に送受信許可状態FWに制御されている。

【0148】

30

アドレステーブルFDBは、図17に示すように、下位リンク用ポートの先に存在するカスタマ用アドレスを、当該下位リンク用ポートを表すポート識別子または当該下位リンク用ポートに対応付けられるMCLAG識別子と、内部VLAN識別子IVIDと、エージングタイム値と、に対応付けて保持する。また、アドレステーブルFDBは、上位リンク用ポートの先に存在するカスタマ用アドレスを、カプセル化用アドレスと、当該上位リンク用ポートを表すポート識別子または当該上位リンク用ポートに対応付けられるMCLAG識別子と、内部VLAN識別子IVIDと、エージングタイム値と、に対応付けて保持する。

【0149】

図17では、一例として、図3のスイッチ装置SWE1aのアドレステーブルFDBが示されている。例えば、MCLAG用ポート(下位リンク用ポート)Pm2の先に存在するカスタマ用アドレスCA1bは、MCLAG識別子{MCLAG2a}と、内部VLAN識別子IVID「xxx」と、エージングタイム値t1bと、に対応付けて保持される。また、MCLAG用ポート(上位リンク用ポート)Pm3の先に存在するカスタマ用アドレスCA2aは、カプセル化用アドレスBMAC「BA2a」と、MCLAG識別子{MCLAG3a}と、内部VLAN識別子IVID「xxx」と、エージングタイム値t2aと、に対応付けて保持される。

40

【0150】

MCLAG制御部33は、例えば、各種制御フレームの送信および受信等を行うことによって、MCLAGスイッチMCLAGSWの動作を制御する。制御フレームの一つとし

50

て、例えば、ピア装置との間でブリッジ用ポート P b を介して定期的な送信および受信を行うための M C L A G 用の制御フレームが挙げられる。M C L A G 用の制御フレームの送信および受信によって、互いのスイッチ装置での障害情報の共有や、互いのスイッチ装置の生存確認等が行われる。

【 0 1 5 1 】

また、制御フレームの一つとして、例えば、イーサネット O A M (Operations, Administration, and Maintenance) 等の制御フレームが含まれていてもよい。イーサネット O A M では、例えば、C C M (Continuity Check Message) 等と呼ばれる制御フレーム(試験フレーム)の定期的な送信および受信によって、装置外部との間の疎通性を監視することができる。これによって、例えば、各 M C L A G 用ポート P m 1 , P m 2 , P m 3 の障害有無を検出することができる。

10

【 0 1 5 2 】

M C L A G 制御部 3 3 は、障害検出部 3 8 からの障害情報と、M C L A G 用の制御フレームや C C M 等から得られる障害情報と、予め定められたアクティブ A C T / スタンバイ S B Y の設定情報と、に基づいて、M C L A G テーブル 2 1 における各 M C L A G 用ポートの制御状態を定める。具体的には、M C L A G 制御部 3 3 は、自装置の M C L A G 用ポートが障害有りの場合には、当該 M C L A G 用ポートを送受信禁止状態等に制御する。

【 0 1 5 3 】

また、M C L A G 制御部 3 3 は、自装置の M C L A G 用ポートが障害無しの場合で、アクティブ A C T に設定される場合には、当該 M C L A G 用ポートを送受信許可状態 F W に制御する。さらに、M C L A G 制御部 3 3 は、自装置の M C L A G 用ポートが障害無しの場合で、スタンバイ S B Y に設定される場合には、アクティブ A C T 側の M C L A G 用ポートの障害有無に応じて自装置の M C L A G 用ポートを制御する。

20

【 0 1 5 4 】

具体的には、M C L A G 制御部 3 3 は、アクティブ A C T 側の M C L A G 用ポートが障害無しの場合には、自装置の M C L A G 用ポートを送信禁止状態 T B K に制御し、アクティブ A C T 側の M C L A G 用ポートが障害有りの場合には、自装置の M C L A G 用ポートを送受信許可状態 F W に制御する。アクティブ A C T 側の M C L A G 用ポートの障害有無の情報は、前述した M C L A G 用の制御フレームによって得られる。

【 0 1 5 5 】

中継処理部 2 0 は、学習情報制御部 2 2 および M C L A G 識別子付加部 2 3 を備え、主に、ポートでフレームを受信した場合に、アドレステーブル F D B の学習および検索等を行う。具体的には、中継処理部 2 0 は、ポートでフレームを受信した場合に、当該フレームが非カプセル化フレームかカプセル化フレームかに応じて、図 1 7 に示したような各種情報をアドレステーブル F D B に学習する。また、カプセル化フレームの場合には、図 4 または図 7 あるいは図 1 1 で述べたように、学習情報制御部 2 2 による動作も行われる。

30

【 0 1 5 6 】

図 1 7 のアドレステーブル F D B において、内部 V L A N 識別子 I V I D は、I V I D 割り当て部 3 1 によって定められる。ポート識別子 / M C L A G 識別子の中のポート識別子は、受信ポート識別子付加部 3 9 によって定められる。ポート識別子 / M C L A G 識別子の中の M C L A G 識別子は、受信ポート識別子付加部 3 9 によって付加された受信ポート識別子に基づき、M C L A G テーブル 2 1 を参照することで定められる。また、ポート識別子 / M C L A G 識別子の中の M C L A G 識別子は、ピア装置から M C L A G 識別子が付加されたフレームを受信した場合には、当該 M C L A G 識別子に定められる。

40

【 0 1 5 7 】

また、中継処理部 2 0 は、非カプセル化フレームを受信した場合には、当該フレームに含まれる宛先のカスタマ用アドレス C D A および当該フレームに付加された内部 V L A N 識別子 I V I D を検索キーとしてアドレステーブル F D B を検索し、宛先ポート識別子や、宛先のカプセル化用アドレス B D A を取得する。一方、中継処理部 2 0 は、カプセル化フレームを受信した場合には、当該フレームに含まれる宛先のカプセル化用アドレス B D

50

Aに応じて次のような処理を行う。

【0158】

まず、宛先のカプセル化用アドレスBDAが自装置またはピア装置のカプセル化用アドレスの場合、中継処理部20は、フレームに含まれる宛先のカスタム用アドレスCDAおよび当該フレームに付加された内部VLAN識別子IVIDを検索キーとしてアドレステーブルFDBを検索し、宛先ポート識別子を取得する。ピア装置のカプセル化用アドレスは、予め、ピア装置アドレス保持部34で保持される。一方、宛先のカプセル化用アドレスBDAが自装置またはピア装置のカプセル化用アドレスでない場合、中継処理部20は、フレームに含まれる宛先のカプセル化用アドレスBDAおよび当該フレームに付加された内部VLAN識別子IVIDを検索キーとしてアドレステーブルFDBを検索し、宛先

10

【0159】

そして、このようにして取得された宛先ポート識別子がMCLAG識別子ではなく通常のポート識別子の場合、中継処理部20は、送信ポート識別子を当該宛先ポート識別子に定める。一方、宛先ポート識別子がMCLAG識別子である場合、中継処理部20は、MCLAGテーブル21に基づいて、当該MCLAG識別子のメンバポートとなる自装置のMCLAG用ポートの制御状態を判別する。中継処理部20は、自装置のMCLAG用ポートの制御状態が送受信許可状態FWの場合、送信ポート識別子を当該MCLAG用ポートのポート識別子に定め、当該制御状態が送信禁止状態TBKの場合、送信ポート識別子をブリッジ用ポートPbのポート識別子{Pb}に定める。

20

【0160】

中継処理部20は、このようにして定めた送信ポート識別子をフレームに付加する。なお、この際に、MCLAG識別子付加部23は、受信ポート識別子がMCLAG識別子の場合には、フレームに、当該MCLAG識別子をさらに付加する。そして、中継処理部20は、当該フレームを、受信ポート識別子と送信ポート識別子との対応関係に応じて、異なる処理部に送信する。

【0161】

具体的には、中継処理部20は、受信ポート識別子が下位リンク用ポートであり、送信ポート識別子が上位リンク用ポートである場合には、非カプセル化フレームをカプセル化実行部35に送信する。また、中継処理部20は、受信ポート識別子が上位リンク用ポートであり、送信ポート識別子が下位リンク用ポートである場合には、カプセル化フレームをデカプセル化実行部36に送信する。さらに、中継処理部20は、受信ポート識別子および送信ポート識別子が共に下位リンク用ポートであるか、共に上位リンク用ポートである場合には、フレームを中継実行部37に送信する。

30

【0162】

カプセル化実行部35は、受信した非カプセル化フレームをカプセル化フレームに変換する。この際に、カプセル化実行部35は、送信元のカプセル化用アドレスBSAを自装置のカプセル化用アドレスに定め、宛先のカプセル化用アドレスBDAを、中継処理部20によって取得された宛先のカプセル化用アドレスBDAに定める。また、カプセル化実行部35は、予め事業者等によって定められた送信側IVID管理テーブル32bに基づいて、サービスインスタンス識別子ISIDおよびバックボーンVLAN識別子BVID

40

【0163】

送信側IVID管理テーブル32bは、図19(b)に示されるように、内部VLAN識別子IVIDと送信ポート識別子との組合せを、サービスインスタンス識別子ISIDおよびバックボーンVLAN識別子BVIDに対応付けて保持している。内部VLAN識別子IVIDは、IVID割り当て部31によって非カプセル化フレームに付加されており、送信ポート識別子は、中継処理部20によって当該フレームに付加されている。これに基づいて、カプセル化実行部35は、サービスインスタンス識別子ISIDおよびバックボーンVLAN識別子BVID等を含んだカプセル化フレームを生成し、中継実行部3

50

7 に送信する。

【 0 1 6 4 】

デカプセル化実行部 3 6 は、受信したカプセル化フレームを非カプセル化フレームに変換する。この際に、デカプセル化実行部 3 6 は、送信側 I V I D 管理テーブル 3 2 b に基づいて、サービス V L A N 識別子 S V I D を定める。送信側 I V I D 管理テーブル 3 2 b は、前述した情報の他に、図 1 9 (b) に示されるように、内部 V L A N 識別子 I V I D と送信ポート識別子との組合せを、サービス V L A N 識別子 S V I D に対応付けて保持している。これに基づいて、デカプセル化実行部 3 6 は、サービス V L A N 識別子 S V I D を含んだ非カプセル化フレームを生成し、中継実行部 3 7 に送信する。

【 0 1 6 5 】

中継実行部 3 7 は、前述した各処理部からのフレーム（非カプセル化フレームまたはカプセル化フレーム）を、インタフェース部 3 0 内の所定の送信バッファに向けて送信する。この所定の送信バッファは、当該フレームに付加されている送信ポート識別子に対応するバッファである。また、この際に、中継実行部 3 7 は、フレームに付加されている不要な情報（例えば、内部 V L A N 識別子 I V I D や送信ポート識別子等）を削除する。インタフェース部 3 0 内の送信バッファは、中継実行部 3 7 からのフレームを受けて、対応するポート（すなわち送信ポート識別子に該当する下位リンク用ポートまたは上位リンク用ポート）にフレームを送信する。

【 0 1 6 6 】

なお、ここでは、内部 V L A N 識別子 I V I D を介して、サービス V L A N 識別子 S V I D と、サービスインスタンス識別子 I S I D およびバックボーン V L A N 識別子 B V I D との間の変換を行う構成例を示したが、内部 V L A N 識別子 I V I D を介さない構成を用いてもよい。例えば、サービス V L A N 識別子 S V I D と、サービスインスタンス識別子 I S I D およびバックボーン V L A N 識別子 B V I D と、の対応関係をテーブルで定め、当該テーブルを用いて変換を行ってもよい。この場合、アドレステーブル F D B には、例えば、内部 V L A N 識別子 I V I D の代わりにバックボーン V L A N 識別子 B V I D を学習すればよい。

【 0 1 6 7 】

また、ここでは、M C L A G スイッチを構成するスイッチ装置の構成例を示したが、図 1 のスイッチ装置 S W E 3 , S W E 4 のように、M C L A G スイッチを構成しないスイッチ装置も、図 1 6 とほぼ同様にして構成される。M C L A G スイッチを構成しないスイッチ装置は、例えば、図 1 6 において、ピア装置アドレス保持部 3 4、M C L A G テーブル 2 1、M C L A G 制御部 3 3 および M C L A G 識別子付加部 2 3 等を備えないような構成となる。

【 0 1 6 8 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。例えば、前述した実施の形態は、本発明を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【 符号の説明 】

【 0 1 6 9 】

- 1 0 P B B 網
- 1 1 , 1 1 a , 1 1 b P B 網
- 1 2 a ~ 1 2 d カスタマ網
- 1 3 , 1 4 通信回線
- 1 5 カスタマ V L A N タグ

10

20

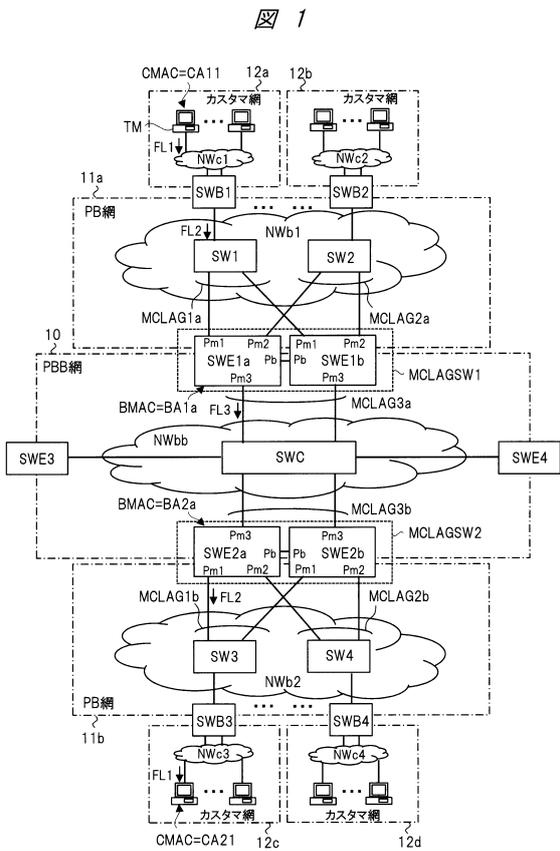
30

40

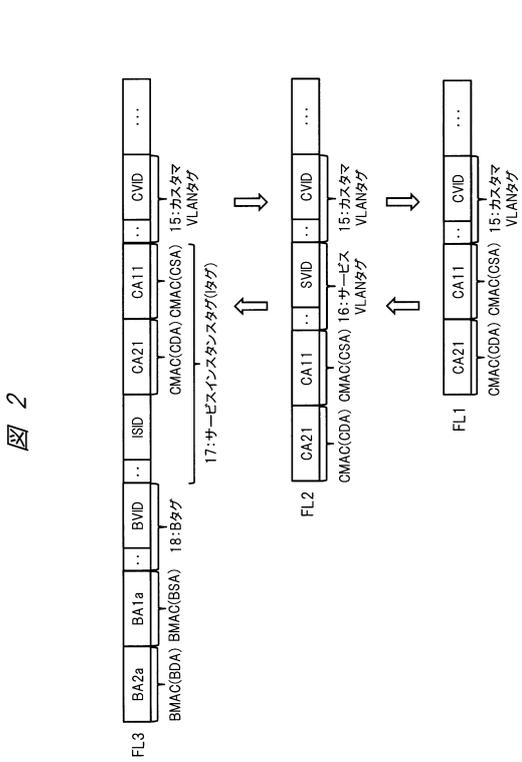
50

16	サービスVLANタグ	
17	サービスインスタンスタグ	
18	バックボーンVLANタグ	
20	中継処理部	
21	MCLAGテーブル	
22, 22'	学習情報制御部	
23	MCLAG識別子付加部	
25	マスクビット	
30	インタフェース部	
31	IVID割り当て部	10
32a	受信側IVID管理テーブル	
32b	送信側IVID管理テーブル	
33	MCLAG制御部	
34	ピア装置アドレス保持部	
35	カプセル化実行部	
36	デカプセル化実行部	
37	中継実行部	
38	障害検出部	
39	受信ポート識別子付加部	
ACT	アクティブ	20
BMAC	カプセル化用アドレス	
BVID	バックボーンVLAN識別子	
CMAC	カスタマ用アドレス	
CVID	カスタマVLAN識別子	
FDB	アドレステーブル	
FL1 ~ FL3, FL10, FL10a, FL11, FL12a, FL12b, FL14a, FL14b, FL20, FL21	フレーム	
FW	送受信許可状態	
ISID	サービスインスタンス識別子	
IVID	内部VLAN識別子	30
MCLAGSW1, MCLAGSW2	MCLAGスイッチ	
NWc1 ~ NWc4, NWb1, NWb2, NWbb	ネットワーク	
P1 ~ P4	LAG用ポート	
Pb	ブリッジ用ポート	
Pm1 ~ Pm3	MCLAG用ポート	
SBY	スタンバイ	
SVID	サービスVLAN識別子	
SWB1 ~ SWB4, SW1 ~ SW4	スイッチ	
SWC	コアスイッチ	
SWE, SWE1a, SWE1b, SWE2a, SWE2b, SWE3, SWE4	スイッチ装置	40
TBK	送信禁止状態	
TM, TM1a, TM1b, TM2a, TM2b	カスタマ端末	

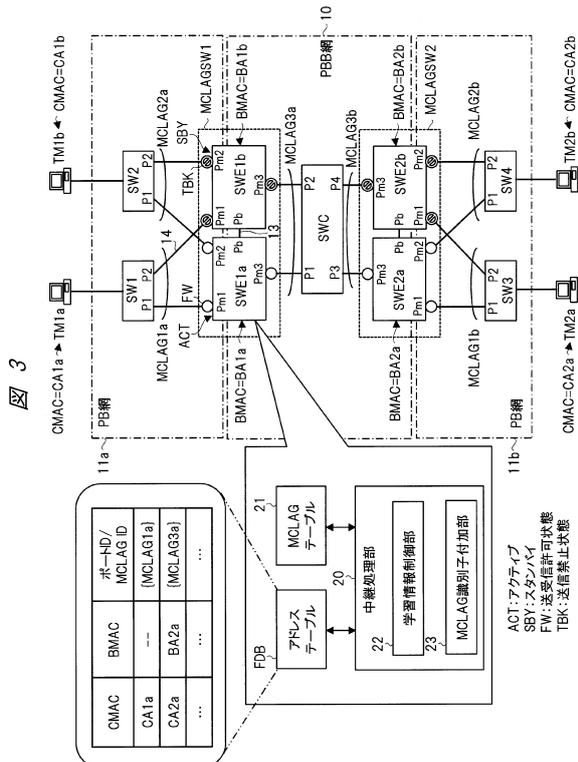
【図1】



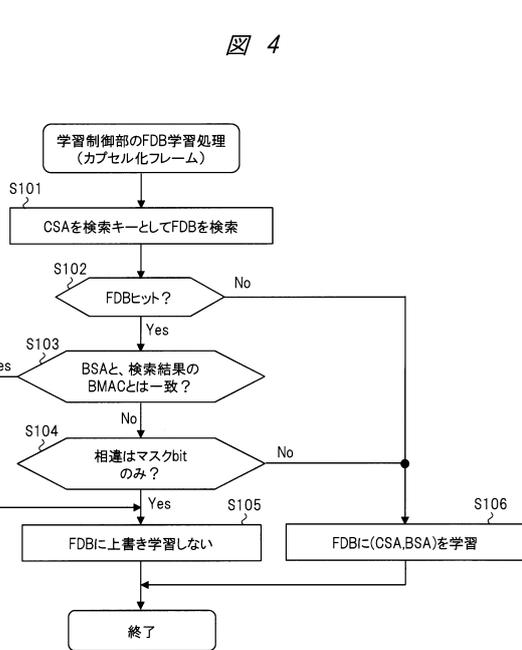
【図2】



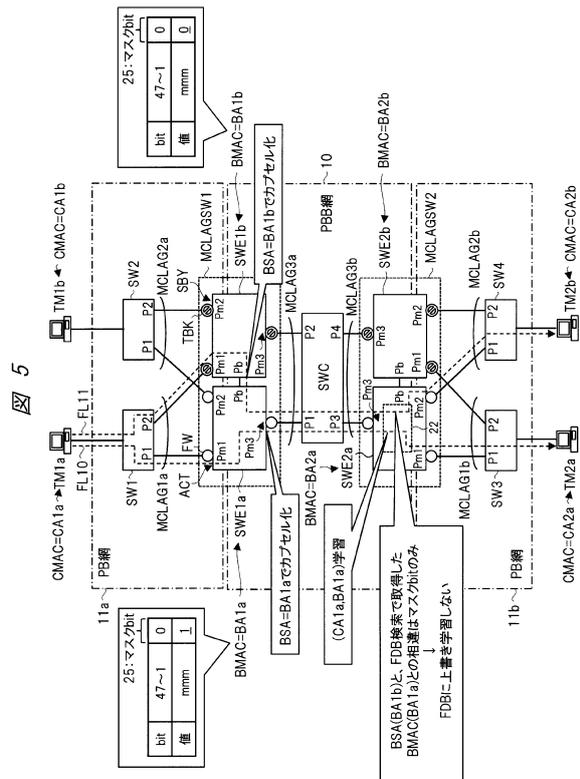
【図3】



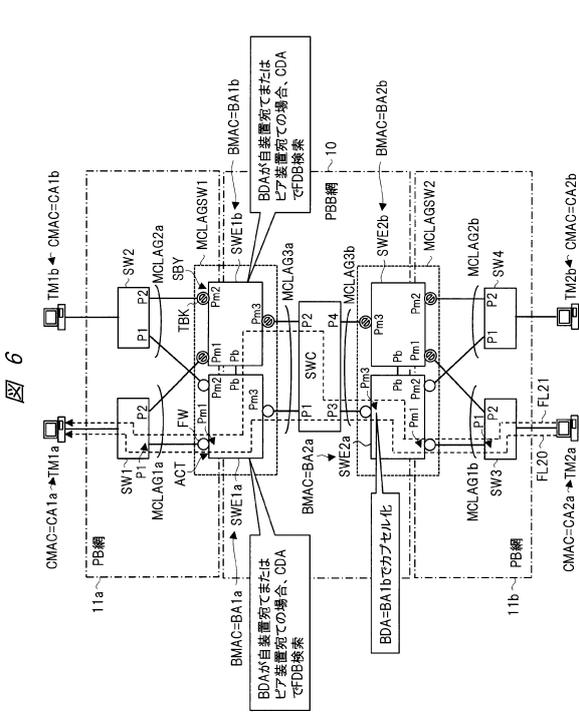
【図4】



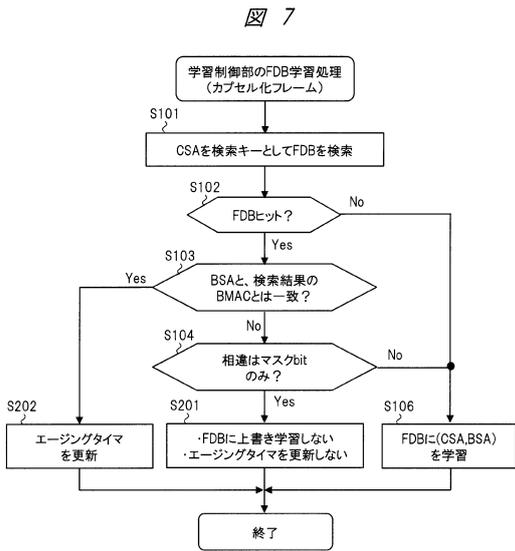
【図5】



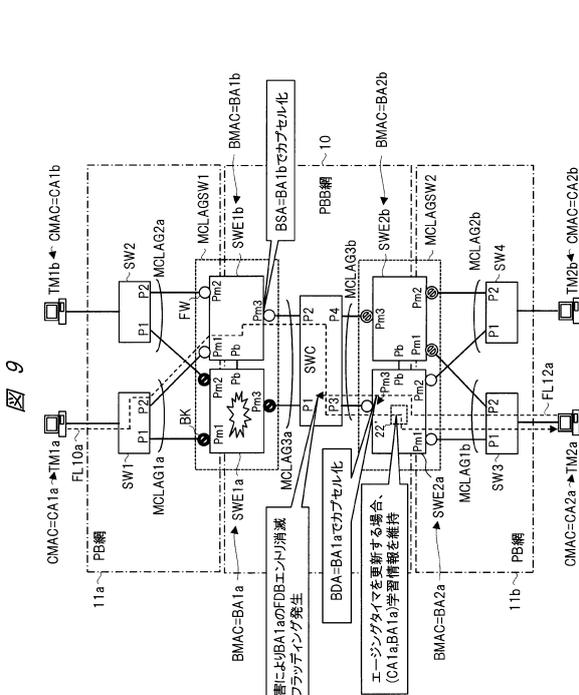
【図6】



【図7】



【図9】

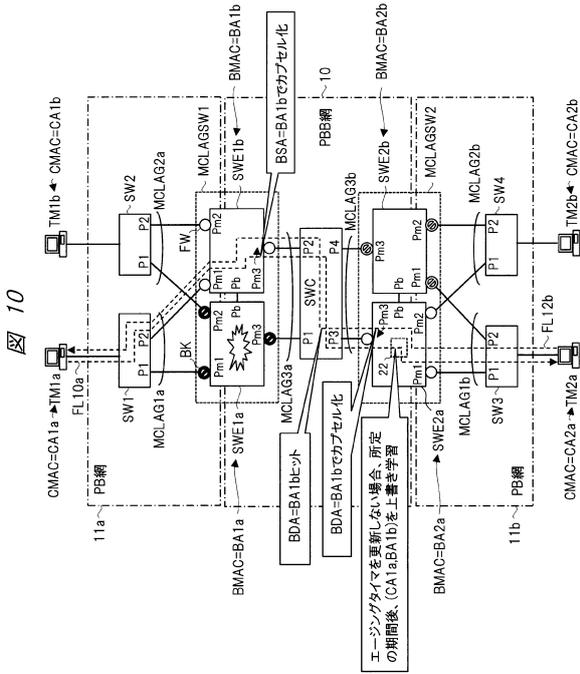


【図8】

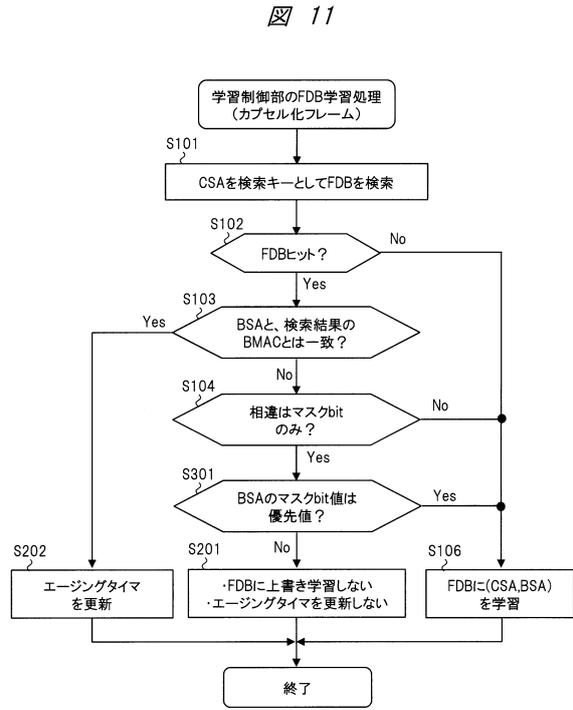
図 8

既存のFDB学習情報 (マスクビット)	受信情報 (マスクビット)	上書き学習	エージングタイム更新
0	0	×	○
	1	×	×
1	0	×	×
	1	×	○

【図10】



【図11】



【図12】

マスクbit="1"が優先の場合

既存のFDB学習情報(マスクbit)	入力情報(マスクbit)	上書き学習	エージングタイム更新
0	0	×	○
	1	○	×
1	0	×	×
	1	×	○

図12

【図13】

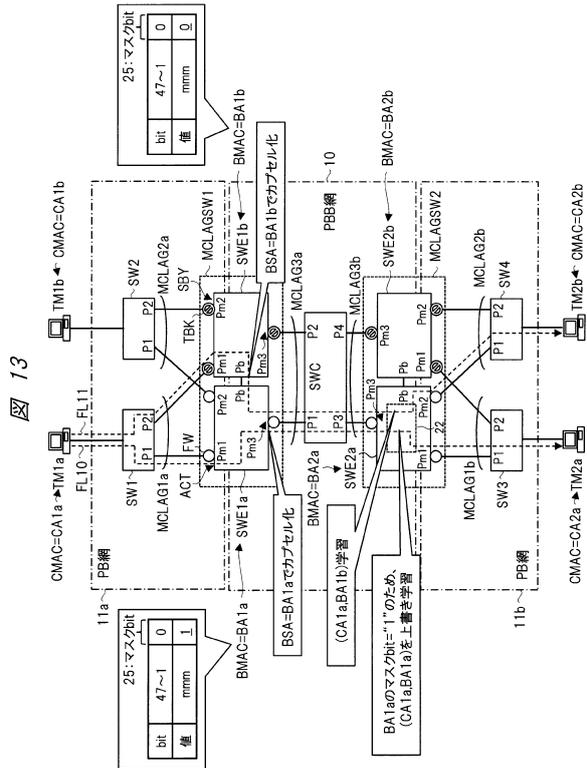
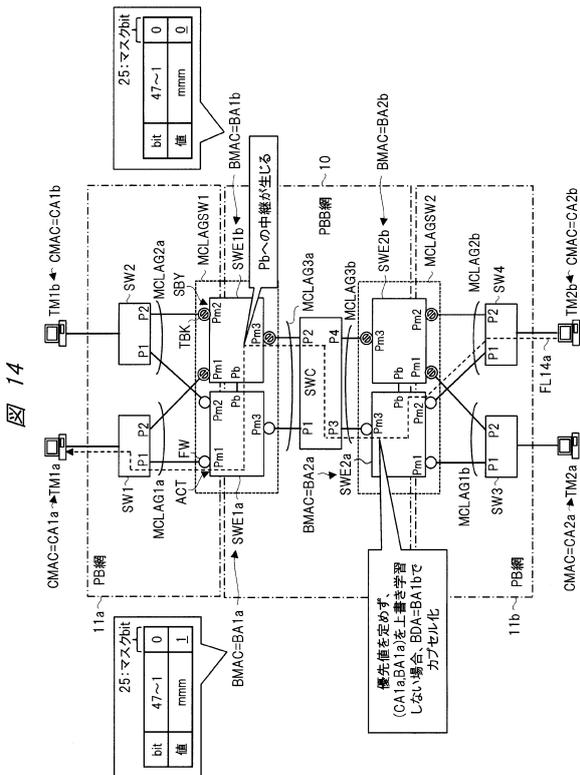
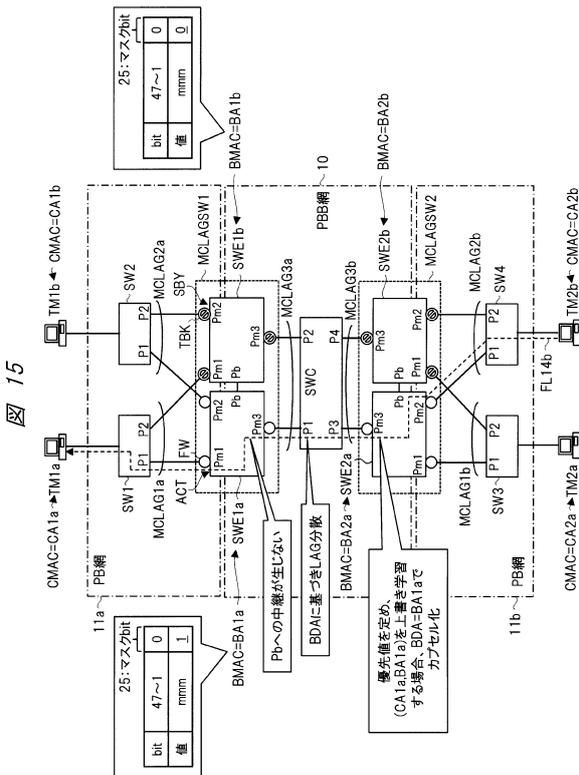


図13

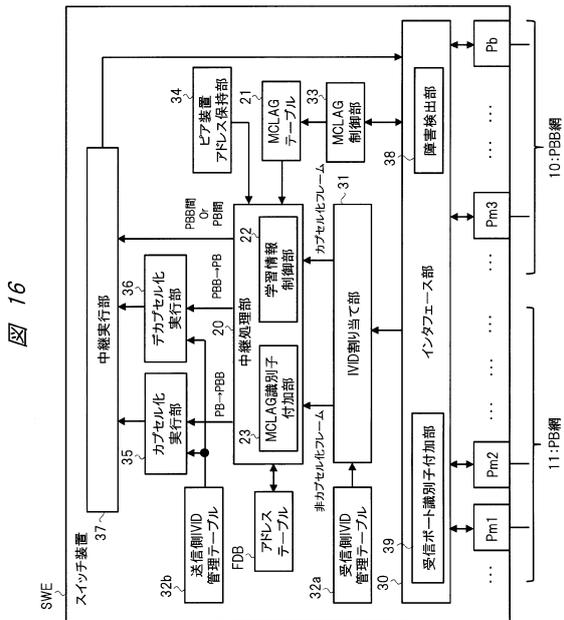
【 図 14 】



【 図 15 】



【 図 16 】



【 図 17 】

図 17

SWE1aのFDB

CMAC	IVID	BMAC	ポートID/ MCLAG ID	エイジング タイマ値
CA1a	xxx	--	{MCLAG1a}	t1a
CA1b	xxx	--	{MCLAG2a}	t1b
CA2a	xxx	BA2a	{MCLAG3a}	t2a
CA2b	xxx	BA2a	{MCLAG3a}	t2b
...

【 図 18 】

図 18

21:MCLAGテーブル

MCLAG ID	ポートID	制御状態
{MCLAG1a}	{Pm1}	FW
{MCLAG2a}	{Pm2}	FW
{MCLAG3a}	{Pm3}	FW
...

【 図 19 】

図 19

(a)

32a: 受信側VID管理テーブル

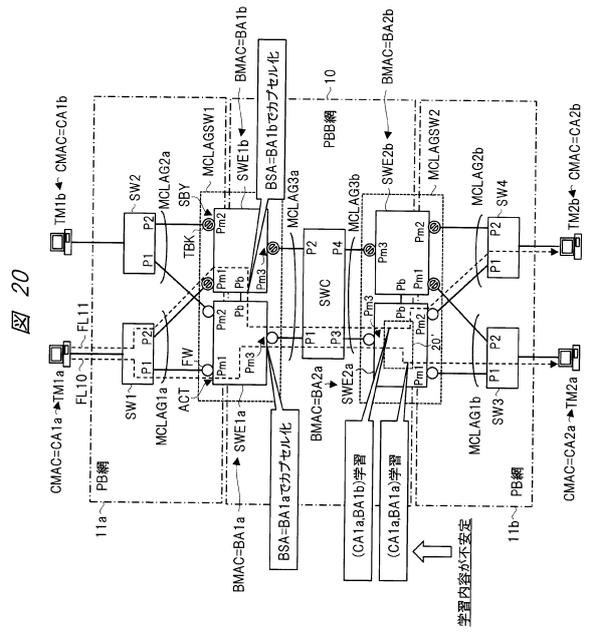
SVID+受信ポートID	BVID+受信ポートID	IVID
yyy+[Pm1]	---	xxx
---	vvv+[Pm3]	xxx
...

(b)

32b: 送信側VID管理テーブル

IVID+送信ポートID	SVID	ISID	BVID
xxx+[Pm1]	yyy	---	---
xxx+[Pm3]	---	zzz	vvv
...

【 図 20 】



フロントページの続き

(56)参考文献 特開2012-161027(JP,A)
国際公開第2012/105051(WO,A1)
特開2011-182045(JP,A)
米国特許出願公開第2015/0010001(US,A1)

(58)調査した分野(Int.Cl., DB名)
H04L12/00-12/28, 12/44-12/955