

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610111635.4

[51] Int. Cl.

H01L 23/498 (2006.01)

H01L 21/48 (2006.01)

H05K 1/02 (2006.01)

H05K 3/00 (2006.01)

[43] 公开日 2007年4月4日

[11] 公开号 CN 1941352A

[22] 申请日 2006.8.18

[21] 申请号 200610111635.4

[30] 优先权

[32] 2005.9.27 [33] KR [31] 10-2005-0090019

[71] 申请人 三星电机株式会社

地址 韩国京畿道

[72] 发明人 尹庆老 申荣焕 金润秀 李胎坤

[74] 专利代理机构 北京润平知识产权代理有限公司
代理人 周建秋 王凤桐

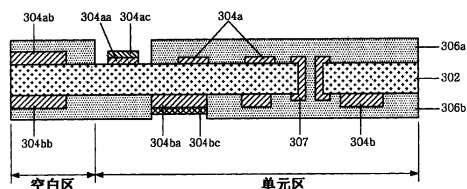
权利要求书 2 页 说明书 10 页 附图 9 页

[54] 发明名称

线焊焊盘和球形焊盘之间厚度不同的半导体封装基片及其制造方法

[57] 摘要

本发明公开一种半导体封装基片及其制造方法。在该半导体封装基片中，线焊焊盘一面的电路层与球形焊盘一面的电路层厚度不同，其中线焊焊盘一面受到半刻蚀。另外，构成连接通孔以在线焊焊盘一面和球形焊盘一面的电镀引线之间形成电连接，从而防止线焊焊盘一面的电镀引线被切断时电连接断开。



1. 一种半导体封装基片，包括：
绝缘层；
第一电路层，该第一电路层形成在绝缘层的一面，用于提供球形焊盘；
以及
第二电路层，该第二电路层形成在绝缘层的另一面，用于提供线焊焊盘，
所述第二电路层比所述第一电路层薄。
2. 根据权利要求 1 所述的半导体封装基片，其中所述第一电路层和第二电路层具有各自的电镀引线，这些电镀引线通过连接通孔电连接。
3. 根据权利要求 1 所述的半导体封装基片，其中所述第二电路层分成单元区和空白区，所述单元区比所述空白区薄。
4. 一种制造半导体封装基片的方法，包括：
步骤 1，制备覆铜箔层压板并对该覆铜箔层压板的线焊焊盘一面的铜箔进行半刻蚀；
步骤 2，在覆铜箔层压板的相反一面沉积第一防蚀涂层；
步骤 3，在第一防蚀涂层上形成电路图，在电路图模型后构成包括线焊焊盘和球形焊盘的电路，并去除第一防蚀涂层；
步骤 4，将阻焊剂应用到该覆铜箔层压板上，以此方式露出线焊焊盘和球形焊盘；以及
步骤 5，将线焊焊盘镀金，并对球形焊盘进行表面处理。
5. 根据权利要求 4 所述的方法，其中步骤 1 包括：
步骤 1-1：制备覆铜箔层压板，其中绝缘层夹在两层铜箔之间；

步骤 1—2：在所述覆铜箔层压板第一面沉积第二防蚀涂层，并对覆铜箔层压板第二面的铜箔进行半刻蚀；以及

步骤 1—3：去除沉积在所述覆铜箔层压板第一面的第二防蚀涂层。

6. 根据权利要求 4 所述的方法，还包括：

在步骤 1 中在制备覆铜箔层压板之后，在覆铜箔层压板第二面沉积第三防蚀涂层，该第三防蚀涂层在与覆铜箔层压板单元区对应的部分是开放的；以及

在步骤 1 之后，去除沉积在覆铜箔层压板第二面的第三防蚀涂层。

7. 根据权利要求 4 所述的方法，还包括：

在覆铜箔层压板第二面沉积第一阻镀剂，该第一阻镀剂在与覆铜箔层压板空白区对应的部分是开放的；以及

在步骤 1 之后，对覆铜箔层压板第二面进行电镀并去除第一阻镀剂。

8. 根据权利要求 4 所述的方法，还包括在步骤 1 之后，形成连接通孔，通过该连接通孔，将覆铜箔层压板的第一电路层中形成的电镀引线电连接到覆铜箔层压板的第二电路层中形成的电镀引线。

9. 根据权利要求 8 所述的方法，其中所述连接通孔形成在覆铜箔层压板的单元区中，并且位于单元区的角上。

线焊焊盘和球形焊盘之间厚度不同的 半导体封装基片及其制造方法

技术领域

本发明涉及一种半导体封装基片及其制造方法。更具体地，本发明涉及一种半导体封装，其中，在线焊焊盘（wire bonding pad）一面形成的电路层的厚度与球形焊盘（ball pad）一面形成的半刻蚀电路层的厚度不同，并且该半导体封装具有连接通孔，通过该连接通孔，线焊焊盘一面和球形焊盘一面的电镀引线电连接，从而当线焊焊盘的电镀引线被切断时防止电断开，以及涉及一种制造该半导体封装的方法。

背景技术

随着电子学向纤细、轻量和高性能方向发展，最近 BGA 封装基片已经实现微细电路图技术的重大发展。

特别是，微细电路图在 CSP（芯片尺寸封装）产品中得到广泛需求，其中 CSP 产品具有装在 BGA 封装基片中的半导体芯片。

为了更好地理解本发明的背景，下面参考图 1A 到 1H 说明制造半导体封装基片的传统方法。

如图 1A 所示，覆铜箔层压板（CCL）100 包括覆盖有铜箔 101 的绝缘层 102，作为基底基片（base substrate），其中钻孔形成用于电路层之间进行电连接的通孔。CCL 有多种，包括玻璃/环氧 CCL、耐热 CCL、纸/苯酚 CCL、射频频用 CCL、柔性 CCL（聚酰亚胺膜）和复合 CCL，可以根据用途进行使用。例如，玻璃/环氧 CCL 适于制造双面 PCB 和多层 PCB。

接着，将 CCL100 相反面和通孔内壁进行无电镀覆，然后电镀，如图 1B 所示。电镀由于需要电而不能在绝缘层 102 上进行。通常，对绝缘体进行电

镀之前进行无电镀覆。因此，铜先无电镀覆在绝缘层 102 上，再电镀到绝缘层 102 上。

接着，将填料装入通孔 103，再形成防蚀涂层图案 105，如图 1C 所示。对于防蚀涂层图案 105，其是使用干膜（D/F）和电路图印刷膜（布线膜）在铜电镀基片上形成的。

形成抗蚀剂图案 105 的技术有多种，其中干膜技术最流行。

用于形成抗蚀剂图案的干膜缩写为 D/F，其通常包括覆盖膜、光致抗蚀剂膜和聚脂薄膜（Mylar film）。光致抗蚀剂膜实际作为抗蚀剂。

在去除覆盖膜时，将干膜应用到裸露 PCB 上。印刷电路图案的布线膜快速粘到干膜上，再进行 UV 照射。UV 光不能穿过布线膜图案的黑区上的干膜，但能穿过其它部分从而使干膜暴露部分硫化。接着，将基片浸在显影溶液中消除干膜未硫化部分，而硫化部分留下形成抗蚀剂图案。显影溶液可选用 1%碳酸钠（ Na_2CO_3 ）或碳酸钾（ K_2CO_3 ）溶液。

然后，如图 1D 所示，用蚀刻剂处理 CCL100，而抗蚀剂图案 105 作为掩模，从而形成电路图。

随后，用诸如 NaOH 或 KOH 溶液的剥离溶液去除抗蚀剂 105，如图 1E 所示。

除了线焊焊盘 107、球焊盘（solder ball pad）108 和连接外部基片或芯片的其它部分以外，得到的 CCL 的所有部分涂覆有光阻焊剂 106 以保护电路，如图 1F 所示。

此后，使用电镀引线，CCL 镀有 Ni/Au，并且光阻焊剂作为电镀阻挡剂，在未涂覆部分，即在线焊焊盘 107、球焊盘 108 和其它连接部分，形成 Ni/Au 层 109、109'，如图 1G 所示。电镀先用 Ni，再用 Au。

最后，图 1H 表示使用刨刨机（router）或切割处理对作为电镀引线的电路图 110 切割之后得到的封装产品。

在 CSP 产品中，球间距持续从 0.8 降到 0.65 和 0.5 再到 0.4mm。另外，球需要 OSP（有机可焊性保护剂）处理，从而使下降阻力（drop resistance）与移动电话的基片处于相同水平。但是，这种需要导致了在基片上进行的对比技术（contrast）技术，这将在下面描述。

参看图 2，以透视图表示传统半导体封装基片 210。可以看出，传统半导体封装基片被分成单元区（unit region），该单元区包括半导体器件安装部分 211a 和外电路图 211b；以及空白区（dummy region）212。

此传统半导体封装基片需要对比技术，该技术用于使电路层保持在小厚度，从而在引线接合一面实现微细图案；但在球一面保持大厚度，从而可以对球应用 OSP 以及对球的深刻蚀处理。

发明内容

因此，本发明的一个目的是提供一种半导体封装器件，其中在线焊焊盘一面形成的电路层与在球形焊盘一面形成的电路层的厚度不同，并提供一种制造该半导体封装器件的方法。

本发明的另一个目的是提供一种半导体封装基片，用于防止由于电路层在线焊焊盘一面厚度小造成切割线焊焊盘一面的电镀引线时出现的电连接断开。

根据本发明一个方面，提供一种半导体封装基片，包括：绝缘层；第一电路层，该第一电路层形成在绝缘层的一面，用于提供球形焊盘；以及第二电路层，该第二电路层形成在绝缘层的另一面，用于提供线焊焊盘，所述第二电路层比所述第一电路层薄。

根据本发明另一个方面，提供一种制造半导体封装基片的方法，包括：步骤 1，制备覆铜箔层压板并对该覆铜箔层压板的线焊焊盘一面的铜箔进行半刻蚀；步骤 2，在所述覆铜箔层压板的相反一面沉积第一防蚀涂层；步骤

3, 在第一防蚀涂层上形成电路图, 在电路图模型后构成包括线焊焊盘和球形焊盘的电路, 并去除第一防蚀涂层; 步骤 4, 将阻焊剂应用到该覆铜箔层压板上, 以此方式露出线焊焊盘和球形焊盘; 以及步骤 5, 将线焊焊盘镀金, 并对球形焊盘进行表面处理。

附图说明

参考附图可以更好地理解本发明优选实施例的应用, 附图中相似的参考数字用于相似的和对应的部分。在附图中:

图 1A 到 1H 是表示制造传统半导体封装基片的工艺的示意图;

图 2 是表示传统半导体封装基片的透视图;

图 3 是表示根据本发明一个实施例的半导体封装基片的剖视图, 其中线焊焊盘一面形成的电路层的厚度与球形焊盘一面形成的电路层的厚度不同;

图 4A 到 4G 是表示根据本发明一个实施例的制造半导体封装基片的工艺的剖视图, 其中线焊焊盘一面形成的电路层的厚度与球形焊盘一面形成的电路层的厚度不同;

图 5A 到 5H 是表示根据本发明另一个实施例的制造半导体封装基片的工艺的剖视图, 其中线焊焊盘一面形成的电路层的厚度与球形焊盘一面形成的电路层不同; 以及

图 6 是表示根据本发明的半导体封装基片的透视图。

具体实施方式

下面参考附图详细说明本发明的实施例。

图 3 是表示根据本发明一个实施例的半导体封装基片的剖视图, 其中在单元区域内, 在线焊焊盘一面的电路层 304a 与球形焊盘一面的电路层 304b 的厚度不同。线焊焊盘一面的电路层 304a 比球形焊盘一面的电路层 304b 薄。

但在空白区,线焊焊盘一面的电路层 304ab 与球形焊盘一面的电路层 bb 具有相同厚度。

因此,当单元区的线焊焊盘一面的电路层 304a 比空白区的线焊焊盘一面的电路层 304ab 薄,并且比该单元区球形焊盘一面的电路层 304b 薄,就可以设计微细电路图,因为电路层 304a 的厚度对电路图的微细度具有重大影响。

在引线焊盘(wire pad)一面,空白区的线焊焊盘一面的电路层 304ab 比单元区的电路层 304a 厚度大,能防止基片变形。

另外,球形焊盘一面的电路层 304b 比单元区的线焊焊盘一面的电路层 304a 厚度大,这允许对球形焊盘一面应用 OSP 和深刻蚀过程。在图 3 中,参考数字 302 是指绝缘层,306a 和 306b 是指光阻焊层(photo solder resists),304aa 特别是指电路层 304a 以外的线焊焊盘,304ac 是指金涂层,304ba 是指球形焊盘,304bc 是指经过 OSP 处理的表面。

通孔 307 用于将线焊焊盘一面和球形焊盘一面的电镀引线(未图示)进行电连接。如果线焊焊盘一面的电路层 304a 变薄,则电镀引线可能被切断,因为它包含在电路层 304a 中。当切断发生时,通孔 307 允许通过球形焊盘一面的电镀引线(未图示)电连接到外部。

另外,空白区中线焊焊盘一面的电路层 304ab 可以像单元区中线焊焊盘一面的电路层 304a 一样厚,但与单元区中球形焊盘一面的电路层 304b 的厚度不同。

参看图 4A 到 4G,逐步表示根据本发明一个实施例的、线焊焊盘一面的电路层厚度与球形焊盘一面不同的半导体封装基片。

图 4A 是包括绝缘层 402 的 CCL400 的剖视图,例如,绝缘层 402 由环氧树脂制成,铜箔 401a 和 401b 通过粘结剂结合在绝缘层的两面。

接着,如图 4B 所示,在对应于底部基片 CCL 的单元区的部分开放的干

膜 403a 沉积在线焊焊盘一面的铜箔 401a 上。当干膜 403a 作为掩模时，将通过干膜 403a 开放部分露出的单元区进行半刻蚀，使铜箔 401a 在单元区和空白区具有不同的厚度。

由于不需要将球形焊盘一面的铜箔 401b 进行半刻蚀，在球形焊盘一面的铜箔 401b 上沉积一层干膜 403b。另外，在单元区中铜箔 401a 的厚度与空白区铜箔 401b 中的相同的情况下，在不使用干膜 403a 的情况下可以进行半刻蚀处理，其中干膜 403a 在对应于 CCL 单元区的部分是开放的。

图 4C 是单元区中通过半刻蚀过程将线焊焊盘一面的铜箔 401a 去除到预定深度之后的剖视图，其中用干膜 403b 保护球形焊盘一面的铜箔 401b。

在通过半刻蚀过程将线焊焊盘一面的铜箔 401a 去除到预定厚度之后，去除分别沉积在线焊焊盘一面的铜箔 401a 上以及球形焊盘一面的铜箔 401b 上的干膜 403a 和 403b，如图 4D 所示。

由于单元区中线焊焊盘一面的铜箔 401a 变薄，在上面形成的电路图就可能被切断。特别是，当电镀引线被切断时，就不能进行线焊焊盘的电镀处理。

为此，如图 4E 所示，钻出通孔 405 并镀成连接通孔 406，用于连接线焊焊盘一面的铜箔 401a 和球形焊盘一面的铜箔 401b。连接通孔 406 作为下铜箔 401b 和上铜箔 401a 之间的电桥，从而使下铜箔 401b 中形成的电镀引线（未图示）电连接到上铜箔 401a 中形成的电镀引线（未图示）。即使上铜箔 401a 的电镀引线被切断，如下文所述，也可以使用下铜箔 401b 的电镀引线进行镀金处理，从而在线焊焊盘 408a 上形成金涂层 408b（图 4G），其中下铜箔 401b 通过连接通孔 406 连接到焊盘 408。

优选地，连接通孔 406 在单元区 611 的四个角 613 上形成，如图 6 所示。原因是主电镀引线（未图示）通常经过四个角 613。即，当主电镀引线被切断时，镀金不能保证镀金涂层 408b 的厚度。这样，即使上铜箔 401a 的主电

镀引线被切断，四个角 613 存在的连接通孔 406 也允许通过下铜箔 401b 的主电镀引线提供电流，从而保证金涂层的厚度。图 6 表示根据本发明一个实施例的半导体封装基片 610，该半导体封装基片 610 被分成单元区 611 以及在单元区 611 周围的空白区 612，其中该单元区 611 包括半导体器件安装部分 611a 以及外电路图 611b。

回到图 4E，用于在线焊焊盘一面和球形焊盘一面形成电路图的干膜图 404a 和 404b 分别沉积在铜箔 401a 和 401b 上。

图 4F 是使用刻蚀剂选择性刻蚀铜箔 401a 和 401b 之后的剖视图，其中干膜图 404a 和 404b 作为刻蚀剂，然后使用剥离溶液 (peeling solution) 去除干膜 404a 和 404b。在图案刻蚀过程中，用于镀金的电镀引线按相同方式同时形成。

然后，对得到的 CCL 结构涂覆阻焊剂 407a 和 407b，接着曝光、显影和干燥，如图 4G 所示。

为了仅仅对线焊焊盘 408a 镀金，在基片的焊盘一面应用干膜 (未图示)，曝光并显影。使用使用电镀引线，对焊盘 406 镀金 408b，并以干膜作为阻镀剂。具体地，为了对待安装半导体器件的封装基片金属表面处理，通常进行电解金电镀 (electrolytic Au plating)。其原因是，电解金电镀比无电镀金的可靠性高。如上所述，可以出现上铜箔中形成的电镀引线被切断。此时，通过连接通孔 406 从下铜箔 401b 的电镀引线供应的电力，金涂层 408 可以形成到优选厚度。

在电解金电镀之后，使用剥离溶液去除作为阻镀剂的干膜，并使用剝刨机或切割工艺切断电镀引线。

然后，将球形焊盘 409a 涂覆 OSP，形成 OSP 处理的表面 409b。

参看图 5A 到 5H，逐步表示根据本发明另一个实施例的、制造半导体封装基片的方法，其中线焊焊盘一面的电路层厚度与球形焊盘一面的电路层厚

度不同。

图 5A 是包括绝缘层 502 的 CCL500 的剖视图，例如，绝缘层 502 由环氧树脂制成，铜箔 501a 和 501b 通过粘结剂结合在绝缘层的相反两面。

然后，如图 5B 所示，在球形焊盘一面的铜箔 501b 上沉积干膜，从而在半刻蚀线焊焊盘一面的铜箔 501a 时作为掩模。

图 5C 是表示线焊焊盘一面的所有铜箔 501a 半刻蚀到预定厚度之后的剖视图，其中干膜 503 保护球形焊盘一面的铜箔 501b，然后从球形焊盘一面的铜箔 501b 上去除干膜 503。

为了防止 CCL 卷曲，需要增强线焊焊盘一面的空白区的铜箔 501b。为此，如图 5D 所示，对线焊焊盘一面的铜箔 501a 涂覆干膜 504a，其中干膜 504a 在对应于线焊焊盘一面的空白区的部分是开放的，而在整个球形焊盘一面沉积一层干膜 504b 作为掩模。

然后，对露出的铜箔 501a 镀铜 505，增大线焊焊盘一面的空白区的铜箔厚度，从而防止 CCL 卷曲，如图 5E 所示。在形成铜涂层 505 之后，去除分别沉积在线焊焊盘一面的铜箔 501a 上和球形焊盘一面的铜箔 501b 上的干膜 504a 和 504b。

由于单元区中线焊焊盘一面的铜箔 501a 变薄，其上面形成的电路图就可能被切断。特别是，当电镀引线被切断时，就不能进行线焊焊盘的电镀处理。

为此，如图 5F 所示，钻出通孔 506 并镀成连接通孔 507，用于连接线焊焊盘一面的铜箔 501a 和球形焊盘一面的铜箔 501b。连接通孔 507 作为下铜箔 501b 和上铜箔 501a 之间的电桥，从而使下铜箔 501b 中形成的电镀引线（未图示）电连接到上铜箔 501a 中形成的电镀引线（未图示）。即使上铜箔 501a 的电镀引线被切断，如下文所述，也可以使用下铜箔 501b 的电镀引线进行镀金处理，从而在线焊焊盘 509a（图 5H）上形成金涂层 509b（图 5H），

其中下铜箔 501b 通过连接通孔 507 连接到线焊焊盘 509a。

优选地，连接通孔 507 在单元区 611 的四个角 613 形成，如图 6 所示。原因是主电镀引线（未图示）通常经过四个角 613。即，当主电镀引线被切断时，镀金不能保证镀金涂层 509b 的厚度。这样，即使上铜箔 501a 的主电镀引线被切断，四个角 613 存在的连接通孔 507 也允许通过下铜箔 501b 的主电镀引线提供电流，从而保证金涂层的厚度。图 6 表示根据本发明一个实施例的半导体封装基片 610，该半导体封装基片 610 被分成单元区 611 以及在单元区 611 周围的空白区 612，其中该单元区 611 包括半导体器件安装部分 611a 以及外电路图 611b。

回到图 5F，用于在线焊焊盘一面和球形焊盘一面形成电路图的干膜图 508a 和 508b 分别沉积在铜箔 501a 和 501b 上。

图 5G 是使用刻蚀剂选择性刻蚀铜箔 501a 和 501b 之后的剖视图，其中干膜图 508a 和 508b 作为刻蚀剂，然后使用剥离溶液去除干膜 508a 和 508b。在图案刻蚀过程中，用于镀金的电镀引线按相同方式同时形成。

然后，对得到的 CCL 结构涂覆阻焊剂 511a 和 511b，接着曝光、显影和干燥，如图 5H 所示。

为了仅仅对线焊焊盘 509a 镀金，在基片的焊盘一面应用干膜（未图示），曝光并显影。通过使用电镀引线，对线焊焊盘 509a 镀金 509b，并以干膜作为阻镀剂。如上所述，上铜箔中形成的电镀引线被切断的情况可能发生。此时，通过连接通孔 507 从下铜箔 501b 的电镀引线供应的电力，金涂层 509b 可以形成到优选厚度。

在电解金电镀之后，使用剥离溶液去除作为阻镀剂的干膜，并使用剝刨机或切割工艺切割电镀引线。

然后，将球形焊盘 510a 涂覆 OSP，形成 OSP 处理的表面 510b。

如上所述，根据本发明，线焊焊盘一面的单元区可以形成为小厚度，从

而能实现根据本发明的半导体基片的微细图案。

另外，通过将线焊焊盘一面的空白区保持在预定厚度，可以防止本发明的 CCL 卷曲。

根据本发明的优选实施例描述了例子。但是，应该理解的是，这些内容并不限于本发明的直接描述。本发明的说明书和权利要求可以被认为是覆盖本发明真实范围内的所有变化和修改。

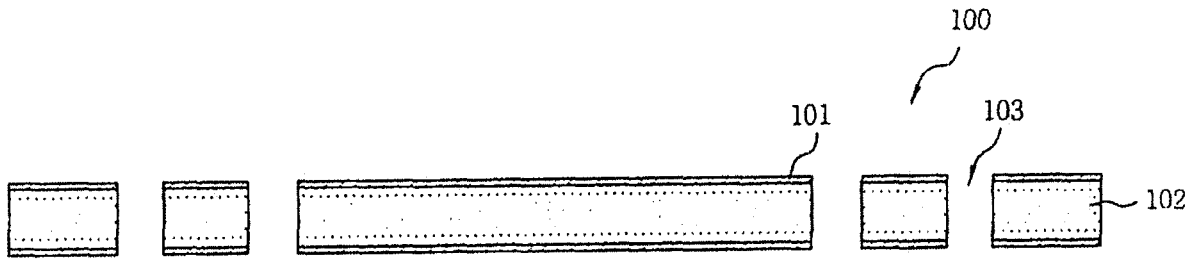


图 1A

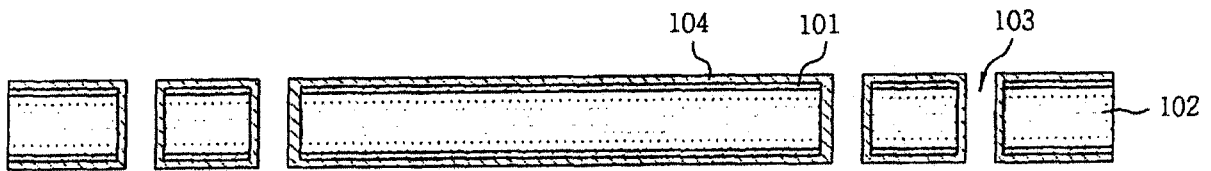


图 1B

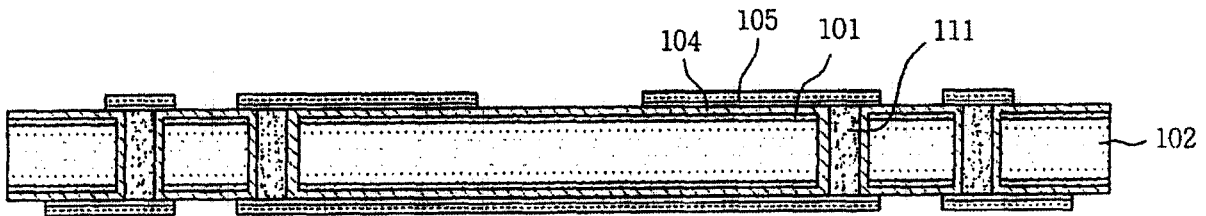


图 1C

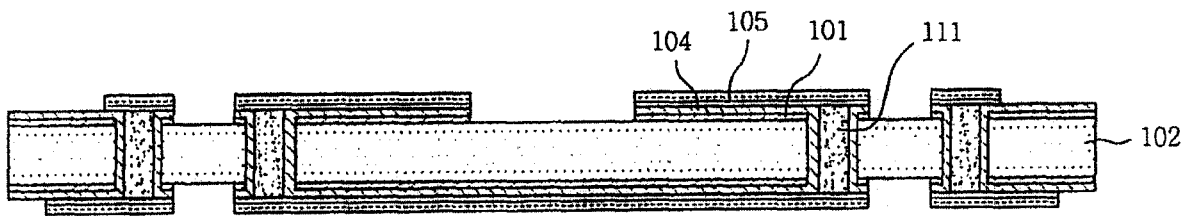


图 1D

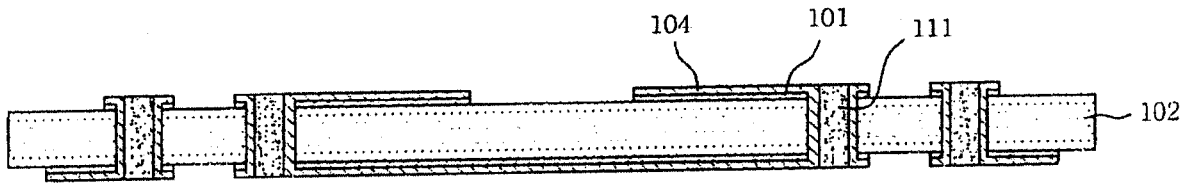


图 1E

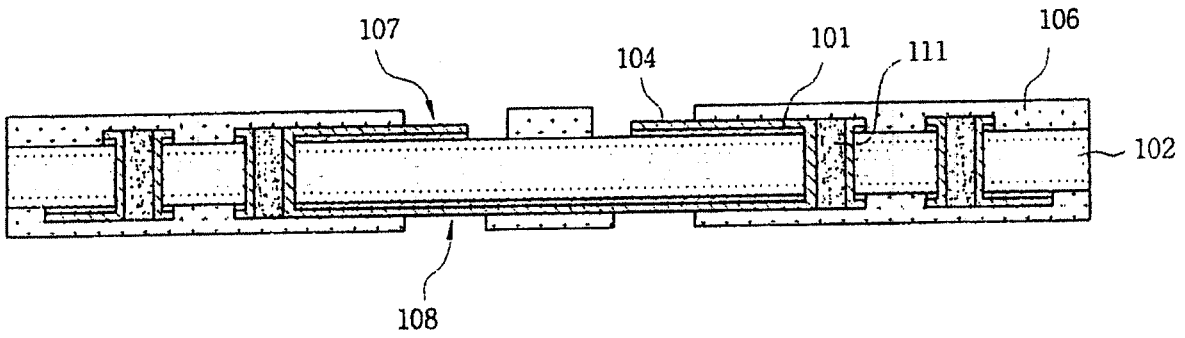


图 1F

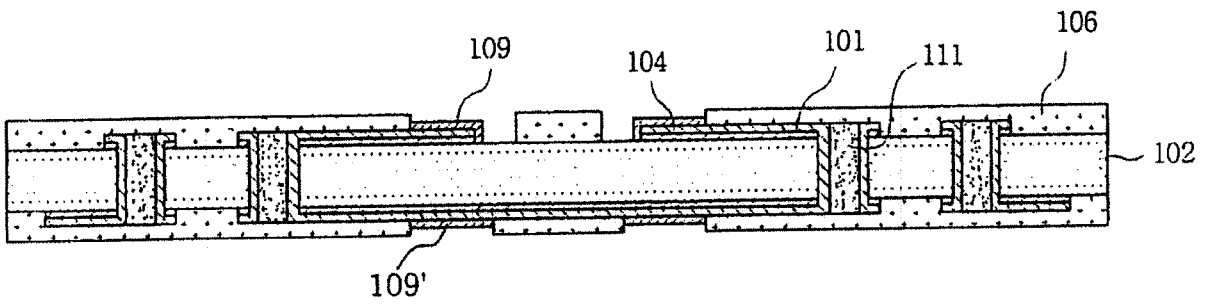


图 1G

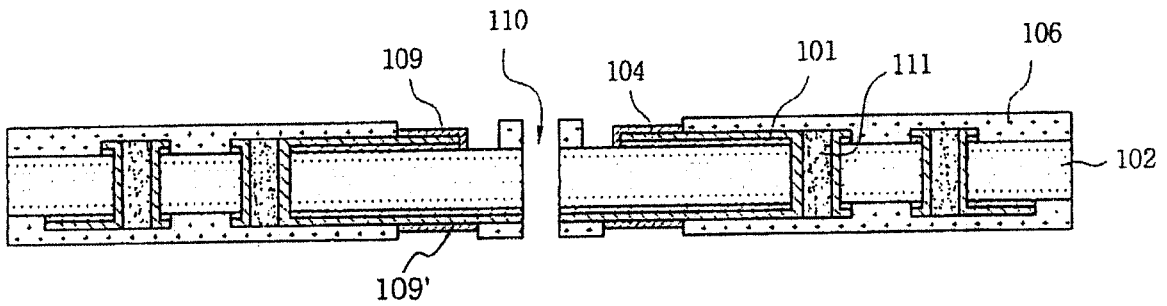


图 1H

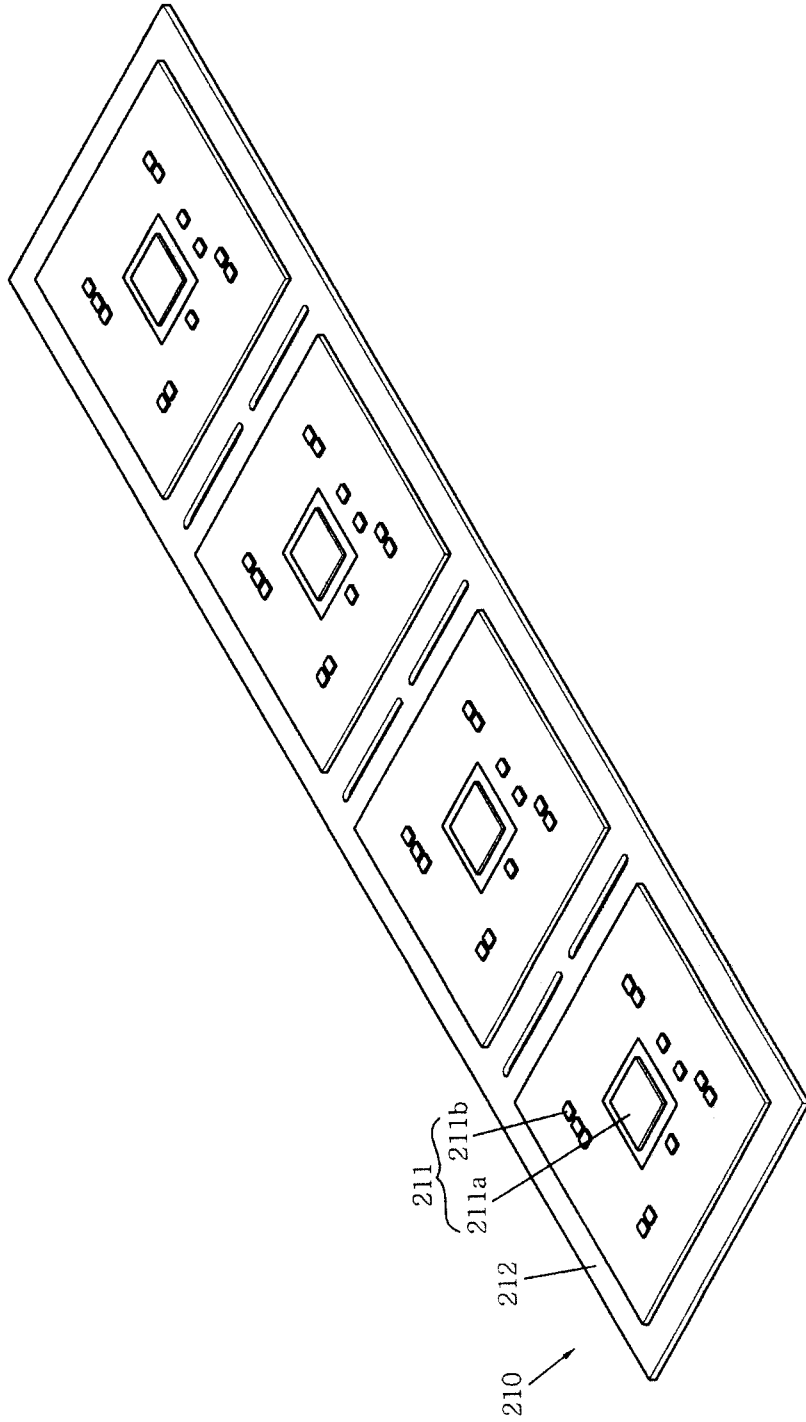


图 2

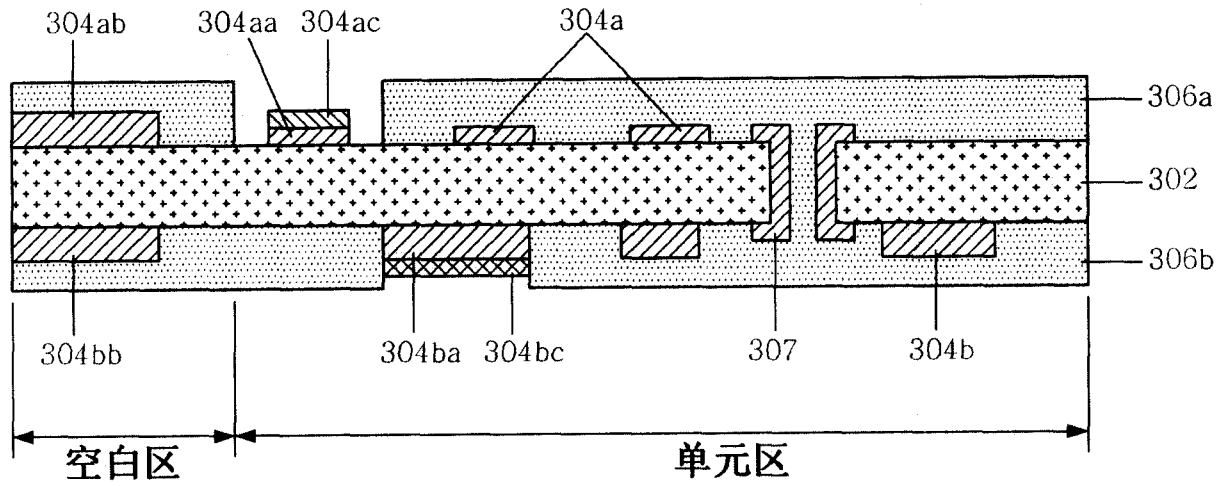


图 3

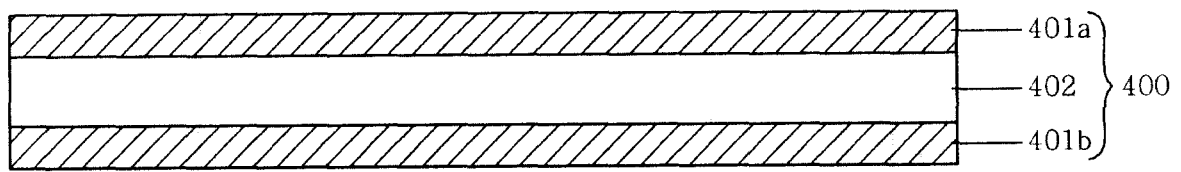


图 4A

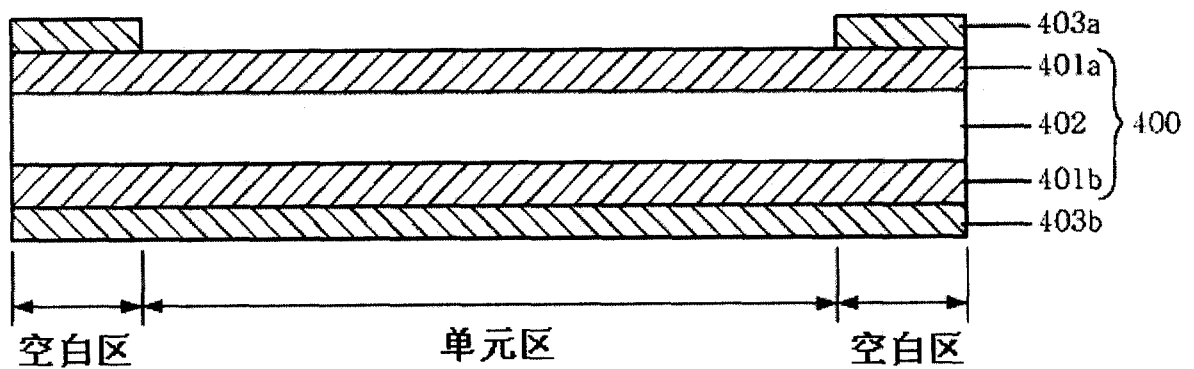


图 4B

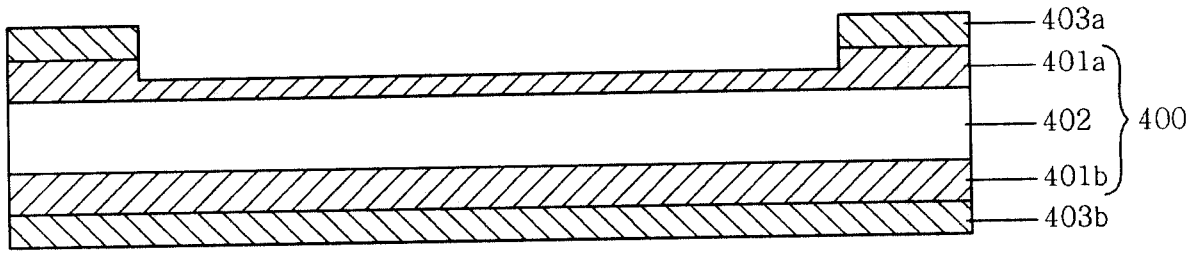


图 4C

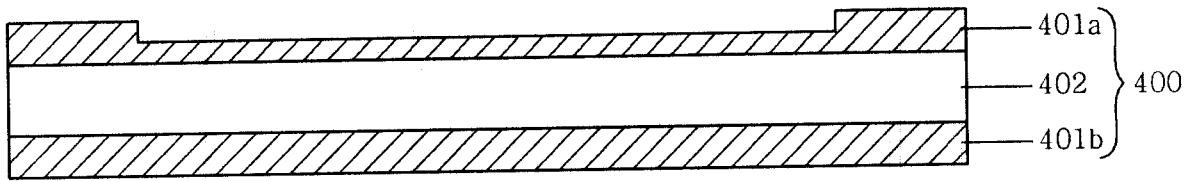


图 4D

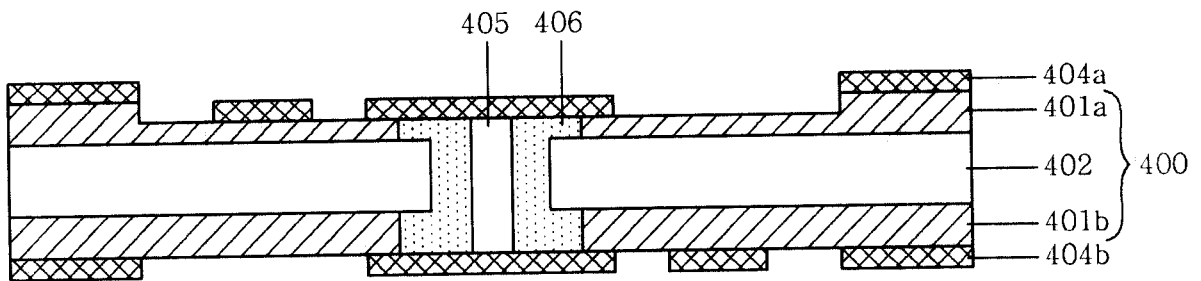


图 4E

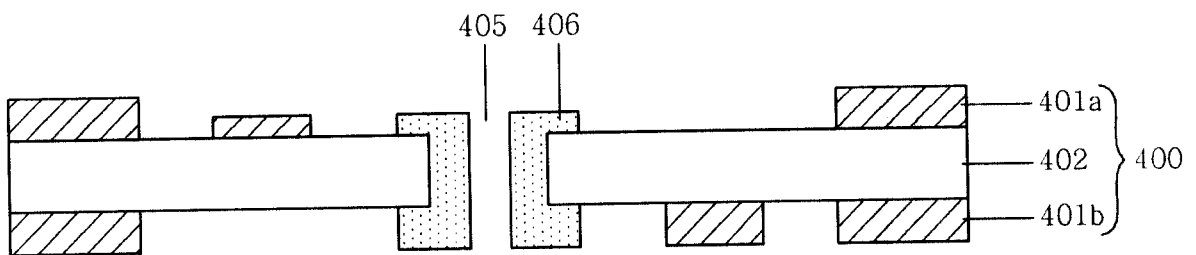


图 4F

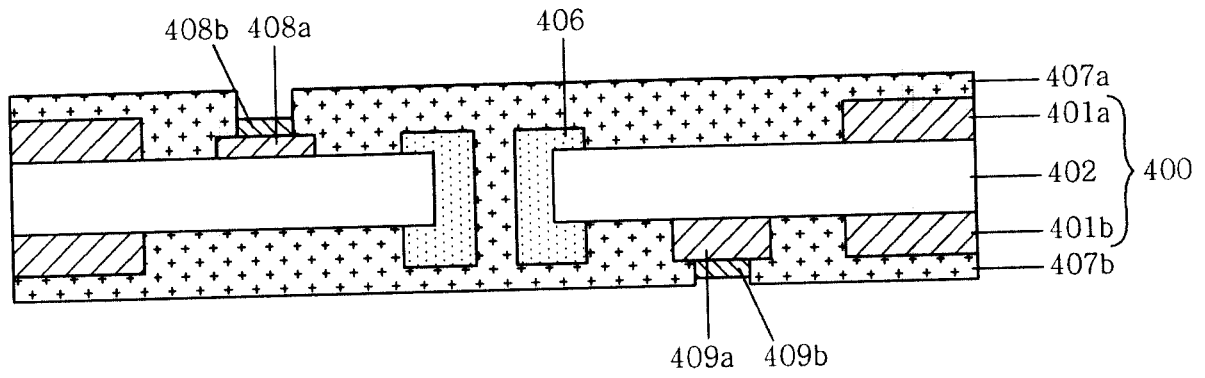


图 4G

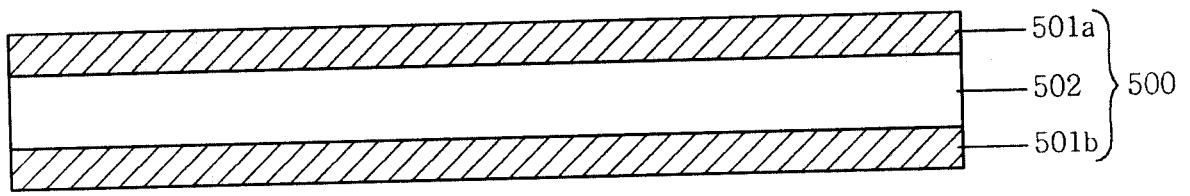


图 5A

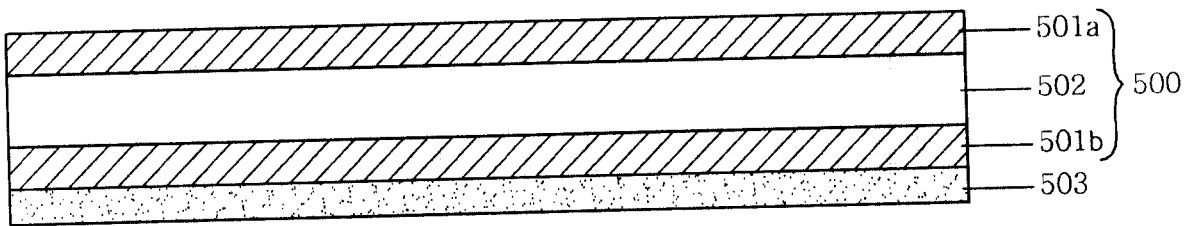


图 5B

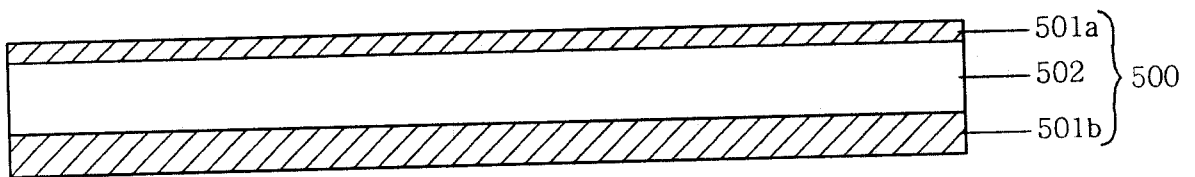


图 5C

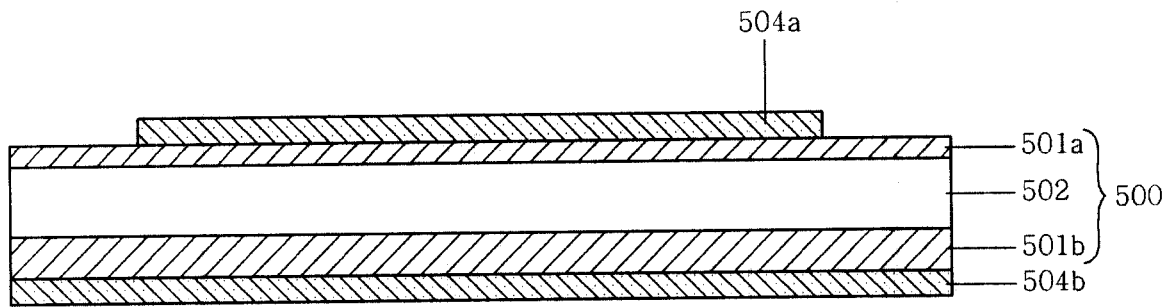


图 5D

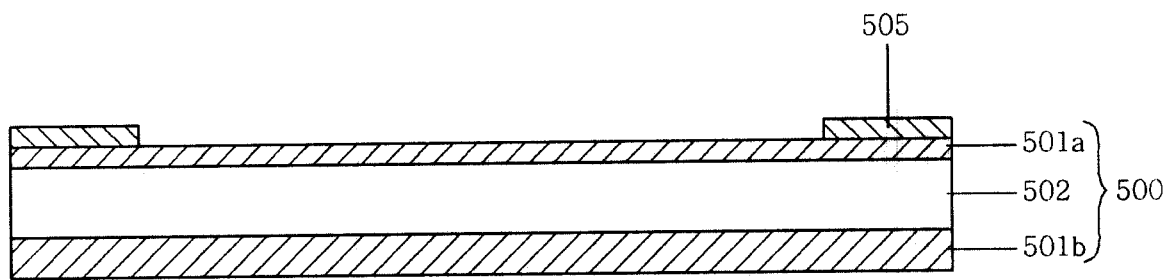


图 5E

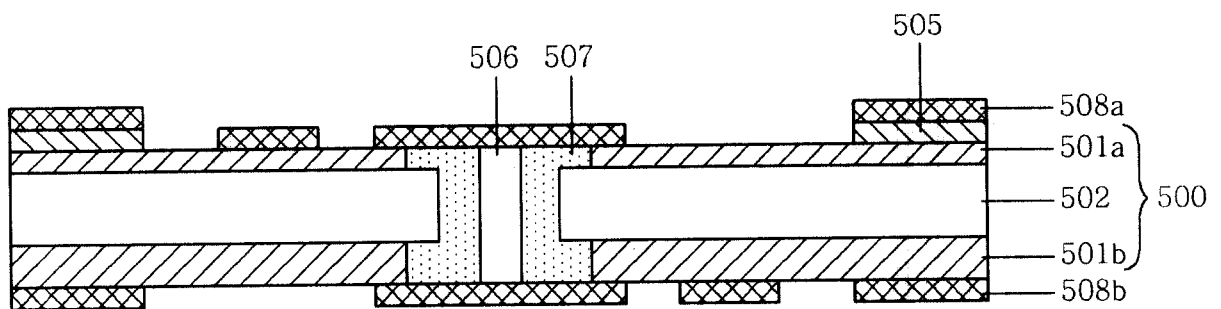


图 5F

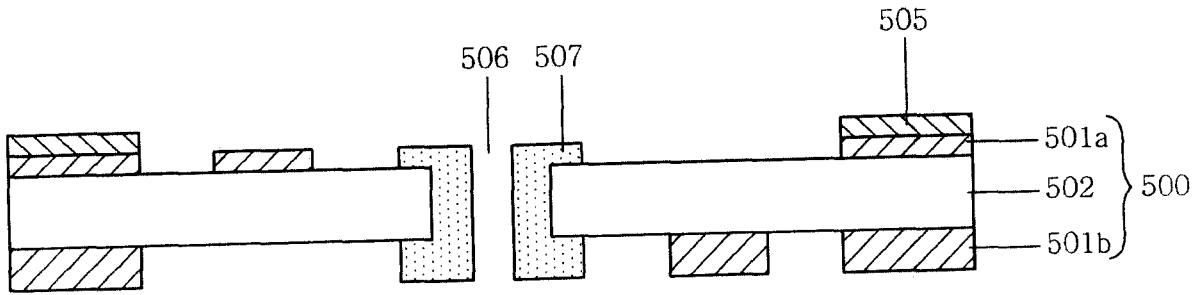


图 5G

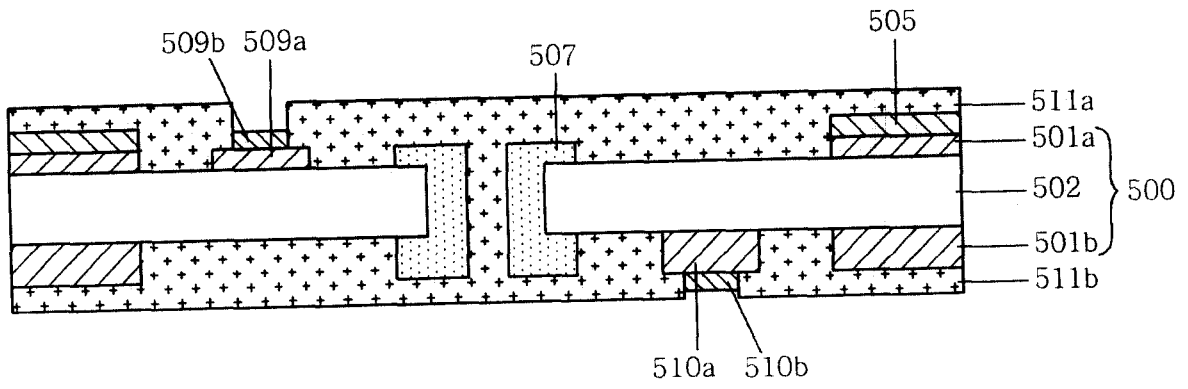


图 5H

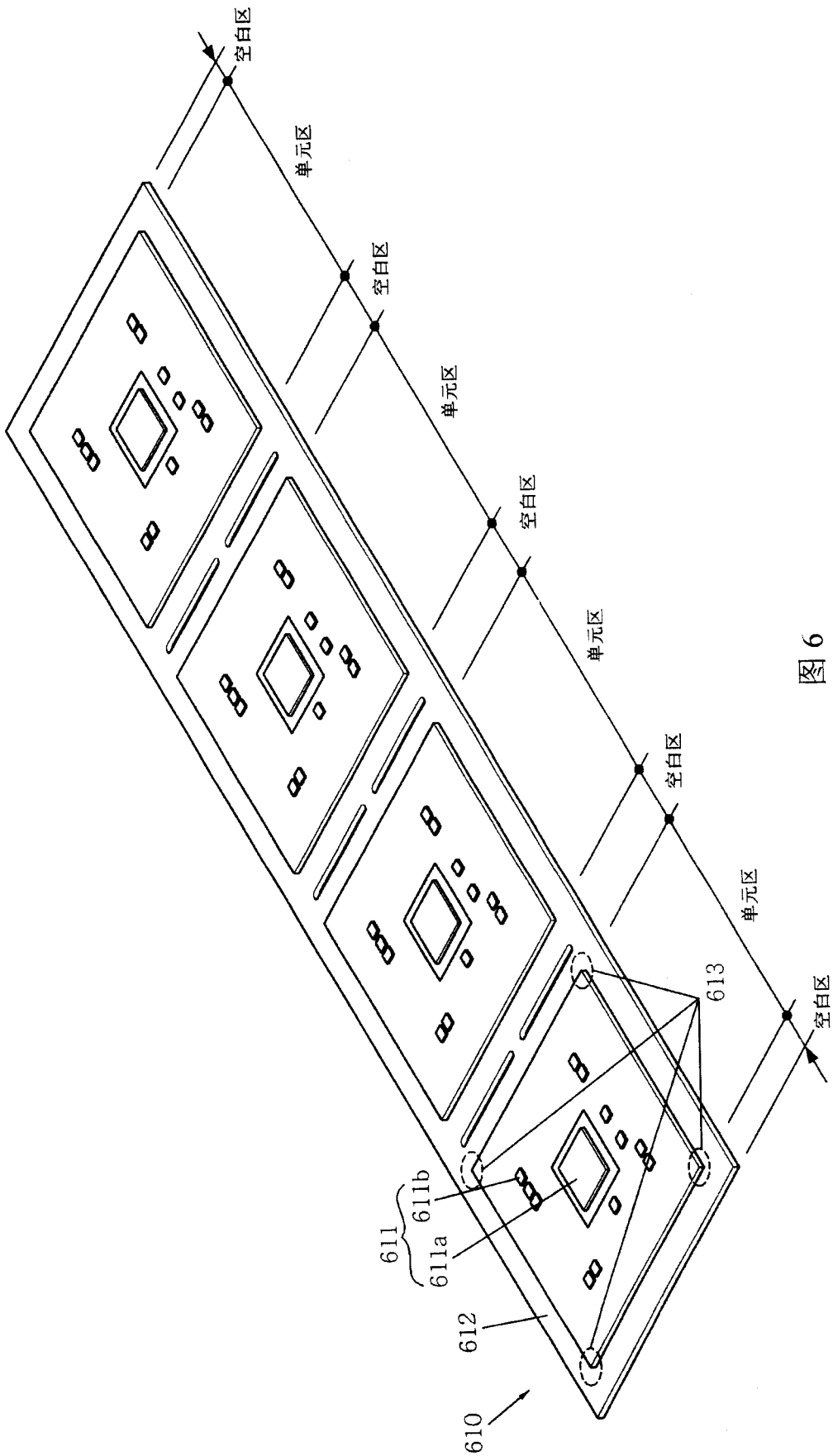


图 6