

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610154243.6

[51] Int. Cl.

G11C 19/28 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

[43] 公开日 2007年2月28日

[11] 公开号 CN 1921018A

[22] 申请日 2006.9.18

[21] 申请号 200610154243.6

[71] 申请人 友达光电股份有限公司

地址 中国台湾新竹市

[72] 发明人 张立勋 林毓文 陈静茹 郑咏泽

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 李晓舒

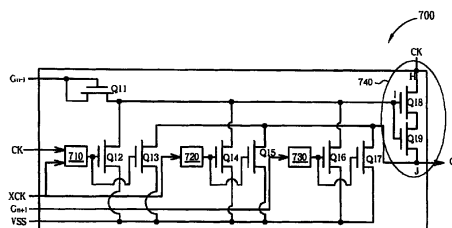
权利要求书6页 说明书6页 附图10页

[54] 发明名称

降低耦合效应的移位寄存器与液晶显示器

[57] 摘要

用于液晶显示器上的移位寄存器，其输出端具有较低的耦合效应以提供更好的栅极驱动信号。该移位寄存器的输出级电路包含二开关。第一开关的控制端耦接至第二开关的控制端。第一开关的一端用以接收一时钟信号，第一开关的另一端耦接至第二开关的一端。第二开关的另一端用以输出一栅极驱动信号。以一控制信号同时控制第一开关与第二开关的开启与关闭。



1. 一种降低耦合效应的移位寄存器，包含：
 - 一第一节点；
 - 一第一开关，包含：
 - 一第一端，耦接于一前一级移位寄存器的输出端；
 - 一第二端，耦接于该第一节点；及
 - 一控制端，耦接于该前一级移位寄存器的输出端；
 - 一输出端；
 - 一第一控制电路，包含：
 - 一第一输入端，用以接收一第一时钟信号；
 - 一第二输入端，用以接收一第二时钟信号；
 - 一第三输入端，耦接于该前一级移位寄存器的输出端；
 - 一第一输出端，耦接于该第一节点；及
 - 一第二输出端，耦接于该移位寄存器的输出端；
 - 一第二控制电路，包含：
 - 一第一输入端，用以接收该第二时钟信号；
 - 一第二输入端，耦接于该前一级移位寄存器的输出端；
 - 一第一输出端，耦接于该第一节点；及
 - 一第二输出端，耦接于该移位寄存器的输出端；
 - 一第三控制电路，包含：
 - 一输入端，耦接于一下一级移位寄存器的输出端；
 - 一第一输出端，耦接于该第一节点；及
 - 一第二输出端，耦接于该移位寄存器的输出端；
 - 一第二开关，包含：
 - 一第一端，用以接收该第一时钟信号；
 - 一第二端；及
 - 一控制端，耦接于该第一节点；及
 - 一第三开关，包含：
 - 一第一端，耦接于该第二开关的第二端；
 - 一第二端，耦接于该移位寄存器的输出端；及

一控制端，耦接于该第一节点。

2. 如权利要求1所述的移位寄存器，其中，该第一、第二、第三开关分别是一薄膜电晶体，而该第一、第二、第三开关的控制端分别是一薄膜电晶体的栅极。

3. 如权利要求1所述的移位寄存器，其中，该第一时钟信号与该第二时钟信号的相位差是180度。

4. 如权利要求1所述的移位寄存器，其中，该第一控制电路另包含：

一第一开关，包含：

一第一端，耦接于一第一节点；

一第二端，耦接于一共同端；及

一控制端，耦接于该第一控制电路的第三输入端；

一第二开关，包含：

一第一端，耦接于该第一节点；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一控制电路的第二输入端；

一第三开关，包含：

一第一端，耦接于该第一控制电路的第一输入端；

一第二端，耦接于该第一节点；及

一控制端，耦接于该第一控制电路的第一输入端；

一第四开关，包含：

一第一端，耦接于该第一控制电路的第一输出端；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一节点；

一第五开关，包含：

一第一端，耦接于该第一控制电路的第二输出端；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一节点；及

一第六开关，包含：

一第一端，耦接于该第一节点；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一控制电路的第二输出端。

5. 如权利要求4所述的移位寄存器, 其中, 该第一、二、三、四、五、六开关是一薄膜电晶体, 而该第一、二、三、四、五、六开关的控制端是一薄膜电晶体的栅极。

6. 如权利要求1所述的移位寄存器, 其中, 该第二控制电路另包含:
一第一开关, 包含:

一第一端, 耦接于该第二控制电路的第一输出端;

一第二端, 耦接于该第二控制电路的第二输入端; 及

一控制端, 耦接于该第二控制电路的第一输入端; 及

一第二开关, 包含:

一第一端, 耦接于该第二控制电路的第二输出端;

一第二端, 耦接于一共同端; 及

一控制端, 耦接于该第二控制电路的第一输入端。

7. 如权利要求6所述的移位寄存器, 其中, 该第一、二开关是一薄膜电晶体, 而该第一、二开关的控制端是一薄膜电晶体的栅极。

8. 如权利要求1所述的移位寄存器, 其中, 该第三控制电路另包含:
一第一开关, 包含:

一第一端, 耦接于该第三控制电路的第一输出端;

一第二端, 耦接于一共同端; 及

一控制端, 耦接于该第三控制电路的输入端; 及

一第二开关, 包含:

一第一端, 该第三控制电路的第二输出端;

一第二端, 耦接于该共同端; 及

一控制端, 耦接于该第三控制电路的输入端。

9. 如权利要求8所述的移位寄存器, 其中, 该第一、二开关是一薄膜电晶体, 而该第一、二开关的控制端是一薄膜电晶体的栅极。

10. 一种降低耦合效应的液晶显示器, 包含:

一第一玻璃基板, 包含:

多个堆叠耦接的移位寄存器, 每一移位寄存器包含:

一第一节点;

一第一开关, 包含:

一第一端, 耦接于一前一级移位寄存器的输出端;

- 一第二端，耦接于该第一节点；及
 - 一控制端，耦接于该前一级移位寄存器的输出端；
 - 一输出端；
 - 一第一控制电路，包含：
 - 一第一输入端，用以接收一第一时钟信号；
 - 一第二输入端，用以接收一第二时钟信号；
 - 一第三输入端，耦接于该前一级移位寄存器的输出端；
 - 一第一输出端，耦接于该第一节点；及
 - 一第二输出端，耦接于该移位寄存器的输出端；
 - 一第二控制电路，包含：
 - 一第一输入端，用以接收该第二时钟信号；
 - 一第二输入端，耦接于该前一级移位寄存器的输出端；
 - 一第一输出端，耦接于该第一节点；及
 - 一第二输出端，耦接于该移位寄存器的输出端；
 - 一第三控制电路，包含：
 - 一输入端，耦接于一下一级移位寄存器的输出端；
 - 一第一输出端，耦接于该第一节点；及
 - 一第二输出端，耦接于该移位寄存器的输出端；
 - 一第二开关，包含：
 - 一第一端，用以接收该第一时钟信号；
 - 一第二端；及
 - 一控制端，耦接于该第一节点；及
 - 一第三开关，包含：
 - 一第一端，耦接于该第二开关的第二端；
 - 一第二端，耦接于该移位寄存器的输出端；及
 - 一控制端，耦接于该第一节点；及
 - 一像素电路，耦接于该多个堆叠耦接的移位寄存器中至少一移位寄存器的输出端；
 - 一第二玻璃基板；及
 - 一液晶层，该液晶层介于该第一玻璃基板与该第二玻璃基板之间。
11. 如权利要求 10 所述的液晶显示器，其中，该第一、第二、第三开关

分别为一薄膜电晶体，而该第一、第二、第三开关的控制端分别为一薄膜电晶体的栅极。

12. 如权利要求 10 所述的液晶显示器，其中，该第一时钟信号与该第二时钟信号的相位差是 180 度。

13. 如权利要求 10 所述的液晶显示器，其中，该第一控制电路另包含：

一第一开关，包含：

一第一端，耦接于一第一节点；

一第二端，耦接于一共同端；及

一控制端，耦接于该第一控制电路的第三输入端；

一第二开关，包含：

一第一端，耦接于该第一节点；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一控制电路的第二输入端；

一第三开关，包含：

一第一端，耦接于该第一控制电路的第一输入端；

一第二端，耦接于该第一节点；及

一控制端，耦接于该第一控制电路的第一输入端；

一第四开关，包含：

一第一端，耦接于该第一控制电路的第一输出端；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一节点；

一第五开关，包含：

一第一端，耦接于该第一控制电路的第二输出端；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一节点；及

一第六开关，包含：

一第一端，耦接于该第一节点；

一第二端，耦接于该共同端；及

一控制端，耦接于该第一控制电路的第二输出端。

14. 如权利要求 13 所述的液晶显示器，其中，该第一、二、三、四、五、六开关是一薄膜电晶体，而该第一、二、三、四、五、六开关的控制端是一

薄膜电晶体的栅极。

15. 如权利要求 10 所述的液晶显示器, 其中, 该第二控制电路另包含:
一第一开关, 包含:

- 一第一端, 耦接于该第二控制电路的第一输出端;
- 一第二端, 耦接于该第二控制电路的第二输入端; 及
- 一控制端, 耦接于该第二控制电路的第一输入端; 及

一第二开关, 包含:

- 一第一端, 耦接于该第二控制电路的第二输出端;
- 一第二端, 耦接于一共同端; 及
- 一控制端, 耦接于该第二控制电路的第一输入端。

16. 如权利要求 15 所述的液晶显示器, 其中, 该第一、二开关是一薄膜电晶体, 而该第一、二开关的控制端是一薄膜电晶体的栅极。

17. 如权利要求 10 所述的液晶显示器, 其中, 该第三控制电路另包含:
一第一开关, 包含:

- 一第一端, 耦接于该第三控制电路的第一输出端;
- 一第二端, 耦接于一共同端; 及
- 一控制端, 耦接于该第三控制电路的输入端; 及

一第二开关, 包含:

- 一第一端, 该第三控制电路的第二输出端;
- 一第二端, 耦接于该共同端; 及
- 一控制端, 耦接于该第三控制电路的输入端。

18. 如权利要求 17 所述的液晶显示器, 其中, 该第一、二开关是一薄膜电晶体, 而该第一、二开关的控制端是一薄膜电晶体的栅极。

降低耦合效应的移位寄存器与液晶显示器

技术领域

本发明涉及一种具有较低耦合效应的移位寄存器。更精确地说，本发明涉及一种用于液晶显示器的具有较低耦合效应的移位寄存器。

背景技术

请参考图 1。图 1 是一现有技术的液晶显示器 100 的示意图。液晶显示器 100 包含一像素电路 110、一移位寄存器区 120。像素电路 110 包含多个像素 111。移位寄存器区 120 包含多个移位寄存器 S1-Sn，用以接收外部传送来的电压电平信号 VSS、时钟信号 XCK 与 CK，及一开始信号 ST，并根据以上的信号，传送栅极驱动信号 G1-Gn 给像素电路 110。像素电路 110 则根据移位寄存器 120 传送来的栅极驱动信号 G1-Gn 分别来驱动所包含的像素 111，用以显示画面。

请参考图 2。图 2 是现有技术的移位寄存器区 120 的示意图。如图所示，移位寄存器 S1-Sn 皆接收电压电平信号 VSS，时钟信号 XCK 与 CK。而第一个移位寄存器 S1 用以接收开始信号 ST，并根据电压电平信号 VSS、时钟信号 XCK 与 CK，来传送第一个栅极驱动信号 G1 至像素电路 110，同时亦传送至第二个移位寄存器 S2。而第二个移位寄存器 S2 用以接收第一个栅极驱动信号 G1，并根据电压电平信号 VSS、时钟信号 XCK 与 CK，来传送第二个栅极驱动信号 G2 至像素区 110，同时亦传送至第二个移位寄存器 S3，依此类推。因此，移位寄存器区 120 中的每一个移位寄存器便可依序发送栅极驱动信号来驱动像素电路 110 中的像素 111。

请参考图 3。图 3 是现有技术的移位寄存器区 120 的信号示意图。如图所示，当第一个移位寄存器 S1 接收到开始信号时，会开始触发移位寄存器区 120 的动作。开始产生栅极驱动信号 G1，接着产生栅极驱动信号 G2，依此类推。因此，这样产生栅极驱动信号的方式，可以依序来启动像素电路 110 的像素 111，而完成显示画面的目的。

请参考图 4。图 4 是现有技术的移位寄存器 400 的方块示意图。移位寄

寄存器 400 包含开关 Q1-Q7, 控制电路 410-430, 与输出级电路 440。输出级电路 440 包含一开关 Q8。控制电路 410 根据时钟信号 CK, 经由开关 Q2 与 Q3, 来分别控制节点 B 与 C 的电位。当控制电路 410 根据时钟信号 CK 而将开关 Q2 与 Q3 打开时, 节点 B 与 C 的电位会被拉至电压电平 VSS。控制电路 420 根据时钟信号 XCK, 经由开关 Q4 与 Q5, 来分别控制节点 B 与 C 的电位。当控制电路 420 根据时钟信号 XCK 而将开关 Q4 与 Q5 打开时, 节点 B 与 C 的电位会被拉至电压电平 VSS。控制电路 430 根据下一级的栅极驱动信号 G_{n+1} , 经由开关 Q6 与 Q7, 来分别控制节点 B 与 C 的电位。当控制电路 430 根据下一级的栅极驱动信号 G_{n+1} 而将开关 Q6 与 Q7 打开时, 节点 B 与 C 的电位会被拉至电压电平 VSS。而输出极电路 440 则根据节点 B 与 C 的电位, 将时钟信号 CK 传送至节点 C, 以作为栅极驱动信号 G_n 。以此方式, 当前一级的栅极驱动信号 G_{n-1} 输入移位寄存器 400 时, 移位寄存器 400 便可依照如图 3 的运作方式, 延迟一段时间后, 再输出栅极驱动信号 G_n 。

请参考图 5。图 5 是现有技术的移位寄存器的栅极驱动信号 G_n 示意图。因为输出级电路 440 中的开关 Q8, 在节点 B 与节点 A 之间, 有一寄生电容 C1, 会使得于节点 A 的电流, 流通至节点 B, 而影响开关 Q8 的开关动作, 而造成开关 Q8 在关闭时无法完全将信号关闭, 而有漏电流的现象。也就是说, 当开关 Q8 在关闭状态时, 时钟信号 CK 仍有部分会流通至节点 C, 而使得栅极驱动信号 G_n 受影响。上述这种情况, 在开关 Q8 使用久了之后, 产生老化现象, 而更形严重, 造成如图 5 所示, 栅极驱动信号 G_n 于输出时信号不良, 引起误动作, 而降低显示画面的品质。

发明内容

本发明提供一种降低耦合效应的移位寄存器, 包含一第一节点; 一第一开关, 包含一第一端, 耦接于一前一级移位寄存器的输出端; 一第二端, 耦接于该第一节点; 及一控制端, 耦接于该前一级移位寄存器的输出端; 一输出端; 一第一控制电路, 包含一第一输入端, 用以接收一第一时钟信号; 一第二输入端, 用以接收一第二时钟信号; 一第三输入端, 耦接于该前一级移位寄存器的输出端; 一第一输出端, 耦接于该第一节点; 及一第二输出端, 耦接于该移位寄存器的输出端; 一第二控制电路, 包含: 一第一输入端, 用以接收该第二时钟信号; 一第二输入端, 耦接于该前一级移位寄存器的输出

端；一第一输出端，耦接于该第一节点；及一第二输出端，耦接于该移位寄存器的输出端；一第三控制电路，包含：一输入端，耦接于一下一级移位寄存器的输出端；一第一输出端，耦接于该第一节点；及一第二输出端，耦接于该移位寄存器的输出端；一第二开关，包含：一第一端，用以接收该第一时钟信号；一第二端；及一控制端，耦接于该第一节点；及一第三开关，包含：一第一端，耦接于该第二开关的第二端；一第二端，耦接于该移位寄存器的输出端；及一控制端，耦接于该第一节点。

本发明另提供一种降低耦合效应的液晶显示器，包含一第一玻璃基板，包含多个堆叠耦接的移位寄存器，每一移位寄存器包含：一第一节点；一第一开关，包含：一第一端，耦接于一前一级移位寄存器的输出端；一第二端，耦接于该第一节点；及一控制端，耦接于该前一级移位寄存器的输出端；一输出端；一第一控制电路，包含一第一输入端，用以接收一第一时钟信号；一第二输入端，用以接收一第二时钟信号；一第三输入端，耦接于该前一级移位寄存器的输出端；一第一输出端，耦接于该第一节点；及一第二输出端，耦接于该移位寄存器的输出端；一第二控制电路，包含：一第一输入端，用以接收该第二时钟信号；一第二输入端，耦接于该前一级移位寄存器的输出端；一第一输出端，耦接于该第一节点；及一第二输出端，耦接于该移位寄存器的输出端；一第三控制电路，包含：一输入端，耦接于一下一级移位寄存器的输出端；一第一输出端，耦接于该第一节点；及一第二输出端，耦接于该移位寄存器的输出端；一第二开关，包含：一第一端，用以接收该第一时钟信号；一第二端；及一控制端，耦接于该第一节点；及一第三开关，包含：一第一端，耦接于该第二开关的第二端；一第二端，耦接于该移位寄存器的输出端；及一控制端，耦接于该第一节点；及一像素电路，耦接于该多个堆叠耦接的移位寄存器中至少一移位寄存器的输出端；一第二玻璃基板；及一液晶层，该液晶层介于该第一玻璃基板与该第二玻璃基板之间。

附图说明

图 1 是一现有技术的液晶显示器的示意图。

图 2 是现有技术的移位寄存器区的示意图。

图 3 是现有技术的移位寄存器区的信号示意图。

图 4 是现有技术的移位寄存器的方块示意图。

图 5 是现有技术的移位寄存器的栅极驱动信号示意图。

图 6 是本发明的输出级电路的示意图。

图 7 是本发明的移位寄存器的方块示意图。

图 8 是本发明输出级电路的一另一实施例的示意图。

图 9 是本发明的移位寄存器的电路示意图。

图 10 是本发明的液晶显示器的示意图。

附图符号说明

液晶显示器 100 1000

像素电路 110 1100

移位寄存器区 120 1120

像素 111

移位寄存器 S1-Sn 400 700

电压电平信号 VSS

时钟信号 XCK CK

开始信号 ST

栅极驱动信号 G1-Gn

下一级的栅极驱动信号 Gn+1

前一级的栅极驱动信号 Gn-1

开关 Q1-Q23

控制电路 410 420 430 710 720 730 910 920 930

输出级电路 440 600 740 810 940

寄生电容 C1 C2

玻璃基板 1100 1300

液晶层 1200

节点 A B C D E F G H I J K L M

具体实施方式

请参考图 6。图 6 是本发明的输出级电路 600。输出级电路 600 包含二开关 Q9 与 Q10。开关 Q9 与 Q10 的控制端耦接至节点 F，用以接收节点 F 的控制信号并根据该控制信号传送节点 E 的信号至节点 G。在实际情况中，由于节点 E 与节点 F 之间有寄生电容 C2 的存在，而造成在开关 Q9 对于信号的开关

不良,这种情况在开关 Q9 老化后会更形严重,而造成现有技术的缺点,因此,本发明在开关 Q9 的输出端再耦接一开关 Q10。当开关 Q9 与 Q10 皆处于关闭状态时,虽然由于寄生电容 C2 会将节点 E 的信号耦合至节点 F 而影响开关 Q9 的动作,但由于开关 Q10 仍为关闭状态,因此,开关 Q9 于关闭状态所受耦合影响而输出的噪声并不会输出至节点 G。因此,本发明便以此种电路耦接的方式,来达成降低耦合效应而影响输出表现的目的。

请参考图 7。图 7 是本发明的移位寄存器 700 的方块示意图。移位寄存器 700 包含开关 Q11-Q19, 控制电路 710-730, 与输出级电路 740。输出级电路 740 包含二开关 Q18 与 Q19。控制电路 710 根据时钟信号 CK, 经由开关 Q12 与 Q13, 来分别控制节点 I 与 J 的电位。当控制电路 710 根据时钟信号 CK 而将开关 Q12 与 Q13 打开时, 节点 I 与 J 的电位会被拉至电压电平 VSS。控制电路 720 根据时钟信号 XCK, 经由开关 Q14 与 Q15, 来分别控制节点 I 与 J 的电位。当控制电路 720 根据时钟信号 XCK 而将开关 Q14 与 Q15 打开时, 节点 I 与 J 的电位会被拉至电压电平 VSS。控制电路 730 根据下一级的栅极驱动信号 G_{n+1} , 经由开关 Q16 与 Q17, 来分别控制节点 I 与 J 的电位。当控制电路 730 根据下一级的栅极驱动信号 G_{n+1} 而将开关 Q16 与 Q17 打开时, 节点 I 与 J 的电位会被拉至电压电平 VSS。而输出极电路 740 则根据节点 I 与 J 的电位, 将时钟信号 CK 传送至节点 J, 以作为栅极驱动信号 G_n 。以此方式, 当前一级的栅极驱动信号 G_{n-1} 输入移位寄存器 700 时, 移位寄存器 700 便可依照如图 3 的运作方式, 延迟一段时间后, 再输出栅极驱动信号 G_n 。

请参考图 8。图 8 是输出级电路 740 的一另一实施例 810 的示意图。如图所示, 输出级电路 740 可改为输出级电路 810 而使用于本发明的移位寄存器 700 之中。输出级电路 810 包含四开关 Q20-Q23, 开关 Q20-Q23 皆耦接至节点 I, 用以接收节点 I 上的控制信号以控制开关动作。开关 Q20 与 Q22 的一端共同地耦接至节点 H, 用以接收节点 H 上的信号, 另一端分别耦接至开关 Q21 与 Q23。开关 Q21 与 Q23 的一端分别耦接至开关 Q20 与 Q22, 另一端共同地耦接至节点 J, 用以传送信号至节点 J。以上述电路, 完成如输出级电路 740 的功能。

请参考图 9。图 9 是本发明的移位寄存器 900 的电路示意图, 其是图 7 的细部说明图。控制电路 910、920、930 皆可类比于控制电路 710、720、730。输出级电路 940 可类比于输出级电路 740。其余功能皆如前述, 在此不再赘

述。

请参考图 10。图 10 是本发明的液晶显示器 1000 的示意图。如图所示，液晶显示器 1000 包含一第一玻璃基板 1100，一液晶层 1200，及一第二玻璃基板 1300。第一玻璃基板 1100 包含一像素电路 1110 及一移位寄存器区 1120。移位寄存器 1120 包含多个堆叠耦接 (cascaded) 的移位寄存器 900。移位寄存器区 1120 可接收外部的开始信号 ST 以依序发送栅极驱动信号至像素电路 1110 以驱动像素来显示画面。而经由本发明所改良的移位寄存器 900，能使得栅极驱动信号的噪声减少，进而提升画面显示的品质。

另外，本发明所述的开关 Q9-Q23，皆可以薄膜电晶体来实现。

以上所述仅为本发明的较佳实施例，凡依本发明申请专利范围所做的均等变化与修饰，皆应属本发明的涵盖范围。

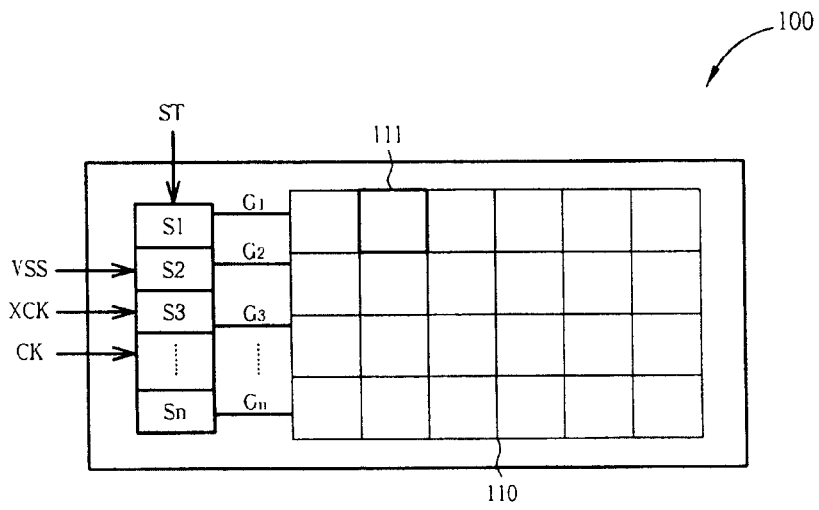


图 1

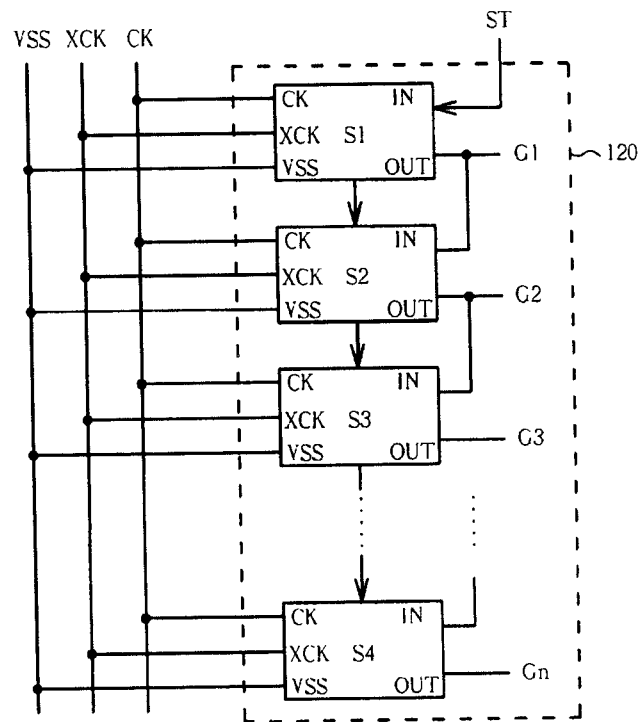


图 2

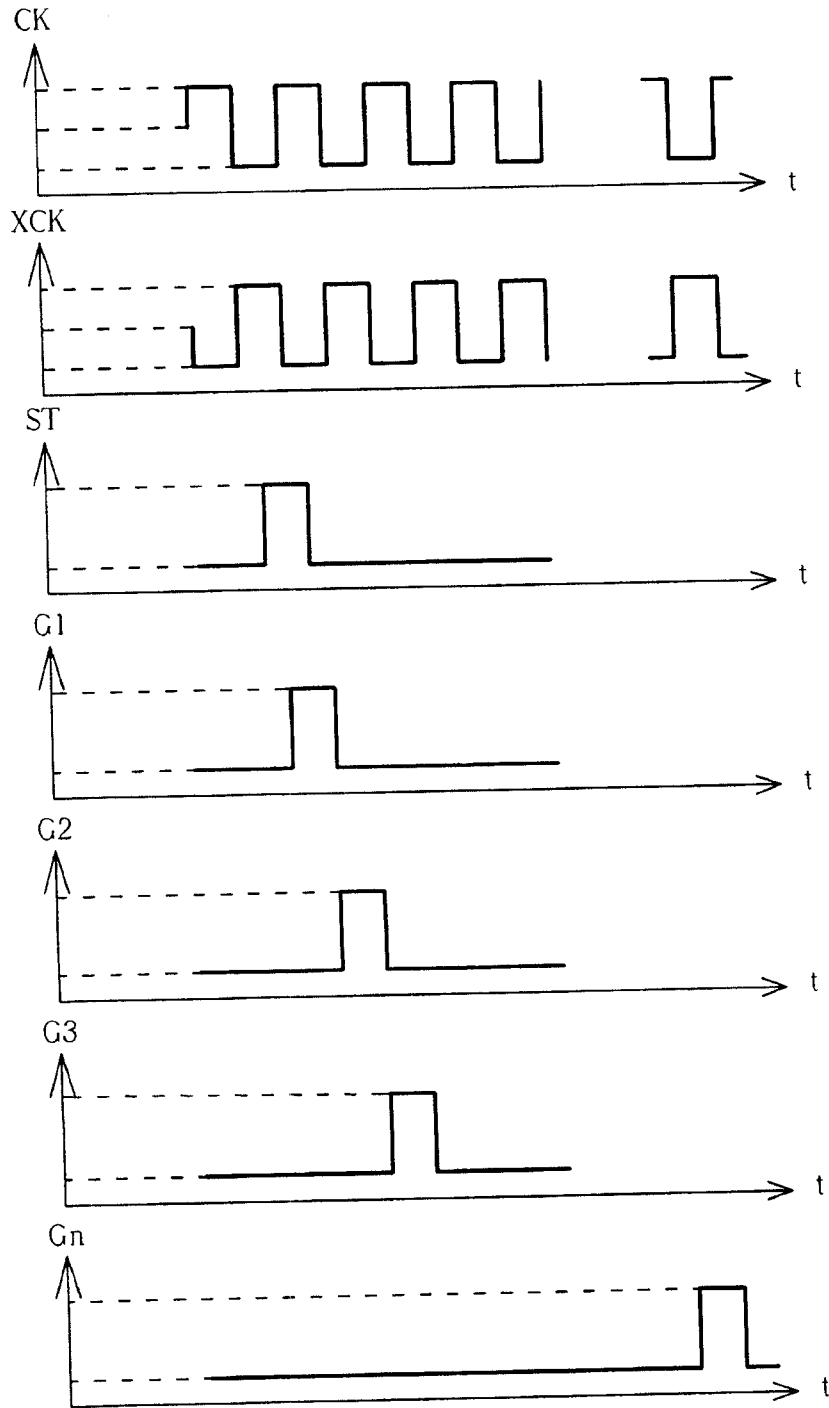


图 3

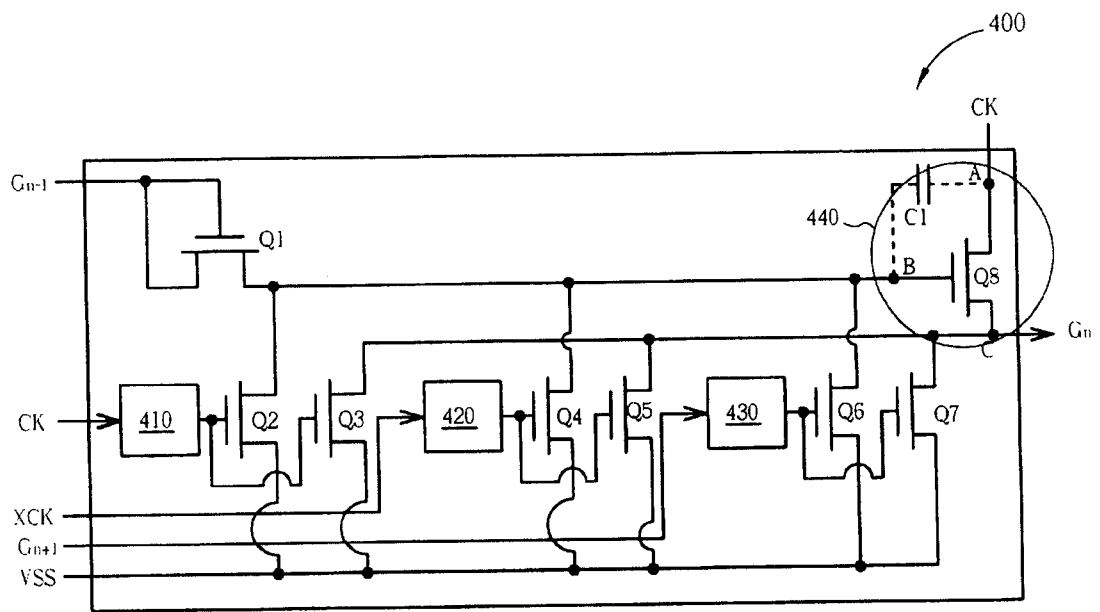


图 4

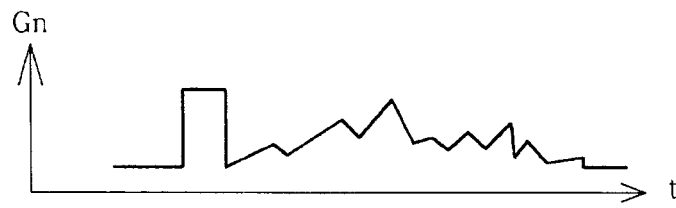


图 5

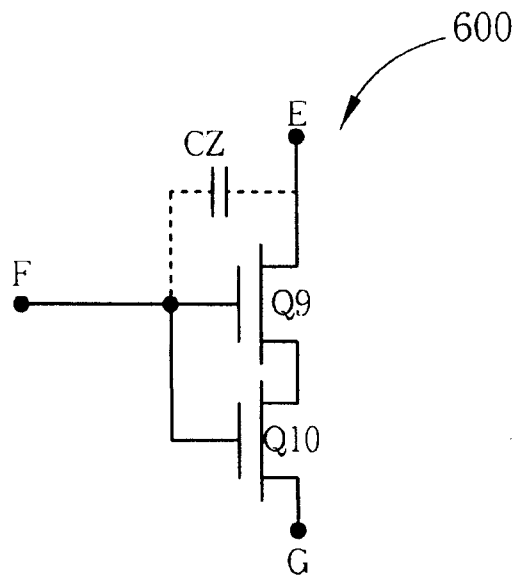


图 6

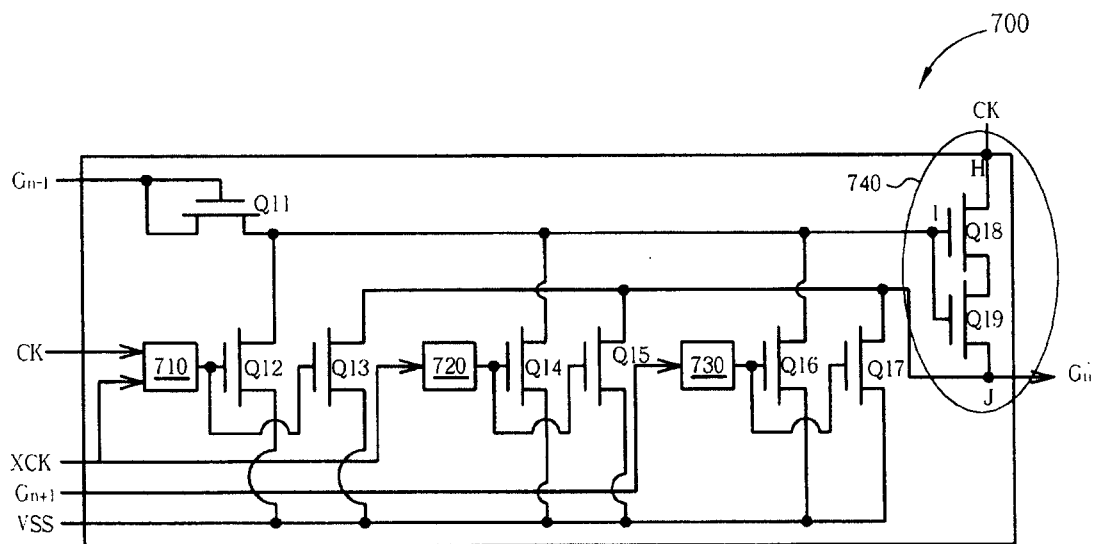


图 7

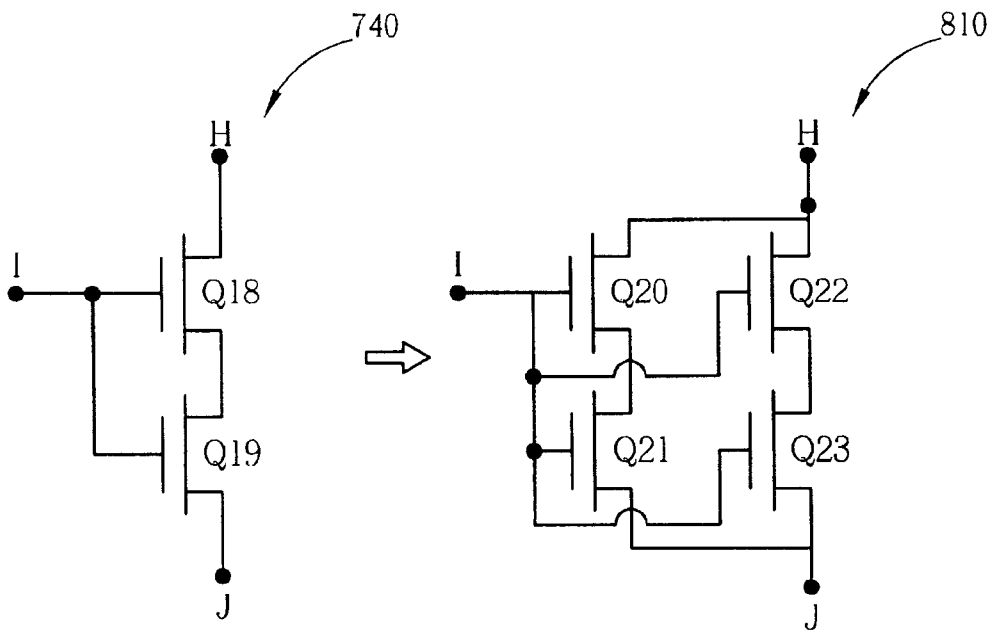


图 8

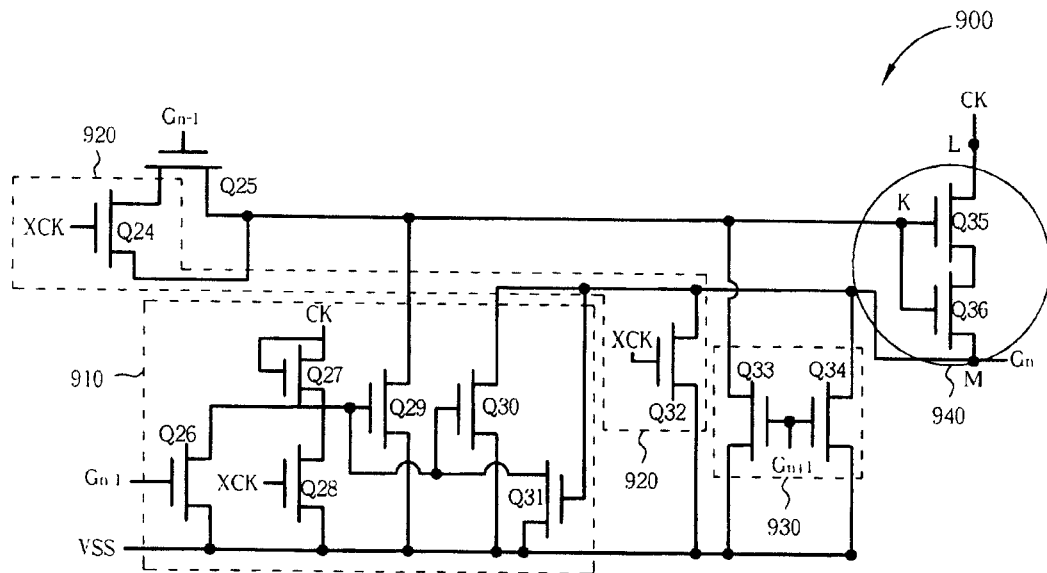


图 9

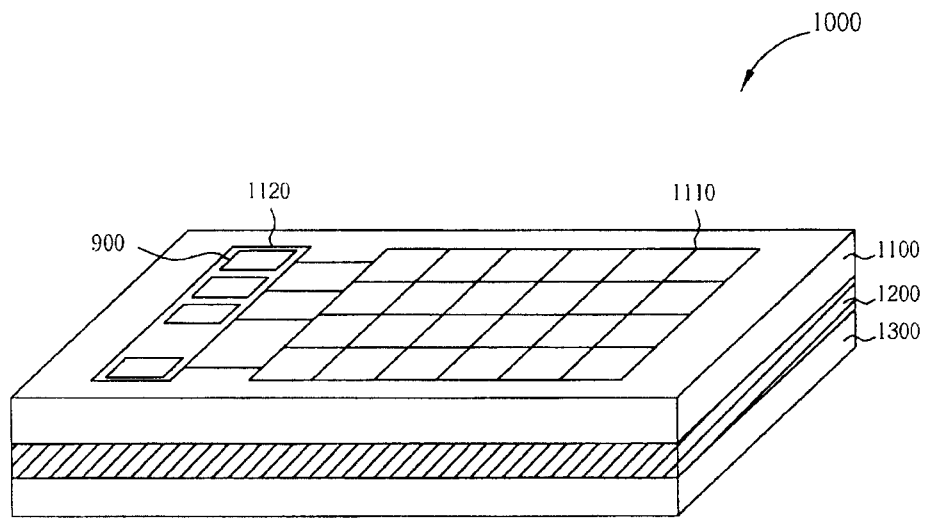


图 10