

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5613105号
(P5613105)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl. F I
 HO 1 L 21/336 (2006. 01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006. 01) HO 1 L 27/10 4 3 4
 HO 1 L 29/792 (2006. 01)
 HO 1 L 27/115 (2006. 01)
 HO 1 L 21/8247 (2006. 01)

請求項の数 4 (全 17 頁)

(21) 出願番号 特願2011-119467 (P2011-119467)
 (22) 出願日 平成23年5月27日 (2011. 5. 27)
 (65) 公開番号 特開2012-248691 (P2012-248691A)
 (43) 公開日 平成24年12月13日 (2012. 12. 13)
 審査請求日 平成25年8月30日 (2013. 8. 30)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100149803
 弁理士 藤原 康高
 (72) 発明者 虎谷 健一郎
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 田中 正幸
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 松尾 和展
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体領域と、
 前記半導体領域の表面に設けられたトンネル絶縁膜と、
 前記トンネル絶縁膜の表面に設けられた電荷蓄積膜と、
 前記電荷蓄積膜の表面に設けられ、面密度が 1.0×10^{12} atoms/cm²以上、かつ 1.5×10^{15} atoms/cm²以下である金属元素を含む酸化膜と、
 前記酸化膜の表面に設けられた、シリコン酸化膜、または、シリコン酸窒化膜を含む絶縁膜と、
 前記絶縁膜の表面に設けられた制御ゲート電極と、
 を備えた不揮発性半導体記憶装置。

10

【請求項2】

半導体領域と、
 前記半導体領域の表面に設けられたトンネル絶縁膜と、
 前記トンネル絶縁膜の表面に設けられた電荷蓄積膜と、
 前記電荷蓄積膜の表面に設けられ、シリコン酸化膜、または、シリコン酸窒化膜を含む絶縁膜と、
 前記絶縁膜の表面に設けられ、面密度が 1.0×10^{12} atoms/cm²以上、かつ 1.5×10^{15} atoms/cm²以下である金属元素を含む酸化膜と、
 前記酸化膜の表面に設けられた制御ゲート電極と、

20

を備えた不揮発性半導体記憶装置。

【請求項 3】

半導体基板上に交互に積層した絶縁膜及び電極膜と、
前記絶縁膜及び前記電極膜を貫通するシリコンピラーと、
前記シリコンピラーの表面上に設けられたトンネル絶縁膜と、
前記トンネル絶縁膜の表面上に設けられた電荷蓄積膜と、
前記電荷蓄積膜の表面上に設けられ、シリコン酸化膜、または、シリコン酸窒化膜を含む絶縁膜と、
を備え、

前記シリコンピラーと前記トンネル絶縁膜、前記電荷蓄積膜と前記絶縁膜、及び、前記絶縁膜と前記電極膜の少なくとも1つの界面に面密度が 1.0×10^{12} atoms/cm²以上、かつ 1.5×10^{15} atoms/cm²以下である金属元素を含む酸化膜が設けられた不揮発性半導体記憶装置。

10

【請求項 4】

前記界面領域は、アルミニウム、マグネシウム、ストロンチウム、カルシウム、ランタン、タンゲステン、又はタンタルから選ばれる金属元素を含むことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置及びその製造方法に関する。

20

【背景技術】

【0002】

近年、MONOS (metal-oxide-nitride-oxide-silicon) 型不揮発性半導体記憶装置におけるセルの微細化が進行している。MONOS 型不揮発性半導体記憶装置においては、書き込み時には、電荷蓄積絶縁膜からブロック絶縁膜を介したゲート電極へのリークを抑制する必要があり、また消去時には、ゲート電極から電荷蓄積絶縁膜への電子注入を抑制する必要がある。さらに、電荷保持時には、電荷蓄積絶縁膜からの蓄積電子の漏洩をトンネル絶縁膜及びブロック絶縁膜で抑制する必要がある。

【0003】

30

しかし、セルの微細化、高集積化に伴い、メモリセルに用いられるトンネル絶縁膜やブロック絶縁膜の膜厚を薄くしていく必要があるため、書き込み/消去時、それらの繰り返し時、または電荷保持時に、所望のデバイス特性及び信頼性が得られないという問題が生じていた。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010 - 34234 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

本発明が解決しようとする課題は、メモリセルにおける絶縁特性が向上する不揮発性半導体記憶装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0006】

実施形態に係る不揮発性半導体記憶装置は、半導体領域を持つ。前記半導体領域の表面には金属元素を含む界面領域が設けられる。前記界面領域の表面にはトンネル絶縁膜が設けられる。前記トンネル絶縁膜の表面には電荷蓄積絶縁膜が設けられる。前記電荷蓄積絶縁膜の表面にはブロック絶縁膜が設けられる。前記ブロック絶縁膜の表面には制御ゲート電極が設けられる。

50

【図面の簡単な説明】

【0007】

【図1】第1の実施形態に係る不揮発性半導体記憶装置を示す断面図。

【図2】第1の実施形態に係る不揮発性半導体記憶装置において、金属酸化膜及びシリコン酸化膜の積層構造に電子を注入した際のリーク特性。

【図3】金属酸化膜とシリコン酸化膜の積層膜の電気容量膜厚と電流特性。

【図4】金属酸化膜を酸化アルミニウム膜とした場合におけるサイクル数とAI面密度との関係。

【図5】金属酸化膜を酸化アルミニウム膜とした場合におけるサイクル数に対する電流特性。 10

【図6】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を示す断面図。

【図7】第2の実施形態に係る不揮発性半導体記憶装置を示す断面図。

【図8】第3の実施形態に係る不揮発性半導体記憶装置を示す断面図。

【図9】第4の実施形態に係る不揮発性半導体記憶装置を示す断面図。

【図10】第5の実施形態に係る不揮発性半導体記憶装置の断面図。

【図11】第5の実施形態に係る不揮発性半導体記憶装置のメモリセルを示す平面図。

【図12】第5の実施形態に係る不揮発性半導体記憶装置のメモリセルを示す平面図。

【図13】第5の実施形態に係る不揮発性半導体記憶装置のメモリセルを示す平面図。

【図14】第5の実施形態に係る不揮発性半導体記憶装置のメモリセルを示す平面図。

【発明を実施するための形態】 20

【0008】

以下、本発明の実施形態について図面を参照しながら説明する。

【0009】

(第1の実施形態)

図1は第1の実施形態に係る不揮発性半導体記憶装置の断面図を示しており、図1(a)は、第1の実施形態に係る不揮発性半導体記憶装置におけるワードライン方向に平行な断面図であり、図1(b)は、第1の実施形態に係る不揮発性半導体記憶装置におけるビットライン方向に平行な断面図である。

【0010】

図1に示すように、半導体基板1上には、界面領域2及びトンネル絶縁膜3が設けられている。半導体基板1上であって、ビットラインとワードラインの交差部には、電荷蓄積絶縁膜4、ブロック絶縁膜5、制御ゲート電極6からなる積層膜が順に設けられMONOS構造をなしている。 30

【0011】

図1(a)に示すように、半導体基板1における素子分離溝には、この積層膜を分離するように、素子分離絶縁膜7が埋め込まれる。制御ゲート電極6及び素子分離絶縁膜7上には、ワードライン方向に延伸する上部電極8が設けられる。

【0012】

図1(b)に示すように、トンネル絶縁膜3上には、電荷蓄積絶縁膜4、ブロック絶縁膜5、制御ゲート電極6及び上部電極8の側面に接するように層間絶縁膜9が設けられる。 40

【0013】

以下、本実施形態に係る不揮発性半導体記憶装置について図面を用いて詳細に説明する。

【0014】

半導体基板1の表面上には、界面領域2が設けられる。界面領域2には、例えば酸化アルミニウム膜、酸化マグネシウム、酸化カルシウム、酸化ストロンチウム、酸化ランタン、酸化タングステン、又は酸化タンタルなどから選ばれる酸化膜(以下、酸化アルミニウム膜等といい、Aとも略す。)が用いられる。特に、界面領域2に酸化アルミニウムのような非遷移金属酸化物を用いた場合に、後述するリーク電流低減の効果が大きいことを見 50

出している。

【0015】

また他にもこれらの酸化膜とシリコン酸化膜（以下、Oとも略す。）の積層構造が用いられてもよい。本実施形態においては、例えばシリコン酸化膜と界面領域2が下層から順に積層された構造をAOと表す。界面領域2には、例えば、下層から順にAO、OA、AOA、又はAONOA（Nは、シリコン窒化膜を表す）の積層構造が用いられる。

【0016】

なお、界面領域2は、低面密度の金属元素からなり、膜として形成されていないものであってもよい。このように、界面領域2が膜として形成されていなくても、金属元素を含む界面領域が設けられていることにより、本実施形態の効果を得ることができる。

10

【0017】

なお、界面領域2に含まれる金属元素は、非遷移金属元素のみに限定されるものではなく、Hf、Zr、La、Ti又はTa等の遷移金属元素に関しても本実施形態における効果を奏することができる。界面領域2に遷移金属元素を用いる場合には、界面領域2を形成する際に、酸素欠損ができるだけ少なくなるように処理を行う必要がある。例えば、酸化時間を長くすることや酸化温度を高くするなどが必要となる。また、界面領域2の上層にシリコン酸化膜を形成する場合には、シリコン酸化膜越しに酸化雰囲気での熱処理やラジカル処理などを行い、酸素欠損を十分に少なくするための処理を行うことが必要となる。

【0018】

また、界面領域2に含まれる金属元素は、上記に限定されるものではなく、異種の酸化物と絶縁膜を積層した際に、この絶縁膜がリーク電流を減少させる効果を奏する場合であれば、いかなる金属でも選択することが可能である。

20

【0019】

後述する本実施形態における効果は、界面領域2に含まれる金属元素の面密度が、 1×10^{12} atoms/cm²以上、かつ、 1×10^{16} atoms/cm²以下の範囲、特に 4×10^{14} atoms/cm²以上、かつ 3×10^{15} atoms/cm²以下の範囲において奏することを見出している。界面領域2の厚さは、それぞれ0.0003~3nm、0.1~1nmに相当する。なお、本明細書においては、極薄膜の厚さを0.0003~3nmと定義することとする。

【0020】

界面領域2の表面上には、トンネル絶縁膜3が設けられる。トンネル絶縁膜3には、例えばシリコン酸化膜が用いられる。また、トンネル絶縁膜3には、シリコン窒化膜を用いてもよい。他にもシリコン酸化膜とシリコン窒化膜の多層構造をトンネル絶縁膜3としてもよい。トンネル絶縁膜3の膜厚は2nm~10nm程度である。極薄膜の界面領域2を電子の注入側に形成することで、リーク特性の改善が可能になる。

30

【0021】

トンネル絶縁膜3上には電荷蓄積絶縁膜4が設けられる。電荷蓄積絶縁膜4には、例えば膜厚が0.5nm~20nm程度のシリコン窒化膜が用いられる。なお、電荷蓄積絶縁膜4としてシリコン窒化膜以外のものを用いてもよい。

【0022】

電荷蓄積絶縁膜4上に、ブロック絶縁膜5が設けられる。ブロック絶縁膜5には、例えば、シリコン酸化膜が用いられる。ブロック絶縁膜5の膜厚は、例えば1nm~20nm程度である。なお、ブロック絶縁膜5として、シリコン酸化膜以外に、シリコン窒化膜、シリコン窒化膜とシリコン酸化膜の積層構造を用いた場合にも本実施形態の効果は同様に得ることができる。

40

【0023】

ブロック絶縁膜5上には、制御ゲート電極6が設けられる。制御ゲート電極6には、例えば不純物を添加したシリコン膜が用いられるが、他にも金属膜、又はシリサイド膜でもよい。

【0024】

素子分離絶縁膜7は、半導体基板1に設けられた素子分離溝に埋め込まれる。素子分離

50

絶縁膜 7 の上面は、例えば制御ゲート電極 6 の上面と略同じである。素子分離絶縁膜 7 には、例えばシリコン酸化膜が用いられる。

【 0 0 2 5 】

制御ゲート電極 6 及び素子分離絶縁膜 7 上に、上部電極 8 が設けられる。上部電極 8 には、例えば不純物を添加した半導体基板 1 が用いられ、他にもTaN, W等の金属膜、若しくはCoSi, NiSi等のシリサイド膜、又はこれらの積層膜が用いられる。

【 0 0 2 6 】

トンネル絶縁膜 3 上に、ワードライン方向に延伸し、トンネル絶縁膜 3、電荷蓄積絶縁膜 4、及びブロック絶縁膜 5 からなるメモリセルを分離する層間絶縁膜 9 が埋め込まれる。

【 0 0 2 7 】

図 2 は、第 1 の実施形態に係る不揮発性半導体記憶装置において、トンネル絶縁膜 3 として用いられるシリコン酸化膜、並びに界面領域 2 及びシリコン酸化膜の積層構造、からなる 2 種類の絶縁膜に電子を注入した際の電流特性を示す。これらの絶縁膜は、シリコン基板及びゲート電極の間に形成されているMIS (Metal-Insulator-Semiconductor) 構造のサンプルである。なお、この構造の界面領域 2 には、酸化アルミニウム膜が用いられている。図 2 の横軸は絶縁膜に印加する電界を表し、縦軸は、電流密度を表す。図 2 は、ゲート電極に正電圧を印加した場合を示しており、シリコン基板側から電子を注入した場合を示す。図 2 のように、ゲート電極に正電圧の印加した場合、すなわちシリコン酸化膜に対して界面領域 2 側から電子を注入した場合において、界面領域 2 を設けない場合と比べてリーク電流を減少させることができる。これにより、読み込み時におけるトンネル絶縁膜 3 を介したリーク電流を減少させることができる。そのため、誤書き込みに対する耐性を向上させることができる。また、トンネル絶縁膜 3 を薄膜化しても、リーク電流が大幅に増加することはないため、トンネル絶縁膜 3 を薄膜化することができる。これにより、不揮発性半導体記憶装置の動作速度を向上させることができる。

【 0 0 2 8 】

第 1 の実施形態に係る不揮発性半導体記憶装置における絶縁膜の電気容量膜厚とリーク電流との関係について図を用いて以下に説明する。図 3 に、界面領域 2 及びトンネル絶縁膜 3 に相当するシリコン酸化膜の積層膜についての電気容量膜厚と電流特性を示す。図 3 の横軸は、C V 特性から見積もられた電気容量膜厚を表し、縦軸は電流密度を表す。図 3 のように、同一の電界で比較して、電子の注入方向に極薄膜の金属酸化膜を形成すること、つまり絶縁膜構造をシリコン酸化膜単層からシリコン酸化膜及び界面領域 2 の積層構造にすることにより、リーク電流を減少させることができる。また、界面領域 2 と逆の方向から電子を注入する場合には、リーク電流の増大などは起きないことを確認している。

【 0 0 2 9 】

図 4 に、界面領域 2 を酸化アルミニウム膜とした場合におけるサイクル数とAl面密度との関係を示す。Al面密度は、弗酸により酸化アルミニウムを溶かし、ICP質量分析法(Inductively Coupled Plasma Mass Spectrometry : ICP - MS)によりAl原子を測定することにより決定する。図 5 は、界面領域 2 を酸化アルミニウム膜とした場合におけるサイクル数とリーク電流との関係を示す。ここで、酸化アルミニウム膜のサイクル数とは、酸化アルミニウム膜をALD (Atomic Layer Deposition) 法により成膜する際に、基板表面に原料である反応物を化学吸着させ、過剰な反応物及び副生成物を排気する一連の動作を 1 サイクルとして定義したものである。図 4 より、酸化アルミニウムのサイクル数とAl面密度との関係は以下の式 (1) のようになる。但し、X は酸化アルミニウムのサイクル数であり、Y はAl面密度を表す。

【 0 0 3 0 】

$$Y = 3 \times 10^{14} \times X + 1 \times 10^{14} \quad \dots (1)$$

酸化アルミニウム膜を 1 サイクル成膜したとき、酸化アルミニウム膜の膜厚は0.1nm程度と想定され、式 (1) によりAl面密度は 4×10^{14} atoms/cm²程度である。酸化アルミニウム膜の 10 サイクル成膜したとき、酸化アルミニウム膜の膜厚は1nm程度と想定され、式

10

20

30

40

50

(1)によりAl面密度は 3×10^{15} atoms/cm²程度である。

【0031】

図5のように、酸化アルミニウム膜が存在しない、すなわち金属酸化膜サイクル数が0である場合と比較して、酸化アルミニウム膜がシリコン酸化膜との間に存在することにより、リーク電流が1桁程度減少する。酸化アルミニウム膜のサイクル数が1以上においては、酸化アルミニウム膜の膜厚が増加するにつれて、リーク電流が増加し、酸化アルミニウム膜のサイクル数が10程度で酸化アルミニウム膜がない場合と同程度のリーク電流値を示す。

【0032】

Al面密度は、上記方法における吸着条件の変更や、また上記方法以外を用いることでより広範囲に制御することが可能である。例えば、所望の金属を薬液中に溶かして塗布することによる方法や、金属を含む液体を噴霧すること等によってもAlの吸着密度の広範囲にわたる制御が可能である。これらの方法を用いた詳細な検討結果より、本実施形態における効果は、Al面密度にして、 1×10^{12} atoms/cm²から得られることを見出している。また、 1×10^{16} atoms/cm²でその効果が酸化アルミニウム膜を形成しない場合とほぼ同等になることを見出している。

【0033】

第1の実施形態に係る不揮発性半導体記憶装置によれば、半導体基板1とトンネル絶縁膜3との間に界面領域2が設けられている。これにより、読み込み時における電荷蓄積絶縁膜4からトンネル絶縁膜3を介したリーク電流を減少させることができる。

【0034】

また、界面領域2に金属酸化膜を形成すると、書き込み/消去時のストレスによる劣化が少ないトンネル絶縁膜3を形成できる。これは、金属酸化膜がトンネル絶縁膜3の界面に形成されることで、ストレス印加による電荷トラップ等の欠陥の生成が抑制されていることを示している。

【0035】

なお、半導体基板1とトンネル絶縁膜3の間の界面以外、例えばトンネル絶縁膜3と電荷蓄積絶縁膜4との間又は電荷蓄積絶縁膜4とブロック絶縁膜5との間の界面に金属酸化膜を形成した場合においても、それぞれの界面において本実施形態の効果を奏することができる。

【0036】

なお、半導体基板1と、トンネル絶縁膜2との間の界面に、シリコン窒化膜(図示なし)が形成される場合がある。これは、高電界時におけるリーク電流の抑制や、製造時の処理においてトンネル絶縁膜3の表面における劣化の抑制を目的とするものである。この際には、金属元素が含まれる界面領域2には、このシリコン窒化膜とトンネル絶縁膜2との界面に形成するようにしてもよい。これにより、このシリコン窒化膜の上記機能を持たせながら、本実施形態の効果を奏することができる。

【0037】

第1の実施形態に係る不揮発性半導体記憶装置の製造方法について以下説明する。

【0038】

図6は、第1の実施形態に係る不揮発性半導体記憶装置の製造方法を示すワードラインに平行な断面図である。

【0039】

通常の方法により、半導体基板1において、メモリセルを形成する部分となる活性領域を絶縁する素子分離領域を形成し、イオン注入により半導体基板1に拡散層を形成する。

【0040】

図6(a)に示すように、半導体基板1表面上に界面領域2として酸化アルミニウム膜を形成する。なお、界面領域2には、金属元素が含まれていれば、酸化アルミニウム膜のような膜として形成されなくてもよい。

【0041】

10

20

30

40

50

酸化アルミニウム膜は、例えばALD (Atomic Layer Deposition) 法により成膜する。トリメチルアルミニウムと O_2 、 O_3 、 H_2O 等の酸化剤を炉内に導入し、300程度で反応させることにより形成する。その他の方法として、減圧CVD (Chemical Vapor Deposition) 法、PVD (Physical Vapor Deposition) 法、スパッター法、MBE (Molecular Beam Epitaxial) 法、塗布法、又は噴霧法などにより形成してもよい。形成された界面領域2は、高密度化するためにアニールを行ってもよく、酸素欠損を補償するために酸化処理を行ってもよい。

【0042】

界面領域2は、Al面密度にして 1×10^{12} atoms/cm²以上、かつ、 1×10^{16} atoms/cm²以下の範囲において形成する。したがって、界面領域2は、厚さに換算して0.0003~3nm程度の範囲で形成する。ALD法によれば 1×10^{14} atoms/cm²程度での制御性良く形成することができる。界面領域2は、好ましくは、 4×10^{14} atoms/cm²以上、かつ、 3×10^{15} atoms/cm²以下の範囲、厚さに換算して0.1~1nmの範囲において形成する。

10

【0043】

次に、界面領域2表面上にトンネル絶縁膜3として、例えばシリコン酸化膜を形成する。トンネル絶縁膜3は、例えばCVD法やALD (Atomic Layer Deposition) 法により形成する。

【0044】

次に、トンネル絶縁膜3表面上に、電荷蓄積絶縁膜4として、例えばシリコン窒化膜を形成する。電荷蓄積絶縁膜4は、例えば減圧CVD法により、ジクロロシランとアンモニアを800程度で反応させることにより形成する。

20

【0045】

次に、電荷蓄積絶縁膜4上に、ブロック絶縁膜5として、例えばシリコン酸化膜を形成する。ブロック絶縁膜5は、減圧CVD法により、ジクロロシランと亜酸化窒素を800程度で反応させて形成する。

【0046】

次に、ブロック絶縁膜5上に、制御ゲート電極6として不純物を添加したシリコン膜を形成する。制御ゲート電極6は、例えば減圧CVD法により、シランとホスフィン500程度において反応させることにより形成する。

【0047】

次に、制御ゲート電極6上にハードマスク及びフォトレジスト膜等のマスク材を形成し、通常の露光工程及び加工工程によりマスク材を加工する。その後、マスク材をマスクとして、図6(b)に示すように、制御ゲート電極6、ブロック絶縁膜5、電荷蓄積絶縁膜4、トンネル絶縁膜3、界面領域2、及び半導体基板1の上部を加工し、素子分離溝を形成する。

30

【0048】

次に、図6(c)に示すように、素子分離溝に、素子分離絶縁膜7として、例えばシリコン酸化膜を形成する。その後、CMP (Chemical Mechanical Polishing) 処理により、素子分離絶縁膜7を研磨し、制御ゲート電極6を露出させる。

【0049】

次に、図6(d)に示すように、制御ゲート電極6及び素子分離絶縁膜7上に上部電極8として、例えば不純物を添加したシリコン膜を形成する。

40

【0050】

次に、RIE (Reactive Ion Etching) によりワードライン方向に平行に上部電極8、制御ゲート電極6、ブロック絶縁膜5、及び電荷蓄積絶縁膜4の加工を行い、トンネル絶縁膜3を露出させ、素子分離溝を形成する。その後、素子分離溝に層間絶縁膜9として、例えばシリコン酸化膜を形成し、CMP処理により研磨する。以上により、図1のように不揮発性半導体記憶装置を形成する。

【0051】

以上のように、本発明の第1の実施形態によれば、半導体基板1とトンネル絶縁膜3と

50

の間に界面領域 2 が設けられている。これにより、読み込み時におけるトンネル絶縁膜 3 を介したリーク電流を減少させることができ、誤書き込みによる素子性能の劣化を抑制することができる。

【0052】

さらに、トンネル絶縁膜 3 を薄膜化しても、リーク電流が大幅に増加することはないため、トンネル絶縁膜 3 を薄膜化することができる。これにより、不揮発性半導体記憶装置全体の動作速度を向上させることができる。

【0053】

また、界面領域 2 に金属酸化膜を形成すると、書き込み/消去時のストレスによる劣化が少ないトンネル絶縁膜 3 を形成できる。これは、金属酸化膜がトンネル絶縁膜 3 の界面に形成されることで、ストレス印加による電荷トラップ等の欠陥の生成が抑制されていることを示している。

【0054】

さらに、界面領域 2 に金属酸化膜を形成することにより、書き込み/消去時のストレスによるトンネル絶縁膜 3 の劣化が少なく済む。この劣化が少ないため、ストレスによるトンネル絶縁膜 3 中の欠陥生成などが無く、ストレス後の電荷保持特性も改善できる。

【0055】

さらに、前述した効果は、半導体基板 1 とトンネル絶縁膜 3 の間の界面以外、例えばトンネル絶縁膜 3 と電荷蓄積絶縁膜 4 との間、電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との間又はブロック絶縁膜 5 と制御ゲート電極 6 との間の界面に界面領域 2 を形成した場合においても、それぞれの界面においても得ることができる。

【0056】

(第 2 の実施形態)

本発明の第 2 の実施形態による不揮発性半導体記憶装置について図 7 を用いて説明する。図 7 (a) は、第 2 の実施形態に係る不揮発性半導体記憶装置におけるワードライン方向に平行な断面図であり、図 7 (b) は、第 2 の実施形態に係る不揮発性半導体記憶装置におけるビットライン方向に平行な断面図である。この第 2 の実施形態の構成について図 1 の第 1 の実施形態の不揮発性半導体記憶装置の構成と同一部分は同一符号で示し、その詳細な説明を省略する。この第 2 の実施形態が、第 1 の実施形態と異なる点は、界面領域 2 が半導体基板 1 とトンネル絶縁膜 3 の間に設けられている代わりに、トンネル絶縁膜 3 と電荷蓄積絶縁膜 4 との間に設けられている点である。

【0057】

第 2 の実施形態に係る不揮発性半導体記憶装置における絶縁膜の電気容量膜厚とリーク電流との関係について説明する。第 1 の実施形態と同様に、図 3 に示すように、同一の電界で比較して、絶縁膜構造をシリコン酸化膜単層からシリコン酸化膜及び界面領域 2 の積層構造にすることにより、リーク電流を減少させることができる。

【0058】

界面領域 2 がトンネル絶縁膜 3 と電荷蓄積絶縁膜 4 との間の設けられていることにより、電荷蓄積絶縁膜 4 からトンネル絶縁膜 3 を介して流れるトンネル電流が減少し、電荷蓄積絶縁膜 4 からのリーク電流が減少する。したがって、本実施形態に係る不揮発性半導体記憶装置のリテンション特性を向上させることができる。

【0059】

さらに、界面領域 2 に金属酸化膜を形成することにより、書き込み/消去時のストレスによるトンネル絶縁膜 3 の劣化が少なく済む。この劣化が少ないため、ストレスによるトンネル絶縁膜 3 中の欠陥生成などが無く、ストレス後の電荷保持特性も改善できる。

【0060】

さらに、前述した効果は、トンネル絶縁膜 3 と電荷蓄積絶縁膜 4 との間の界面以外、例えば半導体基板 1 とトンネル絶縁膜 3 との間、電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との間又はブロック絶縁膜 5 と制御ゲート電極 6 との間の界面に界面領域 2 を形成した場合においても、それぞれの界面においても得ることができる。

【 0 0 6 1 】

(第 3 の実施形態)

本発明の第 3 の実施形態による不揮発性半導体記憶装置について図 8 を用いて説明する。図 8 (a) は、第 3 の実施形態に係る不揮発性半導体記憶装置におけるワードライン方向に平行な断面図であり、図 8 (b) は、第 3 の実施形態に係る不揮発性半導体記憶装置におけるビットライン方向に平行な断面図である。

【 0 0 6 2 】

この第 3 の実施形態の構成について図 1 の第 1 の実施形態の不揮発性半導体記憶装置の構成と同一部分は同一符号で示し、その詳細な説明を省略する。この第 3 の実施形態が、第 1 の実施形態と異なる点は、界面領域 2 が半導体基板 1 とトンネル絶縁膜 3 の間に設けら

10

れている代わりに、電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との間に設けられている点である。

【 0 0 6 3 】

第 3 の実施形態に係る不揮発性半導体記憶装置における絶縁膜の電気容量膜厚とリーク電流との関係について説明する。界面領域 2 及びブロック絶縁膜 5 に相当するシリコン酸化膜の積層膜についての電気容量膜厚と電流特性を示す。第 1 の実施形態と同様に、図 3 に示すように、同一の電界と比較して、絶縁膜構造をシリコン酸化膜単層からシリコン酸化膜及び界面領域 2 の積層構造にすることにより、リーク電流を減少させることができる。

【 0 0 6 4 】

界面領域 2 が電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との間の設けられていることにより、電荷蓄積絶縁膜 4 からブロック絶縁膜 5 を介したリーク電流が減少させることができる。そのため、書き込み時に印加する電圧に対しても電荷蓄積絶縁膜 4 からブロック絶縁膜 5 へのリーク電流が減少し、上部電極 8 への電荷の漏れを防ぐことができ、書き込み速度を向上させることができる。

20

【 0 0 6 5 】

さらに、同一の電界を印加する場合において、リーク電流を減少させることができるため、ブロック絶縁膜 5 を薄膜化することができ、素子を高速化することができる。

さらに、電荷蓄積絶縁膜 4 からの蓄積電荷の漏洩を抑制できるため、本実施形態に係る不揮発性半導体記憶装置の電荷保持特性を改善することができる。

30

【 0 0 6 6 】

さらに、界面領域 2 に金属酸化膜を形成することにより、書き込み/消去時のストレスによるブロック絶縁膜 5 の劣化が少なくて済む。この劣化が少ないため、ストレスによるブロック絶縁膜 5 中の欠陥生成などが無く、ストレス後の電荷保持特性も改善できる。

【 0 0 6 7 】

さらに、前述した効果は、電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との間の界面以外、例えば半導体基板 1 とトンネル絶縁膜 3 との間、トンネル絶縁膜 3 と電荷蓄積絶縁膜 4 との間、又はブロック絶縁膜 5 と制御ゲート電極 6 との間の界面に界面領域 2 を形成した場合においても、それぞれの界面においても得ることができる。

【 0 0 6 8 】

(第 4 の実施形態)

本発明の第 4 の実施形態による不揮発性半導体記憶装置について図 9 を用いて説明する。図 9 (a) は、第 4 の実施形態に係る不揮発性半導体記憶装置におけるワードライン方向に平行な断面図であり、図 9 (b) は、第 4 の実施形態に係る不揮発性半導体記憶装置におけるビットライン方向に平行な断面図である。

40

【 0 0 6 9 】

この第 4 の実施形態の構成について図 1 の第 1 の実施形態の不揮発性半導体記憶装置の構成と同一部分は同一符号で示し、その詳細な説明を省略する。この第 4 の実施形態が、第 1 の実施形態と異なる点は、界面領域 2 が半導体基板 1 とトンネル絶縁膜 3 の間に設けら

50

れている代わりに、ブロック絶縁膜 5 と制御ゲート電極 6 との間に設けられている点であ

る。

【0070】

第4の実施形態に係る不揮発性半導体記憶装置における絶縁膜の電気容量膜厚とリーク電流との関係について説明する。界面領域2及びブロック絶縁膜5に相当するシリコン酸化膜の積層膜についての電気容量膜厚と電流特性を示す。第1の実施形態と同様に、図3に示すように、同一の電界で比較して、絶縁膜構造をシリコン酸化膜単層からシリコン酸化膜及び界面領域2の積層構造にすることにより、リーク電流を減少させることができる。

【0071】

界面領域2がブロック絶縁膜5と制御ゲート電極6との間に設けられていることから、消去時に印加する電圧に対しても消去時におけるブロック絶縁膜5の絶縁特性を向上させることができる。これにより、消去時に上部電極8から電荷蓄積絶縁膜4への電荷注入を抑制できるため、消去速度を向上させることができる。さらに、一定の電界を印加する場合において、リーク電流を減少することができるため、ブロック絶縁膜5を薄膜化することができ、素子を高速化することができる。

10

【0072】

なお、ブロック絶縁膜5と、制御ゲート電極6との間の界面に、シリコン窒化膜(図示なし)が形成される場合がある。これは、高電界時におけるリーク電流の抑制や、製造時の処理においてトンネル絶縁膜3の表面における劣化の抑制を目的とするものである。この際には、金属元素が含まれる界面領域2には、このシリコン窒化膜とトンネル絶縁膜3との界面に形成するようにしてもよい。これにより、このシリコン窒化膜の上記機能を持たせながら、本実施形態の効果を奏することができる。

20

【0073】

さらに、界面領域2に金属酸化膜を形成することにより、書き込み/消去時のストレスによるブロック絶縁膜5の劣化が少なく済む。この劣化が少ないため、ストレスによるブロック絶縁膜5中の欠陥生成などが無く、ストレス後の電荷保持特性も改善できる。

【0074】

さらに、前述した効果は、ブロック絶縁膜5と制御ゲート電極6との間の界面以外、例えば半導体基板1とトンネル絶縁膜3との間、トンネル絶縁膜3と電荷蓄積絶縁膜4との間、又は電荷蓄積絶縁膜4とブロック絶縁膜5との間の界面に界面領域2を形成した場合においても、それぞれの界面においても得ることができる。

30

【0075】

(第5の実施形態)

本発明の第5の実施形態による不揮発性半導体記憶装置について図を用いて以下説明する。この第5の実施形態の構成について図1の第1の実施形態の不揮発性半導体記憶装置の構成と同一部分は同一符号で示し、その詳細な説明を省略する。図10は、第5の実施形態に係る不揮発性半導体記憶装置の断面図であり、図11乃至図14は、第5の実施形態に係る不揮発性半導体記憶装置のメモリセルを示す平面図である。

【0076】

第5の実施形態に係る不揮発性半導体記憶装置は、図10のように、縦型トランジスタからなる三次元不揮発性半導体記憶装置である。半導体基板1上に、バックゲート絶縁膜10及びバックゲート導電膜11が設けられている。バックゲート導電膜10上には、絶縁膜12及び電極膜13が交互に積層されている。絶縁膜12には、例えばシリコン酸化膜が用いられ、電極膜13には、例えばポリシリコンが用いられる。電極膜13は、後述するメモリセルの制御ゲート電極として用いられ、絶縁膜12は、電極膜13の層間を絶縁する働きを持つ。なお、図10には、絶縁膜12及び電極膜13をそれぞれ4層ずつ積層した構造としているが、積層数はこれに限らない。電極膜13を分断するように、分離絶縁膜15が設けられる。

40

【0077】

図11のように、メモリセル部には、シリコン基板上方に、シリコン基板と実質的に垂

50

直方向に絶縁膜 1 2 及び電極膜 1 3 を貫通する半導体領域としてのシリコンピラー 1 4 が設けられる。シリコンピラー 1 4 の表面に接するように界面領域 2 として例えば酸化アルミニウム膜が設けられる。界面領域 2 に含まれる金属元素の面密度は、 1×10^{12} atoms/cm²以上、かつ、 1×10^{16} atoms/cm²以下の範囲、特に 4×10^{14} atoms/cm²以上、かつ 3×10^{15} atoms/cm²以下の範囲であることが好ましい。界面領域 2 の厚さは、それぞれ 0.0003 ~ 3nm、0.1 ~ 1nm に相当する。

【 0 0 7 8 】

界面領域 2 の表面に接するようにトンネル絶縁膜 3 として例えばシリコン酸化膜が設けられる。トンネル絶縁膜 3 の表面に接するように電荷蓄積絶縁膜 4 として例えばシリコン窒化膜が設けられる。電荷蓄積絶縁膜 4 の表面に接するようにブロック絶縁膜 5 として例えばシリコン酸化膜が設けられる。ブロック絶縁膜 5 の表面に接するように電極膜 1 3 として例えば不純物を添加したシリコン膜が設けられる。絶縁膜 1 2 と電極膜 1 3 中には、分離絶縁膜 1 5 として、例えばシリコン酸化膜が設けられる。以上により、シリコンピラー 1 4 を取り囲むように、トンネル絶縁膜 3、電荷蓄積絶縁膜 4、ブロック絶縁膜 5 及び電極膜 1 3 からなる積層膜が順に設けられ MONOS 構造をなしている。

10

【 0 0 7 9 】

界面領域 2 は、シリコンピラー 1 4、トンネル絶縁膜 3、電荷蓄積絶縁膜 4、ブロック絶縁膜 5、及び電極膜 1 3 の少なくとも 1 つの界面に金属元素を含んでいればよい。

【 0 0 8 0 】

界面領域 2 は、シリコンピラー 1 4 とトンネル絶縁膜 3 との間に設けられる代わりに、図 1 2 のようにトンネル絶縁膜 3 と電荷蓄積絶縁膜 4 との間、図 1 3 のように電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との間、図 1 4 のようにブロック絶縁膜 5 と電極膜 1 3 との間に設けられてもよい。この場合においても、界面領域 2 が形成されることにより、本実施形態の効果を奏することができる。

20

本実施形態に係る不揮発性半導体記憶装置の製造方法を以下説明する。

【 0 0 8 1 】

まず、半導体基板 1 上に、バックゲート絶縁膜 1 0、バックゲート導電膜 1 1 を形成し、バックゲート導電膜 1 0 上に、絶縁膜 1 2 及び電極膜 1 3 が交互に積層する。

【 0 0 8 2 】

その後、メモリセル部が設けられるホール（図示なし）を形成するため、絶縁膜 1 2 及び電極膜 1 3 をエッチングする。

30

【 0 0 8 3 】

次に、エッチングにより形成されたホールの内面上にブロック絶縁膜 5 を形成する。ブロック絶縁膜 5 は、減圧 C V D 法により、ジクロロシランと亜酸化窒素を 8 0 0 程度で反応させて、例えば膜厚 2nm ~ 20nm 形成する。

【 0 0 8 4 】

次いで、ブロック絶縁膜 5 の内面上に電荷蓄積絶縁膜 4 として、例えばシリコン窒化膜を形成する。電荷蓄積絶縁膜 4 は、例えば減圧 C V D 法により、ジクロロシランとアンモニアを 8 0 0 程度で反応させることにより、例えば膜厚 0.5nm ~ 15nm 形成する。

【 0 0 8 5 】

次いで、電荷蓄積絶縁膜 4 の内面上にトンネル絶縁膜 3 として、例えばシリコン酸化膜を形成する。トンネル絶縁膜 3 は、例えば C V D 法や A L D 法により、例えば膜厚 0.5nm ~ 15nm 形成する。

40

【 0 0 8 6 】

次いで、トンネル絶縁膜 3 の表面上に界面領域 2 を形成する。界面領域 2 は、例えば酸化アルミニウム膜であり、他にもアルミニウム等の金属元素が含まれていれば膜として形成されていなくてもよい。

【 0 0 8 7 】

界面領域 2 には、例えば酸化アルミニウム膜、酸化マグネシウム、酸化カルシウム、酸化ストロンチウム、酸化ランタン、酸化タンゲステン、又は酸化タンタルなどから選ばれ

50

る酸化膜（以下、酸化アルミニウム膜等といい、Aとも略す。）が用いられる。また他にもこれらの酸化膜とシリコン酸化膜（以下、Oとも略す。）の積層構造が用いられる。界面領域2は、例えば上記金属原子を含む金属酸化膜である。また、界面領域2は、低面密度の金属元素からなり、膜として形成されていないものであってもよい。このように、界面領域2が、膜として形成されていなくても、金属元素を含む界面領域が設けられていることにより、本実施形態の効果を得ることができる。

【0088】

なお、界面領域2に含まれる金属元素は、非遷移金属元素のみに限定されるものではなく、Hf, Zr, La, Ti又はTa等の遷移金属元素に関しても本実施形態における効果を奏することができる。界面領域2に遷移金属元素を用いる場合には、界面領域2を形成する際に、酸素欠損ができるだけ少なくなるように処理を行う必要がある。例えば、酸化時間を長くすることや酸化温度を高くするなどが必要となる。また、界面領域2の上層にシリコン酸化膜を形成する場合には、シリコン酸化膜越しに酸化雰囲気での熱処理やラジカル処理などを行い、酸素欠損を十分に少なくするための処理を行うことが必要となる。

【0089】

また、界面領域2に含まれる金属元素は、上記に限定されるものではなく、異種の酸化物と絶縁膜を積層した際に、この絶縁膜がリーク電流を減少させる効果を奏する場合であれば、いかなる金属でも選択することが可能である。

【0090】

界面領域2は、例えばALD法により成膜する。トリメチルアルミニウムと O_2 、 O_3 、 H_2O 等の酸化剤を炉内に導入し、300程度で反応させることにより形成する。その他の方法として、減圧CVD法、PVD法、スパッター法、MBE法、塗布法、や噴霧法などにより形成しても良い。形成された界面領域2は、高密度化するためにアニールを行ってもよく、酸素欠損を補償するために酸化処理を行ってもよい。

【0091】

界面領域2は、Al面密度にして 1×10^{12} atoms/cm²以上、かつ、 1×10^{16} atoms/cm²以下の範囲において形成する。したがって、界面領域2は、厚さに換算して0.0003~3nm程度の範囲で形成する。ALD法によれば 1×10^{14} atoms/cm²程度での制御性良く形成することができる。界面領域2は、好ましくは、 4×10^{14} atoms/cm²以上、かつ、 3×10^{15} atoms/cm²以下の範囲、厚さに換算して0.1~1nmの範囲において形成する。ALD法によれば、金属元素の面密度が 1×10^{14} atoms/cm²程度において、制御性良く形成することができる。

【0092】

その後、界面領域2の内面上にシリコンピラー14としてシリコン層を形成する。

【0093】

なお、シリコンピラー14と、トンネル絶縁膜3との間の界面に、シリコン窒化膜（図示なし）が形成される場合がある。これは、高電界時におけるリーク電流の抑制や、製造時の処理においてトンネル絶縁膜3の表面における劣化の抑制を目的とするものである。この際には、金属元素が含まれる界面領域2には、このシリコン窒化膜とトンネル絶縁膜3との界面に形成するようにしてもよい。これにより、このシリコン窒化膜の上記機能を持たせながら、本実施形態の効果を奏することができる。

なお、トンネル絶縁膜3、電荷蓄積絶縁膜4、ブロック絶縁膜5は単層の場合について述べたが、シリコン酸化膜やシリコン窒化膜、シリコン酸窒化膜、もしくは金属酸化膜もしくはそれらの積層膜でも良い。

チャネルとなるシリコンピラー14とトンネル絶縁膜3との界面に界面領域2を形成した場合には、読み込み時のリーク電流を減少させることができる。同一電界としたときのリーク電流を減少させることができるため、トンネル絶縁膜の薄膜化が可能となり、書き込み/消去特性の改善、素子の高性能化が可能となる。

【0094】

トンネル絶縁膜3と電荷蓄積絶縁膜4との界面に界面領域2を形成する場合には、電荷

10

20

30

40

50

蓄積絶縁膜 4 からの電子の漏洩を抑制することができるため、素子の電荷保持特性を改善できる。

【0095】

電荷蓄積絶縁膜 4 とブロック絶縁膜 5 との界面に界面領域 2 を形成する場合には、電荷蓄積絶縁膜 4 からの電子の漏洩を抑制することができるため、素子の電荷保持特性を改善でき、また書き込み時の電荷蓄積絶縁膜 4 からの蓄積電荷の漏洩を抑制できるため、書き込み特性の改善が可能になる。

【0096】

ブロック絶縁膜 5 と電極膜 13 との界面に界面領域 2 を形成する場合には、消去時の制御電極からの電子注入を抑制することができるため、消去特性の改善が可能になる。

10

【0097】

また、界面領域 2 に金属酸化膜を形成すると、界面領域 2 に隣接するトンネル絶縁膜 3 やブロック絶縁膜 5 について、書き込み/消去時のストレスによる劣化が少ない絶縁膜を形成できる。これは、金属酸化膜が界面に形成されることで、ストレス印加による電荷トラップ等の欠陥の生成が抑制されていることを示している。

本実施形態では、メモリセル部の形成に関して、メモリーホール内面からブロック絶縁膜 5、電荷蓄積絶縁膜 4、トンネル絶縁膜 3、及びシリコンピラー 14 を順に形成するように述べたが、シリコンピラー 14、トンネル絶縁膜 3、電荷蓄積絶縁膜 4、及びブロック絶縁膜 5 を順に形成して場合においても、本実施形態の効果を同様に得ることができる。

20

【0098】

また、本実施形態では、チャンネルであるシリコンピラー 14 が半導体基板 1 に対して垂直方向に形成される三次元不揮発性半導体記憶装置に関して述べたが、それのみに限定されるものではない。チャンネルが半導体基板 1 に対して水平方向に形成された三次元不揮発性半導体記憶装置において、メモリセル部に対して、ブロック絶縁膜 5 から順に形成する場合とチャンネルから順に形成する場合の両方の組み合わせから形成される変形された三次元不揮発性半導体に関しても本実施形態の効果をj得ることができる。

【0099】

なお、本発明は、上述の実施形態にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

30

【0100】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの実施形態は、その他のさまざまな形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

【0101】

1 ...半導体基板

40

2 ...界面領域

3 ...トンネル絶縁膜

4 ...電荷蓄積絶縁膜

5 ...ブロック絶縁膜

6 ...制御ゲート電極

7 ...素子分離絶縁膜

8 ...上部電極

9 ...層間絶縁膜

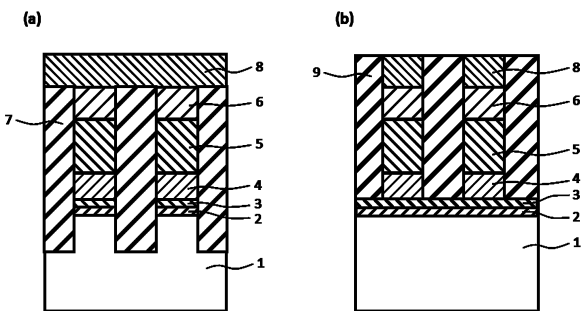
10 ...バックゲート絶縁膜

11 ...バックゲート電極

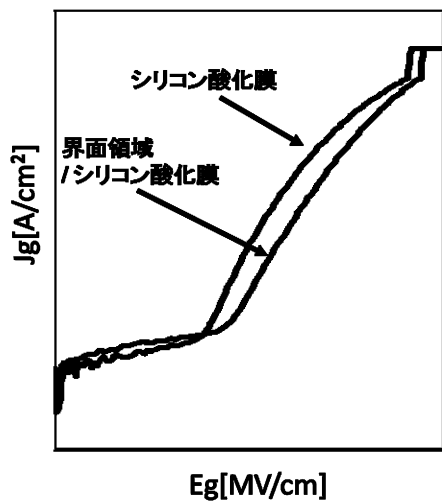
50

- 1 2 ... 絶縁膜
- 1 3 ... 電極膜
- 1 4 ... シリコンピラー
- 1 5 ... 分離絶縁膜

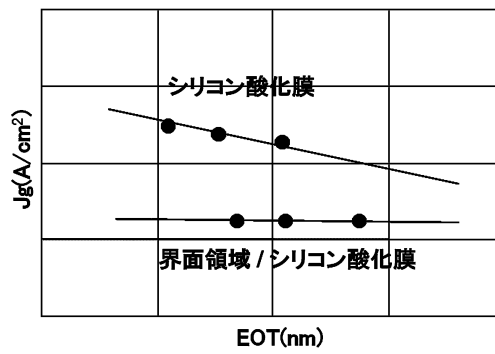
【 図 1 】



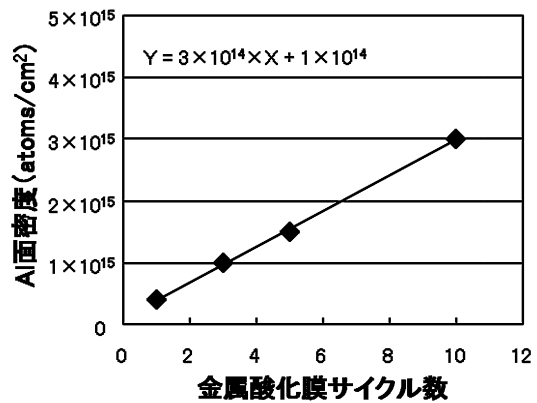
【 図 2 】



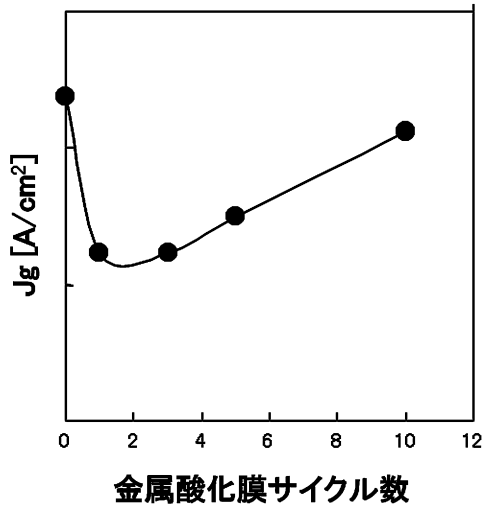
【 図 3 】



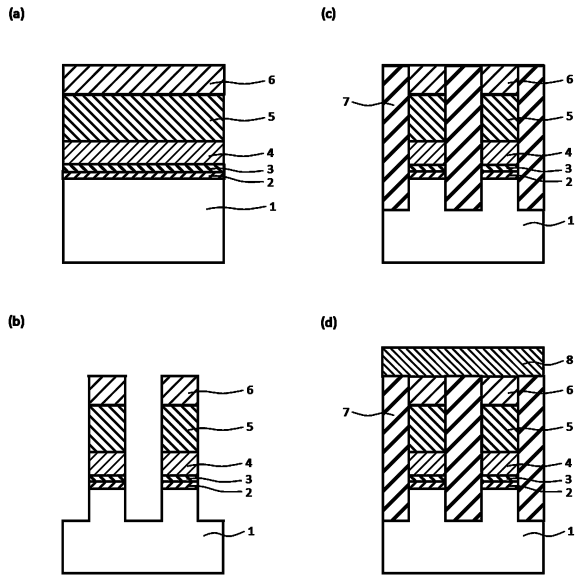
【 図 4 】



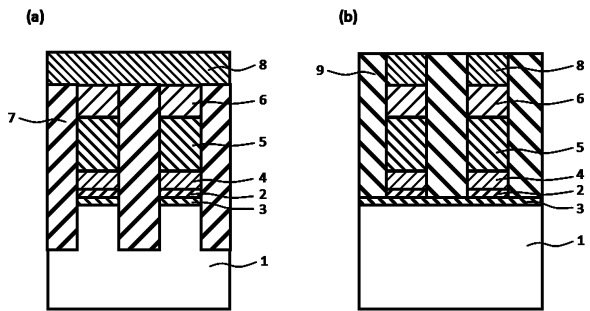
【 図 5 】



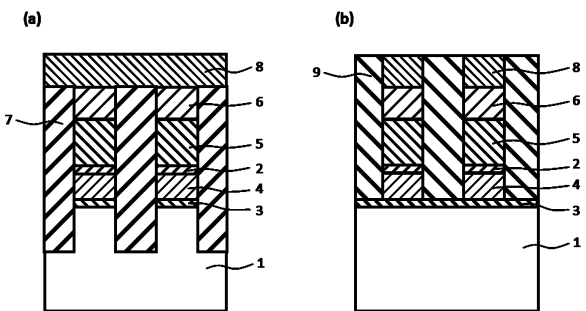
【 図 6 】



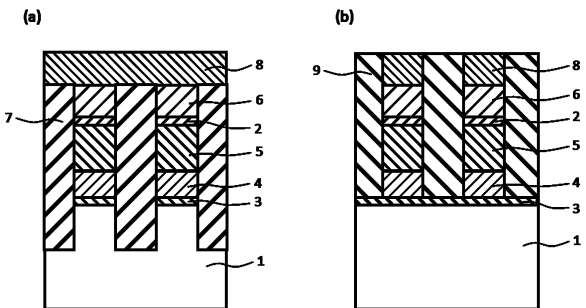
【 図 7 】



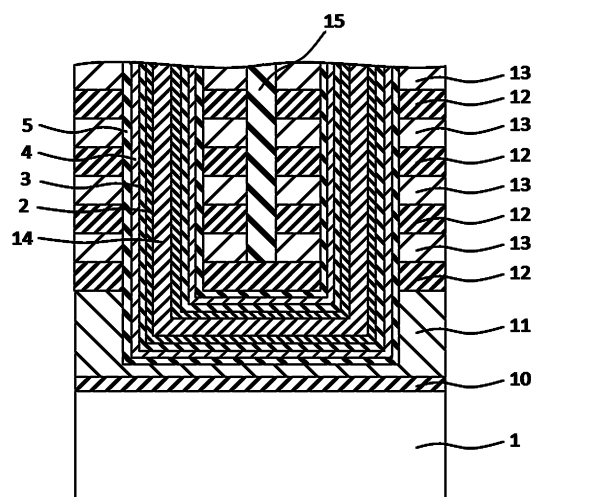
【 図 8 】



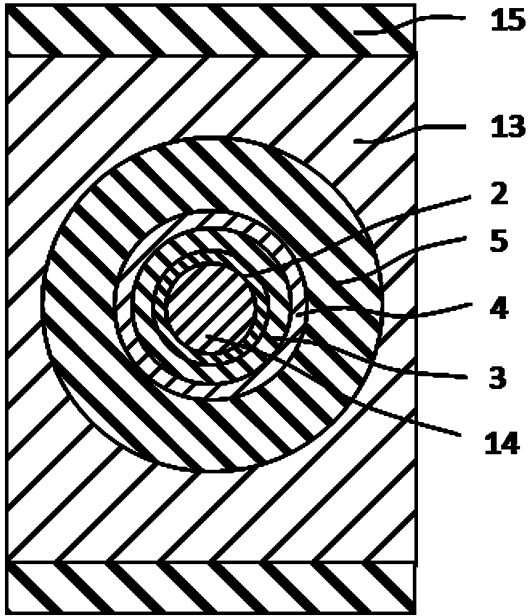
【 図 9 】



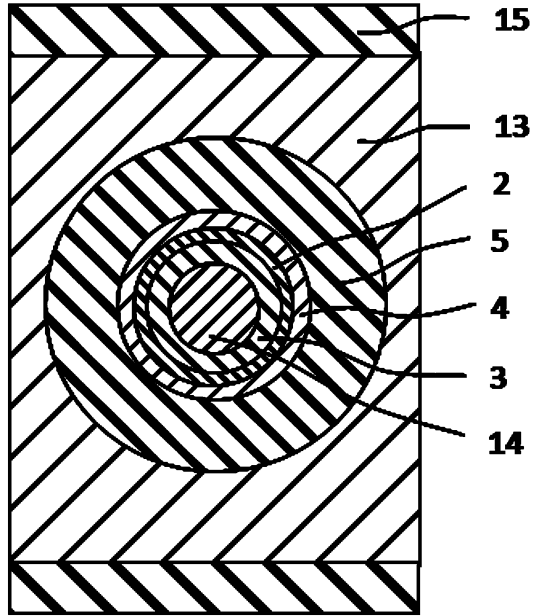
【 図 10 】



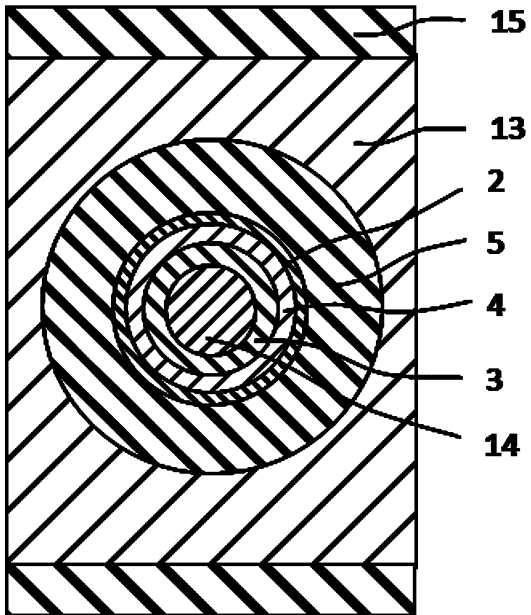
【図 1 1】



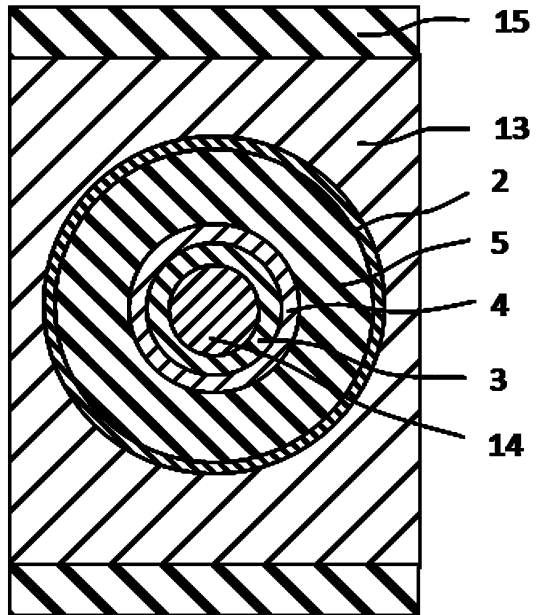
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

審査官 境 周一

(56)参考文献 国際公開第2011/055433(WO, A1)

特表2010-531048(JP, A)

特開2007-088301(JP, A)

特表2004-533108(JP, A)

特開2001-237330(JP, A)

特開2002-314072(JP, A)

特開2010-027715(JP, A)

特開2008-244243(JP, A)

特開2010-212361(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10 - 27/118

H01L 29/78 - 29/788

G11C 16/00 - 17/18