

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3869690号

(P3869690)

(45) 発行日 平成19年1月17日(2007. 1. 17)

(24) 登録日 平成18年10月20日(2006. 10. 20)

(51) Int. Cl.

F I

G05F 3/24 (2006.01)
 G05F 3/26 (2006.01)
 G11C 11/407 (2006.01)
 G11C 11/403 (2006.01)

G05F 3/24 B
 G05F 3/26
 G11C 11/34 354F
 G11C 11/34 363M
 G11C 11/34 371J

請求項の数 4 (全 36 頁)

(21) 出願番号 特願2001-223499 (P2001-223499)
 (22) 出願日 平成13年7月24日(2001. 7. 24)
 (65) 公開番号 特開2002-124084 (P2002-124084A)
 (43) 公開日 平成14年4月26日(2002. 4. 26)
 審査請求日 平成13年11月8日(2001. 11. 8)
 審査番号 不服2003-24853 (P2003-24853/J1)
 審査請求日 平成15年12月24日(2003. 12. 24)
 (31) 優先権主張番号 特願2000-224452 (P2000-224452)
 (32) 優先日 平成12年7月25日(2000. 7. 25)
 (33) 優先権主張国 日本国(JP)

早期審査対象出願

(73) 特許権者 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100124914
 弁理士 徳丸 達雄
 (72) 発明者 高橋 弘行
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 中川 敦
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

最終頁に続く

(54) 【発明の名称】 内部電圧レベル制御回路および半導体記憶装置並びにそれらの制御方法

(57) 【特許請求の範囲】

【請求項1】

メモリーセルをリフレッシュするためのリフレッシュ信号を定期的なリフレッシュタイ
 ミングで内部で自動的に発生する疑似SRAMからなる半導体記憶装置であって、

外部電源電圧から内部電圧を発生する内部電圧発生回路と、

所定の電圧レベルと前記内部電圧レベルとの比較動作を実施し、前記比較した結果に基
 づいて前記内部電圧発生回路の活性あるいは非活性を制御する内部電圧レベル制御回路と
 、を有し、

前記内部電圧レベル制御回路は、

スタンバイ状態においては、前記内部電圧レベルが前記所定の電圧レベルに到達したと
 き、前記内部電圧発生回路を非活性化するとともに前記比較動作を停止し、 10

アクティブ状態においては活性化状態に固定され、前記内部電圧レベルが前記所定の電
 圧レベルに到達したとき、前記内部電圧発生回路を非活性化し、

前記内部電圧レベル制御回路は前記比較動作を行う比較回路を有し、スタンバイ状態
 においては、前記内部電圧レベルが前記所定の電圧レベルに到達したとき、前記比較回路へ
 の電流の供給を停止し、

前記リフレッシュ制御信号が活性化されたとき前記比較回路による比較動作を実施し
 、その実施と伴って前記リフレッシュ制御信号の活性化レベルをラッチし、前記内部電圧
 レベルが前記所定の電圧レベルに達したとき前記活性化レベルのラッチを解除して前記リ
 フレッシュ制御信号の非活性化に基づき前記比較動作を停止することを特徴とすることを 20

特徴とする半導体記憶装置。

【請求項 2】

メモリーセルをリフレッシュするためのリフレッシュ信号を規則的なリフレッシュタイミングで内部で自動的に発生する疑似 S R A M からなる半導体記憶装置であって、

ワード線を駆動する電圧のレベルを制御するための制御信号を出力する電圧レベル制御回路を有し、

前記電圧レベル制御回路は、前記制御信号を出力する第 1 の差動増幅器を備え、前記リフレッシュ信号が第 1 の状態にあるときは前記第 1 の差動増幅器に流れる電流を遮断して前記第 1 の差動増幅器の差動増幅動作を禁止し、前記リフレッシュ信号が第 2 の状態にあるときは前記第 1 の差動増幅器に電流を流して前記差動増幅動作を実施可能にし、

10

前記電圧レベル制御回路は、第 2 の差動増幅器を備え、前記リフレッシュ信号が前記第 1 の状態にあるときは前記第 2 の差動増幅器に流れる電流を遮断して前記第 2 の差動増幅器の差動増幅動作を禁止し、前記リフレッシュ信号が前記第 2 の状態にあるときは前記第 2 の差動増幅器に電流を流して前記第 2 の差動増幅動作を実施可能にすることを特徴とする半導体記憶装置。

【請求項 3】

リフレッシュが必要なメモリーセルから構成される疑似 S R A M からなる半導体記憶装置であって、

所定の時間間隔で前記メモリーセルをリフレッシュする為のリフレッシュ信号を発生するリフレッシュタイミング発生回路と、

20

ライトイネーブル信号、チップセレクト信号、アドレス及び前記リフレッシュ信号を受け、少なくとも前記リフレッシュ信号にตอบสนองしてロウイネーブル信号を発生するロウイネーブル発生回路と、

前記ロウイネーブル信号を受け、第 1 の差動増幅器を備える電圧レベル制御回路とを備え、

前記ロウイネーブル信号が第 1 の状態にあるときは前記第 1 の差動増幅器に流れる電流を遮断して前記第 1 の差動増幅器の差動増幅動作を禁止し、前記ロウイネーブル信号が第 2 の状態にあるときは前記第 1 の差動増幅器に電流を流して前記差動増幅動作を実施可能にし、

更に電源投入時に一定期間活性化されるパワーオンリセット信号に基き前記第 2 の状態

30

【請求項 4】

リフレッシュが必要なメモリーセルから構成される疑似 S R A M からなる半導体記憶装置であって、

所定の時間間隔で前記メモリーセルをリフレッシュする為のリフレッシュ信号を発生するリフレッシュタイミング発生回路と、

ライトイネーブル信号、チップセレクト信号、アドレス及び前記リフレッシュ信号を受け、少なくとも前記リフレッシュ信号にตอบสนองしてロウイネーブル信号を発生するロウイネーブル発生回路と、

前記ロウイネーブル信号を受け、第 1 の差動増幅器を備える電圧レベル制御回路とを備え、

40

前記ロウイネーブル信号が第 1 の状態にあるときは前記第 1 の差動増幅器に流れる電流を遮断して前記第 1 の差動増幅器の差動増幅動作を禁止し、前記ロウイネーブル信号が第 2 の状態にあるときは前記第 1 の差動増幅器に電流を流して前記差動増幅動作を実施可能にし、

前記電圧レベル制御回路は第 2 の差動増幅器を備え、前記ロウイネーブル信号が前記第 1 の状態にあるときは前記第 2 の差動増幅器に流れる電流を遮断して前記第 2 の差動増幅器の差動増幅動作を禁止し、前記ロウイネーブル信号が前記第 2 の状態にあるときは前記第 2 の差動増幅器に電流を流して前記第 2 の差動増幅動作を実施可能にすることを特徴とする半導体記憶装置。

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧レベル制御回路およびその制御方法に関し、さらに半導体記憶装置やその他の電子回路において使用される内部電圧のレベルを制御する電圧レベル制御回路およびその制御方法並びにこの電圧レベル制御回路を使用した、半導体装置、特にメモリーセルをリフレッシュするためのリフレッシュ信号を内部で発生する擬似SRAM等の半導体記憶装置に関する。

【0002】

【従来の技術】

従来、携帯電話等の各種携帯機器において、半導体メモリ等の半導体回路が広く使用されている。この携帯機器に使用される半導体回路においては、いかに消費電力を低減するかが大きな課題である。特開昭63-255897号公報、特開平11-16368号公報に、消費電力低減に関する従来技術が開示されている。

【0003】

図11は、特開昭63-255897号公報に開示されている半導体記憶装置(DRAM; ダイナミックラム)の要部の構成を示すブロック図である。半導体記憶装置は、ワード線駆動信号WLを発生するWL発生回路152を有する。WL発生回路152は、外部から/RAS信号(/は負論理の信号であることを示す、RASはローアドレスストロープを示す)の inputsを受け、この入力された/RAS信号に従ってワード線駆動信号WLを発生する。半導体記憶装置は、さらにローデコーダ155を有する。ローデコーダ155は、WL発生回路152の出力側に接続され、WL発生回路152から出力されたワード線駆動信号WLの inputsを受け、さらに半導体記憶装置は、ワード線駆動信号WLを昇圧するWL昇圧回路153、並びにWL比較回路154を有する。WL比較回路154は、外部からの基準電圧Vrefの inputsを受けると共に、WL発生回路152の出力側に接続され、WL発生回路152から出力されたワード線駆動信号WLの inputsを受け、ワード線駆動信号WLと基準電圧Vrefとを比較し、この比較した結果を比較結果信号S4として出力する。更に、WL昇圧回路153は、/RAS信号の inputsを受けると共に、WL比較回路154の出力側に接続され、比較結果信号S4の inputsを受け、/RAS信号とWL比較回路154の出力信号S4に基づいてワード線駆動信号WLを昇圧する。ローデコーダ155はワード線駆動信号WLを、アドレス信号が指定するワード線WLへ出力する。

【0004】

前記回路の動作を図12のタイミングチャートに基づき説明する。/RAS信号が立ち下ると、この/RAS信号を受けたWL発生回路152が、ワード線駆動信号WLを時刻t1において電源電圧Vccレベルに立ち上げる。これと同時に、/RAS信号を受けたWL昇圧回路153が、ワード線駆動信号WLを昇圧し、Vcc以上のハイレベルとする。その後、/RAS信号が立ち上がる時刻t2において、WL比較回路154がワード線駆動信号WLのレベルVWLと基準電圧Vrefとを比較し、その結果を示す信号S4をWL昇圧回路153へ出力する。VWL < Vrefであった場合は、WL昇圧回路153は、ワード線駆動信号WLの昇圧を行う。VWL > Vrefであった場合は、WL昇圧回路153は、ワード線駆動信号WLの昇圧を行わない。

このように、図11の回路は、アクティブサイクルの終了時における昇圧を、必要な場合は自動的に行い、不必要な場合は行わないことによって回路の消費電力の節減を図っている。

【0005】

また、図13は、特開平11-16368号公報に開示されている半導体記憶装置(SRAM; スタティックラム)の要部の構成を示すブロック図である。図14は同半導体記憶装置の動作を説明するためのタイミングチャートである。ATD回路110は、アドレス信号A0~Anもしくはチップ選択信号CEの変化を検知して、パルス信号OSを発生さ

10

20

30

40

50

せる。X E 発生回路 1 1 1 は、A T D 回路 1 1 0 からのアドレス遷移検知を示すパルス信号 O S とチップ選択信号 C E を入力し、ワード線活性化信号 X E を出力する。この X E 発生回路 1 1 1 は、書込制御信号 / W E の制御を受けないので、書き込み、読み出しサイクルともに、信号 X E の動作は同じであり、次のサイクルのアドレス変化による信号 O S によってリセットされるまでハイレベルを出力し続ける。ロウデコーダ 1 0 2 は、ロウアドレス信号を入力し、ワード線を選択するロウ選択信号を出力する。

【 0 0 0 6 】

昇圧信号発生回路 1 1 4 は、ワード線活性化信号 X E と書込制御信号 / W E を入力として、昇圧を指示する昇圧信号 / B E N を発生する。すなわち、この昇圧信号発生回路 1 1 4 は、書込制御信号 / W E がローレベルとなる書き込みサイクルにおいては、ワード線活性化信号 X E がローレベルとなるリセット期間を除きローレベルを出力し続ける。一方、書込制御信号 / W E がハイレベルとなる読み出しサイクルにおいては、一定時間だけローレベルを出力し、その後、ハイレベルに戻る。

10

【 0 0 0 7 】

昇圧電位発生回路 1 1 5 は、昇圧信号 / B E N がローレベルの時作動し、昇圧電位 V B S T を発生し、ワードドライバ 1 0 4 へ出力する。ワードドライバ 1 0 4 は、昇圧電位 V B S T を電源とし、ワード線活性化信号 X E とロウ選択信号を入力してワード線を選択する。選択されたワード線は、昇圧電位 V B S T まで上昇し、メモリセルへの書き込みまたはメモリセルからの読み出しを行う。

センスアンプ活性化信号発生回路 1 1 2 は、ワード線活性化信号 X E と書込制御信号 / W E を入力としてセンスアンプ活性化信号 S E を出力する。信号 S E は読み出しサイクルでのみ発生し、ワード線上昇後、ある遅延時間の後ハイレベルとなる。このハイレベルは次サイクルのアドレス変化による信号 O S によってリセットされるまで維持され、センスアンプ 1 0 6 を活性状態に保ち続ける。センスアンプ 1 0 6 は、カラムデコーダ 1 0 3 の出力によりカラム選択スイッチ 1 0 5 で選択された相補デジタル線 D G 、 D G B の信号を入力とし、センスアンプ活性化信号 S E がハイレベルの期間、メモリセルからのデータを増幅して出力する。

20

【 0 0 0 8 】

上述したように、図 1 3 に示す回路は、読み出しサイクル期間の初期においてのみ昇圧電位回路 1 1 5 を動作させ、同読み出しサイクルの初期以外の期間において昇圧電位回路 1 1 5 を不動作とすることにより、昇圧電位回路 1 1 5 の消費電力の低減を図っている。

30

【 0 0 0 9 】

しかしながら、これら従来のは、ワード線を駆動する電力を低減するという発想のものであり、それ以外の電力低減法については開示されていない。

他方、近年、疑似 S R A M が開発され実用化されている。この疑似 S R A M は、周知のように、D R A M のもつ大容量の利点と S R A M のもつ使いやすさ、スタンバイ時の低消費電力等の利点を兼ね備えており、携帯機器等に広く利用されつつある。しかし、この疑似 S R A M は、携帯機器に用いられる関係上さらなる低消費電力化が望まれている。

【 0 0 1 0 】

図 1 5 は従来の疑似 S R A M の要部の構成を示すブロック図である。図 1 6 は同疑似 S R A M の動作を説明するためのタイミングチャートである。この疑似 S R A M は、電圧レベル制御回路 1、メモリセルアレイ 2、リングオッシレータ 3、昇圧回路 4、およびワードデコーダ 5 を有する。更に、疑似 S R A M は、ロウデコーダ 6、リフレッシュタイミング発生回路 7 並びにロウイネーブル発生回路 8 を有する。

40

電圧レベル制御回路 1 は、メモリセルアレイ 2 のワード線へ印加するブースト電圧 V b t のレベルを制御する内部電圧レベル制御信号 A を、基準電圧 V r e f 1、V r e f 2 に基づいて発生する。リングオッシレータ 3 の入力側は、電圧レベル制御回路 1 の出力側に接続され、内部電圧レベル制御信号 A は、リングオッシレータ 3 へ入力される。リングオッシレータ 3 は、発振回路であり、インバータを奇数個リング状に直列接続して構成し得る。電圧レベル制御回路 1 から出力された内部電圧レベル制御信号 A が " H " (ハイレベル) の時、リ

50

リングオシレータ 3 は、活性化され発振出力 B を出力する。

昇圧回路 4 の入力側は、リングオシレータ 3 の出力側に接続され、この発振出力 B は昇圧回路 4 に入力される。昇圧回路 4 はチャージポンプ回路で構成し得る。昇圧回路 4 は、リングオシレータ 3 の出力 B を利用して電源電圧 V_{DD} を段階的に昇圧し、ワード線を駆動するブースト電圧 V_{bt} として出力する。昇圧回路 4 の出力側は、ワードデコーダ 5 に接続され、ブースト電圧 V_{bt} はワードデコーダ 5 へ入力される。この場合、ブースト電圧 V_{bt} は、電源電圧 V_{DD} より高い電圧レベル、例えば $(V_{DD} + 1.5V)$ または $(V_{DD} + 2V)$ である。ワードデコーダ 5 は、ロウデコーダ 6 の出力側に接続され、ロウデコーダ 6 からの出力によって選択されたワード線へブースト電圧 V_{bt} を供給する。メモリセルアレイ 2 は、DRAM のメモリセルアレイと同様の構成を有するメモリセルアレイである。

10

【 0 0 1 1 】

リフレッシュタイミング発生回路 7 は、一定時間間隔で、メモリセルアレイ 2 中のメモリセルをリフレッシュするためのリフレッシュ信号およびリフレッシュすべきメモリセルのアドレスを指定するリフレッシュアドレスを発生する。リフレッシュタイミング発生回路 7 の出力側は、ロウイネーブル発生回路 8 へ接続され、リフレッシュ信号をロウイネーブル発生回路 8 へ入力する。また、リフレッシュアドレスをロウデコーダ 6 へ入力する。

ロウイネーブル発生回路 8 は、ライトイネーブル信号 W_E 、チップセレクト信号 C_S およびメモリセルアレイ 2 の読出 / 書込アドレス A_{dd} の入力を受け、アドレス A_{dd} が変化する毎に、ロウイネーブル信号 L_T を発生する。また、このロウイネーブル発生回路 8 は、リフレッシュタイミング発生回路 7 がリフレッシュ信号を出力するタイミングで信号 L_T を発生する。ロウイネーブル発生回路 8 の出力側は、ロウデコーダ 6 および電圧レベル制御回路 1 に接続され、ロウイネーブル信号 L_T を電圧レベル制御回路 1 およびロウデコーダ 6 へ入力する。ロウデコーダ 6 は、ロウイネーブル信号 L_T の入力を受けた時点で外部入力された読出 / 書込アドレス A_{dd} をデコードし、デコード結果をワードデコーダ 5 へ入力する。

20

【 0 0 1 2 】

図 1 5 は、図 1 4 に示した回路の動作を説明するためのタイミングチャートである。ライトイネーブル信号 W_E が例えば " L " (ローレベル) となり、また、チップセレクト信号 C_S が " H " となった後、アドレス A_{dd} が変化すると、ロウイネーブル発生回路 8 からロウイネーブル信号 L_T が出力され、電圧レベル制御回路 1 へ入力される。電圧レベル制御回路 1 は、ブースト電圧 V_{bt} と基準電圧 V_{ref1} とを比較し、ブースト電圧 V_{bt} が基準電圧 V_{ref1} より低い場合は、時刻 t_1 において内部電圧レベル制御信号 A を " H " (ハイレベル) とする。この内部電圧レベル制御信号 A が " H " になると、リングオシレータ 3 が発振を開始し、発振出力 B を出力する。出力された発振出力 B は、昇圧回路 4 へ入力される。昇圧回路 4 はこの発振出力 B を使用してブースト電圧 V_{bt} を昇圧する。ブースト電圧 V_{bt} が上昇し、基準電圧 V_{ref2} に達すると、電圧レベル制御回路 1 が内部電圧レベル制御信号 A を時刻 t_2 で " L " (ローレベル) とする。これにより、リングオシレータ 3 の発振が停止し、昇圧回路 4 による昇圧が停止する。

30

【 0 0 1 3 】

このように、従来の疑似 S R A M は、電圧レベル制御回路 1 がリングオシレータ 3 および昇圧回路 4 を必要時にのみ活性化する一方、不必要時には非活性化状態とし、これによって、消費電力の節減を図っていた。

40

【 0 0 1 4 】

【 発明が解決しようとする課題 】

しかしながら、従来の半導体記憶装置にあっては、メモリセルアレイに印加する電圧を発生する回路の省電力化が図られていたが、メモリセルアレイに印加する電圧を制御する回路すなわち電圧レベル制御回路 1 の省電力化は全く考慮されていなかった。

通常の D R A M では、リフレッシュタイミングがシステム側で制御され、デバイス側は常に昇圧レベルを保持する必要があるが、したがって、メモリセルアレイに印加する電圧を制御する回路の省電力化は全く考慮する必要がなかった。また、スタンバイ時のパワー制限

50

も比較的厳しくなかった。

これに対し、S R A M並の低消費電力化が求められる疑似S R A Mでは、電圧レベル制御回路に供給するパワーの可能な限りの低減が要求される。すなわち、疑似S R A Mにおいては、デバイス外部からリフレッシュ動作が見えない仕様、つまり消費電力の規格にリフレッシュ動作電流が考慮されない仕様になっており、一般的なD R A Mよりさらに厳しい規格が要求される。

この発明は、前述の要求を満たすため開発されたものであり、その目的は、消費電力の可能な限りの低減を図った電圧レベル制御回路を提供することにある。

本発明の更なる目的は、消費電力の可能な限りの低減を図る電圧レベル制御方法を提供することにある。

10

本発明の更なる目的は、消費電力が低減された電圧レベル制御回路を有する半導体記憶装置を提供することにある。

本発明の更なる目的、構成並びに効果は、以下の説明により明らかにする。

【 0 0 1 5 】

【 課題を解決するための手段 】

この発明は上記の課題を解決すべくなされたもので、本発明は、外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路において、

この電圧レベル制御回路は、

内部電圧レベル発生回路の出力側に接続され、前記内部電圧レベルを、少なくとも1つの基準電圧に基づき比較する比較手段と、

20

この比較手段に接続され、比較手段を活性状態又は非活性状態に制御する制御手段とを含むことを特徴とする電圧レベル制御回路を提供する。

制御手段は、内部電圧レベル発生回路を活性状態にするとき、制御手段は比較手段を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御手段は比較手段を非活性状態にすることが可能である。

【 0 0 1 6 】

内部電圧レベル発生回路は、昇圧回路又は降圧回路であることが可能である。

比較手段は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御手段は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活性状態が制御されることが可能である。

30

制御手段は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較手段の出力側に接続され、論理ゲート回路の出力信号又は比較手段の出力信号に基づき比較手段の活性状態又は非活性状態が制御されることが可能である。

【 0 0 1 7 】

比較手段は、カレントミラー差動増幅器を含むことが可能である。

電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較手段の入力に接続され、比較手段は、内部電圧レベルの分圧電圧を基準電圧と比較することが可能である。比較手段の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較手段は、内部電圧レベルを基準電圧と直接比較することが可能である。

40

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

【 0 0 1 8 】

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以

50

上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、2つの基準電圧からなり、この2つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

制御手段は、論理ゲート回路からなり、論理ゲート回路の出力が比較手段に接続され、内部電圧レベル発生回路の活性状態及び非活性状態から独立して、論理ゲート回路の出力信号のみに基づき比較手段の活性状態又は非活性状態が制御されることが可能である。

【0019】

更に、本発明は、外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路の出力側に接続され、内部電圧レベルを検出して、外部から入力される少なくとも1つの基準電圧に基づき制御する電圧レベル制御回路において、電圧レベル制御回路は、この電圧レベル制御回路を活性状態又は非活性状態に制御する制御手段を含むことを特徴とする電圧レベル制御回路を提供する。

【0020】

電圧レベル制御回路は、さらに比較手段を含み、この比較手段の入力側を、内部電圧レベル発生回路の出力側に接続することで、前記内部電圧レベルを前記少なくとも1つの基準電圧に基づき比較し、内部電圧レベル発生回路を活性状態又は非活性状態に制御するための内部電圧レベル発生回路制御信号を、比較手段の出力側から出力し、

前記制御手段は、この比較手段に接続され、比較手段を活性状態又は非活性状態に制御することが可能である。

制御手段は、内部電圧レベル発生回路を活性状態にするとき、制御手段は比較手段を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御手段は比較手段を非活性状態にすることが可能である。

【0021】

内部電圧レベル発生回路は、昇圧回路または降圧回路であることが可能である。

比較手段は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御手段は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活

性状態が制御されることが可能である。
制御手段は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較手段の出力側に接続されることが可能である。

【0022】

比較手段は、カレントミラー差動増幅器を含むことが可能である。

電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較手段の入力に接続され、比較手段は、内部電圧レベルの分圧電圧を基準電圧と比較することが可能である。比較手段の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較手段は、内部電圧レベルを基準電圧と直接比較することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

【0023】

10

20

30

40

50

前記少なくとも1つの基準電圧は、2つの基準電圧からなり、この2つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

制御手段は、論理ゲート回路からなり、論理ゲート回路の出力が比較手段に接続され、内部電圧レベル発生回路の活性状態及び非活性状態から独立して、論理ゲート回路の出力信号のみに基づき比較手段の活性状態又は非活性状態が制御されることが可能である。

【0024】

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、

この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、

更に前記電圧レベル制御回路は、前記電圧レベル制御回路

内部電圧レベル発生回路の出力側に接続され、前記内部電圧レベルを、少なくとも1つの基準電圧に基づき比較する比較手段と、

この比較手段に接続され、比較手段を活性状態又は非活性状態に制御する制御手段とを含むことを特徴とする半導体記憶装置を提供する。

【0025】

前記半導体記憶装置は、メモリーセルのリフレッシュ動作を行うためのリフレッシュ信号を自発的に発生するリフレッシュ信号発生回路を更に含み、このリフレッシュ信号発生回路の出力側が、前記電圧レベル制御回路の制御手段に接続されることで、リフレッシュ信号の入力を受けて、前記電圧レベル制御回路の制御手段が、比較手段を非活性状態から活性状態にすることが可能である。

前記電圧レベル制御回路の制御手段は、論理ゲート回路を含み、この論理ゲート回路の複数の入力の第一の入力がリフレッシュ信号発生回路の出力側に接続されることが可能である。

【0026】

前記半導体記憶装置は、リフレッシュ動作時以外にワード線を活性化するためのロウイネーブル信号を発生するロウイネーブル信号発生回路を更に含み、このロウイネーブル信号発生回路の出力が前記論理ゲート回路の第二の入力に接続され、前記リフレッシュ信号およびロウイネーブル信号の少なくともいずれか1つが論理ゲート回路に入力されたとき、制御手段が、比較手段を非活性状態から活性状態にすることが可能である。

ロウイネーブル信号発生回路は、ロウイネーブル信号を活性化するタイミングより一定時間だけ前に、パルス信号を発生し、このパルス信号を論理ゲート回路に入力することで、前記電圧レベル制御回路の制御手段が、比較手段を非活性状態から活性状態にすると共に、内部電圧レベル発生回路を非活性状態から活性状態にし、前記内部電圧レベルが、前記少なくとも1つの基準電圧に基づき与えられる許容電圧レベル範囲に達した後、前記電圧レベル制御回路の制御手段が、比較手段を活性状態から非活性状態にすることが可能である。

前記半導体記憶装置がアクティブ状態にあるとき、前記制御手段は常に比較手段を活性状態に維持し、前記半導体記憶装置がスタンバイ状態にあるとき、前記制御手段は、制御信号に基づき比較手段を活性状態又は非活性状態に制御することが可能である。

【0027】

前記半導体記憶装置は、

内部電圧レベル発生回路の出力側に接続され、内部電圧レベルに基づきグラウンドレベルより低いレベルのバックバイアス電圧を発生し、半導体記憶装置の特定半導体領域にバックバイアス電圧を供給するバックバイアス発生回路と、

前記特定半導体領域に接続され、特定半導体領域の電位を判定するバックバイアスレベル判定回路とを更に含み、

10

20

30

40

50

バックバイアスレベル判定回路は、バックバイアス電圧のレベルが予め定められた許容範囲を超えた場合、バックバイアスレベル判定結果信号を活性化し、バックバイアスレベル判定回路の出力が論理ゲート回路の第二の入力に接続されることで、前記リフレッシュ信号および活性化されたバックバイアスレベル判定結果信号の少なくともいずれか1つが論理ゲート回路に入力されたとき、制御手段が、比較手段を非活性状態から活性状態にすることが可能である。

【0028】

前記電圧レベル制御回路の制御手段は、さらにラッチ回路を含み、ラッチ回路の入力は前記論理ゲート回路の出力に接続され、ラッチ回路の制御端子は前記電圧レベル制御回路の出力に接続されることが可能である。

制御手段は、内部電圧レベル発生回路を活性状態にするとき、制御手段は比較手段を活性状態にし、内部電圧レベル発生回路を非活性状態にするとき、制御手段は比較手段を非活性状態にすることが可能である。

内部電圧レベル発生回路は、昇圧回路または降圧回路であることが可能である。

【0029】

比較手段は、基準電圧の数と等しい数の比較回路からなり、この比較回路は、対応する各基準電圧に基づき内部電圧レベルを比較し、制御手段は、各比較回路に共通に接続される1つの制御回路からなり、各比較回路は、1つの制御回路により共通に、活性状態又は非活性状態が制御されることが可能である。

制御手段は、論理ゲート回路とラッチ回路とを含み、論理ゲート回路の出力がラッチ回路の入力と接続され、ラッチ回路の制御端子は、比較手段の出力側に接続されることが可能である。

比較手段は、カレントミラー差動増幅器を含むことが可能である。

【0030】

電圧レベル制御回路は、更に分圧回路を含み、この分圧回路は内部電圧レベル発生回路の出力側とグランド端子との間に直列に接続され、分圧回路の出力は比較手段の入力に接続され、比較手段は、内部電圧レベルの分圧電圧を基準電圧と比較することが可能である。比較手段の入力は、内部電圧レベル発生回路の出力側に直接接続され、比較手段は、内部電圧レベルを基準電圧と直接比較することが可能である。

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の下限を定めることで、内部電圧レベルが許容範囲の下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

【0031】

前記少なくとも1つの基準電圧は、単一の基準電圧からなり、この単一の基準電圧に基づき内部電圧レベルの許容範囲の上限を定めることで、内部電圧レベルが許容範囲の上限以上となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

前記少なくとも1つの基準電圧は、2つの基準電圧からなり、この2つの基準電圧に基づき内部電圧レベルの許容範囲の上限および下限を定めることで、内部電圧レベルが許容範囲の上限以上又は下限以下となった場合、電圧レベル制御回路の出力信号を活性状態にし、内部電圧レベル発生回路を活性化することが可能である。

【0032】

制御手段は、論理ゲート回路からなり、論理ゲート回路の出力が比較手段に接続され、内部電圧レベル発生回路の活性状態及び非活性状態に関係なく、論理ゲート回路の出力信号のみに基づき比較手段の活性状態又は非活性状態が制御されることが可能である。

論理ゲート回路の出力信号は、予め定められたパルス幅を有するパルス信号であり、比較手段が活性状態になってから、パルス幅に相当する時間が経過した後、内部電圧レベル発生回路の活性状態及び非活性状態に関係なく、比較手段が非活性状態になることが可能である。

10

20

30

40

50

【 0 0 3 3 】

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、前記電圧レベル制御回路は、この電圧レベル制御回路を活性状態又は非活性状態に制御する制御手段を含むことを特徴とする半導体記憶装置を提供する。電圧レベル制御回路は、さらに比較手段を含み、この比較手段の入力側を、内部電圧レベル発生回路の出力側に接続することで、前記内部電圧レベルを前記少なくとも1つの基準電圧に基づき比較し、内部電圧レベル発生回路を活性状態又は非活性状態に制御するための内部電圧レベル発生回路制御信号を、比較手段の出力側から出力し、前記制御手段は、この比較手段に接続され、比較手段を活性状態又は非活性状態に制御することが可能である。

10

【 0 0 3 4 】

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化することを特徴とする半導体記憶装置を提供する。

20

【 0 0 3 5 】

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、前記電圧レベル制御回路は、前記ワード線の活性化信号の立ち上がり時点より所定時間前に活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化することを特徴とする半導体記憶装置を提供する。

30

【 0 0 3 6 】

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、所定の時間だけ経過したときに非活性化することを特徴とする半導体記憶装置を提供する。

40

【 0 0 3 7 】

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、リフレッシュ動作を制御するリフレッシュ信号を発生するリフレッシュ信号発生回路と、前記複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、前記電圧レベル制御回路は、前記リフレッシュ信号に応答して活性化および非活性化することを特徴とする半導体記憶装置を提供する。

【 0 0 3 8 】

50

更に、本発明は、複数のワード線を有するメモリーセルアレイ領域と、この複数のワード線に接続され、外部電源電圧に基づき内部電圧レベルを発生し、この内部電圧レベルをワード線に供給する内部電圧レベル発生回路と、この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体記憶装置において、前記半導体記憶装置のスタンバイ状態において、前記電圧レベル制御回路は、前記ワード線の活性化信号に応答して活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき非活性化し、前記半導体記憶装置のアクティブ状態において常時活性化することを特徴とする半導体記憶装置を提供する。

許容電圧レベル範囲が、予め設定される第1の基準値と第2の基準値とで規定されることが可能である。

前記内部電圧レベル発生回路は昇圧回路であることが可能である。

前記内部電圧レベル発生回路は降圧回路であることが可能である。

【0039】

更に、本発明は、外部電源電圧に基づき内部電圧レベルを発生する内部電圧レベル発生回路と、

この内部電圧レベル発生回路に接続され内部電圧レベルの供給を受ける内部回路と、

この内部電圧レベル発生回路に接続され、内部電圧レベルを検出して制御する電圧レベル制御回路とを含む半導体装置において、

前記電圧レベル制御回路は、前記内部回路の活性化信号の立ち上がりに応答して活性化し、前記内部回路に供給される内部電圧レベルが許容電圧レベルに達し、かつ、前記内部回路の活性化信号がオフとなったとき非活性化することを特徴とする半導体装置を提供する。

前記電圧レベル制御回路は、前記電圧レベルを予め設定される基準値に等しくなるように制御することが可能である。

前記内部電圧レベル発生回路は昇圧回路であることが可能である。

前記内部電圧レベル発生回路は降圧回路であることが可能である。

【0040】

更に、本発明は、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

電圧レベル制御回路を活性化した後、前記内部電圧レベルが許容電圧レベル範囲に到達したときに前記内部電圧レベル制御回路を非活性化することを特徴とする制御方法を提供する。

前記許容電圧レベル範囲は、予め設定される第1の基準値と第2の基準値とで規定されることが可能である。

前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルであることが可能である。

前記内部電圧レベルは外部電源電圧を降圧した電圧レベルであることが可能である。

前記内部電圧レベルは半導体記憶装置のワード線に供給される電圧レベルであり、前記制御信号は前記ワード線の活性化信号であることが可能である。

前記半導体記憶装置はリフレッシュ動作を必要とするメモリーセルを有する半導体記憶装置であって、前記ワード線の活性化信号は、半導体記憶装置のメモリーセルをリフレッシュするリフレッシュ動作を制御する信号であり、前記内部電圧レベルが前記許容電圧レベル範囲の上限値以上となったとき前記内部電圧レベル制御回路を非活性化することが可能である。

【0041】

更に、本発明は、外部電源電圧から発生されワード線に供給される電圧レベルを検出して制御する電圧レベル制御回路を有する半導体記憶装置の電圧レベル制御方法において、

前記ワード線の活性化信号に応答して前記電圧レベル制御回路を活性化し、前記ワード線に供給される電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非

10

20

30

40

50

活性化することを特徴とする半導体記憶装置の電圧レベル制御方法を提供する。

【 0 0 4 2 】

更に、本発明は、半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記ワード線の活性化信号の活性化のタイミングより所定時間前に前記内部電圧レベル制御回路を活性化し、前記ワード線に供給される内部電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化することを特徴とする制御方法を提供する。

【 0 0 4 3 】

更に、本発明は、半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記ワード線の活性化信号に応答して前記内部電圧レベル制御回路を活性化し、所定の時間だけ経過したときに前記電圧レベル制御回路を非活性化することを特徴とする制御方法を提供する。

【 0 0 4 4 】

更に、本発明は、リフレッシュ動作を必要とするメモセルを有する半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

リフレッシュ動作を制御する信号に応答して前記電圧レベル制御回路の活性化および非活性化を行うことを特徴とする制御方法を提供する。

【 0 0 4 5 】

更に、本発明は、半導体記憶装置のワード線に供給するため、外部電源電圧に基づき発生される内部電圧レベルを検出して制御する内部電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

半導体記憶装置のスタンバイ状態において、前記ワード線の活性化信号に応答して前記電圧レベル制御回路を活性化し、前記ワード線に供給される電圧レベルが許容電圧レベル範囲に達したとき前記電圧レベル制御回路を非活性化し、

半導体記憶装置のアクティブ状態において、前記電圧レベル制御回路を常時活性状態に維持することを特徴とする制御方法を提供する。

前記許容電圧レベル範囲は、予め設定される第1の基準値と第2の基準値とで規定されることが可能である。

前記内部電圧レベルは外部電源電圧を昇圧した電圧レベルであることが可能である。

前記内部電圧レベルは外部電源電圧を降圧した電圧レベルであることが可能である。

【 0 0 4 6 】

更に、本発明は、内部回路に供給するため外部電源電圧に基づき発生される内部電圧レベルを検出して制御する電圧レベル制御回路の活性状態及び非活性状態を制御信号に基づき制御する方法において、

前記内部回路を活性化する活性化信号に応答して前記電圧レベル制御回路を活性化し、前記内部回路に供給される内部電圧レベルが許容電圧レベル範囲に達し、かつ、前記内部回路の活性化信号がオフとなったとき、前記電圧レベル制御回路を非活性化することを特徴とする制御方法を提供する。

前記電圧レベル制御回路は、前記内部電圧レベルを予め設定される基準値に等しくなるように制御することが可能である。

前記内部電圧レベルは、外部電源電圧を昇圧した電圧レベルであることが可能である。

前記内部電圧レベルは、外部電源電圧を降圧した電圧レベルであることが可能である。

【 0 0 4 7 】

【 発明の実施の形態 】

以下、図面を参照し本発明の実施の形態について説明する。図1は本発明の第1の実施形

10

20

30

40

50

態による電圧レベル制御回路の構成を示す回路図である。図2は図1に示す電圧レベル制御回路を有する疑似SRAMの要部の構成を示すブロック図である。図3は図1に示す電圧レベル制御回路の動作を説明するためのタイミングチャートである。

【0048】

図2に示す本発明の回路が図15に示す従来技術の回路と異なる点は、論理ゲートが設けられたことと、電圧レベル制御回路の構成である。デバイスの電源投入時、デバイスのスタンバイ状態におけるリフレッシュ時、デバイスのアクティブ状態におけるリフレッシュ時、およびデバイスのアクティブ状態における書込/読出時において、デバイスに組込まれた電圧レベル制御回路10の各回路構成部がアクティブ状態になるが、それ以外のとき、すなわちデバイスのスタンバイ状態における非リフレッシュ時およびデバイスのアクティブ状態における非リフレッシュ時、非書込/読出時においては、電圧レベル制御回路10の各回路構成部がインアクティブ状態とされる。これにより、電圧レベル制御回路10で消費される電力の節減を図っている。

10

【0049】

本発明に係る疑似SRAMは、電圧レベル制御回路10、メモリセルアレイ2、リングオッシレータ3、昇圧回路4、およびワードデコーダ5、ロウデコーダ6、リフレッシュタイミング発生回路7並びにロウイネーブル発生回路8に加えオアゲート9を有する。このオアゲート9は、デバイスの電源投入時に電圧レベル制御回路10の各回路構成部をアクティブ状態にするため設けられる。

【0050】

電圧レベル制御回路10は、メモリセルアレイ2のワード線へ印加する内部電圧としてのブースト電圧 V_{bt} のレベルを制御する内部電圧レベル制御信号Aを、基準電圧 V_{ref1} 、 V_{ref2} に基づいて発生する。リングオッシレータ3の入力側は、電圧レベル制御回路10の出力側に接続され、内部電圧レベル制御信号Aは、リングオッシレータ3へ入力される。リングオッシレータ3は、発振回路であり、インバータを奇数個リング状に直列接続して構成し得る。電圧レベル制御回路1から出力された内部電圧レベル制御信号Aが" H " (ハイレベル)のとき、リングオッシレータ3は、アクティブ状態になり、発振出力Bを出力する。

20

【0051】

昇圧回路4の入力側は、リングオッシレータ3の出力側に接続され、この発振出力Bは昇圧回路4に入力される。昇圧回路4はチャージポンプ回路で構成し得る。昇圧回路4は、リングオッシレータ3の出力Bを利用して電源電圧 V_{DD} を段階的に昇圧し、ワード線を駆動するブースト電圧 V_{bt} として出力する。昇圧回路4の出力側は、ワードデコーダ5に接続され、ブースト電圧 V_{bt} はワードデコーダ5へ入力される。この場合、ブースト電圧 V_{bt} は、電源電圧 V_{DD} より高い電圧レベル、例えば($V_{DD} + 1.5V$)または($V_{DD} + 2V$)である。ワードデコーダ5は、ロウデコーダ6の出力側に接続され、ロウデコーダ6からの出力によって選択されたワード線へブースト電圧 V_{bt} を供給する。メモリセルアレイ2は、DRAMのメモリセルアレイと同様の構成を有するメモリセルアレイである。

30

【0052】

リフレッシュタイミング発生回路7は、一定時間間隔で、メモリセルアレイ2中のメモリセルをリフレッシュするためのリフレッシュ信号およびリフレッシュすべきメモリセルのアドレスを指定するリフレッシュアドレスを発生する。この一定時間間隔は、データ保持が保証される期間内に定められる。尚、リフレッシュ信号を発生する時間間隔は、データ保持が保証される期間内であれば常に一定でなくとも良い。リフレッシュタイミング発生回路7の出力側は、ロウイネーブル発生回路8へ接続され、リフレッシュ信号をロウイネーブル発生回路8へ入力する。また、リフレッシュアドレスをロウデコーダ6へ入力する。

40

【0053】

ロウイネーブル発生回路8は、ライトイネーブル信号WE、チップセレクト信号CSおよびメモリセルアレイ2の読出/書込アドレスAddの入力を受け、アドレスAddが変化

50

する毎に、ロウイネーブル信号 L T を発生する。また、このロウイネーブル発生回路 8 は、リフレッシュタイミング発生回路 7 がリフレッシュ信号を出力するタイミングで信号 L T を発生する。ロウイネーブル発生回路 8 の出力側は、ロウデコーダ 6 に接続され、ロウイネーブル信号 L T をロウデコーダ 6 へ入力する。ロウデコーダ 6 は、ロウイネーブル信号 L T の入力を受けた時点で外部入力された読出 / 書込アドレス A d d をデコードし、デコード結果をワードデコーダ 5 へ入力する。

【 0 0 5 4 】

オアゲート 9 は、第一及び第二の入力を有する。第一の入力には、電源投入時に外部からパワーオンリセット信号 P O R が入力される。第二の入力は、ロウイネーブル発生回路 8 の出力側に接続され、ロウイネーブル信号 L T の入力を受ける。更に、オアゲート 9 の出力は、電圧レベル制御回路 1 0 に接続される。オアゲート 9 は、パワーオンリセット信号 P O R とロウイネーブル信号 L T との論理和 (オア) をとり、その結果を論理和信号 P L として出力し、この論理和信号 P L を電圧レベル制御回路 1 0 へ入力する。ここで、パワーオンリセット信号 P O R は、電源投入時に一定期間 " H " (ハイレベル) となり、ブースト電圧 V b t を所定のレベルまで昇圧することで、パワーオンして間もない期間におけるリフレッシュ、データ読出し、データ書込み動作を保証する。また、ロウイネーブル信号 L T は、外部入力される読出 / 書込アドレス A d d が変化するタイミングおよびリフレッシュタイミング発生回路 7 からリフレッシュ信号が出力されるタイミングでロウイネーブル発生回路 8 から出力される。

【 0 0 5 5 】

電圧レベル制御回路 1 0 は、昇圧回路 4 の出力側に接続され、昇圧回路 4 から出力されたブースト電圧 V b t が、ワードデコーダ 5 へ入力されるとともに、電圧レベル制御回路 1 0 へフィードバックされる。更に、電圧レベル制御回路 1 0 は、第一及び第二の基準電圧 V r e f 1 および V r e f 2 の入力を受ける。第一の基準電圧 V r e f 1 は、ブースト電圧 V b t の許容電圧レベル範囲の下限を定めるものであり、一方、第二の基準電圧 V r e f 2 は、ブースト電圧 V b t の許容電圧レベル範囲の上限を定めるものである。すなわち、第一の基準電圧 V r e f 1 は、ブースト電圧 V b t が許容電圧レベル範囲の下限以下になったことを電圧レベル制御回路 1 0 が検出するための基準電圧である。第二の基準電圧 V r e f 2 は、ブースト電圧 V b t が許容電圧レベル範囲の上限以上になったことを電圧レベル制御回路 1 0 が検出するための基準電圧である。許容電圧レベル範囲の下限を定める第一の基準電圧 V r e f 1 は、メモリセルの読み出し又は書き込みを正しく行うために必要な電圧範囲の最小値に基づき定められる。許容電圧レベル範囲の上限を定める第二の基準電圧 V r e f 2 は、電圧レベル制御回路 1 0 を使用する半導体装置の耐電圧規格に基づき定められる。

【 0 0 5 6 】

電圧レベル制御回路 1 0 は、第一の基準電圧 V r e f 1 および第二の基準電圧 V r e f 2 に基づき定まる許容電圧レベル範囲内にブースト電圧 V b t を維持するよう、内部電圧レベル制御信号 A を出力する。前述したように、デバイスの電源投入時、デバイスのスタンバイ状態におけるリフレッシュ時、デバイスのアクティブ状態におけるリフレッシュ時、およびデバイスのアクティブ状態における書込 / 読出時において、電圧レベル制御回路 1 0 の各回路構成部がアクティブ状態になる。デバイスのスタンバイ状態における非リフレッシュ時およびデバイスのアクティブ状態における非リフレッシュ時、非書込 / 読出時には、電圧レベル制御回路 1 0 の各回路構成部がインアクティブ状態になる。

【 0 0 5 7 】

昇圧回路 4 の出力側からフィードバックされたブースト電圧 V b t が、第一の基準電圧 V r e f 1 に基づき定められる許容電圧レベル範囲の下限以下となったとき、電圧レベル制御回路 1 0 は、アクティブ状態になる。そして内部電圧レベル制御信号 A をアクティブ状態にして昇圧回路 4 をアクティブ状態にし、ブースト電圧 V b t の電圧レベルを上昇させる。ブースト電圧 V b t の電圧レベルが、第一の基準電圧 V r e f 1 および第二の基準電圧 V r e f 2 で定まる許容電圧レベル範囲内にあるとき、電圧レベル制御回路 1 0 は、アクティ

10

20

30

40

50

ブ状態にあり、内部電圧レベル制御信号Aをアクティブ状態に維持し、ブースト電圧Vbtは上昇し続ける。

【0058】

ブースト電圧Vbtの電圧レベルが、第二の基準電圧Vref2に基づき定められる許容電圧レベル範囲の上限以上となったとき、電圧レベル制御回路10は、アクティブ状態からインアクティブ状態になり、内部電圧レベル制御信号Aをアクティブ状態からインアクティブ状態にして、昇圧回路4をインアクティブ状態にし、ブースト電圧Vbtの電圧レベルの上昇を停止させる。昇圧回路4をインアクティブ状態にすると、ブースト電圧Vbtの電圧レベルは、時間経過と共に徐々に低下する。従って、ブースト電圧Vbtの電圧レベルは、許容電圧レベル範囲内をゆっくり低下し、徐々に第一の基準電圧Vref1に基づき定められる許容電圧レベル範囲の下限に近づく。この間、電圧レベル制御回路10は、イン
10

【0059】

やがて、ブースト電圧Vbtの電圧レベルが、第一の基準電圧Vref1に基づき定められる許容電圧レベル範囲の下限以下となったとき、再び電圧レベル制御回路10は、イン
20

【0060】

電圧レベル制御回路10は、以下の回路動作をするように回路を構成する。

すなわち、電圧レベル制御回路10は、第一の基準電圧Vref1および第二の基準電圧Vref2が入力される第一及び第二の入力と、昇圧回路4の出力側と接続され、昇圧回路4から出力されたブースト電圧Vbtが入力される第三の入力と、前記オアゲート9の出力と接続され、オアゲート9から出力された論理和信号PLが入力される第四の入力とを有する。電圧レベル制御回路10は、昇圧回路4から出力されたブースト電圧Vbtを第一の基準電圧Vref1および第二の基準電圧Vref2と比較する。電圧レベル制御回路10は、内部電圧レベル制御信号Aをアクティブ状態およびインアクティブ状態に切り替える
30

ことで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧Vbtを、第一の基準電圧Vref1および第二の基準電圧Vref2で定まる許容電圧レベル範囲内に維持する。
更に、内部電圧レベル制御信号Aがアクティブ状態にあるとき、電圧レベル制御回路10はアクティブ状態となる。そして、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込/読出時のいずれかにおいて、電圧レベル制御回路10はアクティブ状態となる。しかし、内部電圧レベル制御信号Aがイン
40

【0061】

上述の説明では、電圧レベル制御回路10は、第一の基準電圧Vref1および第二の基準電圧Vref2の双方に基づきブースト電圧Vbtの電圧レベルを制御した。すなわち、電圧レベル制御回路10は、昇圧回路4から出力されたブースト電圧Vbtの電圧レベルを、第一の基準電圧Vref1および第二の基準電圧Vref2に基づき定める許容電圧レベル範囲に維持するよう制御する。

しかしながら、電圧レベル制御回路10を組込む擬似SRAMの動作条件によっては、必ずしも第一の基準電圧Vref1および第二の基準電圧Vref2の双方が必要となるとは限らない。例えば、第一の基準電圧Vref1および第二の基準電圧Vref2の少なくとも一方に基づきブースト電圧Vbtの電圧レベルを制御することも可能である。

【0062】

10

20

30

40

50

例えば、第一の基準電圧 V_{ref1} のみを利用してブースト電圧 V_{bt} の電圧レベルを制御する場合、電圧レベル制御回路 10 は以下のように動作する。

昇圧回路 4 の出力側からフィードバックされたブースト電圧 V_{bt} が、第一の基準電圧 V_{ref1} に基づき定められる許容電圧レベル範囲の下限以下となったとき、電圧レベル制御回路 10 は、アクティブ状態になる。そして内部電圧レベル制御信号 A をアクティブ状態にして昇圧回路 4 をアクティブ状態にし、ブースト電圧 V_{bt} の電圧レベルを上昇させる。電圧レベル制御回路 10 がアクティブ状態となってから、予め定められた一定時間を経過するまで、電圧レベル制御回路 10 は、アクティブ状態にあり、内部電圧レベル制御信号 A をアクティブ状態に維持し、ブースト電圧 V_{bt} は上昇し続ける。

【0063】

電圧レベル制御回路 10 がアクティブ状態となってから、予め定められた一定時間を経過した後、電圧レベル制御回路 10 は、アクティブ状態からインアクティブ状態になり、内部電圧レベル制御信号 A をアクティブ状態からインアクティブ状態にして、昇圧回路 4 をインアクティブ状態にし、ブースト電圧 V_{bt} の電圧レベルの上昇を停止させる。昇圧回路 4 をインアクティブ状態にすると、ブースト電圧 V_{bt} の電圧レベルは、その後時間経過と共に徐々に低下する。従って、ブースト電圧 V_{bt} の電圧レベルは、許容電圧レベル範囲内をゆっくり低下し、徐々に第一の基準電圧 V_{ref1} に基づき定められる許容電圧レベル範囲の下限に近づく。この間、電圧レベル制御回路 10 は、インアクティブ状態にあり、内部電圧レベル制御信号 A をインアクティブ状態に維持する。例えば、デバイスがスタンバイ状態にあるとき、リフレッシュ動作の間は、電圧レベル制御回路 10 がインアクティブ状態にあるため、電圧レベル制御回路 10 で消費される電力が節減される。

やがて、ブースト電圧 V_{bt} の電圧レベルが、再び第一の基準電圧 V_{ref1} に基づき定められる許容電圧レベル範囲の下限以下となったとき、再び電圧レベル制御回路 10 は、インアクティブ状態からアクティブ状態になり、内部電圧レベル制御信号 A をインアクティブ状態からアクティブ状態にする。これにより、昇圧回路をインアクティブ状態からアクティブ状態にし、ブースト電圧 V_{bt} の電圧レベルを上昇させる。

【0064】

第一の基準電圧 V_{ref1} に基づきブースト電圧 V_{bt} の電圧レベルを制御する場合においても、電圧レベル制御回路 10 は、以下のように構成し得る。

電圧レベル制御回路 10 は、第一の基準電圧 V_{ref1} が入力される第一入力と、昇圧回路 4 の出力側と接続され、昇圧回路 4 から出力されたブースト電圧 V_{bt} が入力される第二の入力と、前記オアゲート 9 の出力と接続され、オアゲート 9 から出力された論理和信号 PL が入力される第三の入力とを有する。電圧レベル制御回路 10 は、昇圧回路 4 から出力されたブースト電圧 V_{bt} を第一の基準電圧 V_{ref1} と比較する。電圧レベル制御回路 10 は、内部電圧レベル制御信号 A をアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路 4 をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路 4 から出力されるブースト電圧 V_{bt} を、第一の基準電圧 V_{ref1} に基づき定められる許容電圧レベル範囲の下限以上に維持する。

更に、内部電圧レベル制御信号 A がアクティブ状態にあるとき、電圧レベル制御回路 10 はアクティブ状態となる。そして、内部電圧レベル制御信号 A がインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込 / 読出時のいずれかにおいて、電圧レベル制御回路 10 はアクティブ状態となる。しかし、内部電圧レベル制御信号 A がインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込 / 読出時のいずれでもない時、電圧レベル制御回路 10 はインアクティブ状態となる回路構成を有する。

【0065】

例えば、第二の基準電圧 V_{ref2} のみを利用してブースト電圧 V_{bt} の電圧レベルを制御する場合、電圧レベル制御回路 10 は以下のように動作する。

電圧レベル制御回路 10 がアクティブ状態にあり、内部電圧レベル制御信号 A をアクティブ状態にして昇圧回路 4 をアクティブ状態にし、ブースト電圧 V_{bt} の電圧レベルを上昇させる。ブースト電圧 V_{bt} の電圧レベルが、第二の基準電圧 V_{ref2} に基づき定められる

10

20

30

40

50

許容電圧レベル範囲の上限より低い場合、電圧レベル制御回路10は、アクティブ状態にあり、内部電圧レベル制御信号Aをアクティブ状態に維持し、ブースト電圧Vbtは上昇し続ける。

【0066】

ブースト電圧Vbtの電圧レベルが、第二の基準電圧Vref2に基づき定められる許容電圧レベル範囲の上限以上となったとき、電圧レベル制御回路10は、アクティブ状態からインアクティブ状態になり、内部電圧レベル制御信号Aをアクティブ状態からインアクティブ状態にして、昇圧回路4をインアクティブ状態にし、ブースト電圧Vbtの電圧レベルの上昇を停止させる。昇圧回路4をインアクティブ状態にすると、ブースト電圧Vbtの電圧レベルは、時間経過と共に徐々に低下する。従って、ブースト電圧Vbtの電圧レベルは、許容電圧レベル範囲内をゆっくり低下する。電圧レベル制御回路10がアクティブ状態からインアクティブ状態になって予め定められた一定期間中は、電圧レベル制御回路10は、インアクティブ状態にあり、内部電圧レベル制御信号Aをインアクティブ状態に維持する。例えば、デバイスがスタンバイ状態にあるとき、リフレッシュ動作の間は、電圧レベル制御回路10がインアクティブ状態にあるため、電圧レベル制御回路10で消費される電力が節減される。

10

【0067】

やがて、電圧レベル制御回路10がアクティブ状態からインアクティブ状態になって予め定められた一定期間が経過すると、再び電圧レベル制御回路10は、インアクティブ状態からアクティブ状態になり、内部電圧レベル制御信号Aをインアクティブ状態からアクティブ状態にする。これにより、昇圧回路をインアクティブ状態からアクティブ状態にし、ブースト電圧Vbtの電圧レベルを上昇させる。

20

【0068】

第二の基準電圧Vref2の一方に基づきブースト電圧Vbtの電圧レベルを制御する場合においても、電圧レベル制御回路10は、以下のように構成し得る。

電圧レベル制御回路10は、第二の基準電圧Vref2が入力される第一入力と、昇圧回路4の出力側と接続され、昇圧回路4から出力されたブースト電圧Vbtが入力される第二の入力と、前記オアゲート9の出力と接続され、オアゲート9から出力された論理和信号PLが入力される第三の入力とを有する。電圧レベル制御回路10は、昇圧回路4から出力されたブースト電圧Vbtを第二の基準電圧Vref2と比較する。電圧レベル制御回路10は、内部電圧レベル制御信号Aをアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧Vbtを、第二の基準電圧Vref2に基づき定められる許容電圧レベル範囲の上限以下に維持する。

30

更に、内部電圧レベル制御信号Aがアクティブ状態にあるとき、電圧レベル制御回路10はアクティブ状態となる。そして、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込/読出時のいずれかにおいて、電圧レベル制御回路10はアクティブ状態となる。しかし、内部電圧レベル制御信号Aがインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込/読出時のいずれでもない時、電圧レベル制御回路10はインアクティブ状態となる回路構成を有する。

40

【0069】

次に、本発明に係る新規な電圧レベル制御回路10の回路構成の1例について、図1を参照して詳述する。図1に示す回路構成はあくまで図2に示す本発明に係る新規な電圧レベル制御回路10を具体的に実現するための好適な1例であって、この回路構成に限るものではない。電圧レベル制御回路10は、第一の基準電圧Vref1および第二の基準電圧Vref2の双方に基づきブースト電圧Vbtの電圧レベルを制御するものとする。すなわち、以下の回路構成は、内部電圧レベル制御信号Aをアクティブ状態およびインアクティブ状態に切り替えることで、昇圧回路4をアクティブ状態およびインアクティブ状態に切り替えて、昇圧回路4から出力されるブースト電圧Vbtを、第一の基準電圧Vref1および第二の基準電圧Vref2で定まる許容電圧レベル範囲内に維持することに加え、更

50

に、内部電圧レベル制御信号 A がアクティブ状態にあるとき、電圧レベル制御回路 10 はアクティブ状態となり、そして、内部電圧レベル制御信号 A がインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込 / 読出時のいずれかにおいて、電圧レベル制御回路 10 はアクティブ状態となるが、しかし、内部電圧レベル制御信号 A がインアクティブ状態であって、電源投入時、リフレッシュ動作時、或いは書込 / 読出時のいずれでもない時、電圧レベル制御回路 10 はインアクティブ状態となる回路構成である。

【0070】

図 1 に示すように、電圧レベル制御回路 10 は、ラッチ回路 11、ブースト電圧 V_{bt} を分圧する分圧抵抗 12、13、N チャンネル MOS フィールドエフェクトトランジスタからなる第一のスイッチングトランジスタ 14、第一及び第二のカレントミラー差動増幅器 20、27、P チャンネル MOS フィールドエフェクトトランジスタからなる第二及び第三のスイッチングトランジスタ 30、31、第一及び第二のトランスファゲート 34、35、並びに第一及び第二のインバータ 36、37 からなる。

10

【0071】

ラッチ回路 11 の入力、オアゲート 9 の出力に接続され、論理和信号 PL の入力を受ける。ラッチ回路 11 の制御端子は、電圧レベル制御回路 10 の出力に接続され、電圧レベル制御回路 10 の出力から出力された内部電圧レベル制御信号 A は、ラッチ回路 11 の制御端子にフィードバックされる。ラッチ回路 11 の出力はノード N1 に接続される。

内部電圧レベル制御信号 A がハイレベル “H”、すなわち内部電圧レベル制御信号 A がアクティブ状態にある場合、入力信号 PL をラッチする。すなわち、ラッチ回路 11 の出力には、入力信号 PL は現れない。このときラッチ信号 La はハイレベル “H” となる。

20

一方、内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態にある場合、入力信号 PL をラッチせずスルーさせる。すなわち、ラッチ回路 11 の出力には、ラッチ回路 11 をスルーした入力信号 PL がラッチ信号 La として現れる。

【0072】

入力信号 PL は、デバイスの電力投入時、デバイスのスタンバイ状態及びアクティブ状態におけるリフレッシュ動作時、およびデバイスのアクティブ状態における書込み / 読出し時にハイレベル “H” になる。一方、非リフレッシュ動作時および非書込み / 読出し時にはロウレベル “L” となる。

30

よって内部電圧レベル制御信号 A がハイレベル “H”、すなわち内部電圧レベル制御信号 A がアクティブ状態にある場合、或いは内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態であってもデバイスの電力投入時、デバイスのスタンバイ状態及びアクティブ状態におけるリフレッシュ動作時、およびデバイスのアクティブ状態における書込み / 読出し時には、ラッチ信号 La はハイレベル “H” となる。

一方、内部電圧レベル制御信号 A がロウレベル “L”、すなわち内部電圧レベル制御信号 A がインアクティブ状態であって非リフレッシュ動作時および非書込み / 読出し時には、ラッチ信号 La はロウレベル “L” となる。

【0073】

40

ブースト電圧 V_{bt} を分圧する分圧抵抗 12、13 および第一のスイッチングトランジスタ 14 は、昇圧回路 4 の出力とグランド端子との間に直列に接続され、分圧回路を形成する。分圧抵抗 12 は、昇圧回路 4 の出力と分圧回路の出力との間に接続される。分圧抵抗 13 は、分圧回路の出力と第一のスイッチングトランジスタ 14 との間に接続される。第一のスイッチングトランジスタ 14 は、分圧抵抗 13 グランド端子との間に直列に接続される。分圧回路の出力には分圧電圧 V_B が現れる。分圧回路の出力は、ノード N2 に接続される。第一のスイッチングトランジスタ 14 のゲート電極は、ノード N1 に接続され、ラッチ信号 La の入力を受ける。

第一のスイッチングトランジスタ 14 は、N チャンネル MOS フィールドエフェクトトランジスタなので、ラッチ信号 La がハイレベル “H” のときオンし、ラッチ信号 La がロ

50

ウレベル“L”のときオフする。

【0074】

内部電圧レベル制御信号Aがハイレベル“H”、すなわち内部電圧レベル制御信号Aがアクティブ状態にある場合、或いは内部電圧レベル制御信号Aがロウレベル“L”、すなわち内部電圧レベル制御信号Aがインアクティブ状態であってもデバイスの電力投入時、デバイスのスタンバイ状態及びアクティブ状態におけるリフレッシュ動作時、およびデバイスのアクティブ状態における書込み/読出し時には、ラッチ信号Laはハイレベル“H”となるので、第一のスイッチングトランジスタ14はオンし、分圧回路に電流i3が流れる。これによりブースト電圧Vbtの分圧電圧VBが分圧回路の出力に現れ、ノードN2のポテンシャルが分圧電圧VBと等しくなる。このとき分圧回路はアクティブ状態にある。

10

【0075】

一方、内部電圧レベル制御信号Aがロウレベル“L”、すなわち内部電圧レベル制御信号Aがインアクティブ状態であって非リフレッシュ動作時および非書込み/読出し時には、ラッチ信号Laはロウレベル“L”となるので、第一のスイッチングトランジスタ14はオフし、分圧回路に電流は流れない。このとき分圧回路はインアクティブ状態にある。

【0076】

第一のカレントミラー差動増幅器20は、3つのNチャンネルMOSフィールドエフェクトトランジスタ15、16、17と2つのPチャンネルMOSフィールドエフェクトトランジスタ18、19とからなる。2つのNチャンネルMOSフィールドエフェクトトランジスタ15、17と1つのPチャンネルMOSフィールドエフェクトトランジスタ18は、外部電圧としての電源電圧VDDとグランド線との間に直列接続される。2つのNチャンネルMOSフィールドエフェクトトランジスタ16、17と1つのPチャンネルMOSフィールドエフェクトトランジスタ19は、外部電圧としての電源電圧VDDとグランド線との間に直列接続される。

20

【0077】

NチャンネルMOSフィールドエフェクトトランジスタ15のゲート電極は、ノードN2に接続され、分圧電圧VBが印加される。NチャンネルMOSフィールドエフェクトトランジスタ17のゲート電極は、ノードN1に接続され、ラッチ信号Laが印加される。PチャンネルMOSフィールドエフェクトトランジスタ18、19のゲート電極は、互いに接続されると共に、NチャンネルMOSフィールドエフェクトトランジスタ15のドレインに接続される。NチャンネルMOSフィールドエフェクトトランジスタ16のゲート電極には、第一の基準電圧Vref1が印加される。NチャンネルMOSフィールドエフェクトトランジスタ16のドレインは、第一のカレントミラー差動増幅器20の出力に接続され、NチャンネルMOSフィールドエフェクトトランジスタ16のドレイン電圧が、第一のカレントミラー差動増幅器20の出力に出力電圧V1として現れる。

30

【0078】

ラッチ信号Laがハイレベル“H”になると、第一のスイッチングトランジスタ14がオンし、分圧回路に電流i3が流れる。これによりブースト電圧Vbtの分圧電圧VBが分圧回路の出力に現れ、ノードN2のポテンシャルがこの分圧電圧VBと等しくなる。このとき分圧回路はアクティブ状態にある。そして、この分圧電圧VBがNチャンネルMOSフィールドエフェクトトランジスタ15のゲート電極に印加される。さらにNチャンネルMOSフィールドエフェクトトランジスタ17のゲート電極にも、ハイレベル“H”のラッチ信号Laが印加され、NチャンネルMOSフィールドエフェクトトランジスタ17がオンすることで、第一のカレントミラー差動増幅器20がアクティブ状態になり、NチャンネルMOSフィールドエフェクトトランジスタ17に電流i1が流れる。すなわち、ラッチ信号Laがハイレベル“H”になると、第一のカレントミラー差動増幅器20がアクティブ状態になる。

40

【0079】

分圧電圧VBが第一の基準電圧Vref1より大きいとき、第一のカレントミラー差動増幅器20の出力電圧V1は、ハイレベル“H”になる。分圧電圧VBが第一の基準電圧Vref1

50

より小さいとき、第一のカレントミラー差動増幅器 20 の出力電圧 V_1 は、ロウレベル “L” になる。従って、第一のカレントミラー差動増幅器 20 は、その出力電圧 V_1 に基づき、分圧電圧 V_B が第一の基準電圧 V_{ref1} より大きい小さいかを検出する。

【0080】

ラッチ信号 L_a がロウレベル “L” になると、第一のスイッチングトランジスタ 14 がオフし、分圧回路には電流が流れず、分圧回路はインアクティブ状態になる。さらに、NチャンネルMOSフィールドエフェクトトランジスタ 17 のゲート電極にも、ロウレベル “L” のラッチ信号 L_a が印加され、NチャンネルMOSフィールドエフェクトトランジスタ 17 がオフすることで、第一のカレントミラー差動増幅器 20 がインアクティブ状態になる。すなわち、ラッチ信号 L_a がロウレベル “L” になると、第一のカレントミラー差動増幅器 20 がインアクティブ状態になる。

10

【0081】

第二のカレントミラー差動増幅器 27 は、3つのNチャンネルMOSフィールドエフェクトトランジスタ 22, 23, 24 と2つのPチャンネルMOSフィールドエフェクトトランジスタ 25, 26 とからなる。2つのNチャンネルMOSフィールドエフェクトトランジスタ 22, 24 と1つのPチャンネルMOSフィールドエフェクトトランジスタ 25 は、外部電圧としての電源電圧 V_{DD} とグランド線との間に直列接続される。2つのNチャンネルMOSフィールドエフェクトトランジスタ 23, 24 と1つのPチャンネルMOSフィールドエフェクトトランジスタ 26 は、外部電圧としての電源電圧 V_{DD} とグランド線との間に直列接続される。

20

【0082】

NチャンネルMOSフィールドエフェクトトランジスタ 22 のゲート電極は、ノード N_2 に接続され、分圧電圧 V_B が印加される。NチャンネルMOSフィールドエフェクトトランジスタ 24 のゲート電極は、ノード N_1 に接続され、ラッチ信号 L_a が印加される。PチャンネルMOSフィールドエフェクトトランジスタ 25, 26 のゲート電極は、互いに接続されると共に、NチャンネルMOSフィールドエフェクトトランジスタ 22 のドレインに接続される。NチャンネルMOSフィールドエフェクトトランジスタ 23 のゲート電極には、第二の基準電圧 V_{ref2} が印加される。NチャンネルMOSフィールドエフェクトトランジスタ 23 のドレインは、第二のカレントミラー差動増幅器 27 の出力に接続され、NチャンネルMOSフィールドエフェクトトランジスタ 23 のドレイン電圧が、第二のカレントミラー差動増幅器 27 の出力に出力電圧 V_2 として現れる。

30

【0083】

ラッチ信号 L_a がハイレベル “H” になると、第二のスイッチングトランジスタ 14 がオンし、分圧回路に電流 i_3 が流れる。これによりブースト電圧 V_{bt} の分圧電圧 V_B が分圧回路の出力に現れ、ノード N_2 のポテンシャルがこの分圧電圧 V_B と等しくなる。このとき分圧回路はアクティブ状態にある。そして、この分圧電圧 V_B がNチャンネルMOSフィールドエフェクトトランジスタ 22 のゲート電極に印加される。さらにNチャンネルMOSフィールドエフェクトトランジスタ 24 のゲート電極にも、ハイレベル “H” のラッチ信号 L_a が印加され、NチャンネルMOSフィールドエフェクトトランジスタ 24 がオンすることで、第二のカレントミラー差動増幅器 27 がアクティブ状態になり、NチャンネルMOSフィールドエフェクトトランジスタ 24 に電流 i_2 が流れる。すなわち、ラッチ信号 L_a がハイレベル “H” になると、第二のカレントミラー差動増幅器 27 がアクティブ状態になる。

40

【0084】

分圧電圧 V_B が第二の基準電圧 V_{ref2} より大きいとき、第二のカレントミラー差動増幅器 27 の出力電圧 V_2 は、ハイレベル “H” になる。分圧電圧 V_B が第二の基準電圧 V_{ref2} より小さいとき、第二のカレントミラー差動増幅器 27 の出力電圧 V_2 は、ロウレベル “L” になる。従って、第二のカレントミラー差動増幅器 27 は、その出力電圧 V_1 に基づき、分圧電圧 V_B が第二の基準電圧 V_{ref2} より大きい小さいかを検出する。

。

50

【 0 0 8 5 】

ラッチ信号 L_a がロウレベル “ L ” になると、第二のスイッチングトランジスタ 14 がオフし、分圧回路には電流が流れず、分圧回路はインアクティブ状態になる。さらに、NチャンネルMOSフィールドエフェクトトランジスタ 24 のゲート電極にも、ロウレベル “ L ” のラッチ信号 L_a が印加され、NチャンネルMOSフィールドエフェクトトランジスタ 24 がオフすることで、第二のカレントミラー差動増幅器 27 がインアクティブ状態になる。すなわち、ラッチ信号 L_a がロウレベル “ L ” になると、第二のカレントミラー差動増幅器 27 がインアクティブ状態になる。

【 0 0 8 6 】

すなわち、ラッチ信号 L_a がハイレベル “ H ” になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器 20、27 は、アクティブ状態になり、分圧回路には電流 i_3 が流れ、第一のカレントミラー差動増幅器 20 には電流 i_1 が流れ、第二のカレントミラー差動増幅器 27 には電流 i_2 が流れることで、電力を消費する。

一方、ラッチ信号 L_a がロウレベル “ L ” になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器 20、27 は、インアクティブ状態になり、電流が流れないため、電力を消費しない。

【 0 0 8 7 】

PチャンネルMOSフィールドエフェクトトランジスタからなる第二のスイッチングトランジスタ 30 は、第一のカレントミラー差動増幅器 20 の出力と電源電圧との間に接続される。第二のスイッチングトランジスタ 30 のゲート電極は、ノード N1 と接続され、ラッチ信号 L_a が印加される。

PチャンネルMOSフィールドエフェクトトランジスタからなる第三のスイッチングトランジスタ 31 は、第二のカレントミラー差動増幅器 27 の出力と電源電圧との間に接続される。第三のスイッチングトランジスタ 31 のゲート電極は、ノード N1 と接続され、ラッチ信号 L_a が印加される。

【 0 0 8 8 】

ラッチ信号 L_a がハイレベル “ H ” になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器 20、27 は、アクティブ状態になるが、このとき第二及び第三のスイッチングトランジスタ 30、31 はオフし、第一及び第二のカレントミラー差動増幅器 20、27 の出力は、電源電圧 V_{DD} から切離される。ラッチ信号 L_a がロウレベル “ L ” になると、分圧回路、並びに第一及び第二のカレントミラー差動増幅器 20、27 は、インアクティブ状態になるが、このとき第二及び第三のスイッチングトランジスタ 30、31 はオンし、第一及び第二のカレントミラー差動増幅器 20、27 の出力は、外部電圧としての電源電圧 V_{DD} と導通することで、第一及び第二のカレントミラー差動増幅器 20、27 の出力電圧が、電源電圧 V_{DD} まで強制的に引き上げられる。

【 0 0 8 9 】

第一のトランスファゲート 34 は、第一のカレントミラー差動増幅器 20 の出力と第二のインバータ 37 の入力との間に並列接続された、一組のNチャンネルMOSフィールドエフェクトトランジスタ及びPチャンネルMOSフィールドエフェクトトランジスタからなる。

第二のトランスファゲート 35 は、第二のカレントミラー差動増幅器 27 の出力と第二のインバータ 37 の入力との間に並列接続された、一組のNチャンネルMOSフィールドエフェクトトランジスタ及びPチャンネルMOSフィールドエフェクトトランジスタからなる。

第一のトランスファゲート 34 のNチャンネルMOSフィールドエフェクトトランジスタのゲート電極は、第二のトランスファゲート 35 のPチャンネルMOSフィールドエフェクトトランジスタのゲート電極と接続されると共に、これらゲート電極は、第一のインバータ 36 の出力と接続される。

第一のトランスファゲート 34 のPチャンネルMOSフィールドエフェクトトランジスタのゲート電極は、第二のトランスファゲート 35 のNチャンネルMOSフィールドエフェ

10

20

30

40

50

クトランジスタのゲート電極と接続されると共に、これらゲート電極は、第一のインバータ36の入力と接続される。

第二のインバータ37の出力は、電圧レベル制御回路10の出力と接続されると共に、ラッチ回路11の制御端子に接続される。

【0090】

第二のインバータ37の出力がハイレベル“H”になると、第一のトランスファゲート34は、オフする。第二のインバータ37の出力がロウレベル“L”になると、第一のトランスファゲート34は、オンする。

第二のインバータ37の出力がハイレベル“H”になると、第二のトランスファゲート35は、オンする。第二のインバータ37の出力がロウレベル“L”になると、第二のトランスファゲート35は、オフする。

10

【0091】

次に、上述した回路の動作を図3に示すタイミングチャートを参照して説明する。

まず、電源投入時においては、ラッチ回路11の初期リセットによってラッチ信号Laが“L”となり、したがって、PチャンネルMOSフィールドエフェクトトランジスタ30、31が共にオン状態となる。これにより、トランスファゲート34、35のいずれがオン状態にあっても、レベル制御回路1の出力信号Aが“L”となる。信号Aが“L”となると、トランスファゲート34がオン、35がオフとなる。またこの時、NチャンネルMOSフィールドエフェクトトランジスタ14、17、24はいずれもオフ状態にある。

【0092】

このような状態において、パワーオンリセット信号PORがオアゲート9へ印加されると、オアゲート9の出力信号PLが“H”となる。この時、信号Aは“L”であり、ラッチ回路11はスルー状態にあり、したがって、ラッチ信号Laが“H”となる。ラッチ信号Laが“H”となると、PチャンネルMOSフィールドエフェクトトランジスタ30、31が共にオフとなる一方、NチャンネルMOSフィールドエフェクトトランジスタ14、17、24がオンとなり、抵抗12、13による分圧回路、カレントミラー差動増幅器20、27が各々アクティブ状態となる。そして、この時、まだ、リングオッシレータ3および昇圧回路4が共に動作を開始していないことから、ブースト電圧Vbtが低レベルにあり、したがって、電圧VBが基準電圧Vref1より小であり、カレントミラー差動増幅器20の出力電圧V1が“L”となり、レベル制御回路1の出力信号Aが“H”となる。信号Aが“H”になると、トランスファゲート34がオフ、35がオンとなり、以後、電圧V2（この時点で“L”）がトランスファゲート35を介してインバータ37へ供給される。また、信号Aが“H”になると、ラッチ回路11がその時の信号PLの値“H”をラッチする。

20

30

【0093】

信号Aが“H”となり、この“H”信号がリングオッシレータ3へ供給されると、リングオッシレータ3が発振動作を開始し、発振信号Bが昇圧回路4へ出力される。昇圧回路4はこの発振信号Bを利用してブースト電圧Vbtを階段状に昇圧し、ワードデコーダ5へ出力すると共に、電圧レベル制御回路10へフィードバックする。

【0094】

ブースト電圧Vbtが徐々に上昇し、基準電圧Vref1より大になると、電圧V1が“H”となるが、この時、トランスファゲート34はオフであり、したがって、回路動作に影響はない。ブースト電圧Vbtがさらに上昇し、基準電圧Vref2より大になると、電圧V2が“H”となる。これにより、信号Aが“L”となり、リングオッシレータ3、昇圧回路4の動作が停止する。また、信号Aが“L”になると、ラッチ回路11がスルー状態となる。この時点で、パワーオンリセット信号PORがすでに“L”になっていると、ラッチ信号Laが“L”となり、これにより、PチャンネルMOSフィールドエフェクトトランジスタ30、31がオン、NチャンネルMOSフィールドエフェクトトランジスタ14、17、24がオフとなる。

40

【0095】

50

このように、電源投入時において、ブースト電圧 V_{bt} の昇圧動作が行われ、ブースト電圧 V_{bt} を分圧した電圧 V_B が基準電圧 V_{ref2} に達すると、昇圧動作が終了する。以後、スタンバイ状態の場合は、約 $16 \mu\text{sec}$ 毎にリフレッシュタイミング発生回路 7 からリフレッシュ信号が出力され、ロウイネーブル発生回路 8 へ供給される。ロウイネーブル発生回路 8 は該リフレッシュ信号を受け、信号 L_T を発生し、オアゲート 9 およびロウデコーダ 6 へ出力する。また、リフレッシュタイミング発生回路 7 は、リフレッシュ信号と同時にリフレッシュアドレスを発生し、ロウデコーダ 6 へ出力する。ロウデコーダ 6 はそのリフレッシュアドレスをデコードし、その結果をワードデコーダ 5 へ出力する。

【0096】

以下、上述したスタンバイ状態における電圧レベル制御回路 10 の動作を図 3 を参照しながら説明する。いま、時刻 t_1 において、信号 L_T (" H ") がオアゲート 9 へ供給されると、オアゲート 9 の出力信号 P_L が " H " となり、したがって、ラッチ信号 L_a が " H " となる。ラッチ信号 L_a が " H " になると、前述したように、P チャンネル MOS フィールドエフェクトトランジスタ 30, 31 が共にオフとなる一方、N チャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 がオンとなり、抵抗 12, 13 による分圧回路、第一及び第二のカレントミラー差動増幅器 20, 27 が各々アクティブ状態となる。

【0097】

この時点で、電圧 V_B が第一及び第二の基準電圧 V_{ref1} と V_{ref2} の間にあったとすると、電圧 V_1 は " H " の状態を続け、一方、電圧 V_2 は " L " となる。この時、トランスファゲート 35 がオフ状態にあり、したがって、電圧 V_2 の変化は回路動作に影響を与えず、信号 A は " L " の状態を続ける。なお、時刻 t_1 において、電圧 V_B が第一の基準電圧 V_{ref1} 以下であった場合は、時刻 t_1 において電圧 V_1 も " L " となる。

【0098】

信号 L_T の立ち上がりにおいてリフレッシュが開始されると、ブースト電圧 V_{bt} の電力消費が大きくなり、同電圧 V_{bt} が徐々に低下する。そして、時刻 t_2 において、電圧 V_B が第一の基準電圧 V_{ref1} より小になると、電圧 V_1 が " L " となり、これにより、信号 A が " H " となる。信号 A が " H " になると、リングオッシレータ 3, 昇圧回路 4 の動作が開始され、以後ブースト電圧 V_{bt} が順次上昇する。また、信号 A が " H " になると、ラッチ回路 11 が、この時 " H " 状態にある信号 P_L をラッチし、また、トランスファゲート 34 がオフ、35 がオンとなる。そして、トランスファゲート 35 がオンになると、以後、電圧 V_2 (この時点で " L ") がインバータ 37 へ供給される。

【0099】

次に、ブースト電圧 V_{bt} が上昇し、時刻 t_3 において、電圧 V_B が第二の基準電圧 V_{ref2} より大になると、電圧 V_2 が " H " となり、したがって、信号 A が " L " となる。信号 A が " L " になると、リングオッシレータ 3, 昇圧回路 4 の動作が停止する。また、信号 A が " L " になると、トランスファゲート 34 がオン、35 がオフとなる。また、信号 A が " L " になると、ラッチ回路 11 がスルー状態となり、この時点で、信号 P_L がすでに " L " になっていることから、ラッチ信号 L_a が " L " となる。これにより、P チャンネル MOS フィールドエフェクトトランジスタ 30, 31 がオン、N チャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 がオフとなる。

以後、リフレッシュタイミング発生回路 7 からリフレッシュ信号が出力される毎に上記の動作が繰り返される。そして、例えば、時刻 t_4 において、疑似 S R A M がスタンバイ状態からアクティブ状態に移行し、時刻 t_5 においてチップセレクト信号 C_S が立ち上がり、次いで、外部アドレス A_{dd} が変化すると、ロウイネーブル発生回路 8 がこの変化を検出し、信号 L_T を出力する。以後、上記と同様の過程によってブースト電圧 V_{bt} の昇圧が行われる。

【0100】

このように、図 1 の回路は、信号 L_T が立ち上がると、ラッチ信号 L_a が " H " となり、N チャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 がオンとなり、

10

20

30

40

50

抵抗 12, 13 の直列回路、カレントミラー差動増幅器 20、27 がアクティブ状態となる。これにより、抵抗 12, 13 の直列回路、カレントミラー差動増幅器 20、27 に各々電流 i_3 、 i_1 、 i_2 が流れる。そして、ブースト電圧 V_{bt} が基準電圧 V_{ref2} まで上昇した時点でラッチ信号 L_a を "L" とし、N チャンネル MOS フィールドエフェクトトランジスタ 14, 17, 24 をオフとすることによって、抵抗 12, 13 の直列回路、カレントミラー差動増幅器 20、27 に流れる電流 i_3 、 i_1 、 i_2 をいずれもオフとする。

【0101】

上述したように、第 1 の実施形態においては、メモリセルアレイ 2 がアクセスされる時、すなわち、電源投入時、スタンバイ状態におけるリフレッシュ時、アクティブ状態におけるリフレッシュ時、およびアクティブ状態における書込 / 読出時において、電圧レベル制御回路 10 の各部がアクティブ状態とされ、それ以外のタイミングにおいては、電圧レベル制御回路 10 の各部がインアクティブ状態とされる。これにより、レベル制御回路 10 で消費される電力の節減を図っている。

一般的な DRAM においてはリフレッシュタイミングがシステム側で制御されるため、不規則なリフレッシュタイミングが発生することになり、長いリフレッシュ間隔が存在する。このとき電圧レベル制御回路をパワーオフしてしまうと、放電によって、データ保持が保証されるレベル以下までワードレベルが低下する可能性がある。つまり、DRAM では、ワードレベルを保持するために常に昇圧する必要があるため、電圧レベル制御回路も常にパワーオンとするのが一般的である。

【0102】

これに対し、上述した疑似 SRAM は、デバイス外部からはリフレッシュ動作が見えない仕様となっており、デバイス内部で、規則的なリフレッシュタイミングを自動的に発生する。この場合は、データ保持が保証される範囲で次のリフレッシュタイミングが発生される。つまり、電圧レベル制御回路 10 をパワーオフしても、データが破壊するレベルまでのワードレベルが低下することがなく、したがって、データ保持の保証と電流削減とを両立することができる。

【0103】

次に本発明の第 2 の実施形態について図 4 を参照しながら説明する。この実施形態が上述した第 1 の実施形態と異なる点は、ロウイネーブル発生回路 8 において、図 4 に示すように、信号 L_T の立ち上がりから一定時間 T だけ前に立ち上がるパルス信号 R_P を形成し、信号 L_T に変えてオアゲート 9 へ供給する点である。また、この場合、基準電圧 V_{ref1} を高いレベルに設定しておく。このような構成によれば、パルス信号 R_P が立ち上がり、したがって信号 P_L が立ち上がり、これによりラッチ 11 の出力 L_a が立ち上がると、電圧レベル制御回路 10 がアクティブ状態となると共に、信号 A が立ち上がり、これによりブースト電圧 V_{bt} の昇圧が開始される。そして、電圧 V_B が基準電圧 V_{ref2} に達すると、信号 A が立ち下がり、したがって、ラッチ回路 11 の出力 L_a が立ち下がり、電圧レベル制御回路 10 がインアクティブ状態となる。この時点のわずか後に信号 L_T が立ち上がり、メモリセルアレイ 2 のアクセスが行われる。この場合、ブースト電圧 V_{bt} は既に十分にレベルアップされており、したがって、アクセス途中において電圧 V_{bt} のブースト処理は必要ない。

このように、上記第 2 の実施形態では、信号 L_T が立ち上がるわずか前にブースト電圧 V_{bt} を基準電圧 V_{ref2} の高さまで上げてしまう。このような構成によっても、上記第 1 の実施形態と同様な効果を得ることができる。

【0104】

次に、本発明の第 3 の実施形態について図 5 を参照しながら説明する。この第 3 の実施形態においては、信号 L_T のパルス幅を、図 5 に示すように、ブースト電圧 V_{bt} の昇圧に必要な時間よりわずかに大としておく。また、図 1 におけるラッチ回路 11 を設けず、オアゲート 9 の出力を直接ノード N_1 に接続する。更に、第二のインバータ 37 の出力を第一のインバータの入力に接続するが、ラッチ回路 11 を設けないので、第二のインバータ 37 の出力からの出力信号がノード N_1 にフィードバックされない。そして、オアゲート

10

20

30

40

50

ト 9 の出力から出力された信号 P L を直接ノード N 1 に供給する。

【 0 1 0 5 】

このような構成によれば、信号 L T が立ち上がると同時に、電圧レベル制御回路 1 0 がアクティブ状態となり、電流 $i_1 \sim i_3$ が流れる。そして、電圧 V B が基準電圧 V ref1 より小になるとブースト電圧 V bt の昇圧が開始される。また、電圧 V B が基準電圧 V ref2 に達するとブースト電圧 V bt の昇圧が停止される。なお、この時点で電圧レベル制御回路 1 0 がインアクティブ状態になることはない。次いで、信号 L T が立ち下がると、電流 $i_1 \sim i_3$ もオフとなり、電圧レベル制御回路 1 0 がインアクティブ状態となる。

すなわち、電圧レベル制御回路 1 0 のアクティブ状態及びインアクティブ状態は、出力信号 A の活性状態及び非活性状態に依存せず、オアゲート 9 からの出力信号 P L のみにしたがって制御される。したがって、オアゲート 9 からの出力信号 P L により、電圧レベル制御回路 1 0 がインアクティブ状態になることで、電圧レベル制御回路 1 0 で消費される電力を節減できる。

10

【 0 1 0 6 】

次に、本発明の第 4 の実施形態について図 6 を参照しながら説明する。この第 4 の実施形態においては、図 6 に示すように、電圧レベル制御回路 1 0 が適用されるデバイス、例えば擬似 S R A M のアクティブ状態において、オアゲート 9 からの出力信号 P L をハイレベル " H " に固定する。これにより、ラッチ回路 1 1 の出力信号 L a もハイレベル " H " に固定され、したがって、擬似 S R A M のアクティブ状態にあるとき、電圧レベル制御回路 1 0 は、常時アクティブ状態に維持され、ブースト電圧 V bt と基準電圧 V ref1、V ref2 との大小関係のみでリングオシレータ 3 および昇圧回路 4 の動作が制御される。

20

そして、擬似 S R A M がスタンバイ状態に戻ると、オアゲート 9 からの出力信号 P L のハイレベル " H " 固定から解除され、これにより、ラッチ回路 1 1 の出力信号 L a もハイレベル " H " 固定から解除される。したがって、電圧レベル制御回路 1 0 は、前記第 1 の実施形態と同様の制御を受ける。したがって、擬似 S R A M がスタンバイ状態にある時、電圧レベル制御回路 1 0 で消費される電力を節減できる。

【 0 1 0 7 】

次に、本発明の第 5 の実施形態について図 7 を参照しながら説明する。図 7 は同実施形態の構成を示す回路図であり、この図に示す回路は、D R A M、擬似 S R A M 等の内部回路 4 5 へ供給する電圧 V I N T のレベルを制御する内部電圧レベル制御回路である。ここで、電圧 V I N T は、電源電圧 V D D を P チャンネル M O S フィールドエフェクトトランジスタ 4 6 によって降圧した電圧であり、この回路は、通常、内部降圧回路といわれる。

30

【 0 1 0 8 】

すなわち、本実施形態に係る回路は、オアゲート 4 8、ラッチ回路 4 9、カレントミラー差動増幅器 5 8、第一及び第二のスイッチングトランジスタ 4 6、6 0、第一のインバータ 6 2、及び内部電圧レベルを供給する内部回路 4 5 とからなる。

オアゲート 4 8 の第一の入力には、信号 P L が入力される。この信号 P L は図 2 に示す信号 P L と同じ信号であり、パワーオンリセット信号 P O R および信号 L T のオアをとった信号である。信号 C S はチップセレクト信号である。ラッチ回路 4 9 の入力には、オアゲート 4 8 の出力に接続され、オアゲート 4 8 から出力された論理和信号の入力を受ける。ラッチ回路 4 9 の制御端子は、インバータ 6 2 の出力と接続され、インバータ 6 2 からの出力信号を受ける。ラッチ回路 4 9 は、インバータ 6 2 からの出力信号がハイレベル " H " の時、入力された論理和信号をラッチする。一方、インバータ 6 2 からの出力信号がロウレベル " L " の時、入力された論理和信号をスルーさせる。

40

【 0 1 0 9 】

カレントミラー差動増幅器 5 8 は、3 つの N チャンネル M O S フィールドエフェクトトランジスタ 5 1、5 2、5 3 及び 2 つの P チャンネル M O S フィールドエフェクトトランジスタ 5 4、5 5 とからなる。2 つの N チャンネル M O S フィールドエフェクトトランジスタ 5 1、5 3 と 1 つの P チャンネル M O S フィールドエフェクトトランジスタ 5 4 は、外部電圧としての電源電圧 V D D とグランド線との間に直列接続される。2 つの N チャンネル

50

MOSフィールドエフェクトトランジスタ52, 53と1つのPチャンネルMOSフィールドエフェクトトランジスタ55は、外部電圧としての電源電圧VDDとグランド線との間に直列接続される。

【0110】

NチャンネルMOSフィールドエフェクトトランジスタ51のゲート電極は、内部電圧VINTに接続され、内部電圧VINTが印加される。NチャンネルMOSフィールドエフェクトトランジスタ53のゲート電極は、ノードN1に接続され、ラッチ回路から出力されたラッチ信号Laが印加される。PチャンネルMOSフィールドエフェクトトランジスタ54、55のゲート電極は、互いに接続されると共に、NチャンネルMOSフィールドエフェクトトランジスタ51のドレインに接続される。NチャンネルMOSフィールドエフェクトトランジスタ52のゲート電極には、第一の基準電圧Vref1が印加される。NチャンネルMOSフィールドエフェクトトランジスタ52のドレインは、カレントミラー差動増幅器58の出力に接続され、NチャンネルMOSフィールドエフェクトトランジスタ52のドレイン電圧が、カレントミラー差動増幅器58の出力に出力電圧Vaとして現れる。

10

【0111】

第一及び第二のスイッチングトランジスタ46、60は、PチャンネルMOSフィールドエフェクトトランジスタからなる。第二のスイッチングトランジスタ60は、電源電圧VDDとノードN2との間に接続される。第二のスイッチングトランジスタ60のゲート電極は、ノードN1に接続され、ラッチ回路49から出力されたラッチ信号Laが印加される。第一のスイッチングトランジスタ46は、電源電圧VDDと内部電圧VINTとの間に接続され、電源電圧VDDから内部電圧VINTの電圧レベルを降圧する降圧回路を形成する。第一のスイッチングトランジスタ46のゲート電極は、ノードN2を介しカレントミラー差動増幅器58の出力に接続される。更に、第一のスイッチングトランジスタ46のゲート電極は、インバータ62を介して、ラッチ回路49の制御端子に接続される。したがって、降圧回路を形成する第一のスイッチングトランジスタ46は、カレントミラー差動増幅器58からの出力信号Vaにしたがって、そのアクティブ状態及びインアクティブ状態が制御される。

20

【0112】

ラッチ回路49から出力されたラッチ信号Laが、ハイレベル“H”のとき、カレントミラー差動増幅器58は、アクティブ状態になり、カレントミラー差動増幅器58出力が接続されるノードN2は、電源電圧VDDから切離され、カレントミラー差動増幅器58の出力信号Vaが降圧回路を形成する第一のスイッチングトランジスタ46のゲート電極に印加されると共に、インバータ62を介してラッチ回路49の制御端子にも印加される。降圧回路を形成する第一のスイッチングトランジスタ46がオン状態にあるとき、すなわち降圧回路がアクティブ状態にあるとき、カレントミラー差動増幅器58の出力信号Vaは、ロウレベル“L”であるので、このロウレベル“L”はインバータ62で反転され、ハイレベル“H”信号がラッチ回路49の制御端子に印加される。よって、ラッチ回路49の出力信号La1は、ハイレベル“H”となり、カレントミラー差動増幅器58は、アクティブ状態になる。つまり降圧回路がアクティブ状態にあるとき、カレントミラー差動増幅器58もアクティブ状態になる。

30

40

【0113】

一方、降圧回路を形成する第一のスイッチングトランジスタ46がオフ状態にあるとき、すなわち降圧回路がインアクティブ状態にあるとき、カレントミラー差動増幅器58の出力信号Vaは、ハイレベル“H”であるので、このハイレベル“H”はインバータ62で反転され、ロウレベル“L”信号がラッチ回路49の制御端子に印加される。よって、ラッチ回路49の出力信号La1は、オアゲート9からの論理和信号をスルーし、ノードN1に供給する。すなわち、カレントミラー差動増幅器58は、論理和信号がハイレベル“H”のときアクティブ状態になり、論理和信号がロウレベル“L”のときインアクティブ状態になる。つまり降圧回路がインアクティブ状態にあるときは、カレントミラー差動増

50

幅器 58 は、オアゲート 9 からの論理和信号にしたがってそのアクティブ状態及びインアクティブ状態が制御される。論理和信号がロウレベル“L”のとき、カレントミラー差動増幅器 58 は、インアクティブ状態になるので、回路での電力消費を節減できる。

【0114】

次に、上記構成によるレベル制御回路の動作を図 8 に示すタイミングチャートを参照して更に説明する。

まず、初期状態において、ラッチ回路 49 の出力信号 L_{a1} は“L”となり、この結果、NチャンネルMOSフィールドエフェクトトランジスタ 53 がオフ、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオンとなる。NチャンネルMOSフィールドエフェクトトランジスタ 53 がオフになると、カレントミラー差動増幅器 58 がインアクティブ状態となる。また、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオンになると、PチャンネルMOSフィールドエフェクトトランジスタ 46 がオフとなり、内部回路 45 へ電圧供給が行われない。

【0115】

次に、信号 PL が“H”となるか、または、チップセレクト信号 CS が“H”になると、ラッチ 49 の出力信号 L_{a1} が“H”となる。信号 L_{a1} が“H”になると、NチャンネルMOSフィールドエフェクトトランジスタ 53 がオンとなり、カレントミラー差動増幅器 58 がアクティブ状態となる。また、信号 L_{a1} が“H”になると、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオフとなる。これにより、電圧 V_a が低下し、インバータ 62 の出力が“H”となってラッチ 49 がオアゲート 48 の出力“H”をラッチする。

【0116】

以後、カレントミラー差動増幅器 58 が、電圧 V_{INT} と基準電圧 V_{ref} とを比較し、その比較結果によってPチャンネルMOSフィールドエフェクトトランジスタ 46 を制御する。すなわち、電圧 V_{INT} が基準電圧 V_{ref} より低くなると、電圧 V_a が低くなって、PチャンネルMOSフィールドエフェクトトランジスタ 46 がオンとなり、内部回路 45 に電流を供給しながら出力を充電し始める。あるレベルまで充電し、電圧 V_{INT} が基準電圧 V_{ref} より高くなると、電圧 V_a が上昇し、PチャンネルMOSフィールドエフェクトトランジスタ 46 がオフとなり、充電が停止する。また、電圧 V_a が一定値以上に上昇すると、インバータ 62 の出力が“L”となり、ラッチ 49 がスルーとなる。これにより、信号 LT が“L”となり、あるいは、チップセレクト信号 CS が“L”となった時点で信号 L_{a1} が“L”となり、NチャンネルMOSフィールドエフェクトトランジスタ 53 がオフ、PチャンネルMOSフィールドエフェクトトランジスタ 60 がオンとなる。

【0117】

このように、上記第 5 の実施形態によれば、電圧 V_{INT} が基準電圧 V_{ref} より大となった後、信号 LT またはチップセレクト信号 CS が“L”になると、N・FET 53 がオフとなり、カレントミラー差動増幅器 58 に流れる電流 i が 0 となる。これにより、回路電力の節減を図ることができる。

【0118】

なお、上記第 1 ~ 第 5 の実施形態はそれぞれ、本発明を疑似SRAM、DRAM等の昇圧回路、内部降圧回路に適用した場合であるが、この発明は、例えば、基板電圧レベル発生回路あるいは基板バックバイアス発生回路(BBG回路)等にも適用することができる。

【0119】

次に、本発明の第 6 の実施形態について図 9 を参照しながら説明する。図 9 は本発明を基板バックバイアス発生回路(BBG回路)に適用した際の回路構成の一例を示す図である。基板バックバイアス発生回路は、外部電源電圧 V_{DD} とグラウンドレベル(GND)との間の電圧を用いてグラウンドレベルよりも低い電圧、例えば -1V を内部基準電圧として発生する回路である。

【0120】

本発明に係る回路は、電圧レベル制御回路 20、リングオッシレータ 3、昇圧回路 4、リ

10

20

30

40

50

フレッシュタイミング発生回路 7、バックバイアス発生回路 18、レベル判定回路 19 及びオアゲート 9 を有する。このオアゲート 9 は、リフレッシュ動作時及びバックバイアス発生回路 18 をアクティブ状態にする時に電圧レベル制御回路 20 の各回路構成部をアクティブ状態にするため設けられる。

【0121】

電圧レベル制御回路 20 は、回路の内部電圧としてのブースト電圧 V_{bt} のレベルを制御する内部電圧レベル制御信号 A を、第一及び第二の基準電圧 V_{ref1} 、 V_{ref2} に基づいて発生する。リングオシレータ 3 の入力側は、電圧レベル制御回路 20 の出力側に接続され、内部電圧レベル制御信号 A は、リングオシレータ 3 へ入力される。リングオシレータ 3 は、発振回路であり、インバータを奇数個リング状に直列接続して構成し得る。電圧レベル制御回路 20 から出力された内部電圧レベル制御信号 A が "H" (ハイレベル) の時、リングオシレータ 3 は、アクティブ状態になり、発振出力 B を出力する。

10

【0122】

昇圧回路 4 の入力側は、リングオシレータ 3 の出力側に接続され、この発振出力 B は昇圧回路 4 に入力される。昇圧回路 4 はチャージポンプ回路で構成し得る。昇圧回路 4 は、リングオシレータ 3 の出力 B を利用して電源電圧 V_{DD} を段階的に昇圧し、回路の内部電圧としてブースト電圧 V_{bt} を出力する。

この回路を擬似 S R A M に適用する場合、昇圧回路 4 の出力側は、擬似 S R A M のワードデコーダに接続され、ブースト電圧 V_{bt} はワードデコーダへ入力される。この場合、ブースト電圧 V_{bt} は、電源電圧 V_{DD} より高い電圧レベル、例えば ($V_{DD} + 1.5V$) または ($V_{DD} + 2V$) である。昇圧回路 4 の出力は、さらに電圧レベル制御回路 20 にフィードバックされる。

20

【0123】

リフレッシュタイミング発生回路 7 は、一定時間間隔で、メモリセルアレイ 2 中のメモリセルをリフレッシュするためのリフレッシュ信号およびリフレッシュすべきメモリセルのアドレスを指定するリフレッシュアドレスを発生する。この一定時間間隔は、データ保持が保証される期間内に定められる。尚、リフレッシュ信号を発生する時間間隔は、データ保持が保証される期間内であれば常に一定でなくとも良い。リフレッシュタイミング発生回路 7 の出力側は、オアゲート 9 の第一の入力に接続され、リフレッシュ信号 S R が第一の入力に入力される。

30

【0124】

バックバイアス発生回路 18 は、第一及び第二の入力を有する。第一の入力は、昇圧回路 4 の出力に接続され、ブースト電圧 V_{bt} の入力を受け、このブースト電圧 V_{bt} を利用してグラウンドレベルより低いバックバイアス電圧 V_{BBG} を発生する。バックバイアス電圧 V_{BBG} は、例えば $GND - 1V$ であってもよい。バックバイアス発生回路 18 の出力は、バックバイアス電圧 V_{BBG} を印加したい領域、例えば半導体基板に接続され、半導体基板をグラウンドレベルより低いバックバイアス電圧 V_{BBG} にする。

【0125】

レベル判定回路 19 の入力は、バックバイアス発生回路 18 の出力が接続される領域、例えば半導体基板と接続され、半導体基板の電位を検出する。レベル判定回路 19 の出力は、バックバイアス発生回路 18 の第二の入力に接続される。レベル判定回路 19 の出力は、オアゲート 9 の第二の入力に接続される。

40

半導体基板の電位は、グラウンドレベルより低いバックバイアス電圧 V_{BBG} なので、リークにより時間変化する。すなわち半導体基板の電位は、徐々に上昇する。よって、レベル判定回路 19 は、一定時間間隔で、アクティブ状態になり、半導体基板の電位を検出し、グラウンドレベルより低い予め決められた許容電位範囲の上限を上回った場合、判定結果 C をバックバイアス発生回路 18 に入力し、バックバイアス発生回路 18 に、半導体基板の電位を下げさせる。この判定結果 C は、同時にオアゲート 9 の第二の入力にも入力され、オアゲート 9 は、レベル判定回路 19 からの判定結果 C とリフレッシュタイミング発生回路 7 からのリフレッシュ信号との論理和 (オア) をとり、その結果を論理和信号 P L として

50

出力し、この論理和信号 P L を電圧レベル制御回路 2 0 へ入力する。

【 0 1 2 6 】

したがって、リフレッシュ動作が必要な時又はバックバイアス発生回路 1 8 をアクティブ状態にする必要がある時に、電圧レベル制御回路 1 0 がアクティブ状態になり電圧レベル制御回路 2 0 で電力を消費するが、デバイスがスタンバイ状態にあり、かつリフレッシュ動作を行わないとき、かつバックバイアス発生回路 1 8 がインアクティブ状態にあるとき、電圧レベル制御回路 2 0 がインアクティブ状態になり電圧レベル制御回路 2 0 での電力消費を抑制する。

【 0 1 2 7 】

電圧レベル制御回路 2 0 の回路構成として、図 1 に開示の回路構成を適用できる。すなわち、電源投入時、読出し/書込み時、並びにデバイスのアクティブ時およびスタンバイ時におけるリフレッシュ動作時のみ昇圧回路 4 をアクティブ状態にする。その他の場合、すなわち、スタンバイ時における非リフレッシュ動作時には、昇圧回路 4 をインアクティブ状態にする。この動作は、前述した通りである。

レベル判定回路 1 9 は、既知の回路構成を適用し得る。

【 0 1 2 8 】

バックバイアス発生回路 1 8 は、1例として、図 1 0 に示す回路構成で実現し得るが、これに限定されるものではない。

バックバイアス発生回路 1 8 は、トランスファートランジスタのゲートを駆動する回路を、昇圧電圧で駆動するよう構成する。具体的には、バックバイアス発生回路 1 8 は、プリチャージトランジスタ P T、トランスファートランジスタ T T、制御論理ブロック C L B、第一の電流経路 P 1 を形成する第一の出力駆動回路 D 1 および第一の容量 C 1 と、第二の電流経路 P 2 を形成する第二の出力駆動回路 D 2 および第二の容量 C 2 とから構成し得る。

【 0 1 2 9 】

トランスファートランジスタ T T は、pチャンネル M O S トランジスタで構成し得る。トランスファートランジスタ T T は、第二の電流経路 P 2 とバックバイアス発生回路 1 8 の出力との間に直列に接続される。トランスファートランジスタ T T のゲートは、第一の電流経路 P 1 を介して制御論理ブロック C L B に接続される。そして、トランスファートランジスタ T T は、ノード G に現れる電位により、そのオン・オフ動作が制御される。

プリチャージトランジスタ P T は、pチャンネル M O S トランジスタで構成し得る。プリチャージトランジスタ P T は、グランドとノード A との間に接続される。ノード A は、第二の電流経路 P 2 とトランスファートランジスタ T T との接点とする。プリチャージトランジスタ P T のゲートは、制御論理ブロック C L B に接続される。

【 0 1 3 0 】

ここで、第一の出力駆動回路 D 1 は、昇圧回路に接続され昇圧電圧 V b t で駆動される。一方、第二の出力駆動回路 D 2 は、電源電圧 V D D で駆動される。尚、第二の出力駆動回路 D 2 を、電源電圧 V D D に代え昇圧電圧 V b t で駆動することも場合によって可能である。すなわち第一の出力駆動回路 D 1 の駆動電圧は、電源電圧 V D D より高く、かつ第二の出力駆動回路 D 2 の駆動電圧は、第一の出力駆動回路 D 1 の駆動電圧を超えない範囲で、設計変更が可能である。

【 0 1 3 1 】

電源電圧 V D D が、低く設定された場合、例えば 1 . 8 V 程度の低電源電圧を場合を例にとり、バックバイアス発生回路 1 8 の動作を以下説明する。

プリチャージトランジスタ P T で、ノード A をグランドレベルすなわち 0 V にプリチャージする。その後、第二の出力駆動回路 D 2 を駆動し、第二の容量 C 2 によりノード A の電位をマイナスの電位まで下げる。具体的には - 1 . 8 V 程度まで下げる。この時点では、ノード G の電位は、ハイレベルにあり、トランスファートランジスタ T T はオフ状態にある。

次に、ノード G の電位を下げ、トランスファートランジスタ T T をオンにして、ノード A の負の電荷をトランスファートランジスタ T T を介しバックバイアス発生回路 1 8 の出力 V B

10

20

30

40

50

B Gに伝える。すなわち、出力V B B Gの電位をマイナスの電位に引き下げる。ここで、負の電荷を十分に出力V B B Gへトランスファするためには、トランスファトランジスタT Tを十分にオンすることが重要となる。もし、トランスファトランジスタT Tが十分にオンされない場合、ノードAの負の電荷が、十分に出力V B B Gへトランスファされない。低電源電圧を使用する場合、トランスファトランジスタT Tのオン能力が急激に低下し、上記問題を引起こす。この問題は、1.8 V程度の低電源電圧により第一の出力駆動回路D 1及び第一の容量C 1を駆動しノードGの電位を下げた場合に発生する。

【0132】

しかしながら、前述したように、第一の出力駆動回路D 1及び第一の容量C 1は、昇圧電圧により駆動されるため、トランスファトランジスタT Tのオン能力が高まり、トランスファトランジスタT Tは十分にオンし、よってノードAの負の電荷が、出力V B B Gへ十分にトランスファされる。具体的には、昇圧回路により低電源電圧V D D = 1.8 Vを1.7 Vだけ昇圧し、3.5 Vの昇圧電圧で第一の出力駆動回路D 1及び第一の容量C 1を駆動することで、ノードGの電位 - 3.5 V付近まで下げることができる。

従って、トランスファトランジスタT Tのゲートを駆動する回路を、昇圧電圧で駆動することによりトランスファトランジスタT Tのオン能力を高め、バックバイアス発生回路18の正常動作が可能となる。

【0133】

リフレッシュ動作の周期は、半導体基板の電位が、バックバイアス発生回路18によりバックバイアス電圧V B B Gまで下げられてから、グランドレベルより低いバックバイアス電圧V B B G許容電位範囲の上限を上回るまでの時間間隔に比較して、そのオーダーが異なる程非常に短い。

更に、レベル判定回路19がアクティブ状態となる期間および昇圧回路4がアクティブ状態となる期間は、リフレッシュ動作の周期に比較して、そのオーダーが異なる程非常に短い。

したがって、本回路構成を適用することによる基板に流れる基板電流の増加は、ほぼゼロに近く無視できるほどである。

【0134】

また、上記実施形態はいずれも半導体記憶装置に関する実施形態であるが、本発明は半導体記憶装置に限らず、外部電圧から内部電圧生成し、その内部電圧を制御する各種の電子回路に適用可能である。

また、本発明は、上記各実施形態の構成に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変形が可能である。

【0135】

【発明の効果】

以上説明したように、本発明によれば、外部電源電圧から発生される内部電圧レベルを検出して制御する電圧レベル制御回路を、必要時のみ活性化し、それ以外の時には非活性にするので、電圧レベル制御回路での消費電力を低減することができる。

また、従来の半導体記憶装置より消費電力を低減することができ、特に、疑似S R A Mに適用した場合に好適である。

すなわち、システム側からの制御を受けずに、半導体記憶装置の内部で能動的にリフレッシュを行う半導体記憶装置において、特に、リフレッシュのみが行われるスタンバイ状態における電圧レベル制御回路での消費電力を節減することができる。したがって、疑似S R A M等、内部リフレッシュが行われる半導体記憶装置に用いると好適である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による電圧レベル制御回路の構成を示す回路図である。

【図2】同電圧レベル制御回路を用いた疑似S R A Mの要部の構成を示すブロック図である。

【図3】同実施形態の動作を説明するためのタイミングチャートである。

【図4】本発明の第2の実施形態による電圧レベル制御回路の動作を説明するためのタイ

10

20

30

40

50

ミングチャートである。

【図5】本発明の第3の実施形態による電圧レベル制御回路の動作を説明するためのタイミングチャートである。

【図6】本発明の第4の実施形態による電圧レベル制御回路の動作を説明するためのタイミングチャートである。

【図7】本発明の第5の実施形態による電圧レベル制御回路の構成を示す回路図である。

【図8】同実施形態の動作を説明するためのタイミングチャートである。

【図9】本発明の第6の実施形態による電圧レベル制御回路をバックバイアス発生回路とともに用いる場合の回路構成を示すブロック図である。

【図10】本発明の第6の実施形態による電圧レベル制御回路で使用するバックバイアス発生回路の回路図である。 10

【図11】従来のDRAMの要部の構成を示すブロック図である。

【図12】同DRAMの動作を説明するためのタイミングチャートである。

【図13】従来のSRAMの要部の構成を示すブロック図である。

【図14】同SRAMの動作を説明するためのタイミングチャートである。

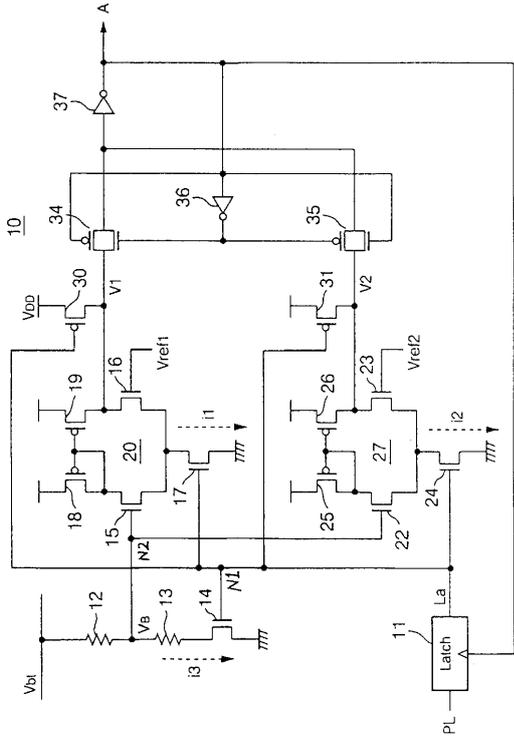
【図15】従来の疑似SRAMの要部の構成を示すブロック図である。

【図16】同疑似SRAMの動作を説明するためのタイミングチャートである。

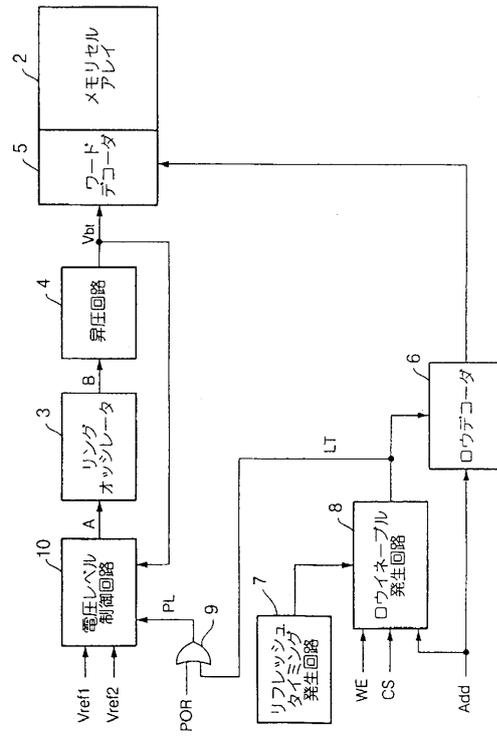
【符号の説明】

- 2 メモリセルアレイ
- 3 リングオッシレータ 20
- 4 昇圧回路
- 5 ワードデコーダ
- 6 ロウデコーダ
- 7 リフレッシュタイミング発生回路
- 8 ロウイネーブル発生回路
- 9 オアゲート
- 10 電圧レベル制御回路
- 11 ラッチ
- 12、13 抵抗
- 17、24 NチャンネルMOSフィールドエフェクトトランジスタ 30
- 18 バックバイアス発生回路
- 19 レベル判定回路
- 20、27 カレントミラー差動増幅器
- 48 オアゲート
- 49 ラッチ
- 53 NチャンネルMOSフィールドエフェクトトランジスタ
- 58 カレントミラー差動増幅器

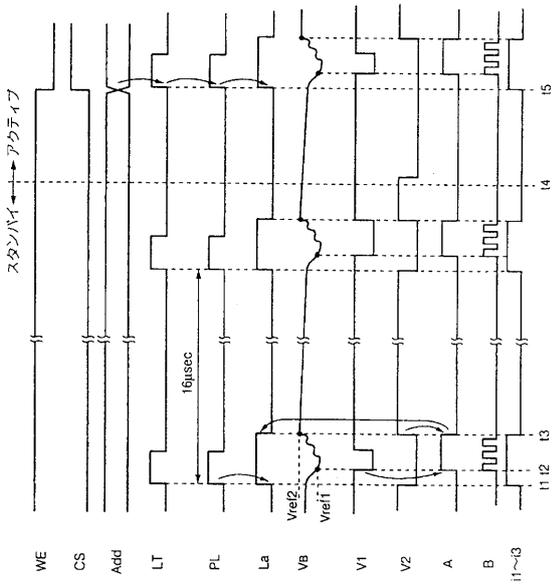
【図1】



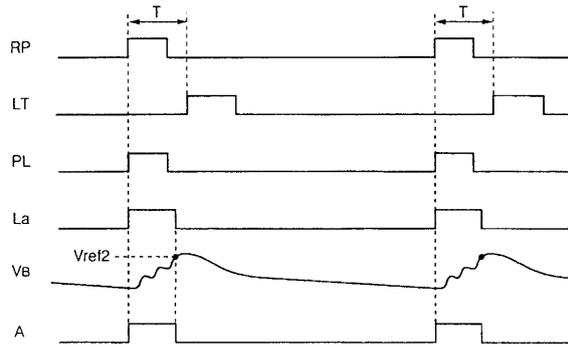
【図2】



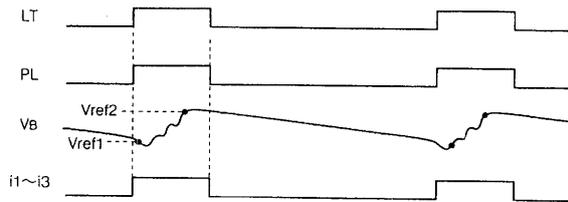
【図3】



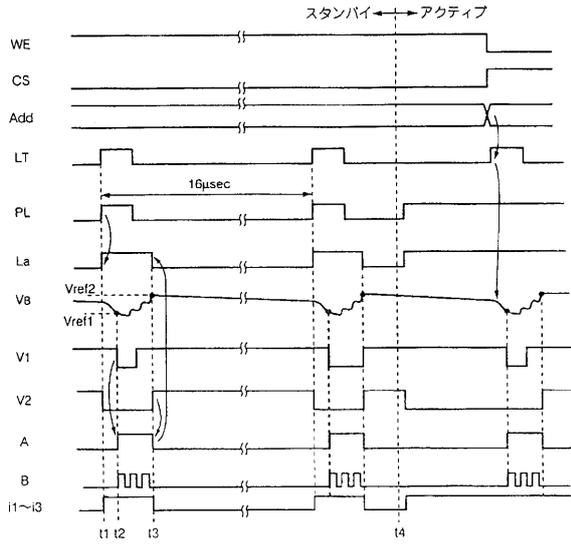
【図4】



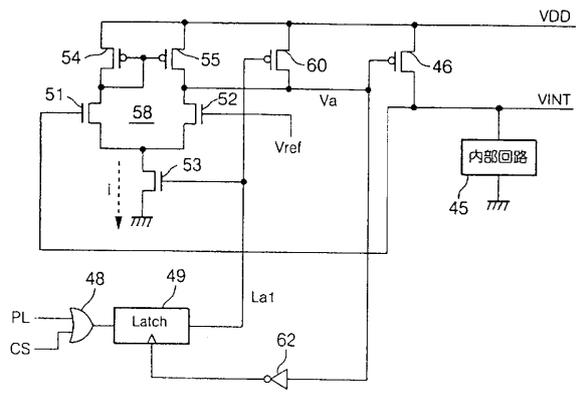
【図5】



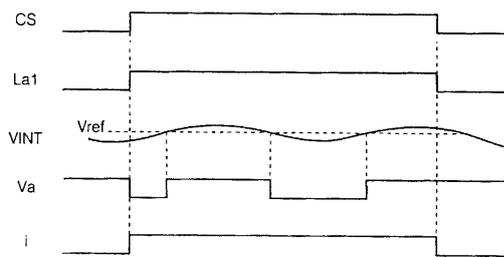
【図6】



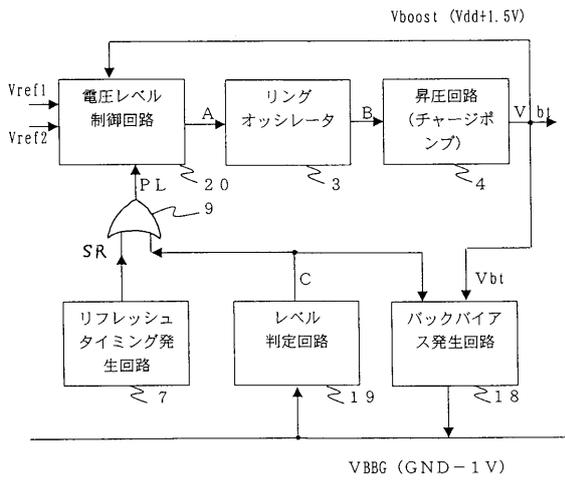
【図7】



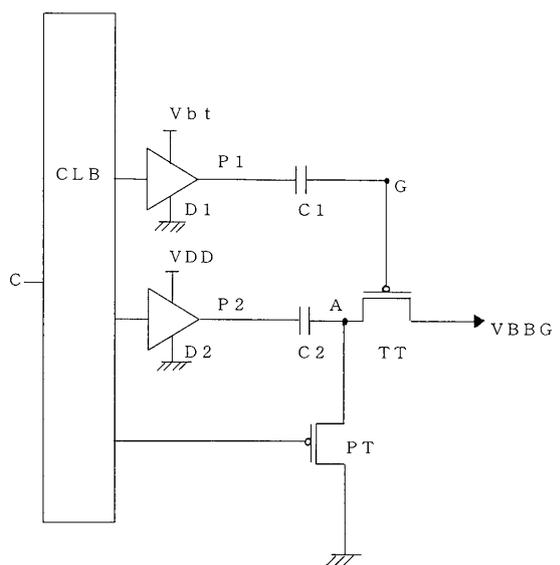
【図8】



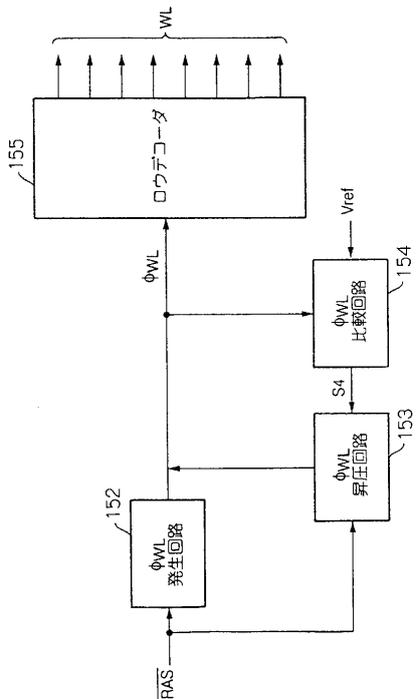
【図9】



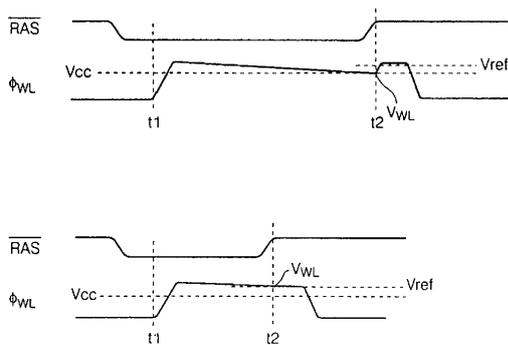
【図10】



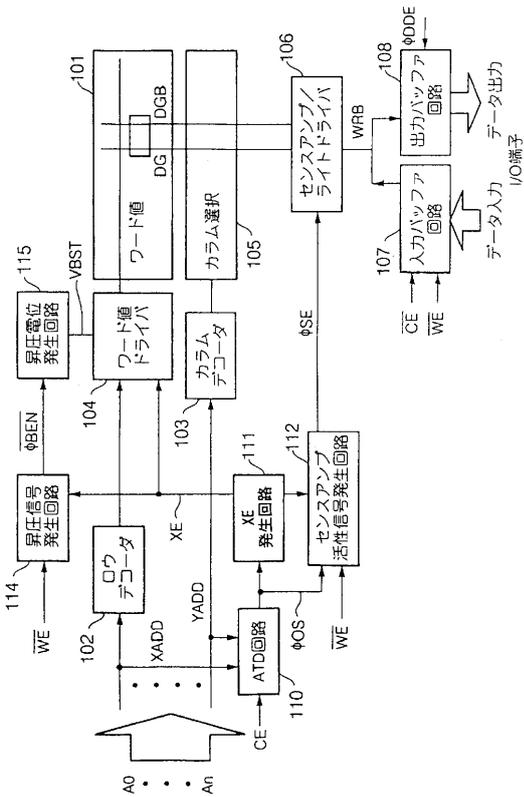
【図 1 1】



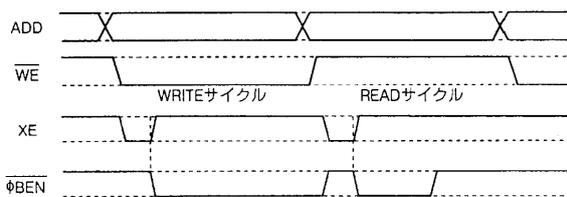
【図 1 2】



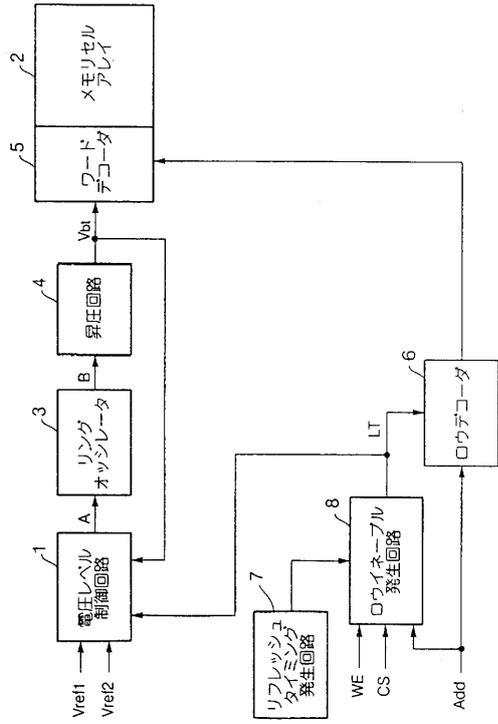
【図 1 3】



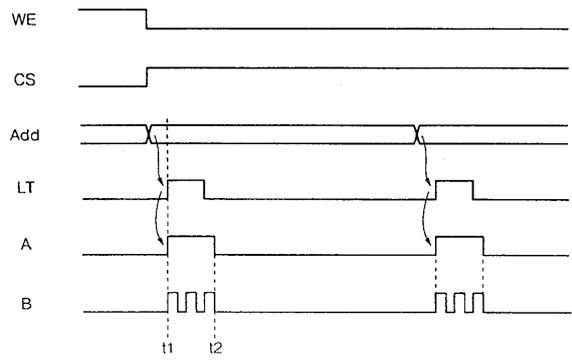
【図 1 4】



【図 15】



【図 16】



フロントページの続き

合議体

審判長 大日方 和幸

審判官 山崎 慎一

審判官 小林 正明

- (56)参考文献 特開平11-66855(JP,A)
特開平7-130171(JP,A)
特開平10-340597(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C11/34