



(12)发明专利申请

(10)申请公布号 CN 112311708 A
(43)申请公布日 2021.02.02

(21)申请号 202010316640.9

(22)申请日 2020.04.21

(30)优先权数据

16/527,104 2019.07.31 US

(71)申请人 瑞昱半导体股份有限公司

地址 中国台湾新竹市

(72)发明人 斯利拉姆·维卡特桑 林嘉亮

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 黄艳 郑特强

(51)Int.Cl.

H04L 25/03(2006.01)

H04B 1/16(2006.01)

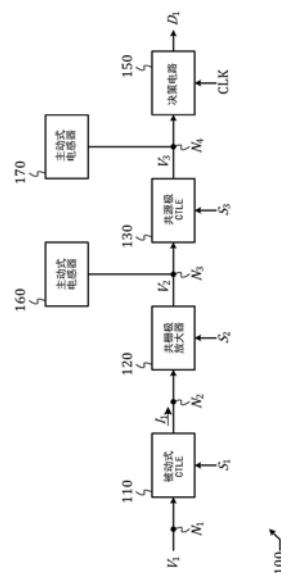
权利要求书2页 说明书9页 附图5页

(54)发明名称

高速低电压串行链路接收器及其方法

(57)摘要

一种串行链路接收器及其方法,所述接收器包括被动式连续时间线性均衡器(CTLE)、共栅极放大器、第一主动式电感器、共源极CTLE、第二主动式电感器、及决策电路。该被动式CTLE接收第一节点的第一电压信号并依据第一控制信号输出第一电流信号至第二节点。该共栅极放大器接收该第一电流信号并依据第二控制信号在第三节点输出第二电压信号。该第一主动式电感器在该第三节点提供一电感负载。该共源极CTLE接收该第二电压信号并依据第三控制信号在第四节点输出第三电压信号。该第二主动式电感器在该第四节点提供电感负载。该决策电路用以接收该第三电压信号,以及依据时钟信号输出决策。



1. 一种串行链路接收器,包括:

一被动式连续时间线性均衡器,用以接收一第一节点的一第一电压信号,并依据一第一控制信号输出一第一电流信号至一第二节点;

一共栅极放大器,用以接收该第一电流信号,并依据一第二控制信号在一第三节点输出一第二电压信号;

一第一主动式电感器,用以在该第三节点提供一电感负载;

一共源极连续时间线性均衡器,用以接收该第二电压信号,并依据一第三控制信号在一第四节点输出一第三电压信号;

一第二主动式电感器,用以在该第四节点提供一电感负载;以及

一决策电路,用以接收该第三电压信号,并依据一时钟信号输出一第一决策;

其中该第一控制信号的一第一部分决定在该第一节点的一输入电阻及该被动式连续时间线性均衡器的一低频增益,该第一控制信号的一第二部分决定该被动式连续时间线性均衡器的一高频增益,该第三控制信号的一第一部分决定该共源极连续时间线性均衡器的一低频增益,以及该第三控制信号的一第二部分决定该共源极连续时间线性均衡器的一过渡频率。

2. 如权利要求1所述的串行链路接收器,其中该被动式连续时间线性均衡器包括:

一分流电阻器,用以分流该第一节点并接地;以及

一串联电阻器,用以提供该第一节点及该第二节点间的一串联;

其中该分流电阻器及该串联电阻器皆被该第一控制信号的该第一部分所控制;其中该被动式连续时间线性均衡器还包括一串联电容器,用以提供该第一节点及该第二节点间的另一串联,其中该串联电容器被该第一控制信号的该第二部分所控制。

3. 如权利要求1所述的串行链路接收器,其中该共栅极放大器包括:

一对n通道金属氧化物半导体晶体管,用以接收该第一电流信号并在该第三节点输出该第二电压信号;

一对交流耦合电容器,用以交错耦合该对n通道金属氧化物半导体晶体管;以及

一对直流耦合电阻器,用以提供一对偏压给该对n通道金属氧化物半导体晶体管;

其中,该对偏压共同实现该第二控制信号。

4. 如权利要求1所述的串行链路接收器,其中该第一主动式电感器包括:

一对n通道金属氧化物半导体晶体管,用以在该第三节点提供一负载;

一对交流耦合电容器,用以增强该对n通道金属氧化物半导体晶体管的一栅源极电容;以及

一对直流耦合电阻器,用以耦合一偏压至该对n通道金属氧化物半导体晶体管。

5. 如权利要求1所述的串行链路接收器,其中该共源极连续时间线性均衡器包括:

一对第一n通道金属氧化物半导体晶体管,实现一共源极放大器,且该对第一n通道金属氧化物半导体晶体管用以接收该第二电压信号并依据跨越一对源极节点的源极退化条件而在该第四节点输出该第三电压信号;

一源极退化网络,配置跨越于该对源极节点;以及

一对第二n通道金属氧化物半导体晶体管,实现一电流源,该对第二n通道金属氧化物半导体晶体管用以在该对源极节点建立一偏压条件。

6. 如权利要求1所述的串行链路接收器,其中该第二主动式电感器包括:
- 一对n通道金属氧化物半导体晶体管,用以在该第四节点提供一负载;
 - 一对交流耦合电容器,用以增强该对n通道金属氧化物半导体晶体管的一栅源极电容;
- 以及
- 一对直流耦合电阻器,用以耦合一偏压至该对n通道金属氧化物半导体晶体管。
7. 如权利要求1所述的串行链路接收器,其中该决策电路包括一触发器,该触发器用以在该时钟信号的边缘取样该第三电压信号,并且依据该第三电压信号的一极性输出该第一决策。
8. 如权利要求1所述的串行链路接收器,其中该决策电路包括一决策反馈均衡器,其中该决策反馈均衡器包括:
- 一加法器,用以接收该第三电压信号以及该第一决策并依据一第四控制信号在一第五节点输出一第四电压信号;
 - 一第三主动式电感器,用以在该第五节点提供一电感性负载;以及
 - 一第一触发器,用以接收该第四电压信号并依据该时钟信号的一边缘输出该第一决策。
9. 如权利要求8所述的串行链路接收器,其中该加法器包括:
- 一第一n通道金属氧化物半导体晶体管,用以依据该第四控制信号的一第一部分输出一第一偏压电流;
 - 一第二n通道金属氧化物半导体晶体管,用以依据该第四控制信号的一第二部分输出一第二偏压电流;
 - 一第一差分对n通道金属氧化物半导体晶体管,用以接收该第三电压信号,以及依据该第一偏压电流输出一第二电流信号至该第五节点;以及
 - 一第二差分对n通道金属氧化物半导体晶体管,用以接收该第一决策以及依据该第二偏压电流输出一第三电流信号至该第五节点。
10. 一种串行链路接收方法,包括:
- 接收来自一第一节点的一第一电压信号;
 - 依据一第一控制信号,使用一被动式连续时间线性均衡器将该第一电压信号转换为一第一电流信号并传送给一第二节点,其中该第一控制信号的一第一部分决定该第一节点的一输入电阻以及该被动式连续时间线性均衡器的一低频增益,该第一控制信号的一第二部分决定该被动式连续时间线性均衡器的一高频增益;
 - 使用被一第二控制信号控制的一共栅极放大器将该第一电流信号转换为在一第三节点的一第二电压信号;
 - 使用一第一主动式电感器负载该第三节点;
 - 依据一第三控制信号,使用一共源极连续时间线性均衡器将该第二电压信号转换成在一第四节点的一第三电压信号,其中该第三控制信号的一第一部分决定该共源极连续时间线性均衡器的一低频增益,该第三控制信号的一第二部分决定该共源极连续时间线性均衡器的一过渡频率;
 - 使用一第二主动式电感器负载该第四节点;以及
 - 使用一决策电路,依据一时钟信号,输出基于该第三电压信号的一第一决策。

高速低电压串行链路接收器及其方法

技术领域

[0001] 本公开涉及一种串行链路(serial link)接收器,特别是一种具有改善的阻抗匹配及等化的高速串行链路接收器。

背景技术

[0002] 一串行链路包括一传输器、一通道和一接收器。传输器将第一数据序列转换为包括一连续符元(symbols)的第一电压信号。串行链路的速度以该连续符元的单位区间为表征:单位区间越短,速度越快。第一电压信号被发射到通道的第一端,沿着通道传播,最终在通道的第二端被转换成第二电压信号。接收器接收、处理及检测第二电压信号并将其转换为第二数据序列。除时间延迟以外,接收器的目的在于确保第二数据序列与第一数据序列相同。实际上,第二电压信号会受到如通道色散(dispersion)的减损而无法被可靠地检测。或者,第二电压信号需要转换为第三电压信号,第三电压信号可通过等化的方式来补偿通道所造成的色散,而被可靠地检测。

[0003] 然而,实际上,等化(equalization)本身也会造成如直流偏移(DC offsets)、参入噪声(additive noises)、非线性失真(nonlinear distortion)及次要色散(secondary dispersion)等减损。较高速的串行链路因具有较短的单位区间而具有较小的误差范围,因此比较容易受到次要色散的影响。此外,通道第二端与接收器的输入端的阻抗匹配非常重要,以减缓因阻抗不匹配的反射所导致的加重色散。

[0004] 串行链路接收器通常是由单芯片集成电路使用互补式金属氧化物半导体(CMOS, Complementary Metal-Oxide-Semiconductor)工艺所制造的。CMOS工艺技术的趋势是采用低供给电压(low supply voltage)以减少功率消耗。然而,低供给电压通常对于像是接收器的电路设计面临重大挑战,其原因在于低供给电压导致较小的净空(small headroom),进而限制信噪比(signal to noise ratio)。电源供应器也常是造成参入噪声的主要原因,因此,接收器必须具备良好的抗噪声能力,以减缓来自电源供应器的噪声的影响。

[0005] 鉴于上述,本公开提供一种高速低电压串行链路接收器,以满足阻抗匹配及等化,且同时有效减缓直流偏移、电源供应器噪声、非线性失真及次要色散所造成的影响。

发明内容

[0006] 依据一实施例,一种接收器包括一被动式(passive)连续时间线性均衡器(continuous-time linear equalizer,以下称CTLE)、一共栅极(CG,common-gate)放大器、一第一主动式电感器、一共源极(CS,common-source)CTLE、一第二主动式电感器、及一决策电路。该被动式CTLE用以接收一第一节点的一第一电压信号并依据一第一控制信号输出一第一电流信号至一第二节点。该共栅极放大器用以接收该第一电流信号并依据一第二控制信号在一第三节点输出一第二电压信号。该第一主动式电感器用以在该第三节点提供一电感负载(inductive load)。该共源极CTLE用以接收该第二电压信号并依据一第三控制信号在一第四节点输出一第三电压信号。该第二主动式电感器用以在该第四节点提供一电感负

载。该决策电路用以接收该第三电压信号,以及依据一时钟信号输出一第一决策。其中该第一控制信号的一第一部分决定在该第一节点的一输入电阻及该被动式CTLE的一低频增益。该第一控制信号的一第二部分决定该被动式CTLE的一高频增益。该第三控制信号的一第一部分决定该共源极CTLE的一低频增益。该第三控制信号的一第二部分决定该共源极CTLE的一过渡频率(transition frequency)。

[0007] 依据一实施例,一种方法包括:接收来自一第一节点的一第一电压信号;依据一第一控制信号,使用一被动式CTLE将该第一电压信号转换为一第一电流信号并传送给一第二节点,其中该第一控制信号的一第一部分决定该第一节点的一输入电阻以及该被动式CTLE的一低频增益,该第一控制信号的一第二部分决定该被动式CTLE的一高频增益;使用被一第二控制信号控制的一共栅极放大器将该第一电流信号转换为在一第三节点的一第二电压信号;使用一第一主动式电感器负载该第三节点;依据一第三控制信号,使用一共源极CTLE将该第二电压信号转换成在一第四节点的一第三电压信号,其中该第三控制信号的一第一部分决定该共源极CTLE的一低频增益,该第三控制信号的一第二部分决定该共源极CTLE的一过渡频率;使用一第二主动式电感器负载该第四节点;以及依据一时钟信号,输出基于该第三电压信号的一第一决策。

附图说明

[0008] 参考以下附图可以更好地理解本公开的各个方面。附图中的元件不一定按比例绘制,而是着重于清楚地示出本公开的原理。此外,在附图中,相同的标号指代相对应的部分。

[0009] 图1A示出依据一实施例的接收器功能方框示意图;

[0010] 图1B示出依据图1A接收器的被动式连续时间线性均衡器(CTLE)、共栅极放大器以及该第一主动式电感器的实施例的示意图;

[0011] 图1C示出依据图1A接收器的该共源极CTLE以及该第二主动式电感器的实施例的示意图;

[0012] 图2A示出依据一实施例的决策反馈均衡器的功能方框示意图;

[0013] 图2B示出依据图2A的该决策反馈均衡器的加法器的一实施例的示意图;以及

[0014] 图3示出依据一实施例的方法流程图。

[0015] 符号说明

[0016] 1: 布线树脂基板

[0017] 100: 接收器

[0018] 110: 被动式连续时间线性均衡器(CTLE)

[0019] 120: 共栅极放大器

[0020] 130: 共源极连续时间线性均衡器(CTLE)

[0021] 131: 源极退化网络

[0022] 150: 决策电路

[0023] 160: 主动式电感器

[0024] 170: 主动式电感器

[0025] 200: 决策电路反馈均衡器

[0026] 210: 加法器

- [0027] 211:第一n通道金属氧化物半导体 (NMOS) 晶体管
- [0028] 212:第二n通道金属氧化物半导体 (NMOS) 晶体管
- [0029] 213:第三n通道金属氧化物半导体 (NMOS) 晶体管
- [0030] 220:触发器
- [0031] 230:触发器
- [0032] 240:主动式电感器
- [0033] 300:步骤
- [0034] 310-370:步骤

具体实施方式

[0035] 本公开涉及一种串行链路接收器。尽管说明书中描述几个优选实施例,不过可以理解的是,本公开可以以多种方式实现,并且不限于以下描述的特定实施例或实施特征的特定方式。在其他情况下,一些已知的细节并未被示出或详述,以避免淡化本公开的各个方面。

[0036] 本领域中技术人员能够理解本公开中使用的微电子学术语和基本概念,诸如“电压”、“电流”、“互补式金属氧化物半导体 (CMOS, complementary metal oxide semiconductor)”、“N通道金属氧化物半导体 (NMOS, N-channel metal oxide semiconductor) 晶体管 (以下称NMOS晶体管)”、“P通道金属氧化物半导体 (PMOS, P-channel metal oxide semiconductor) 晶体管 (以下称PMOS晶体管)”、“电阻器”、“电容器”、“电阻”、“电容”、“电流源”、“偏压”、“交流”、“直流”、“放大器”、“共源极 (common-source)”、“共栅极 (common-gate)”、“跨导 (transconductance)”、“负载 (load)”、“阻抗”、“阻抗匹配 (impedance matching)”、“串联”、“分流 (shunt)”、“时钟 (clock)”、“频率”、“饱和区 (saturation region)”、“源极退化 (source degeneration)”、“触发器 (flip flop, 正反器)”、“拉氏转换 (Laplace transform)”等相关术语皆常见于微电子学领域,因此本领域技术人员应明确理解这些术语的概念,于此不详细解释。本领域技术人员亦能理解NMOS晶体管符号,且能识别其“源极 (source)”、“栅极 (gate)”及其“漏极 (drain)”端。本领域技术人员还能理解如“欧姆 (Ohm)”、“千欧姆 (K Ohm, kilo-Ohm)”、“毫微微法拉 (fF, femto-Farad)”以及“毫伏 (mV, mini-Volt)”等单位。

[0037] 本公开中, V_{DD} 表示一电源供应节点,举例来说但本公开不限于此,以28nm CMOS工艺制造时, V_{DD} 的供给电压实质上为0.9V,0.9V可视为低电压。

[0038] 此外,本公开是从工程师角度所提出的,而非理论上所提出。举例来说,“X等于Y”表示X与Y之间的差小于一特定工程公差 (engineering tolerance);而“X远小于Y”表示X除以Y的商小于一工程公差;以及“X是零”表示X小于一特定工程公差。

[0039] 在本公开中,信号实现于 (embodied in) 代表特定信息的电压或电流中。

[0040] 一被动式电路仅包括被动式元件,如电容器以及电阻器。一主动式电路包括至少一晶体管。一主动式电感器是具有以下特性的主动式电路:电感性阻抗,也就是具有正的虚部 (positive imaginary part) 的阻抗。

[0041] 一时钟信号是在低电平 (low level) 与高电平 (high level) 之间周期性地变换的一电压信号,举例来说但本公开不限于此,低电平为实质0V,而高电平为实质0.9V。

[0042] 本公开中, V_{DD} 表示一电源供给节点。为方便表示, V_{DD} 也可以指该电源供给节点所供给的电压。也就是说, “ V_{DD} 是 0.9V” 意指 “在该电源供给节点 V_{DD} 的供给电压为 0.9V” (或实质上为 0.9V)。

[0043] 请参阅图 1A, 图 1A 示出依据一实施例的接收器 100 的功能方框示意图。接收器 100 包括一被动式 (passive) 连续时间线性均衡器 (continuous-time linear equalizer, 以下称 CTLE) 110、一共栅极 (CG, common-gate) 放大器 120、一第一主动式电感器 160、一共同源极 (CS, common-source) CTLE 130、一第二主动式电感器 170、及一决策电路 150。该被动式 CTLE 110 用以接收一第一节点 N_1 的一第一电压信号 V_1 并依据一第一控制信号 S_1 输出一第一电流信号 I_1 至一第二节点 N_2 。该共栅极 (CG, common-gate) 放大器 120 用以接收该第一电流信号 I_1 并依据一第二控制信号 S_2 在一第三节点 N_3 输出一第二电压信号 V_2 。该第一主动式电感器 160 用以在该第三节点 N_3 提供一电感性负载。该共同源极 (CS, common-source) CTLE 130 用以接收该第二电压信号 V_2 并依据一第三控制信号在一第四节点 N_4 输出一第三电压信号 V_3 。该第二主动式电感器 170 用以在该第四节点 N_4 提供一电感性负载。该决策电路 150 用以接收该第三电压信号 V_3 并依据一时钟信号 CLK 输出一第一决策 D_1 。

[0044] 举例来说但本公开不限于此, 接收器 100 是每秒传送 25 吉位元 (25 Giga-bits per second) 的串行链路 (亦即, 高速串行链路), 其中, 单位区间等于 1/25GHz, 也就是 40 皮秒 (i.e. 40ps)。

[0045] 依据一实施例, 接收器 100 实现于一差分信号方案中, 其中一电压信号包括两个分别用下标 “+” 及 “-” 所表示的电压, 且该电压信号的值由该两个电压之间的差所定义。例如: V_1 (V_2, V_3) 包括 V_{1+} (V_{2+}, V_{3+}) 及 V_{1-} (V_{2-}, V_{3-}), 而 V_1 (V_2, V_3) 的值定义为 $V_{1+} - V_{1-}$ ($V_{2+} - V_{2-}, V_{3+} - V_{3-}$)。同样地, 一电流信号包括两个分别用下标 “+” 及 “-” 所表示的电流, 且该电流信号的值由该两个电流之间的差所定义。例如: I_1 包括 I_{1+} 及 I_{1-} , 而 I_1 的值定义为 $I_{1+} - I_{1-}$ 。此外, 图 1A 中的节点代表有关两个电压且分别用下标 “+” 及 “-” 所表示的两个节点, 或有关节点的信号的电流。例如, N_1 (N_2, N_3, N_4) 包括 N_{1+} (N_{2+}, N_{3+}, N_{4+}) 及 N_{1-} (N_{2-}, N_{3-}, N_{4-}); “接收来自节点 N_1 的 V_1 ” 意指 “分别接收来自节点 N_{1+} 及 N_{1-} 的 V_{1+} 及 V_{1-} ”; “在节点 N_3 输出 V_2 ” 意指 “分别在节点 N_{3+} 及 N_{3-} 输出 V_{2+} 及 V_{2-} ”。本公开全文采用这样的描述方式。

[0046] 请参阅图 1B, 图 1B 示出被动式连续时间线性均衡器 110、共栅极放大器 120 以及该第一主动式电感器 160 的一实施例的示意图, 详述如后。

[0047] 被动式 CTLE 110 接收来自节点 N_{1+} 及 N_{1-} 的电压 V_{1+} 及 V_{1-} 并分别输出电流 I_{1+} 及 I_{1-} 至节点 N_{2+} 及 N_{2-} 。被动式 CTLE 110 包括一对分流电阻器 (shunt resistor) R_{1+} 及 R_{1-} 、一对可调串联电阻器 R_{2+} 及 R_{2-} 、以及一对可调串联电容器 C_{1+} 及 C_{1-} 。该对分流电阻器 R_{1+} 及 R_{1-} 是由 S_{1a} 所控制并分别用以将分流节点 N_{1+} 及 N_{1-} 接地。该对可调串联电阻器 R_{2+} 及 R_{2-} 是由 S_{1b} 所控制并分别用以提供节点 N_{1+} 及 N_{2+} 间的串联及节点 N_{1-} 及 N_{2-} 间的串联。该对可调串联电容器是由 S_{1c} 所控制并分别用以提供节点 N_{1+} 及 N_{2+} 间的串联及节点 N_{1-} 及 N_{2-} 间的串联。其中 S_{1a} 、 S_{1b} 及 S_{1c} 是三个控制信号, 共同实现 (embody) 第一控制信号 S_1 。参阅图 1B, 由于采用差分信号方案, 电路元件皆成对配置, 且每个下标为 “+” 的电路元件都具有相同对应下标为 “-” 的部分。例如, R_{1-} 是 R_{1+} 的对应, 而 R_{1+} 和 R_{1-} 是相同的。

[0048] 依据一实施例, 共栅极放大器 120 的一输入电阻是跨越节点 N_{2+} 及 N_{2-} 所呈现, 该输入电阻实质上小于被动式 CTLE 110 的一串联电阻 (亦即, 实质上小于 R_{2+} 及 R_{2-} 的电阻)。因

此,被动式CTLE 110的一输入电阻 R_{in} 在跨越节点 N_{1+} 及 N_{1-} 上观察到的值可以通过下述方程式获得其近似值。

$$[0049] \quad R_{in} \cong (R_{1+}+R_{1-}) \parallel (R_{2+}+R_{2-}) \quad (1)$$

[0050] 其中,符号“ \parallel ”代表并联后的值。被动式CTLE 110的第一个功能是阻抗匹配,其通过调整 R_{1+} 及 R_{2+} (以及 R_{1-} 及 R_{2-}),使得 R_{in} 等于目标值。被动式CTLE 110的第二个功能是等化,其通过提供自 V_1 到 I_1 的频率相依转移特性(frequency dependent transfer characteristic)来实现,其中 $V_1 \equiv V_{1+}-V_{1-}$ 且 $I_1 \equiv I_{1+}-I_{1-}$ 。在一低频极限下, C_{1+} 以及 C_{1-} 可以被省略,而 I_1/V_1 可以近似为 $1/(R_{2+}+R_{2-})$ 。在一高频极限下, R_{2+} 以及 R_{2-} 可以被省略,而 I_1/V_1 可以近似为 $s(C_{1+}+C_{1-})$,其中“ s ”是与频率有关的拉氏转换(Laplace transform)的一个多个变数(complex variable)。如此一来,通过调整 R_{2+} 及 R_{2-} 可以将低频响应调整为目标值,而通过调整 C_{1+} 及 C_{1-} 可以将高频响应调整成目标值。然而,当调整 R_{2+} 及 R_{2-} 时,尚需根据方程式(1)来调整 R_{1+} 及 R_{1-} ,以维持相同的 R_{in} 。举例但不限于此,依据一实施例, R_{1+} 及 R_{1-} 为600 Ω , R_{2+} 及 R_{2-} 为3000 Ω , C_{1+} 及 C_{1-} 为300fF,此时, R_{in} 近似1000 Ω ,为阻抗匹配的典型目标值。

[0051] 在一实施例中,被动式CTLE 110还包括一对由 S_{1d} 所控制的可调分流电容器 C_{2+} 及 C_{2-} (附图中虚线框部分,属可选择性附加的特征),该对可调分流电容器 C_{2+} 及 C_{2-} 分别用以将节点 N_{2+} 及 N_{2-} 分流接地。其中, S_{1d} 是第一控制信号 S_1 的附加部分。此实施例允许在高频下调整其响应的自由度。

[0052] 在一实施例中(图1B未示),被动式CTLE 110还包括一跨越配置于节点 N_{2+} 及 N_{2-} 的可调电阻器,该可调电阻器由第一控制信号 S_1 的另一附加部分所控制。此实施例允许在低频下调整其响应的自由度。

[0053] 共栅极放大器(CG amplifier) 120包括一对NMOS晶体管 M_{1+} 及 M_{1-} 、一对交流耦合电容器 C_{3+} 及 C_{3-} 、以及一对直流耦合电阻器 R_{3+} 及 R_{3-} 。该对NMOS晶体管 M_{1+} 及 M_{1-} 用以经由节点 N_{2+} 及 N_{2-} 接收 I_{1+} 及 I_{1-} 并分别在节点 N_{3+} 及 N_{3-} 输出电压 V_{2+} 及 V_{2-} 。该对交流耦合电容器 C_{3+} 及 C_{3-} 用以交错耦合(cross couple) NMOS晶体管 M_{1+} 及 M_{1-} 。该对直流耦合电阻器 R_{3+} 及 R_{3-} 用以分别耦合偏压 V_{c2+} 及 V_{c2-} 至NMOS晶体管 M_{1+} 及 M_{1-} 。其中, V_{c2+} 及 V_{c2-} 共同实现该第二控制信号 S_2 。关于图内电路的详细描述,诸如:NMOS晶体管 M_{1+} 的“源极”、“栅极”、以及“漏极”分别连接至节点 N_{2+} 、 N_{6+} 、及 N_{3+} ,对本领域技术人员从附图便可知,于此不赘述。就电路拓扑(circuit topology)而言,共栅极放大器120亦不再赘述。然而,于该实施例中,具有区别性的特征在于调整偏压 V_{c2+} 及 V_{c2-} 以补偿接收器100的直流偏移(DC offset),举例来说,若 V_3 具有正的直流偏移,也就是 $V_3 > 0$,在没有输入信号的情况下(也就是 $V_1 = 0$), V_{c2+} 将被调整至大于 V_{c2-} ,以补偿该正的直流偏移。举例来说但不限于此,依据一实施例,交流耦合电容器(AC coupling capacitors) C_{3+} 及 C_{3-} 为50fF, NMOS晶体管 M_{1+} 及 M_{1-} 的宽度及长度(W/L)为4 μm 及30nm, V_{c2+} 为600mV,而 V_{c2-} 为595mV,此实施例即适用于接收器100具有正的直流偏移的状况。

[0054] 第一主动式电感器(first active inductor) 160包括一对NMOS晶体管 M_{2+} 及 M_{2-} 、一对交流耦合电容器 C_{4+} 及 C_{4-} 、以及一对直流耦合电阻器(DC coupling resistors) R_{4+} 及 R_{4-} 。该对交流耦合电容器 C_{4+} 及 C_{4-} 用以分别为NMOS晶体管 M_{2+} 及 M_{2-} 提供栅源极耦合(gate-to-source coupling)。该对直流耦合电阻器(DC coupling resistors) R_{4+} 及 R_{4-} 用以分别耦合一偏压 V_{B2} 至NMOS晶体管 M_{2+} 及 M_{2-} 。就电路拓扑而言,不赘述第一主动式电感器160。然而,于该实施例中,具有区别性的特征在于:第一,该偏压 V_{B2} 大于该供给电压(V_{DD})以便为 V_{2+}

及 V_2 -提供足够的净空(headroom,或称宽限);第二,交流耦合电容器 C_{4+} 及 C_{4-} 提供一外部栅源极电容,该外部栅极电容实质上大于NMOS晶体管 M_{2+} 及 M_{2-} 的一内部栅源极电容,以有效地增强一感应阻抗(inductive impedance)。以该第一主动式电感器160作为该共栅极放大器120的负载有许多优点。第一,一旦将NMOS晶体管 M_{2+} 及 M_{2-} 适当地偏移在饱和区域中,该NMOS晶体管 M_{2+} 及 M_{2-} 便能提供良好的反向隔离,从而减缓 V_{DD} 噪声的影响。第二,在大电流情况下,NMOS晶体管 M_{1+} 及 M_{1-} 的跨导(transconductance)会压缩,且NMOS晶体管 M_{2+} 及 M_{2-} 的跨导也压缩,因此有助于保持共栅极放大器120的整体增益具有良好的线性(linearity)度,其中,线性度由NMOS晶体管 M_{2+} 及 M_{2-} 的跨导与NMOS晶体管 M_{1+} 及 M_{1-} 的跨导的比值(ratio)所决定。第三,第一主动式电感器160具有一电感阻抗(inductive impedance),该电感阻抗可补偿在节点 N_{3+} 及 N_{3-} 的寄生电容(parasitic capacitance),从而有效地减缓由寄生电容引起的次要色散。如前所述,偏移电压 V_{B2} 高于供给电压 V_{DD} 。依据一实施例,偏压 V_{B2} 由升压型(step-up)直流(DC/DC)转换器所产生,该升压型DC/DC转换器是电荷泵(charge pump),可以产生高于其电源电压的直流电压。不赘述升压型DC/DC转换器的技术。例如但不限于此,依据一实施例中,n通道金属氧化物半导体晶体管 M_{2+} 及 M_{2-} 的宽度及长度(W/L)分别为 $1\mu\text{m}$ 及 30nm ; C_{4+} 及 C_{4-} 为 25fF ; R_{4+} 及 R_{4-} 为 $5\text{K}\Omega$;而 V_{B2} 为 1.1V 。

[0055] 请参阅图1C,图1C为共源极CTLE 130和第二主动式电感器170的实施例示意图。共源极CTLE 130包括一对NMOS晶体管 M_{3+} 及 M_{3-} 、另一对NMOS晶体管 M_{4+} 及 M_{4-} 、以及一源极退化网络(source degeneration network) 131。该对NMOS晶体管 M_{3+} 及 M_{3-} 实现一共源极放大器,该对NMOS晶体管 M_{3+} 及 M_{3-} 用以接收来自节点 N_{3+} 及 N_{3-} 的 V_{2+} 及 V_{2-} 并依据跨越一对源极节点 N_{7+} 及 N_{7-} 的源极退化条件(degeneration condition),分别在节点 N_{4+} 及 N_{4-} 输出 V_{3+} 及 V_{3-} 。该另一对NMOS晶体管 M_{4+} 及 M_{4-} 实现一电流源(current source),该另一对NMOS晶体管 M_{4+} 及 M_{4-} 用以分别在源极节点 N_{7+} 及 N_{7-} 建立一偏压条件。该源极退化网络(source degeneration network) 131用以依据该第三可调信号 S_3 提供跨越 N_{7+} 及 N_{7-} 的源极退化。该源极退化网络131包括由 S_{3a} 控制的可调电阻器 R_5 和由 S_{3b} 控制的可调电容器 C_5 ,其中 R_5 和 C_5 共同决定跨越 N_{7+} 及 N_{7-} 的源极退化条件, S_{3a} 及 S_{3b} 是共同实现第三可调信号 S_3 的两个控制信号。源极退化网络131的阻抗 Z_{deg} 为

$$[0056] \quad Z_{deg} = \frac{R_5}{1+sR_5C_5} \quad (2)$$

[0057] Z_{deg} 决定NMOS晶体管 M_{3+} 及 M_{3-} 实现的共源极放大器的一增益: Z_{deg} 的值越大会导致越大的源极退化,也就是一较小增益。在一低频极限下, sR_5C_5 可以被省略,而 Z_{deg} 最大且并接近于 R_5 。在一高频极限下, $|sR_5C_5| \gg 1$,而 Z_{deg} 接近于 $1/sC$ 。因此共源极CTLE 130可以有一频率相依源极退化,并因此具有与频率相依的增益,以实现等化功能。调整 R_5 可以调整共源极CTLE130的低频增益,而调整 C_5 可以调整过渡频率,当高于此频率,共源极CTLE 130即过渡到高频极限。例如但不限于此,依据一实施例,NMOS晶体管 M_{3+} 及 M_{3-} 的宽长(W/L)为 $4\mu\text{m}/30\text{nm}$;NMOS晶体管 M_{4+} 及 M_{4-} 的宽长(W/L)为 $12\mu\text{m}/100\text{nm}$; V_{B3} 为 400mV ; C_5 为 250fF ; R_5 为 5000Ω 。

[0058] 该第二主动式电感器170包括一对NMOS晶体管 M_{5+} 及 M_{5-} 、一对交流耦合电容器 C_{6+} 及 C_{6-} 、以及一对直流耦合电阻 R_{6+} 及 R_{6-} 。该对NMOS晶体管 M_{5+} 及 M_{5-} 用以分别在节点 N_{4+} 及 N_{4-} 提供一电感性负载。该对交流耦合电容器 C_{6+} 及 C_{6-} 用以分别为NMOS晶体管 M_{5+} 及 M_{5-} 提供栅源极耦合。该对直流耦合电阻 R_{6+} 及 R_{6-} 用以分别将偏压 V_{B4} 耦合至NMOS晶体管 M_{5+} 及 M_{5-} 。在第一主动

式电感器160的情况下,偏压 V_{B4} 大于供给电压 V_{DD} ,其提供 V_{3+} 及 V_{3-} 足够的净空(ample headroom)。NMOS晶体管 M_{5+} 及 M_{5-} 提供反向隔离,并有助于减缓 V_{DD} 的噪声影响;该NMOS晶体管 M_{5+} 及 M_{5-} 可补偿NMOS晶体管 M_{3+} 及 M_{3-} 的非线性(nonlinearity),从而改善总体增益的线性。第二主动式电感器170提供一电感性阻抗,以补偿在节点 N_{4+} 及 N_{4-} 处的寄生电容,从而减缓次要色散。例如但不限于此,依据一实施例:NMOS晶体管 M_{5+} 及 M_{5-} 的宽度及长度(W/L)为 $1\mu\text{m}/30\text{nm}$; C_{6+} 及 C_{6-} 为25fF; R_{6+} 及 R_{6-} 为5K Ω ; V_{B4} 为1.1V。

[0059] 依据一实施例,决策电路150包括一触发器(flip flop),该触发器对 V_3 进行取样并依据时钟信号CLK输出该第一决策 D_1 。在由时钟信号CLK的边缘触发时,决策电路150对 V_3 进行取样、检测其极性(polarity)、并据以更新 D_1 的值。例如,如果 V_3 为正,则 D_1 为1,如果 V_3 为负,则 D_1 为0。于此不赘述触发器的技术。依据一实施例,时钟信号CLK的频率为25GHz, D_1 值的更新由时钟信号CLK的上升边缘所触发,称为“全速率(full-rate)”实施例。依据一实施例,CLK的频率为12.5GHz,且 D_1 值的更新由CLK的上升边缘和下降边缘所触发,称为“半速率(half-rate)”实施例。值得注意的是,双边缘触发的触发器(亦即,由上升边缘和下降边缘两者所触发)可以由两个单边缘触发的触发器来实现。依据一实施例,该触发器包括一前置放大器(pre-amplifier),该前置放大器用以在该检测之前放大 V_3 。依据一实施例,前置放大器是具有源极退化网络的共源极放大器(common-source amplifier with a source degeneration network),如图1C所示出的共源极CTLE 130,该前置放大器具有一方程式函数。

[0060] 请参阅图2A,图2A依据一实施例示出决策反馈均衡器的功能方框示意图,依据一实施例,决策电路150由一决策反馈均衡器(decision feedback equalizer)所实现,如决策反馈均衡器200所示。决策反馈均衡器200包括一加法器210、一第三主动式电感器240、一第一触发器220、以及一第二触发器230。该加法器210用以接收该第三电压信号 V_3 (来自节点 N_4)、该第一决策 D_1 及一第二决策 D_2 ,并依据一第四控制信号 S_4 在第五节点 N_5 输出一第四电压信号 V_4 。该第三主动式电感器240用以在第五节点 N_5 提供一电感性负载。该第一触发器220用以接收该第四电压信号 V_4 并依据该时钟信号CLK输出该第一决策 D_1 。该第二触发器230用以接收该第一决策 D_1 并依据该时钟信号CLK输出该第二决策 D_2 。

[0061] 请参阅图2B,图2B示出依据一实施例的加法器示意图,加法器210包括一第一NMOS晶体管211、一第二NMOS晶体管212、一第三NMOS晶体管213、一第一差分对(differential pair)NMOS晶体管 M_{6+} 及 M_{6-} 、一第二差分对NMOS晶体管 M_{7+} 及 M_{7-} 、以及一第三差分对NMOS晶体管 M_{8+} 及 M_{8-} 。该第一NMOS晶体管211用以依据一第一偏压 V_{B5} 输出一第一偏移电流 I_{B1} 。该第二NMOS晶体管212用以依据一第二偏压 V_{B6} 输出一第二偏移电流 I_{B2} 。该第三NMOS晶体管213用以依据一第三偏压 V_{B7} 输出一第三偏移电流 I_{B3} 。该第一差分对NMOS晶体管 M_{6+} 及 M_{6-} 用以接收 V_{3+} 及 V_{3-} 并依据该第一偏移电流 I_{B1} 分别输出电流 I_{2+} 及 I_{2-} 至节点 N_{5+} 及 N_{5-} 。该第二差分对NMOS晶体管 M_{7+} 及 M_{7-} 用以接收 D_{1+} 及 D_{1-} 并依据该第二偏移电流 I_{B2} 分别输出电流 I_{3+} 及 I_{3-} 至节点 N_{5+} 及 N_{5-} 。该第三差分对NMOS晶体管 M_{8+} 及 M_{8-} 用以接收 D_{2+} 及 D_{2-} 并依据该第三偏移电流 I_{B3} 分别输出电流 I_{4+} 及 I_{4-} 至节点 N_{5+} 及 N_{5-} 。依据一实施例, D_{1+} 及 D_{1-} 是 D_1 的差分电压实施例:当 D_1 为1, D_{1+} 为0.9V, D_{1-} 为0V;当 D_1 为0, D_{1+} 为0V, D_{1-} 为0.9V。同样地, D_{2+} 及 D_{2-} 是 D_2 的差分电压实施例:当 D_2 为1, D_{2+} 为0.9V, D_{2-} 为0V;当 D_2 为0, D_{2+} 为0V, D_{2-} 为0.9V。该三个偏压 V_{B5} 、 V_{B6} 及 V_{B7} 共同实现该第四控制信号 S_4 。电流 I_{2+} 、 I_{3+} 及 I_{4+} 加总于节点 N_{5+} ,而电流 I_{2-} 、 I_{3-} 及 I_{4-} 加总于节点 N_{5-} 。该第三主

动式电感器230在节点 N_{5+} 及 N_{5-} 提供一电感性负载,电压 V_{4+} 及 V_{4-} 被形成。例如但不限于此,依据一实施例NMOS晶体管 M_{6+} 及 M_{6-} 的宽度及长度(W/L)为 $4\mu\text{m}/30\text{nm}$;NMOS晶体管 M_{7+} 及 M_{7-} 的宽度及长度(W/L)为 $1\mu\text{m}/30\text{nm}$;NMOS晶体管211的宽度及长度(W/L)为 $24\mu\text{m}/100\text{nm}$;NMOS晶体管212的宽度及长度(W/L)为 $6\mu\text{m}/100\text{nm}$;NMOS晶体管213的宽度及长度(W/L)为 $6\mu\text{m}/100\text{nm}$; V_{B5} 为450mV; V_{B6} 为450mV; V_{B7} 为450mV。

[0062] 决策反馈均衡器的一般原理不于此赘述。举例来说,通过调整 S_4 (亦即,加法器210中的 V_{B5} 、 V_{B6} 及 V_{B7}),可以调整等化。然而,决策反馈均衡器200具有一特征:第三主动式电感器240是用来提供一个电感性负载至加法器210。该第三主动式电感器240的电路拓扑相同于第一主动式电感器160及第二主动式电感器170的电路拓扑,因此可满足三个功能:减缓供给电压的噪声影响、改善总体线性、以及减缓次要色散。例如但不限于此,依据一实施例,该第三主动式电感器240与该第二主动式电感器170相同。

[0063] 值得注意的是,依据一实施例,决策反馈均衡器200执行两次决策反馈(two-tap decision feedback)。依据一实施例,决策反馈均衡器200使用“全速率”架构。在一些实施例中,决策反馈均衡器200可基于“全速率”、“半速率”甚至是“四分之一速率(quad-rate)”架构实现单次或多次的决策反馈。

[0064] 依据一实施例,该加法器210还包括一前置放大器(图2B未绘),该前置放大器被配置于该第一差分对NMOS晶体管 M_{6+} 及 M_{6-} 之前,因此 V_3 会先被该前置放大器所放大,再被该第一差分对NMOS晶体管 M_{6+} 及 M_{6-} 所接收。依据一实施例,该前置放大器是一具有源极退化网络的共源极放大器,如同图1C中的共源极CTLE 130,其允许该前置电路具有一方程式函数。

[0065] 可调电容器(如图1B中的电容器 C_{1+} 、 C_{1-} 、 C_{2+} 以及 C_{2-})以及可调电阻器(如图1B中的电阻器 R_{1+} 、 R_{1-} 、 R_{2+} 以及 R_{2-})可通过多种方式被执行。举例来说,可调电容器由一开关电容器阵列(switch-capacitor array)来实现,该开关电容阵列包括多个并联的开关电容器单元,其中每个开关电容器单元包括串联的一电容器及一开关,该开关由该可调电容器的该控制信号的一个别位元所控制。同样地,可调电阻器可由一开关电阻器阵列(switch-resistor array)所实现,该开关电阻器阵列包括并联的多个开关电阻器单元,其中每个开关电阻器单元包括串联的一电阻器及一开关,该开关由可调电阻器的该控制信号的一个别位元所控制。

[0066] 请参阅图3,图3示出依据一实施例的方法流程图,该方法包括下列步骤:(步骤S310)接收来自第一节点的第一电压信号;(步骤S320)依据第一控制信号,使用一被动式CTLE将第一电压信号转换成一第一电流信号并传送给一第二节点,其中第一控制信号的第一部分决定该第一节点的一输入电阻以及被动式CTLE的低频增益,该第一控制信号的第二部分决定被动式CTLE的高频增益;(步骤S330)使用被第二控制信号控制的共栅极放大器将第一电流信号转换成在一第三节点的一第二电压信号;(步骤S340)使用第一主动式电感器负载该第三节点;(步骤S350)依据一第三控制信号,使用一共源极CTLE将该第二电压信号转换成在一第四节点的一第三电压信号,其中第三控制信号的第一部分决定共源极CTLE的低频增益,第三控制信号的第二部分决定共源极CTLE的过渡频率;(步骤S360)使用一第二主动式电感器负载该第四节点;以及(步骤S370)依据一时钟信号,输出基于该第三电压信号的一第一决策。

[0067] 虽然实施例中以NMOS晶体管作范例且对其详述说明,然而也能使用PMOS(p-

channel metal oxide semiconductor) 晶体管作为替代。通过将每一NMOS晶体管替换为PMOS晶体管,并将电源供给节点与接地节点作交换,NMOS晶体管的电路在功能上将等效于PMOS晶体管的电路。因此,可以理解的是,尽管将NMOS晶体管替换为PMOS晶体管,仍然会落入前述实施例的范围内。

[0068] 本领域技术人员将容易地观察到在本公开的启示下,观察到对装置和方法进行多种修改和变更。因此,前述公开内容不应被解释为仅由所附权利要求的界限所限定。

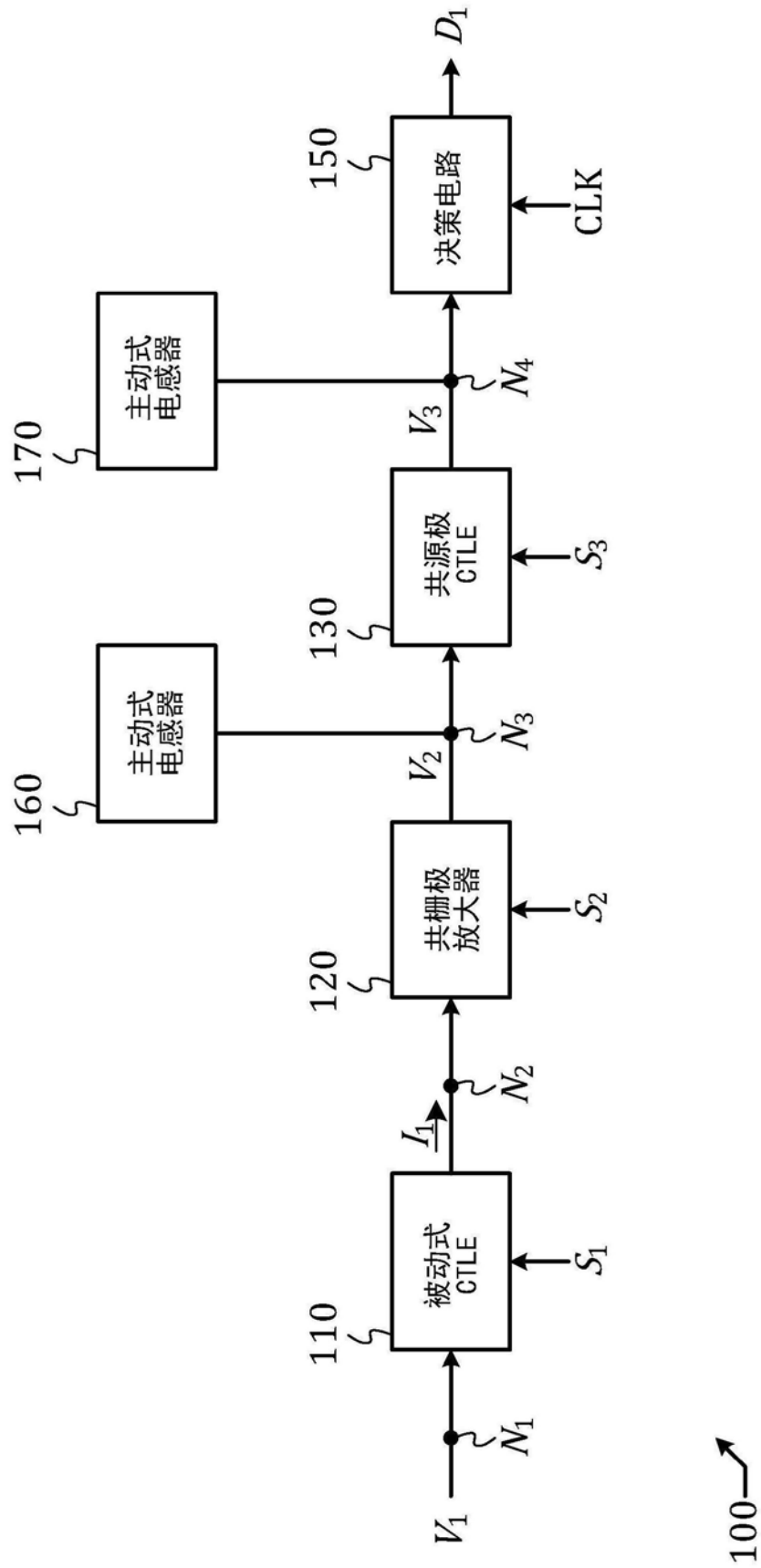


图1A

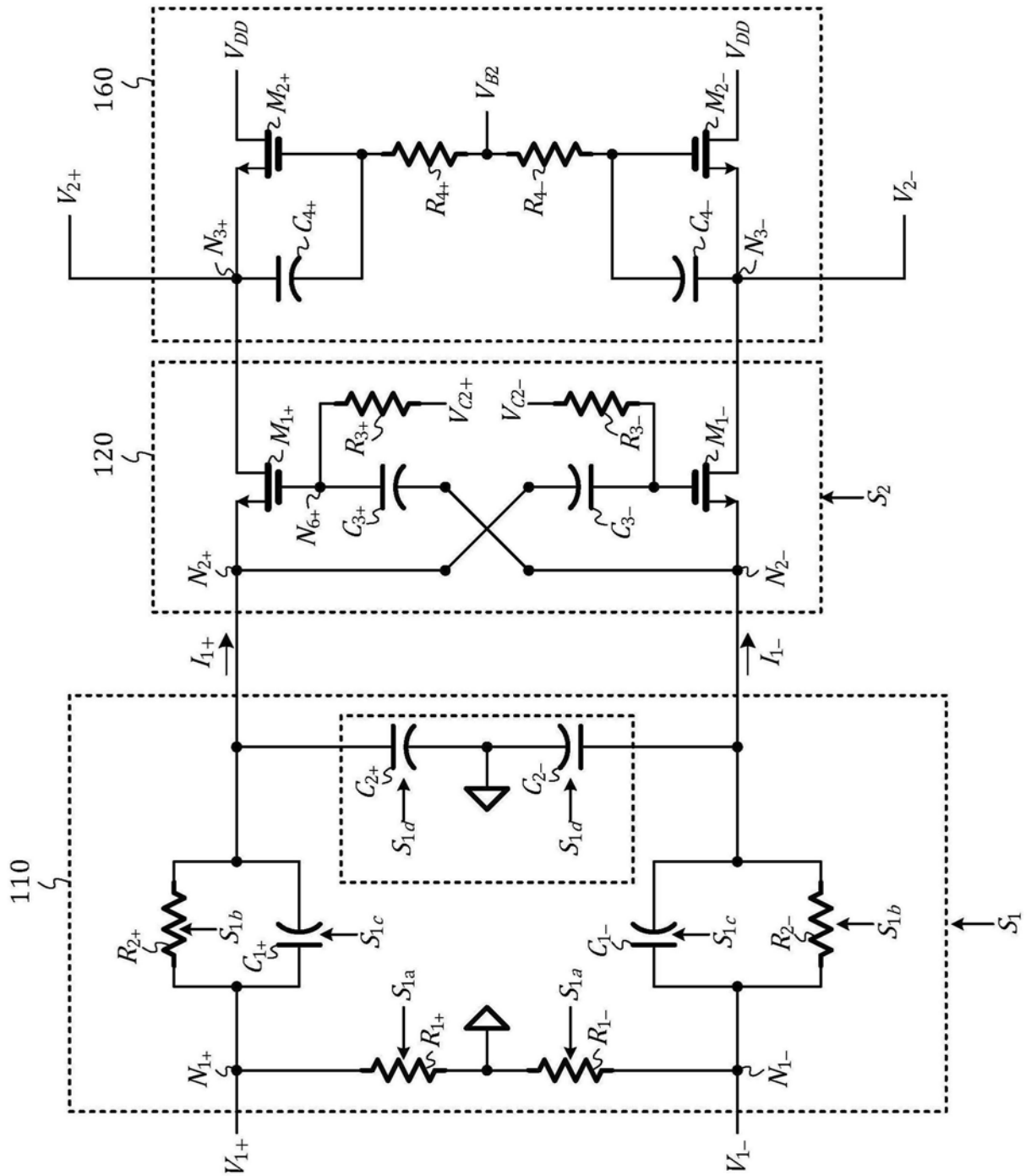


图1B

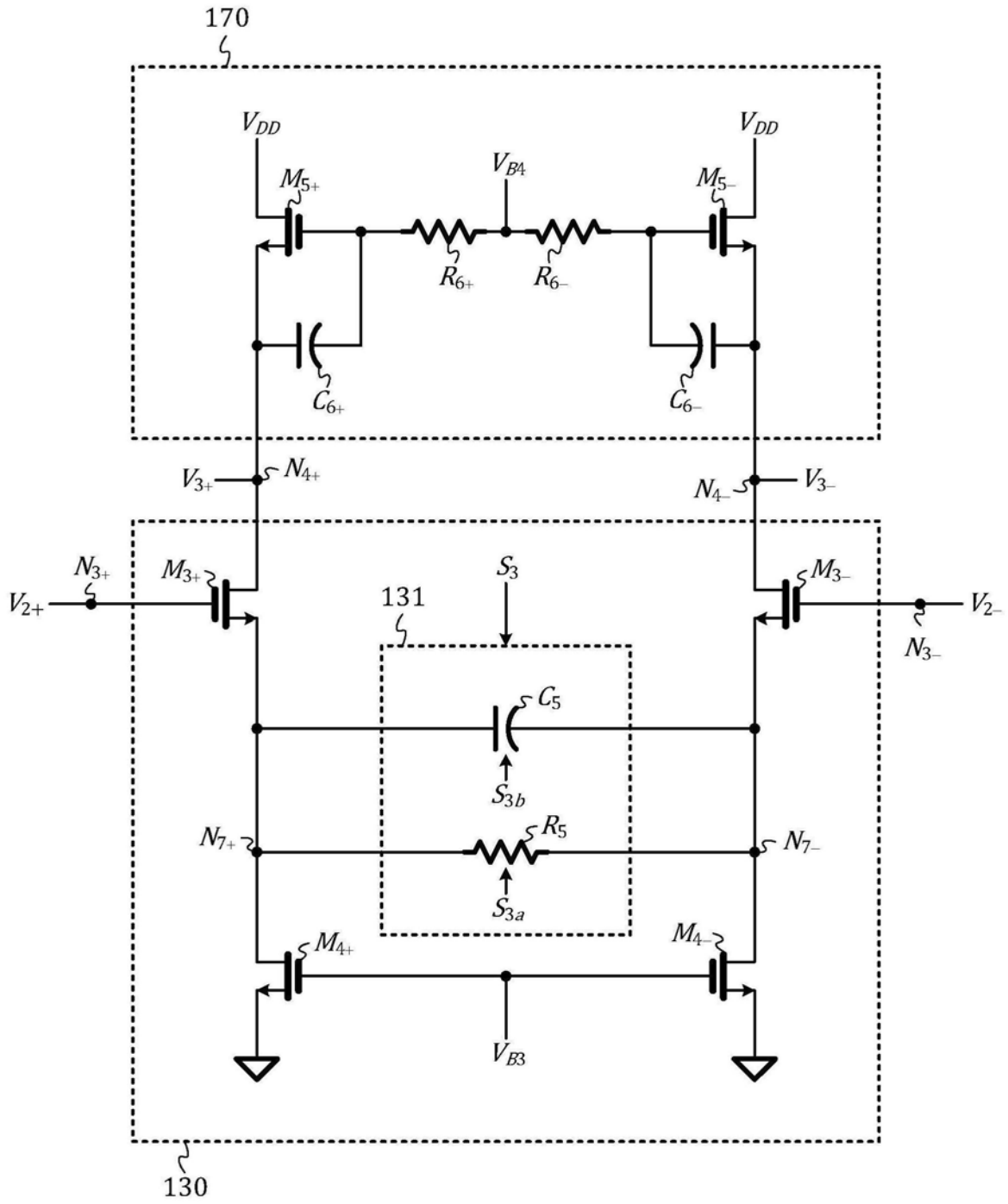


图1C

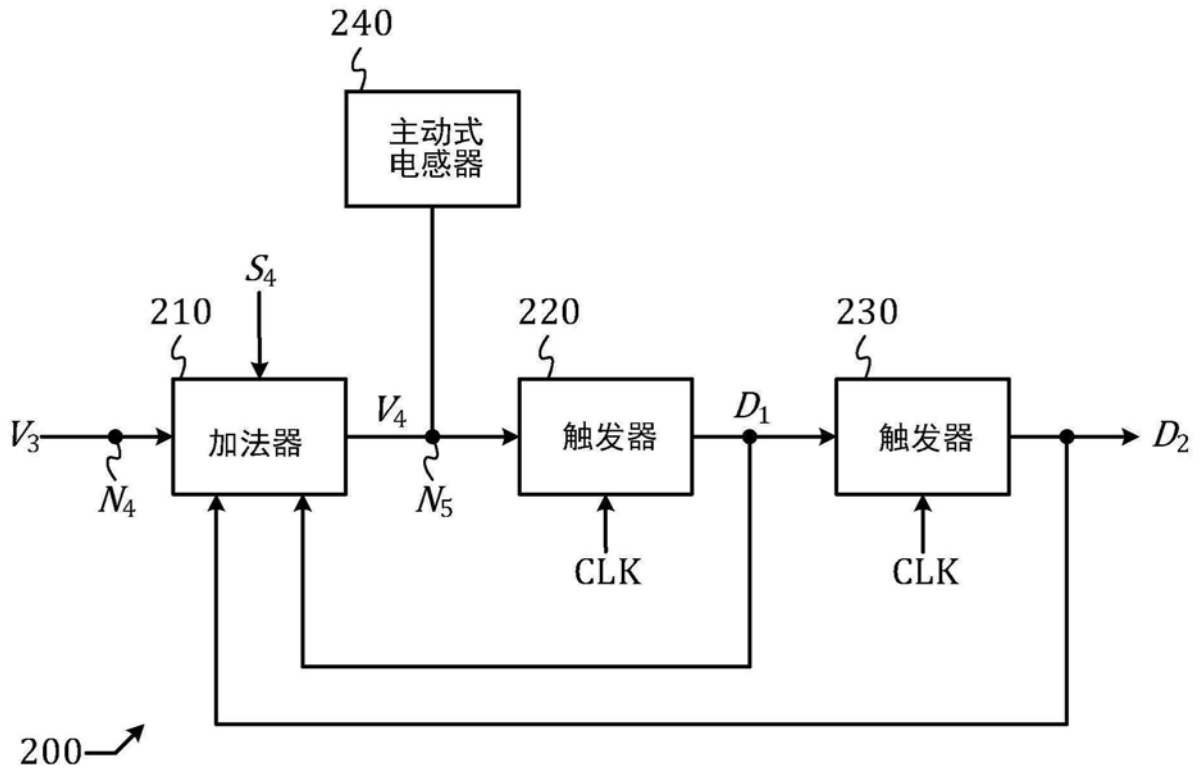


图2A

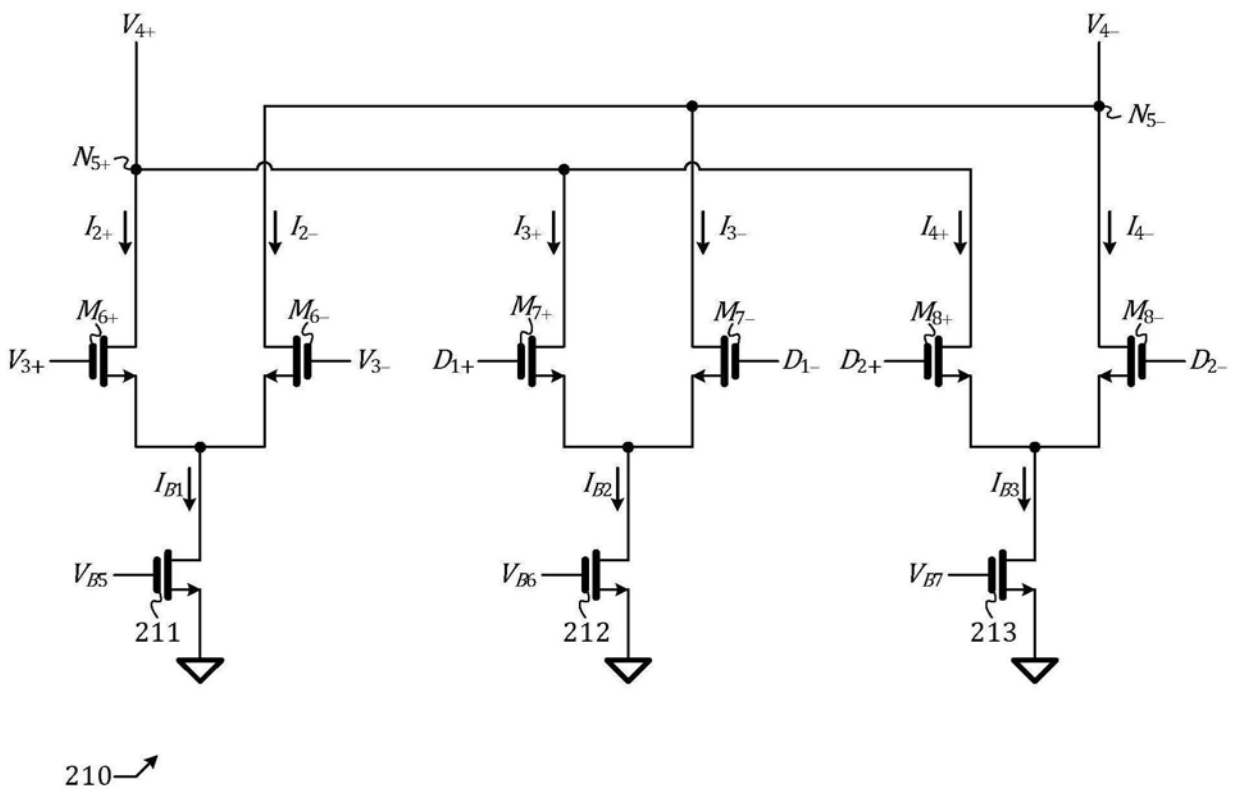


图2B

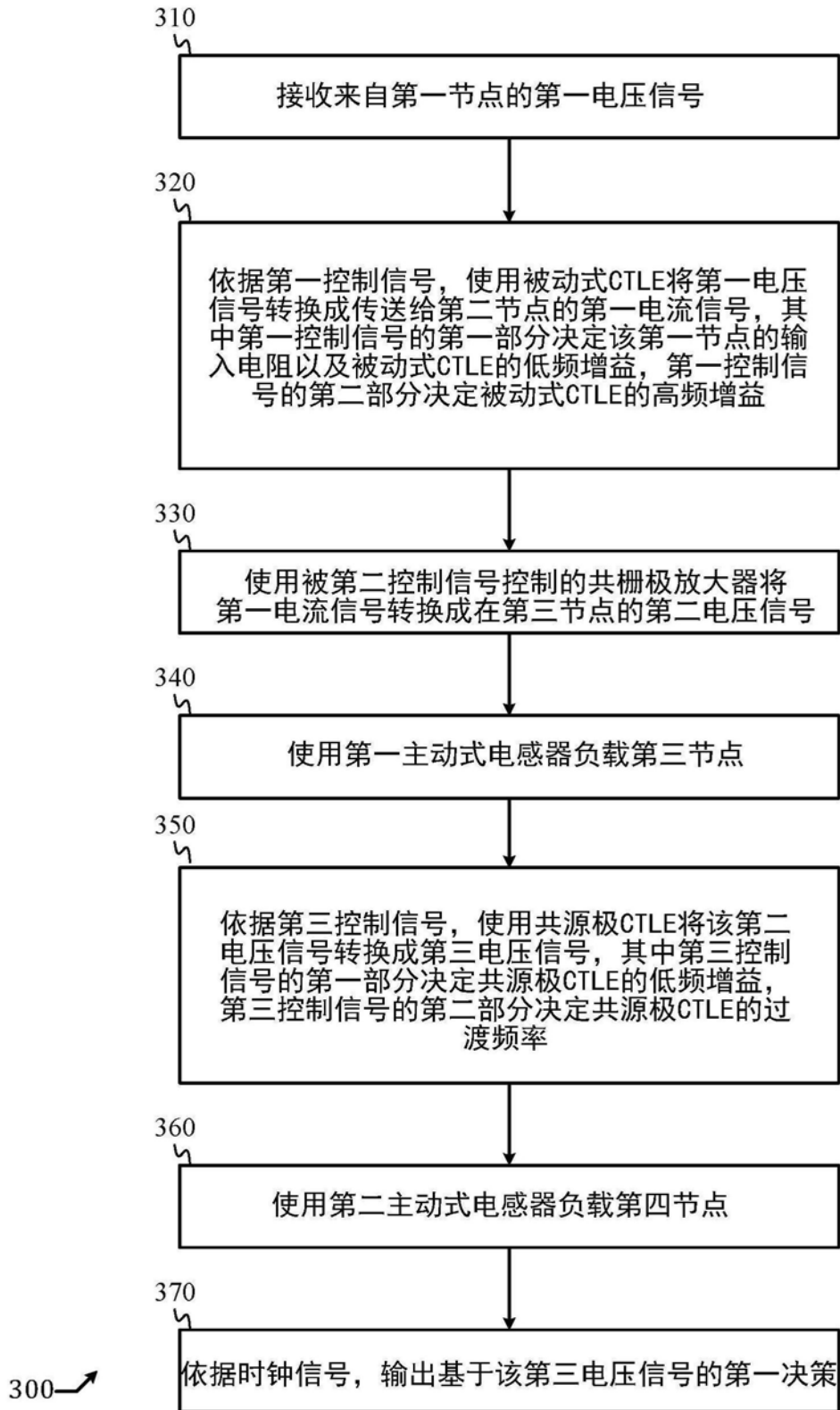


图3