

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4866925号
(P4866925)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl.	F I
H03K 3/356 (2006.01)	H03K 3/356 B
H03K 19/0948 (2006.01)	H03K 19/094 B
H03K 19/173 (2006.01)	H03K 19/173 101
G11C 11/41 (2006.01)	G11C 11/40 D

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2009-28638 (P2009-28638)	(73) 特許権者	591025439
(22) 出願日	平成21年2月10日 (2009.2.10)		ザイリンクス インコーポレイテッド
(62) 分割の表示	特願2003-586889 (P2003-586889) の分割		X I L I N X I N C O R P O R A T E D
原出願日	平成15年4月9日 (2003.4.9)		アメリカ合衆国 カリフォルニア州 95
(65) 公開番号	特開2009-153171 (P2009-153171A)		124-3400 サン ホセ ロジック
(43) 公開日	平成21年7月9日 (2009.7.9)	(74) 代理人	100064746
審査請求日	平成21年2月10日 (2009.2.10)		弁理士 深見 久郎
(31) 優先権主張番号	10/125,666	(74) 代理人	100085132
(32) 優先日	平成14年4月17日 (2002.4.17)		弁理士 森田 俊雄
(33) 優先権主張国	米国 (US)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 メモリセル

(57) 【特許請求の範囲】

【請求項1】

相補的なNMOSトランジスタおよびPMOSトランジスタで形成されるメモリセルであって、

第1の出力ノード、第1のNMOSトランジスタ、および第1のPMOSトランジスタを有する第1のインバータを備え、前記第1の出力ノードは、前記第1のNMOSトランジスタと前記第1のPMOSトランジスタとの間に配置され、前記第1のNMOSトランジスタおよび前記第1のPMOSトランジスタはそれぞれ第1のゲートを有し、前記第1のゲートは前記第1のインバータの第1の入力ノードをそれぞれ提供し、

前記メモリセルは、さらに、

第2の出力ノード、第2のNMOSトランジスタ、および第2のPMOSトランジスタを有する第2のインバータを備え、前記第2の出力ノードは、前記第2のNMOSトランジスタと前記第2のPMOSトランジスタとの間に配置され、前記第2のNMOSトランジスタおよび前記第2のPMOSトランジスタはそれぞれ第2のゲートを有し、前記第2のゲートは前記第2のインバータの第2の入力ノードをそれぞれ提供し、

前記メモリセルは、さらに、

第3のNMOSトランジスタおよび第3のPMOSトランジスタと、
第4のNMOSトランジスタおよび第4のPMOSトランジスタとを備え、
前記第3のNMOSトランジスタおよび前記第4のNMOSトランジスタは、第1のゲートバイアス電圧を受けるように共通に結合され、

前記第3のPMOSトランジスタおよび前記第4のPMOSトランジスタは、第2のゲートバイアス電圧を受けるように共通に結合され、

前記第3のNMOSトランジスタは、前記第1のNMOSトランジスタのゲートと前記第2の出力ノードとの間に結合されたソースおよびドレインを有し、

前記第4のNMOSトランジスタは、前記第2のNMOSトランジスタのゲートと前記第1の出力ノードとの間に結合されたソースおよびドレインを有し、

前記第3のPMOSトランジスタは、前記第1のPMOSトランジスタのゲートと前記第2の出力ノードとの間に結合されたソースおよびドレインを有し、

前記第4のPMOSトランジスタは、前記第2のPMOSトランジスタのゲートと前記第1の出力ノードとの間に結合されたソースおよびドレインを有する、メモリセル。

10

【請求項2】

前記第1のゲートバイアス電圧および前記第2のゲートバイアス電圧は、互いに相補である、請求項1に記載のメモリセル。

【請求項3】

前記メモリセルは、プログラマブルロジックデバイスの構成メモリセルを備える、請求項1に記載のメモリセル。

【請求項4】

前記第1のゲートバイアス電圧は、前記第3および第4のNMOSトランジスタのためのサブスレッシュホールド電圧を構成し、前記第2のゲートバイアス電圧は、前記第3および第4のPMOSトランジスタのためのサブスレッシュホールド電圧を構成する、請求項1に記載のメモリセル。

20

【請求項5】

前記第3のNMOSトランジスタおよび前記第4のNMOSトランジスタの各々は、接地に結合されたボディバイアス電圧を有する、請求項1に記載のメモリセル。

【請求項6】

前記第3のPMOSトランジスタおよび前記第4のPMOSトランジスタの各々は、V_{dd}に結合されたボディバイアス電圧を有する、請求項1に記載のメモリセル。

【発明の詳細な説明】

【技術分野】

【0001】

30

発明の分野

この発明は、一般に、シングルイベントアップセット（SEU）への耐性を求めて改良された回路に関する。

【背景技術】

【0002】

発明の背景

プログラマブルロジックデバイス（PLD）は、特定のロジック機能を実行するようにユーザによってプログラムされ得る周知の種類を集積回路（IC）として存在する。さまざまな種類のプログラマブルロジックデバイス、たとえばプログラマブルロジックアレイ（PLA）およびコンプレックスプログラマブルロジックデバイス（CPLD）が存在する。フィールドプログラマブルゲートアレイ（FPGA）と呼ばれるプログラマブルロジックデバイスの一種は、生産性、柔軟性、製品化に要する時間、およびコストの組合せが優れていることから、広く普及している。FPGAは一般に、プログラマブルな入力/出力ブロック（IOB）のリングによって取囲まれたコンフィギュラブルロジックブロック（CLB）のアレイを含む。CLBおよびIOBは、プログラマブルな配線構造によって相互接続される。CLB、IOB、および配線構造は一般に、CLB、IOB、および配線構造をどのように構成すべきかを規定する内部構成メモリセルに、構成データのストリーム（ビットストリーム）をロードすることによってプログラムされる。この構成ビットストリームは、外部メモリ、従来では外部集積回路メモリのEEPROM、EPROM、PROM等から読出し可能であるが、他の種類のメモリを用いてもよい。そうして、個々

40

50

のメモリセルの集合状態が、FPGAの機能を決定する。

【0003】

回路において、研究の進んだ一事象が「シングルイベントアップセット」と呼ばれるものである。シングルイベントアップセット、またはSEUは、回路、従来ではビット記憶回路、たとえばダイナミックランダムアクセスメモリ(DRAM)セル、ラッチ、スタティックランダムアクセスメモリ(SRAM)セル等の状態変化であり、これは、外部のエネルギー源、たとえばアルファ粒子、宇宙線、高エネルギー中性子等によって生じる。トランジスタのチャネル長、酸化膜厚さ、および幅が縮小し続けるのに伴い、SEUの重大性が増大しつつある。形状寸法が0.25ミクロン未満に移行したため、SEU事象の重大性を克服または低減するための努力がなされるほど、この問題は重大なものとなっている。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来のDRAMまたはSRAMでは、誤り訂正によってSEUに対処することができ、実際に、誤り訂正メモリが広く市販されている。しかしながら、これは、FPGAの構成用に使用されるメモリにとって効率のよい選択肢ではない。なぜなら、構成メモリセルを使用して、CLB、IOB、および配線構造をどのように構成すべきかを規定するためである。個々のメモリセルは、一般にデコーディングを行わずに制御用に使用されるため、SEUによってメモリセルが状態を変化させた場合に、このようなメモリセルの制御にあるロジック機能が変化するおそれがある。

20

【0005】

FPGAにおいてSEU状態に対処するための手法が三重モジュール冗長(TMR)であり、これはすなわち、メモリセルと構成可能なロジックとを1セットの代わりに3セット使用することであり、これらの3セットのうち少なくとも2つの結果がFPGAの動作を制御する。しかしながら、これによってかなりのコストが加算される。

【0006】

メモリセルの、SEUに対する障害許容力を増大する試みもなされてきた。図1を参照すると、先行技術のSEU耐性メモリセル10の概略図が示される。メモリセル10は、クロス結合されたインバータ12および14を有するラッチである。インバータ12および14のそれぞれの出力に抵抗器13および15が結合される。SEUに対する障害許容力を提供するために、抵抗器13および15の各々は、約1メガオームの抵抗を有する。入力電圧 V_{in11} は、インバータ12によって反転または補完されて出力電圧 V_{out12} を提供し、この電圧降下が、抵抗器13の両端の電圧降下によってSEU耐性となり、 V_{out12} がインバータ14によって反転されて V_{in} を提供し、この電圧降下が、抵抗器15の両端の電圧降下によってSEU耐性となる。残念ながら、SEU耐性をラッチに与えるのに十分な抵抗を有する抵抗器を形成すると、相対的に大きな面積を消費し、性能が低下し、相補型金属酸化膜半導体(CMOS)プロセスとの統合が複雑になる。インバータ12または14の入力に容量性装荷が使用されることもあったが、容量性装荷もまた、ラッチ10の性能を低下させる。

30

【0007】

したがって、CMOSプロセスとの統合に適した耐SEU性メモリ回路を提供することが、望ましく有用であろう。さらに、他の耐SEU性メモリ回路ほど半導体ウェハの面積を消費せず、かつ、高速の書込と、読出時における高い耐SEU性とを可能にする耐SEU性メモリ回路を提供することが、望ましく有用であろう。

40

【課題を解決するための手段】

【0008】

発明の概要

この発明の一実施例に従い、抵抗が約1~数メガオームである高抵抗モードと、抵抗が数百オームである低抵抗モードとを有するトランジスタから、クロス結合されたインバータの間に抵抗器が形成される。この回路を作動させる方法において、回路は、大部分の時

50

間である書込非実行時に高抵抗モードに保持され、書込のためにだけ低抵抗モードに置かれる。したがって、この回路は大部分の時間に亘って耐SEU性の利益を受け、しかも書込動作中に高性能を有する。さらに、抵抗トランジスタの面積の要求基準が受動抵抗器の面積の要求基準よりも小さくなるために、この構造の面積の要求基準は、図1の先行技術の構造よりも小さくなる。

【0009】

別の実施例において、2つのクロス結合されたインバータには、それらの間にインダクタが挿入され、これらの2つのインバータへの書込みにより、インダクタを通して電流が流れないように位置付けられる。したがって、インバータの一方に対する一時的な不調(upset)が、他方のインバータにすぐに伝達されない(メモリセルにフリップを生じる)。

。なぜなら、不調がインダクタによって遅らされるものの、インバータに直接適用される書込信号により、所望の通りメモリにフリップを生じるためである。

10

【0010】

別の実施例では、上で論じたように2つのクロス結合されたインバータの間にトランジスタが挿入されるが、トランジスタは制御不可能なゲートを有し、高抵抗モードに保持される。この実施例は、より小さくかつより使用しやすく、やはり、抵抗トランジスタの面積がより小さいことによる利益を受ける。

【0011】

さらに別の実施例では、動作中に、CMOSトランジスタのゲートが定電圧に保持されるが、チャンネル領域を形成する基板は制御可能である。したがって、これらのトランジスタはバイポーラトランジスタと極めて似た態様で作動し、可変抵抗(耐SEU性および高速度)および小面積の両方の利益を受ける。

20

【0012】

別の実施例では、ゲート電圧およびチャンネル電圧の両方に制御が行なわれる。

さらに別の実施例では、一方のインバータの出力と、他方のインバータのPMOSおよびNMOSトランジスタのゲートとの間に別個のトランジスタが配置され、これらのトランジスタは別個に制御可能である。好ましくは、インバータのNMOSトランジスタのゲートまでの経路にNMOSトランジスタが配置され、PMOSインバータトランジスタのゲートまでの経路にPMOSトランジスタが配置される。NMOSトランジスタは高電圧を通しやすいため、書込中にNMOSインバータトランジスタを完全にオンに維持する。

同様に、PMOSトランジスタは低電圧を通しやすく、書込中にPMOSトランジスタを完全にオンに維持することができる。SEU保護に対してより重要な点は、NMOSトランジスタが低電圧を相対的に通しにくく、PMOSトランジスタが高電圧を相対的に通しにくいことであり、このことは、駆動ノードがSEUによって瞬間的に影響を受ける際に助けとなる。なぜなら、オフになっていたPMOSトランジスタを攻撃するSEU事象によってこのトランジスタがハイに引き上げられ、極めて高い電圧を他のインバータに瞬間的に通すためである。したがって、これらの回路を有する装置が置かれている環境が、特定の種類のSEUを生じる場合、インバータ内のPMOSおよびNMOSトランジスタのゲートに抵抗を与える抵抗器を別個に調節することができる。

30

【0013】

この発明の上述の特徴、利点および目的が達成される態様が詳細に理解され得るようにするため、添付の図面に例示したこの発明の実施例を参照することにより、上で簡潔に概要を述べたこの発明の、より具体的な説明を得ることができる。

40

【0014】

しかしながら、添付の図面はこの発明の典型的な実施例を例示しているに過ぎないため、この発明の範囲を限定すると考えるべきではないことに注意されたい。なぜなら、この発明には、同様に効果的な他の実施例の余地があり得るためである。

【図面の簡単な説明】

【0015】

【図1】先行技術の、SEU耐性メモリセルの概略図である。

50

【図 2】この発明の 1 つ以上の局面に従ったラッチの例示的な一実施例の概略図である。

【図 3】この発明の 1 つ以上の局面に従ったラッチの、例示的かつ代替的な一実施例の概略図である。

【図 4】この発明の 1 つ以上の局面に従ったメモリセルの例示的な一実施例の概略図である。

【図 4 A】この発明の 1 つ以上の局面に従ったメモリセルの例示的な一実施例の概略図である。

【図 5】この発明の 1 つ以上の局面に従ったメモリセルの、例示的かつ代替的な一実施例の概略図である。

【図 6】この発明の 1 つ以上の局面に従ったメモリセルの、例示的かつ代替的な一実施例の概略図である。

10

【図 6 A】この発明の 1 つ以上の局面に従ったメモリセルの、例示的かつ代替的な一実施例の概略図である。

【図 7】この発明の 1 つ以上の局面に従ったラッチの、例示的かつ代替的な一実施例の概略図である。

【図 8】この発明の 1 つ以上の局面に従った F P G A の一実施例のブロック図である。

【発明を実施するための形態】

【 0 0 1 6 】

図面の詳細な説明

以下の説明では、この発明のより完全な理解をもたらすために、多数の特定の詳細が明示されている。しかしながら、この発明は、これらの特定の詳細の 1 つ以上がなくても実施可能であることが当業者には明らかであろう。この発明を不明瞭にすることを避けるために、周知の特徴が説明されていない場合がある。

20

【 0 0 1 7 】

図 2 を参照すると、この発明の 1 つ以上の局面に従ったラッチ 1 0 0 の例示的な一実施例の概略図が示される。ラッチ 1 0 0 は、クロス結合されたインバータ 1 0 1 および 1 0 2 を含む。インバータ 1 0 1 と 1 0 2 との間に P M O S トランジスタ 1 0 3 および 1 0 4 が存在する。より具体的に、P M O S トランジスタ 1 0 3 は、1 つのソース/ドレインコンタクトにおいてインバータ 1 0 1 の出力ノード 1 0 5 に接続され、別のソース/ドレインコンタクトにおいてインバータ 1 0 2 の入力ノード 1 0 6 に接続される。P M O S トランジスタ 1 0 4 は、1 つのソース/ドレインコンタクトにおいてインバータ 1 0 2 の出力ノード 1 0 7 に接続され、別のソース/ドレインコンタクトにおいてインバータ 1 0 1 の入力ノード 1 0 8 に接続される。すなわち、P M O S トランジスタ 1 0 3 はインバータ 1 0 1 と直列接続され、P M O S トランジスタ 1 0 4 はインバータ 1 0 2 と直列接続される。

30

【 0 0 1 8 】

トランジスタ 1 0 3 および 1 0 4 のボディはフローティング状態にあり、P M O S トランジスタ 1 0 3 および 1 0 4 のゲートには、ゲートバイアス電圧 1 0 9 を印加することができる。ゲートバイアス電圧 1 0 9 は、ほぼ、接地電位よりも高い電位から、P M O S トランジスタ 1 0 3 および 1 0 4 を微かにターンオンするだけの電位、従来では V d d よりも 0 . 3 ボルト低い電位までであり得る。さらに、P M O S トランジスタ 1 0 3 および 1 0 4 は、オフ状態にあるときに導通するように形成される。すなわち、P M O S トランジスタ 1 0 3 および 1 0 4 は、抵抗負荷となるように、オフ状態であっても十分にリークを生じやすい。従来では、0 . 2 0 ミクロンの微小なリソグラフィを用いて形成されたトランジスタが、このような所望のリークを生じた。

40

【 0 0 1 9 】

図 3 を参照すると、この発明の 1 つ以上の局面に従ったラッチ 1 1 0 の例示的な一実施例の概略図が示される。図 3 のラッチ 1 1 0 は、図 2 のラッチ 1 0 0 と同様であるが、異なる点は、ゲートバイアス電圧 1 0 9 が接地にあり、P M O S トランジスタ 1 0 3 および 1 0 4 のボディにボディバイアス電圧 1 1 1 が印加されていることである。有利にも、フ

50

ローティング状態のボディバイアスは自己調整を行ない、高インピーダンスをもたらすための電圧を確保する。

【0020】

理論に拘束されるつもりはないが、宇宙線、アルファ粒子、高エネルギー中性子等の外部エネルギー源が半導体装置にぶつかり、このような半導体装置の基板内に貫入すると考えられている。このような貫入経路に沿って、電子および正孔が形成される。電子および正孔がこのように形成されることにより、ソースからドレインへ、およびボディバイアス電圧への導通が容易になる。このような導通に対し、SEUの影響を受けやすいトランジスタはアクティブ状態または部分的アクティブ状態に入り、すなわち、完全にまたは部分的に「ターンオン」する。したがって、ボディバイアス電圧からこのようなトランジスタに渡って導通経路が存在し得る。従来、NMOSトランジスタに対するボディバイアス電圧は接地電位であり、PMOSトランジスタに対するボディバイアス電圧はV_{dd}である。したがって、SEUにตอบสนองして、NMOSトランジスタは第1の論理レベル電圧または「ロー」状態を伝達し、PMOSトランジスタは第2の論理レベル電圧または「ハイ」状態を伝達する。しかしながら、インバータの出力に抵抗負荷を与えてSEUを緩和するためには、NMOSトランジスタよりもPMOSトランジスタの方が好ましい。なぜなら、PMOSトランジスタの方がNMOSトランジスタよりも負電荷の伝達の影響を受けにくく、負電荷の累積物の注入が、SEUの外部エネルギーの注入という望ましくない結果になるためである。

10

【0021】

図2を参照すると、PMOSトランジスタ103および104にリークおよびフロートリングを許すことにより、これらのトランジスタは負電荷キャリアに対する抵抗負荷となる。さらに、この抵抗率は、このようなPMOSトランジスタ103および104のリークしやすさに対する半導体プロセス制御か、ゲートバイアス電圧109の印加か、またはこれらの組合せによってチューニングされ得る。したがって、PMOSトランジスタ103および104は、少なくとも1メガオームの効果的な抵抗を有するように構成される。注目すべき点は、PMOSトランジスタ103および104がこのような抵抗をもたらすようにサイズ決定され得るにもかかわらず、PMOSトランジスタ103および104が、インバータ101および102のPMOSトランジスタの形成で用いたものと同じか、または実質的に同じプロセスで形成され得ることである。したがって、インバータ101および102のPMOSトランジスタの形成とのプロセスの互換性が促進されるだけでなく、同じ抵抗を有する抵抗器と比べ、消費する半導体ウェハの面積が小さくなる。

20

30

【0022】

図3に関し、ボディバイアス電圧111によってリークを生じやすいPMOSトランジスタ103および104を有することにより、このようなPMOSトランジスタは負電荷キャリアに対する抵抗負荷となる。この抵抗率は、このようなPMOSトランジスタ103および104を形成する際に用いられる、リークしやすさに対する半導体プロセス制御か、ボディバイアス電圧111の印加か、またはこれらの組合せによってチューニングされ得る。したがって、PMOSトランジスタ103および104は、少なくとも1メガオームの効果的な抵抗を有するように構成される。注目すべき点は、PMOSトランジスタ103および104がこのような抵抗をもたらすようにサイズ決定され得るにもかかわらず、PMOSトランジスタ103および104が、インバータ101および102のPMOSトランジスタの形成で用いたものと同じか、または実質的に同じプロセスで形成され得ることである。ボディバイアス電圧111用に別個のコンタクトが使用されて、半導体ウェハの面積を消費しながらも、インバータ101および102のPMOSトランジスタの形成とのプロセスの互換性が促進されるだけでなく、同じ抵抗を有する抵抗器よりも、消費する半導体ウェハの面積が小さくなる。

40

【0023】

図4を参照すると、この発明の1つ以上の局面に従ったメモリセル140の例示的な一実施例の概略図が示される。メモリセル140は、クロス結合されたインバータ141お

50

よび142を含み、PMOSトランジスタ143および144がこのようなインバータの間に接続されている。PMOSトランジスタ143および144は、ボディバイアス電圧145を供給するためのボディバイアスコンタクトに結合される。PMOSトランジスタ143および144のゲートは接地され、したがってPMOSトランジスタ143および144はオン状態にある。しかしながら、ボディバイアス電圧145は、PMOSトランジスタ143および144に対して所望の抵抗率をもたらしように調整される。すなわち、ボディバイアス電圧145を用いてPMOSトランジスタ143および144を部分的に非導通状態にし、極めて大きな抵抗を有する抵抗器となるようにする。上述のとおり、このような抵抗は、PMOSトランジスタ143および144のリークしやすさに応じてボディバイアス電圧145を印加することにより、調整またはチューニングされ得る。

10

【0024】

メモリセル140は、データ信号およびその補信号をそれぞれ受信するためのデータ信号入力195および196を含む。アドレス信号または選択信号の入力197が選択回路194のトランジスタのゲートに与えられ、データ信号入力195および196からのデータが、クロス結合されたインバータ141および142に渡され得るようにする。渡されたデータは、それぞれインバータ142および141の出力ノード192および193に与えられる。データ信号出力198および199は、格納されたデータおよびその相補データを出力するためのものである。

【0025】

図4Aを参照すると、この発明の1つ以上の局面に従ったメモリセル140Aの例示的な一実施例の概略図が示される。メモリセル140Aは図4のメモリセル140と同じであり、ノード145とソース電圧147、たとえばV_{dd}と直列に結合されたトランジスタ149が加わる。NMOSトランジスタが示されているが、PMOSトランジスタを用いてよいことが明らかである。ゲート電圧148がトランジスタ149のゲートに印加されてこれらのトランジスタが導通すると、ソース電圧147がノード145に与えられる。したがって、トランジスタ143および144にV_{dd}のボディバイアスを加えることにより、耐SEU性の状態であるにもかかわらず、メモリセル140Aは書込または読出状態となる。ゲート電圧148がトランジスタ149のゲートに印加されてこれらのトランジスタが非導通になると、ノード145はフローティング状態になる。したがって、トランジスタ143および144のボディがフローティングし、それによってメモリセル140Aを耐SEU性の状態にする。

20

30

【0026】

図5を参照すると、この発明の1つ以上の局面に従ったメモリセル150の例示的な一実施例の概略図が示される。PMOSトランジスタ143および144がフローティングボディとバイアスが加えられたゲートとを有する点で、メモリセル150は図4のメモリセル140と異なる。バイアス電圧146がPMOSトランジスタ143および144のゲートに印加されて、これらのトランジスタを部分的にオフ状態にする。すなわち、PMOSトランジスタ143および144は部分的に導通して、極めて大きな抵抗を有する抵抗器となる。上で述べたように、このような抵抗は、PMOSトランジスタ143および144のリークしやすさに応じて、ゲートバイアス電圧146により調整またはチューニングされ得る。

40

【0027】

図6Aは、この発明の一実施例の単純化されたバージョンを示し、このバージョンは、クロス結合されたラッチの一方のインバータの出力と、クロス結合されたラッチの他方のインバータのPMOSおよびNMOSトランジスタとの間に、別個に制御される抵抗経路を設ける。この実施例により、PMOSおよびNMOSトランジスタのゲートに対する、別個に選択された抵抗が可能になる。PMOSトランジスタ163は、インバータ161および162のPMOSトランジスタまでの経路内の抵抗を制御する。これらのトランジスタ163は、イネーブル信号166によって制御される。インバータ161および162内のNMOSトランジスタは、NMOSトランジスタ164によって制御され、これら

50

のトランジスタ164は、イネーブル信号165によって制御される。これらの2つのイネーブル信号165および166の電圧は一般に、それらのトランジスタのそれぞれを通る抵抗を、必ずしも同程度でなくてもよいが、上げるか、または下げるように制御される。この回路は一般に、図6に示すようにさらに別の要素を含む。

【0028】

図6を参照すると、この発明の1つ以上の局面に従ったメモリセル160の例示的な実施例の概略図が示される。図4および図5のメモリセル140および150の例示的な実施例とは対照的に、メモリセル160は、CMOSプロセスによって形成された1対のPMOSTランジスタ163を有し、したがって1対のNMOSTランジスタ164もまた存在する。イネーブル信号165がNMOSTランジスタ164のゲートに与えられ、イネーブル信号165の補信号であり得るイネーブル信号166が、PMOSTランジスタ163のゲートに与えられる。イネーブル信号165は、動作速度でメモリセル160に書込または読出を行なうようにハイにされ、その後、動作速度よりも遅いSEU保護モードに戻るようローにされる。

10

【0029】

PMOSTランジスタ163は、ソース/ドレインのそれぞれにおいてインバータ161および162の入力に接続され、より具体的には、インバータ161および162のPMOSTランジスタのそれぞれのゲートに接続される。トランジスタ163の他のソース/ドレインは、インバータ161および162の出力ノード191および192にそれぞれ接続される。この構成において、PMOSTランジスタ163は、それぞれ、インバータ161および162のPMOS入力に、およびインバータ161および162の出力ノード191および192に結合される。

20

【0030】

NMOSTランジスタ164は、ソース/ドレインのそれぞれにおいてインバータ161および162の入力に接続され、より具体的には、インバータ161および162のNMOSTランジスタのそれぞれのゲートに接続される。トランジスタ164の他のソース/ドレインは、インバータ161および162の出力ノード191および192にそれぞれ接続される。この構成において、NMOSTランジスタ164は、インバータ161および162のNMOS入力に、およびインバータ161および162の出力ノード191および192に結合される。

30

【0031】

PMOSTランジスタ163はV_{dd}のボディバイアス電圧を有し、NMOSTランジスタ164は接地のボディバイアス電圧を有し、このことは、インバータ161および162のトランジスタと整合する。したがって、メモリセル160が単一のプロセスによって都合よく製造されることを認識されるべきである。しかしながら、トランジスタ163および164は、インバータ161および162の1つ以上のトランジスタと同じサイズまたは異なるサイズで形成することができる。

【0032】

この明細書の他の場所で述べたように、この発明の1つ以上の局面に従って抵抗負荷をもたらすために、トランジスタ163および164にゲートバイアス電圧を印加するか、またはボディバイアス電圧を印加するか、または両方の印加が可能であることを認識されるべきである。さらに、抵抗負荷をもたらすために、この明細書の他の場所で述べたPMOSTランジスタの代わりにNMOSTランジスタを用いてよい。ボディバイアスがフローティングしている場合、PMOSまたはNMOSTランジスタのゲートは、書込が生じているかどうかによって依存して、それぞれローまたはハイにされる。ボディバイアスがフローティングしていない場合、高抵抗保護モードにあるゲートバイアス電圧は、サブスレッシヨルド電圧となる。この電圧は、トランジスタの製造に依存するが、約0.1ボルト~0.3ボルトであり得る。注目すべき点は、ボディバイアスがフローティングしていない場合、ゲートバイアス電圧がトランジスタの製造に依存することであり、ほぼV_{dd}-0.1ボルト~V_{dd}-0.3ボルトであり得る。したがって、トランジスタのボディバイア

40

50

スをフローティングさせるか、ゲート電圧を印加するか、またはその両方を組合せることにより、トランジスタに高インピーダンスを得ることができる。

【0033】

互いに相補的なイネーブル信号165および166により、トランジスタ163および164は、読出または書込状態用にターンオンされ得る。さらに、上で述べたように、イネーブル信号165および166を用いて、耐SEU性の状態を得るために、トランジスタ163および164を部分的にターンオンすることができる。

【0034】

SEU耐性の状態では、トランジスタ163および164がリークを生じやすく、したがって、部分的なオフ状態時に抵抗負荷となることを認識されるべきである。PMOSTランジスタ163がこの目的に好ましいが、SEU耐性を得るために、NMOSTランジスタ164もまた、実際には抵抗負荷をもたらす。回路175は出力ノード192に結合され、メモリセル負荷のモデルを体現するか、またはモデルとなる。注目すべき点は、メモリセルに装荷することにより、耐SEU性を支援することである。

【0035】

図7を参照すると、この発明の1つ以上の局面に従ったラッチ170の例示的な一実施例の概略図が示される。ラッチ170は図2のラッチ100と同じであるが、異なる点は、抵抗負荷トランジスタ103および104がインダクタ173および174に置き換わっている点である。任意に、インダクタ173および174をインバータ101および102の入力ノードにそれぞれ接続することができる。ノードN1およびN2の入力側にインダクタを配置する(ノードに与えられる信号が、インバータに到達するためにインダクタを横切らなければならない)ことにより、(ノードN1またはN2を駆動する書込トランジスタに対する不調からの)より良好なSEU保護をもたらすが、回路の速度を下げる。反対に、出力側にインダクタを配置することにより、より速いスイッチングが可能になり、インバータトランジスタに対しては、同程度良好にSEUから保護するが、書込トランジスタに対しては、それほど良好にSEUから保護しない(図7には図示せず)。別の選択肢として、インダクタをインバータ101および102の入力側と出力側とで分割することができる。したがって有利にも、インダクタ173および174は、インバータ101および102の入力ノードおよび出力ノードの一方または両方において接続され得る。宇宙粒子によって生じる電流を制限または阻止することにより、インダクタ173および174がSEUを緩和する高インピーダンスを体現すると考えられている。たとえば、宇宙粒子の過渡現象が約10ピコ秒(ps)であり、かつ、このような宇宙粒子に対する dI/dt が10psにおいて約1ミリアンペア(ms)であると考えられたい。1ナノヘンリのインダクタが使用される場合、結果的に約0.1ボルトの電圧($V = -L \cdot dI/dt$)が得られる。したがって、十分に大きな値のインダクタンスLにより、電圧変化を十分に制限してメモリの不調を回避することができる。

【0036】

図8を参照すると、この発明の1つ以上の局面に従ったFPGA800の一実施例のブロック図が示される。FPGA800はメモリ801を含む。メモリ801はFPGA800の内部に示されているが、代替的に、メモリ801はFPGA800の外部にあってよく、データ、アドレス、および制御情報を通信するように結合される。メモリ801は、上で述べたように、ラッチおよびメモリセル100、110、140、150、160、および170の少なくとも1つを含む。

【0037】

上述の内容はこの発明の好ましい実施例に向けられているが、この発明の基本的な範囲から逸脱せずにこの発明の他の実施例およびさらに別の実施例を考案することができ、この発明の範囲は前掲の請求項によって決定される。さらに、この発明のいくつかの実施例において、SEU耐性装置を提供するために、2つのトランジスタしか追加されていないことを認識されるべきである。加えて、SEU耐性装置を提供するために、別の実施例では4つのトランジスタしか追加されていない。

10

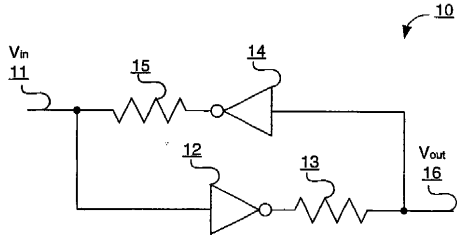
20

30

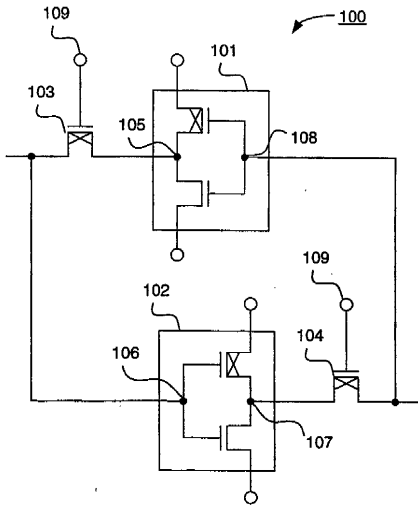
40

50

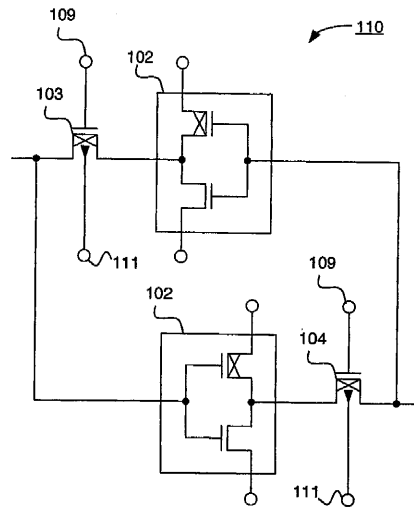
【図1】



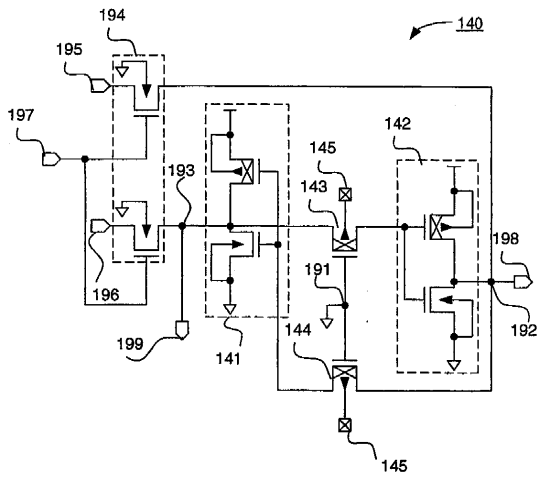
【図2】



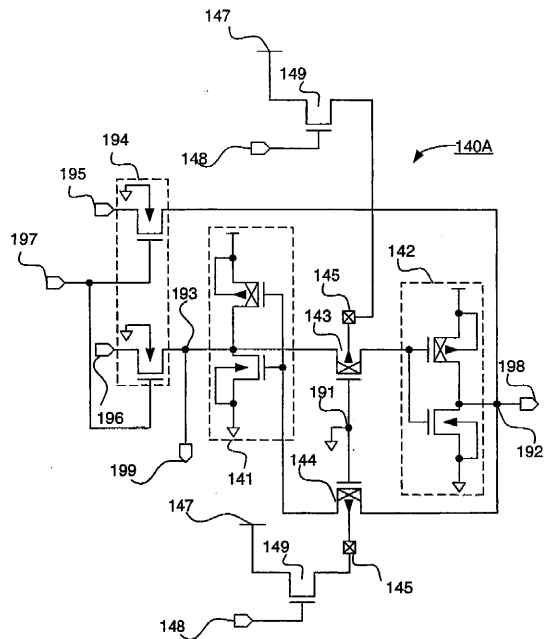
【図3】



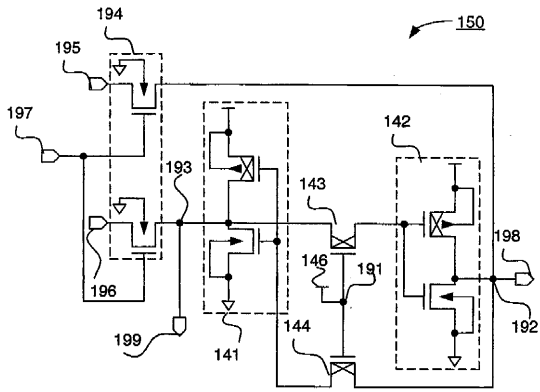
【図4】



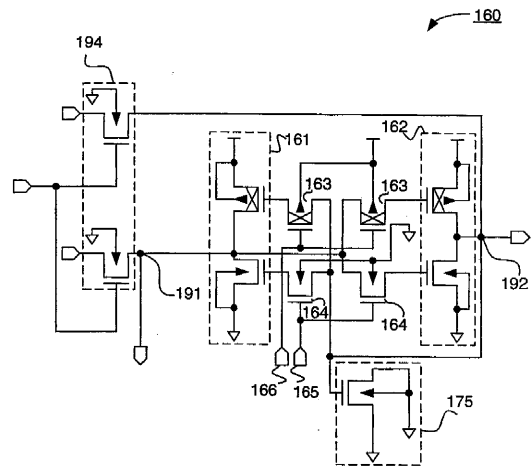
【図4A】



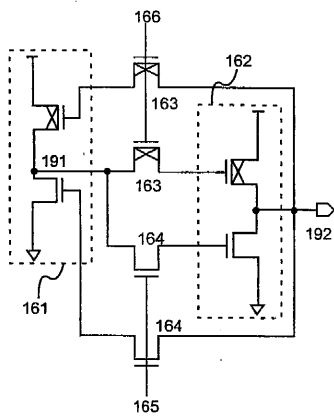
【図5】



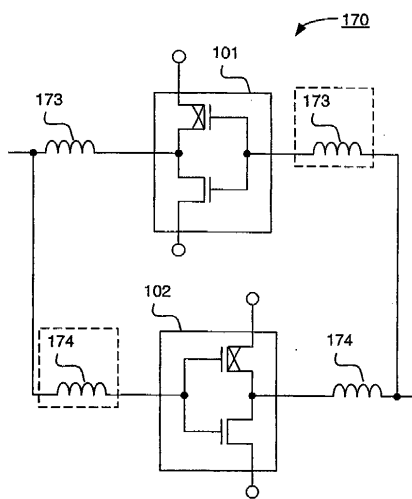
【図6】



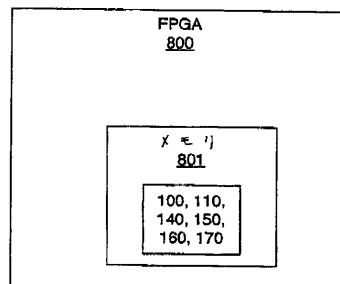
【図6A】



【図7】



【図8】



フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 将行

(72)発明者 レシー, オースティン・エイチ

アメリカ合衆国、9 5 0 3 3 カリフォルニア州、ロス・ガトス、マウント・ビーチ・ロード、2
5 5 4 2

審査官 石田 勝

(56)参考文献 特開昭63-166259(JP,A)

特開昭63-166260(JP,A)

特開昭63-229748(JP,A)

特開平4-129094(JP,A)

特開平4-119592(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/356

G11C 11/41

H03K 19/0948

H03K 19/173