

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4257064号
(P4257064)

(45) 発行日 平成21年4月22日(2009.4.22)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.	F I	
G 1 1 C 11/4074 (2006.01)	G 1 1 C 11/34	3 5 4 F
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10	6 8 1 F
H O 1 L 27/108 (2006.01)	H O 1 L 27/04	G
H O 1 L 21/822 (2006.01)	H O 1 L 27/04	C
H O 1 L 27/04 (2006.01)	H O 1 L 27/10	4 8 1
請求項の数 6 (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2002-44533 (P2002-44533)
 (22) 出願日 平成14年2月21日(2002.2.21)
 (65) 公開番号 特開2003-249076 (P2003-249076A)
 (43) 公開日 平成15年9月5日(2003.9.5)
 審査請求日 平成17年1月26日(2005.1.26)

前置審査

(73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100077838
 弁理士 池田 憲保
 (74) 代理人 100082924
 弁理士 福田 修一
 (74) 代理人 100129023
 弁理士 佐々木 敬
 (72) 発明者 成井 誠司
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】昇圧電位発生回路及び制御方法

(57) 【特許請求の範囲】

【請求項1】

外部電源電圧を昇圧する昇圧電位発生回路において、

第1及び第2のノードの間に接続された第1の容量MOSトランジスタ、第3及び第4のノード間に接続された第2の容量MOSトランジスタ、前記外部電源電圧が与えられる電源端子と前記第2のノード間に接続された第1のプリチャージMOSトランジスタ、前記電源端子と第4のノード間に接続された第2のプリチャージMOSトランジスタ、前記第4のノードに接続されたトランスファMOSトランジスタ、及び前記第2のノードと前記第3のノードの間にスイッチ回路を備え、

更に、前記スイッチ回路は、前記第2のノードと前記第3のノード間に接続された第1のPMOSトランジスタと、前記第3のノードと接地間に接続された第2及び第3のNMOSトランジスタとを少なくとも備えており、

前記第1のPMOSトランジスタ及び第3のNMOSトランジスタのゲートには同一のクロック信号線が接続され、前記第2のNMOSトランジスタのゲートには外部電源電圧が供給されていることを特徴とする昇圧電位発生回路。

【請求項2】

請求項1に記載の昇圧電位発生回路において、

前記第2のNMOSトランジスタは前記第3のノードと前記第3のNMOSトランジスタとの間に接続され、

前記第3のNMOSトランジスタは前記第2のNMOSトランジスタと前記接地間に接

続されたことを特徴とする昇圧電位発生回路。

【請求項 3】

請求項 1 又は 2 に記載の昇圧電位発生回路において、

前記外部電源電圧は前記電源端子により供給されることを特徴とする昇圧電位発生回路。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の昇圧電位発生回路において、

前記第 1 及び第 2 の容量 MOS トランジスタは、前記メモリセルを構成する MOS トランジスタ、或いは、前記トランスファ MOS トランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する MOS トランジスタによって構成されていることを特徴とする昇圧電位発生回路。

10

【請求項 5】

請求項 4 に記載の昇圧電位発生回路において、

前記第 1 乃至第 3 の MOS トランジスタは厚膜のゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【請求項 6】

請求項 4 に記載の昇圧電位発生回路において、

前記第 1 乃至第 3 の MOS トランジスタは薄膜のゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路、特に、半導体メモリに使用される昇圧電位発生回路、その制御方法、並びに、製造方法に関する。

【0002】

【従来の技術】

一般に、半導体集積回路、特に、半導体メモリでは、メモリ容量が増大すると同時に、外部電源から与えられる外部電源電圧が低下する傾向にある。更に、半導体メモリに対しては、高速化の要求もある。このような要求に応えるために、半導体メモリ内部に外部電源電圧を昇圧する昇圧電位発生回路を設け、この昇圧電位発生回路において外部電源電圧を半導体メモリに必要な電圧まで昇圧し、内部のメモリセルにおける高速化を実現している。

30

【0003】

一方、メモリ容量の増大に伴い、消費電流も大きくなることから、消費電流を少なくすることも必要になっている。このため、昇圧電位発生回路は、半導体メモリ中の複数の回路に設けられており、各昇圧電位発生回路は使用される回路に必要な電位に応じて設計されるのが普通である。いずれにしても、昇圧電位発生回路には、消費電流が小さいこと、チップ占有面積が小さいこと、及び、種々の昇圧電位を簡単な設計変更だけで発生できることが好ましい。

【0004】

40

従来、この種の昇圧電位発生回路は、特開 2000-112547 号公報（以下、引用例 1 と呼ぶ）に記載されている。記載された昇圧電位発生回路は、基板電位発生回路部と共に使用されており、昇圧電位発生回路は昇圧電圧（ V_{PP} ）をメモリアレイのワード線及び周辺回路に供給し、他方、基板電位発生回路部は、基板に対して所定の負電圧（ V_{BB} ）をデバイス基板に供給している。引用例 1 の場合、昇圧電位発生回路で発生された昇圧電位（ V_{PP} ）は基板電位発生回路部に与えられ、この昇圧電位（ V_{PP} ）から所望の電圧を得るように構成されている。

【0005】

更に、引用例 1 に記載された基板電位発生回路部は、クロックを発生するリングオシレータ等の発振器と、チャージポンプ回路とによって構成されている。この場合、チャージ

50

ポンプ回路では、発振器からのクロックと、クロックの反転信号を複数の容量素子及びトランジスタに与えて、昇圧すると共に、電圧レベルをクランプすることで昇圧電位が過度に高くないように制御している。

【0006】

この構成を採用することによって、チャージポンプ回路に使用されるトランジスタとして、ゲート酸化膜（以下では、ゲート絶縁膜と呼ぶ）の薄いトランジスタを用いることができる。しかしながら、引用例1は、基板電位発生回路の構成について説明しているだけで、外部電圧（ V_{DD} ）から昇圧電圧（ V_{PP} ）を発生する昇圧電位発生回路の構成について何等開示していない。

【0007】

一方、特開平11-297950号公報（以下、引用例2と呼ぶ）には、内部電圧発生部で発生した昇圧電圧（ V_{PP} ）を受けて動作する第1の内部回路に、厚い膜厚のゲート絶縁膜を有するMOSFETを設け、降圧電圧（ V_{DL} ）を受けて動作する第2の内部回路を薄い膜厚のゲート絶縁膜を有するMOSFETによって構成した半導体集積回路装置が開示されている。しかしながら、引用例2は、昇圧電圧を受けて動作を行う回路を開示しているだけで、昇圧電圧を発生する回路の構成については開示していない。

【0008】

更に、特開平6-283667号公報（以下、引用例3と呼ぶ）には、不揮発性メモリの消去、書込時に必要な高電圧を発生させるために使用される高電圧発生回路が提案されている。この提案に係る高電圧発生回路は、複数個のMOSトランジスタとこれらトランジスタの相互接続ノードに接続された昇圧容量素子とを備え、これら複数個の昇圧容量素子の絶縁膜として2種類以上の厚さを有するものを使用している。引用例3によれば、パターン面積を小さく、低電圧動作可能な高電圧発生回路を構成することができる。

【0009】

しかしながら、引用例3においても、DRAMに使用される昇圧電位発生回路に対する要求並びに具体的な構成について、何等、開示していない。

【0010】

ここで、一般に、DRAMに使用されている昇圧電位発生回路に対する具体的な構成並びに要求について説明する。

【0011】

最近、DRAMにおけるメモリセルの高密度化、小型化と共に、外部電源電圧、例えば、 V_{DD} は、5Vから2V、或いは、1.8V程度まで低下している。このように、外部電源電圧が1.8V程度まで低下した場合、内部電圧発生回路の昇圧回路部では、昇圧電圧（ V_{PP} ）として、3.0V以上の電圧（具体的には、3.0V～3.9V）を発生する必要がある。

【0012】

従来、この種、DRAMに使用される昇圧電位発生回路は、発振器とチャージポンプ回路とによって構成されており、当該チャージポンプ回路として、2倍圧或いは3倍圧の昇圧電位発生回路が使用されている。ここで、この種の昇圧回路部は、単に、ワード線に昇圧電位を与えるだけでなく、シェアードMOSトランジスタ、ビット線プリチャージMOSトランジスタ、センスアンプに対しても、昇圧電位或いはオーバードライブ電位を供給するためにも使用されること、及び、これらの制御信号としても使用されることを考慮しておく必要がある。

【0013】

【発明が解決しようとする課題】

しかし、従来の昇圧電位発生回路を用いた前述した昇圧回路部の構成では、上記したワード線昇圧電位（ V_{PP} ）を含めた各種電源電位をメモリアレイに十分に供給できない状況になってきた。

【0014】

更に、半導体メモリ、特に、DRAMでは、上記したように、外部電源電圧が低くなって

10

20

30

40

50

も、データのやり取りに関連するメモリセルのトランスファゲート、センスアンプは昇圧電圧で動作させ、メモリセルの書込レベルを充分確保した上で更に高速動作を行わせている。

【0015】

この関係で、DRAMのメモリセルを構成するMOSトランジスタには、昇圧電圧に耐える比較的厚膜のゲート絶縁膜（例えば、6nm）を有するMOSトランジスタが使用され、外部電源電圧で動作する周辺回路部を構成するMOSトランジスタには、薄いゲート絶縁膜（例えば、3.5nm）を有するMOSトランジスタが使用されるのが普通である。

【0016】

具体的に説明すると、ワード線、ビット線、メモリセル、及び、センスアンプを備えたDRAMにおいて、センスアンプを外部電源電圧の低下と共に低くした場合、センスアンプの動作速度が遅くなってしまうため、センスアンプは昇圧電圧で動作させる必要がある。また、ビット線のプリチャージ及びメモリセルの書込動作を高速で行わせるために、これらのトランジスタの動作を制御するゲート電圧を昇圧しておく必要がある。この結果、メモリセルを構成するMOSトランジスタのゲート酸化膜の膜厚は前述したように薄くできない。

【0017】

一方、DRAMに対して各種の電圧を発生する昇圧電位発生回路は、容量MOSトランジスタ及びトランスファMOSトランジスタとを備えているが、これらのMOSトランジスタは、昇圧電位が印加される関係上、メモリセルのMOSトランジスタのゲート酸化膜と等しい膜厚を有するMOSトランジスタによって構成されるのが普通である。

【0018】

更に、前述したように、種々の回路に対応した内部電源電位を発生するためには、単に、外部電源電圧を2倍圧の昇圧電位を発生する昇圧電位発生回路を用いただけでは、ワード線昇圧電位を初めとするDRAMに必要な各種電源電位を発生させることが出来ない。例えば、外部電源電圧の低下と共に、この種、昇圧電位発生回路に対しては、ワード線昇圧電位のほか、シェアードMOSトランジスタ、ビット線プリチャージMOSトランジスタ、及び/又は、センスアンプのオーバードライブを制御する電位をも供給することが要求される傾向にある。

【0019】

上記した点を考慮すると、今後、昇圧電位発生回路では、3.0～3.9V以上の高い昇圧電位を発生させることも必要になるものと考えられる。

【0020】

一方、上記したように高い昇圧電位を得るために、従来と同様に、2倍圧の昇圧電位発生回路が使用されるものと想定する。まず、昇圧電位発生回路の電流効率は、通常、負荷電流と消費電流との比（即ち、負荷電流/消費電流）であらわされるが、2倍圧の昇圧電位発生回路を用いて、高い電圧を発生しようとする、発生される電圧が高くなるにしたがって、電流効率は急激に低下する。この結果、2倍圧の昇圧電位発生回路を用いて、高い昇圧電位を発生させた場合、電流効率の低下を避けることができず、十分な電流供給能力が得られないと言う欠点がある。また、2倍圧の昇圧電位発生回路を用いて、十分な電流供給能力を得るためには、容量MOSトランジスタを大きくする必要があり、結果的に、チップサイズが大きくなってしまう。

【0021】

このような状況の下で、高い昇圧電位においても電流効率が安定に保たれる3倍圧の昇圧電位発生回路を使用することも考慮されている。しかしながら、3倍圧の昇圧電位発生回路では、発生される電圧自体が高いため、昇圧電位発生回路に使用されるMOSトランジスタとして、高電圧に耐えるように、ゲート絶縁膜厚の厚い容量MOSトランジスタを使用しなければならない。このことは、3倍圧の昇圧電位発生回路においても、所望の容量値を得るための容量MOSトランジスタとして、ゲート絶縁膜の厚いMOSトランジスタを使用しなければならないことを意味している。

【 0 0 2 2 】

しかしながら、厚いゲート絶縁膜を有する容量MOSトランジスタは、所望の容量値を実現するためにはその面積を大きくしなければならず、結果として、チップサイズが大きくなってしまい、昇圧電位発生回路を小面積で形成することはできないと言う欠点がある。

【 0 0 2 3 】

また、外部電源電圧の低電圧化と共に、スケーリング則に従って、昇圧電位発生回路の容量MOSトランジスタとトランスファMOSトランジスタとして、周辺回路に使用される膜厚の薄いゲート絶縁膜を有するMOSトランジスタを使用することも考慮されるかもしれない。

【 0 0 2 4 】

しかし、薄膜のトランスファMOSトランジスタを使用した昇圧電位発生回路に使用した場合、高い電位をゲート絶縁膜に与えることができないため、高い昇圧電位を得ることが出来ず、したがって、高速動作を行えず、これまた、半導体メモリの高速化の要求に応えられないと言う欠点が生じる。

【 0 0 2 5 】

本発明の目的は、外部電源電圧の低下に応じて、2倍圧の昇圧電位だけでなく、種々の電位の発生をも可能にする半導体メモリに適した昇圧電位発生回路を提供することである。

【 0 0 2 6 】

本発明の目的は、チップサイズを拡大することなく、大きな電流供給能力を得ることができる昇圧電位発生回路及びその制御方法を提供することである。

【 0 0 2 7 】

本発明の他の目的は、消費電流の増加を抑制しつつ、到達レベル、電流供給能力を高めることができ、昇圧電位発生回路として使用できる回路構成を提供することである。

【 0 0 2 8 】

本発明の更に他の目的は、MOSトランジスタのゲート絶縁膜を最適化することにより、小面積且つ高効率な昇圧電位発生回路を提供することである。

【 0 0 2 9 】

本発明の他の目的は、上記した昇圧電位発生回路を最適に駆動するための制御方法を提供することである。

【 0 0 3 0 】

【課題を解決するための手段】

本発明の一態様によれば、MOSトランジスタによって構成されたメモリセルを含む半導体装置に使用される昇圧電位発生回路において、容量素子として使用され、第1及び第2のノード間に接続された容量MOSトランジスタと、前記第2のノードに接続されたトランスファMOSトランジスタと、更に、前記第2のノードに接続されたプリチャージMOSトランジスタとを備え、前記容量MOSトランジスタの前記第1及び第2のノード間の電位差が、前記容量MOSトランジスタのゲート絶縁膜の耐圧を越えないように、前記容量MOSトランジスタ、前記トランスファMOSトランジスタ、及び、前記プリチャージMOSトランジスタのゲートが制御されることを特徴とする昇圧電位発生回路が得られる。

【 0 0 3 1 】

この場合、前記容量MOSトランジスタは、前記メモリセルを構成するMOSトランジスタ、或いは、前記トランスファMOSトランジスタのゲート絶縁膜の膜厚より薄いゲート絶縁膜を有していることが望ましい。

【 0 0 3 2 】

具体的に説明すると、前記容量MOSトランジスタ及び前記プリチャージMOSトランジスタのゲートには、第1及び第2のクロックとして制御信号が与えられ、前記トランスファMOSトランジスタのゲートには、第3のクロックとして制御信号が与えられる構成を備え、前記第1のクロックによって規定される前記容量MOSトランジスタのチャージポンプ期間は、前記第2のクロックによって規定されるプリチャージMOSトランジスタの

10

20

30

40

50

プリチャージ期間とオーバーラップしないように制御されると共に、前記第3のクロックによって規定されるトランスファ期間は、前記チャージポンプ期間より短くなるように制御される。

【0033】

この構成によれば、前記プリチャージMOSトランジスタには、外部電源電圧が与えられる構成を備え、前記トランスファMOSトランジスタからは、前記外部電源電圧に対して2倍の電位を発生できる。

【0034】

本発明の他の実施態様によれば、外部電源電圧を昇圧する昇圧電位発生回路において、第1及び第2のノードの間に接続された第1の容量MOSトランジスタ、第3及び第4のノード間に接続された第2の容量MOSトランジスタ、前記外部電源電圧が与えられる電源端子と前記第2のノード間に接続された第1のプリチャージMOSトランジスタ、及び、前記電源端子と第4のノード間に接続された第2のプリチャージMOSトランジスタ、及び、前記第4のノードに接続されたトランスファMOSトランジスタとを備え、前記第2のノードと前記第3のノードの間には、スイッチ回路が接続された構成を備え、前記トランスファMOSトランジスタからは前記外部電源電圧の3倍圧の電位を発生できることを特徴とする昇圧電位発生回路が得られる。

【0035】

この場合、前記第1及び第2の容量MOSトランジスタは、前記メモリセルを構成するMOSトランジスタ、或いは、前記トランスファMOSトランジスタのゲート絶縁膜より薄いゲート絶縁膜を有するMOSトランジスタによって構成され、前記スイッチ回路は、前記第2のノードと前記第3のノード間に接続された第1のMOSトランジスタと、第3のノードと接地間に接続された第2及び第3のMOSトランジスタとによって構成される。

【0036】

更に、具体的に説明すると、前記第1の容量MOSトランジスタ、前記第1のプリチャージMOSトランジスタ、前記スイッチ回路、前記第2のプリチャージMOSトランジスタ、及び、前記トランスファMOSトランジスタには、制御信号として、それぞれ、第1、第2、第3、第4、及び、第5のクロックが与えられる構成を有し、前記第5のクロックで規定されるトランスファMOSトランジスタの電荷転送期間は、前記第1のクロックで規定される第1の容量MOSトランジスタのチャージポンプ期間と実質的にオーバーラップし、前記第2及び第4のクロックで規定されるプリチャージ期間と実質的にオーバーラップしないように、制御されることが望ましい。

【0037】

本発明の別の態様によれば、前記トランスファMOSトランジスタは、PチャンネルMOSによって構成され、前記スイッチ回路は、第2及び第3のノード間に接続されたPチャンネルの第1のMOSトランジスタと、第3のノードと接地間に直列に接続されたNチャンネルの第2及び第3のMOSトランジスタとを有していることを特徴とする昇圧電位発生回路が得られる。

【0038】

本発明の他の態様によれば、予め定められた膜厚を有するゲート絶縁膜を備えた容量MOSトランジスタ、当該容量MOSトランジスタのゲート絶縁膜より厚い膜厚を有するゲート絶縁膜を備えたトランスファMOSトランジスタ、及び、前記容量MOSトランジスタと前記トランスファMOSトランジスタに結合されたプリチャージMOSトランジスタとを含む昇圧電位発生回路の制御方法において、チャージポンプ期間を規定する第1のクロックを前記容量MOSトランジスタに供給するステップ、前記第1のクロックによるチャージポンプ期間の開始前に終了するようなプリチャージ期間を決定する第2のクロックをプリチャージMOSトランジスタに与えるステップ、及び、前記第1のクロックによるチャージポンプ期間内に、電荷転送期間を規定する第3のクロックを前記トランスファMOSトランジスタに供給するステップとを備え、これによって、前記昇圧期間内、容量MO

10

20

30

40

50

Sトランジスタに加わる電圧を制限することを特徴とする制御方法が得られる。

【0039】

【発明の実施の形態】

図1に、本発明の第1の実施形態に係る昇圧電位発生回路20を含む回路構成を示し、図2にその動作を説明するための波形図を示す。

【0040】

図1及び2に示された昇圧電位発生回路20は、入力側にクロック発振器21を備え、出力側に容量回路22とレベル検出回路23を備えている。クロック発振器21は外部電源電圧 V_{DD} として1.8Vの電圧が与えられ、この外部電源電圧 V_{DD} から第1、第2、及び、第3のクロックIN1、IN2、及び、IN3が後述するタイミングで与えられる。ここで、これら第1乃至第3のクロックIN1、IN2、IN3は、制御信号としての役割を有しているから、制御信号と呼ばれても良い。

10

【0041】

出力側の容量回路22は昇圧電位発生回路20の出力電圧を平滑して約2.9Vの内部昇圧電位 V_{PP} を発生させ、半導体メモリの内部回路へ供給する。また、レベル検出回路23は、内部昇圧電位 V_{PP} を検出し、所定の電位 V_{PP} 以上の昇圧電位が得られた場合は、クロック発振器21へフィードバックし、クロック発振器21の動作を中止させ、所定の電位以下の場合は、クロック発振器21を動作させる。

【0042】

尚、クロック発振器21、容量回路22、レベル検出回路23は他の実施形態においても同様に使用されるが、説明を簡略化するため、以下では説明を省略する。

20

【0043】

昇圧電位発生回路20はインバータ201、202を介して第1のクロックIN1を受けて昇圧、即ち、チャージポンプ動作を行う容量素子としてのMOSトランジスタ(容量MOSトランジスタ)MC1、当該容量MOSトランジスタMC1に接続されたトランスファMOSトランジスタMT1、及び、両トランジスタMC1及びMT1の間に接続されたプリチャージトランジスタMP1とを備えている。また、図示されているように、容量MOSトランジスタMC1は、基板側ノード(第1のノードN1)と、ゲート側ノード(第2のノードN2)との間に接続されている。

【0044】

図示されたトランジスタMC1、MT1、MP1のうち、トランジスタMC1、MP1は薄いゲート絶縁膜を有するMOSトランジスタによって構成されており、他方、MT1は厚いゲート絶縁膜を有するMOSトランジスタによって構成されている。尚、トランスファMOSトランジスタMT1のゲート絶縁膜の厚さは、DRAM(ここでは、1トランジスタ、1セル型のDRAM)のメモリセルを構成するMOSトランジスタのゲート絶縁膜の膜厚と同じであるものとする。この例では、トランスファMOSトランジスタMT1及びDRAMのメモリセルを構成するMOSトランジスタのゲート絶縁膜(厚いゲート絶縁膜)の膜厚を6nmとする。一方、薄いゲート絶縁膜とは、外部から供給される電源電圧 V_{DD} 以下の電圧で動作するMOSトランジスタに使用されるゲート絶縁膜であり、その膜厚は、例えば、3.5nmである。

30

40

【0045】

MOSトランジスタにおける膜厚の違いを明らかにするために、図1では、MOSトランジスタMC1、MP1のゲート部分を細線によって示し、他方、MOSトランジスタMT1のゲート部分を太線によって示している。したがって、図示されたトランスファMOSトランジスタMT1は、容量MOSトランジスタMC1及びプリチャージMOSトランジスタMP1よりも厚いゲート絶縁膜を有していることが図面上からも分かる。また、図示されたMOSトランジスタはいずれもNチャンネルMOSトランジスタである。

【0046】

次に、図示された例では、第1のクロックIN1がインバータ201、202を介して容量MOSトランジスタMC1に与えられているが、これらインバータ201、202はク

50

ロック発振器 21 内に設けられても良いし、インバータ 201、202 の数は 2 つに限定される必要もない。図示された例の場合、第 1 のクロック IN1 のハイレベル (V_{DD}) 期間に、容量 MOS トランジスタ MC1 はチャージポンプ動作を行うから、第 1 のクロック IN1 は容量 MOS トランジスタ MC1 のチャージポンプ期間を規定している。

【0047】

更に、プリチャージ MOS トランジスタ MP1 のゲートには、クロック発振器 21 から、第 2 のクロック IN2 が与えられており、ドレインには電源電圧 V_{DD} が与えられている。また、そのソースは容量 MOS トランジスタ MC1 とトランスファ MOS トランジスタ MT1 の共通接続点に接続されている。この構成では、第 2 のクロック IN2 がハイレベル ($2V_{DD}$) にある期間中、プリチャージ MOS トランジスタ MP1 はオン状態となり、容量 MOS トランジスタ MC1 をプリチャージする。したがって、第 2 のクロック IN2 はプリチャージ期間を規定し、図示された例の場合、プリチャージ期間とチャージポンプ期間とはオーバーラップしていないことが分る。

10

【0048】

他方、トランスファ MOS トランジスタ MT1 のゲートには、クロック発振器 21 から第 3 のクロック IN3 が与えられ、当該第 3 のクロック IN3 のハイレベル ($3V_{DD}$) 期間、トランスファ MOS トランジスタ MT1 はオン状態となり、電荷の転送が行われる。したがって、第 3 のクロック IN3 はトランスファ MOS トランジスタ MT1 の電荷転送期間を規定し、この電荷転送期間はプリチャージ期間とオーバーラップしていない。

【0049】

図 2 を更に参照して、図 1 に示された昇圧電位発生回路 20 の動作を更に具体的に説明する。まず、クロック発振器 21 は、図 2 に示すように、0 電位から V_{DD} まで変化する電圧振幅 V_{DD} の第 1 のクロック IN1 を発生する一方、 $2V_{DD}$ から V_{DD} の間で変化する電圧振幅 V_{DD} の第 2 のクロック IN2、及び、 V_{DD} から $3V_{DD}$ まで変化する電圧振幅 $2V_{DD}$ の第 3 のクロック IN3 を発生する。

20

【0050】

図 2 から明らかな通り、第 2 のクロック IN2 が $2V_{DD}$ から V_{DD} のレベルまで低下し、プリチャージが終了すると、第 2 のクロック IN2 が V_{DD} のレベルにあり、プリチャージ MOS トランジスタ MP1 がオフ状態にある期間内に、第 1 のクロック IN1 が V_{DD} のレベルまで上昇して、容量 MOS トランジスタ MC1 をチャージポンプする。また、第 1 のクロック IN1 が V_{DD} レベルにある期間中に、第 3 のクロック IN3 が $3V_{DD}$ の電位まで上昇する。この結果、トランスファ MOS トランジスタ MT1 がオン状態となり、容量 MOS トランジスタ MC1 の電荷は、トランスファ MOS トランジスタ MT1 を介して半導体メモリの内部回路に供給される。このように、第 3 のクロック IN3 は、第 1 のクロック IN1 が V_{DD} レベルにある期間内に正確に立ち上がるように制御されている。換言すれば、第 1 のクロック IN1 のパルス幅は、第 3 のクロック IN3 のパルス幅よりも、前縁及び後縁において、各マージン幅 (例えば、 0.5 ns) だけ広がっている。また、同様に第 2 のクロック IN2 のローレベル期間は第 1 のクロック IN1 のハイレベル期間よりも広くなるように制御されている。

30

【0051】

尚、上記した電圧振幅を有する第 1 乃至第 3 のクロック IN1 ~ IN3 を発生すると共に、第 1 乃至第 3 のクロック IN1 ~ IN3 を前述したタイミング関係で発生するクロック発振器 21 は、通常の回路技術を用いて容易に実現できるから、ここでは、詳述しない。

40

【0052】

図 2 には、図 1 に示された各ノード N1 及び N2 の電位の波形を第 1 ~ 第 3 のクロック IN1 ~ IN3 の波形と共に示している。図 2 から明らかなように、第 1 のクロック IN1 の生成に先立ち、第 2 のクロック IN2 のレベルが $2V_{DD}$ レベルから V_{DD} レベルへ変化している。このことは、第 1 のクロック IN1 が立ち上がる前に、プリチャージ MOS トランジスタ MP1 によるプリチャージは終了して、当該プリチャージ MOS トランジスタ MP1 はオフ状態にあることを意味している。

50

【 0 0 5 3 】

この状態で、第1のクロックIN1がインバータ201、202を介して、容量MOSトランジスタMC1に与えられると、容量MOSトランジスタMC1の第1のノード電位N1及び第2のノードN2の電位は図2に示すように変化する。容量MOSトランジスタMC1は第2のノードN2の電位を常に第1のノードN1より高くなるようにする。即ち、容量MOSトランジスタMC1の第1のノード電位N1は、第1のクロックIN1と同様に、第1のクロックIN1に同期して接地電位0と V_{DD} 電位との間で変化し、他方、容量MOSトランジスタMC1の第2のノード電位N2は、プリチャージMOSトランジスタMP1により V_{DD} の電位にプリチャージされているから、図2に示すように、第1のクロックIN1に同期して V_{DD} 電位と $2V_{DD}$ 電位の間で変化する。

10

【 0 0 5 4 】

ここで、第2のノードN2電位の波形と第1のノードN1電位の波形を参照すると、図1に示された昇圧電位発生回路20の構成では、第2のノードN2電位と第1のノードN1電位との間の電位差は、常に、 V_{DD} に維持されており、この電位差は V_{DD} を超えることなく一定に保たれている。このため、容量MOSトランジスタMC1としては、メモリセルを構成するMOSトランジスタや、トランスファMOSトランジスタのゲート絶縁膜と比較して、膜厚の薄いゲート絶縁膜を有するMOSトランジスタを使用して、所望の容量値を得ることができる。このことは、小面積で所望の容量を有する容量MOSトランジスタMC1を構成できることを意味している。

【 0 0 5 5 】

図2を更に参照すると、容量MOSトランジスタMC1のゲート側ノードN2に接続されたトランスファMOSトランジスタMT1には、 V_{DD} （ローレベル）と $3V_{DD}$ （ハイレベル）の電位の間で変化する第3のクロックIN3が与えられている。図示された例では、ゲート側ノード電位N2が $2V_{DD}$ の電位を取っている期間内に、トランスファMOSトランジスタMT1のゲートに供給されている第3のクロックIN3はハイレベルとなっている。この結果、第3のクロックIN3のハイレベル期間中、トランスファMOSトランジスタMT1はオン状態となって、容量MOSトランジスタMC1からの電荷を容量回路22に転送する。容量回路22は、転送された電荷を平滑して、昇圧された電圧 V_p を発生する。図示された例では、上記した第1のクロックIN1のハイレベル期間は、昇圧期間を規定している。他方、第2のクロックIN2のハイレベル期間は、プリチャージMOSトランジスタMP1のプリチャージ期間を規定しており、このプリチャージ期間は昇圧期間と重ならないように調整されている。言い換えれば、この例の場合、昇圧は、プリチャージされていない期間に行われることが判る。また、第3のクロックIN3のハイレベル期間は、トランスファMOSトランジスタMT1の電荷転送期間を規定しており、昇圧期間より短くなるように調整されている。

20

30

【 0 0 5 6 】

このような構成によれば、トランスファMOSトランジスタMT1は、プリチャージMOSトランジスタMP1によるプリチャージが完全に終了し、更に昇圧された後、電荷を転送しているため、電荷の転送を確実に行うことができる。また、トランスファMOSトランジスタMT1には、 V_{DD} より高い電位 $3V_{DD}$ を有する第3のクロックIN3が与えられ、この第3のクロックIN3によりオン状態となっている。図示された例のように、トランスファMOSトランジスタMT1として、厚膜のゲート絶縁膜を有するMOSトランジスタを使用し、 $2V_{DD}$ の電圧振幅を有する第3のクロックIN3でトランスファMOSトランジスタを駆動することにより、迅速に電荷を転送できると共に十分な電流供給能力を得ることができる。

40

【 0 0 5 7 】

上記したことから明らかなように、クロックIN1～IN3を使用して、図示されたトランジスタを制御することにより容量MOSトランジスタMC1としては、薄膜のゲート絶縁膜を有するMOSトランジスタを使用できる。

【 0 0 5 8 】

50

このことは、薄いゲート絶縁膜で耐圧の低いMOSトランジスタを容量MOSトランジスタとして使用できることを意味している。薄膜のゲート絶縁膜を有する容量MOSトランジスタは、小面積で大容量を実現でき、チップサイズを縮小するのに有効である。例えば、厚さ3.5nmのゲート絶縁膜を有するMOSトランジスタを容量MOSトランジスタとして用いることにより、メモリセルを構成するMOSトランジスタや、トランスファMOSトランジスタに使用される厚さ6.0nmのゲート絶縁膜を有するMOSトランジスタを容量MOSトランジスタとして用いる場合に比較して、昇圧電位発生回路に要する面積を30%程度縮小することができる。

【0059】

上記した昇圧電位発生回路をDRAMに使用する場合、外部電源電圧 V_{DD} を1.8Vとし、所望の昇圧電位を2.9V、トランスファMOSトランジスタの閾値を0.5Vとすれば、昇圧されたノード電位 $N2$ は $2 \times 1.8V$ (3.6V)となり、このとき、トランスファMOSトランジスタ $MT1$ のゲートレベル($IN3$)は $3 \times 1.8V$ (5.4V)となる。このとき、トランスファMOSトランジスタ $MT1$ のゲート・ソース間の電位は、閾値以上の電位差であり、ノード $N2$ からの電荷の転送を迅速に行うことができる。

10

【0060】

このように、各クロック信号の立ち上がり/立下りにマージンを与え、容量MOSトランジスタ $MC1$ に印加される電位差を V_{DD} 以内とするように制御することにより、容量MOSトランジスタ $MC1$ におけるゲート絶縁膜の膜厚の薄膜化を可能にしている。

【0061】

また、図示された実施形態では、トランスファMOSトランジスタ $MT1$ のゲート絶縁膜の膜厚を厚いゲート膜厚としたが、図1、図2に示すように、クロック $IN3$ のハイレベルを $2V_{DD}$ とすることによって、薄いゲート膜厚にすることができる。

20

【0062】

この場合も、トランスファMOSトランジスタ $MT1$ のゲート・ソース間電位は、 $2 \times V_{DD} - V_{pp} = 2 \times 1.8 - 2.9 = 0.7V$ となり、トランスファMOSトランジスタ $MT1$ はオン状態となり、電荷を転送できる。

【0063】

このように、全てのMOSトランジスタを薄膜化することで、更に、小面積の昇圧電位発生回路が得られる。逆に、プリチャージMOSトランジスタ $MP1$ のゲート膜厚を厚くしても良い。しかし、昇圧電位が内部回路に供給されると、大きな電圧変動が生じるため、トランスファMOSトランジスタ $MT1$ は厚いゲート膜厚とすることが後述する他の実施形態を含めてより好ましい。

30

【0064】

図3を参照すると、本発明の第2の実施形態に係る昇圧電位発生回路20aは、トランスファMOSトランジスタ $MT1$ として、厚膜のゲート絶縁膜を有するPチャンネルMOSトランジスタが使用されている以外、図1に示す昇圧電位発生回路20と同様である。また、PチャンネルMOSトランジスタをトランスファMOSトランジスタ $MT1$ として使用している関係上、当該PチャンネルMOSトランジスタのゲートに与えられる第3のクロック $IN3$ は、図4に示すように、図2の第3のクロック $IN3$ とは、異なる極性を有している。即ち、図4に示された第3のクロック $IN3$ は $2V_{DD}$ と0電位との間で変化する電圧振幅を有している。図3に示す構成では、第3のクロック $IN3$ によって、図1の場合と同様に、外部電源電圧 V_{DD} の2倍圧の昇圧電圧 V_{pp} を発生させることができる。

40

【0065】

また、トランスファMOSトランジスタ $MT1$ を薄膜化する場合は、図4の点線で示すように、 V_{DD} をローレベルとする第3のクロック $IN3$ を使用すれば、全てのMOSトランジスタを薄膜化できる。しかし、内部回路に供給された昇圧電位は内部回路で使用されることにより、昇圧電位が大幅に低下する場合もあり、また、高い制御電圧を与え、高速に内部回路に供給するためには、トランスファMOSトランジスタ $MT1$ のゲート膜厚は

50

厚膜がより好ましい。

【0066】

図5を参照して、本発明の第3の実施形態に係る昇圧電位発生回路を説明する。

【0067】

図5に示された昇圧電位発生回路20bは、図1に示された構成に、レベル変換回路を接続した構成を有し、外部電源電圧 V_{DD} の2倍圧の電位 V_{PP} を発生する。昇圧電位発生回路20bは、図1と同様に、容量MOSトランジスタMC1（以下、第1の容量MOSトランジスタと呼ぶ）、プリチャージMOSトランジスタMP1（以下、第1のプリチャージMOSトランジスタと呼ぶ）、及び、トランスファトランジスタMT1を備えると共に、第1乃至第6のMOSトランジスタM1～M6、第2の容量MOSトランジスタMC2によって構成されたレベル変換回路を有している。第1の容量MOSトランジスタMC1には、インバータ201、202を介して、第1のクロックIN1が与えられており、プリチャージMOSトランジスタMP1には、第2のクロックIN2が与えられている。また、トランスファトランジスタMT1のゲートには、レベル変換回路を介して第3のクロックIN3が供給され、且つ、第2のプリチャージMOSトランジスタMP2のソースが接続されている。第2のプリチャージMOSトランジスタMP2のゲートには、第4のクロックIN4が供給されている。

10

【0068】

更に、レベル変換回路を構成する第1～第6のMOSトランジスタM1～M6は、外部電源電圧 V_{DD} より高い昇圧電圧 V_{PP} が与えられるため、厚膜のゲート絶縁膜を有するトランジスタによって構成されている。

20

【0069】

具体的に説明すると、図示されたレベル変換回路を構成する第1、第3、及び、第4のMOSトランジスタM1、M3、及び、M4はPチャンネルMOSトランジスタであり、残りのMOSトランジスタM2、M5、及び、M6はNチャンネルMOSトランジスタである。昇圧電位発生回路の出力端子と同じ電位が与えられるノードN3と、接地電位 V_{SS} との間には、第1及び第2のMOSトランジスタM1、M2が直列に接続されると共に、第4及び第6のMOSトランジスタM4、M6も直列に接続されている。更に、第1及び第2のMOSトランジスタM1、M2の夫々のドレイン共通接続点は、第2の容量MOSトランジスタMC2の基板側に接続されている。一方、第4及び第6のMOSトランジスタM4、M6の共通接続点は、第1及び第2のMOSトランジスタM1、M2のゲートに接続され、第3のMOSトランジスタM3のゲートにも接続されている。

30

【0070】

ノードN3と第3のクロックIN3端子間には、第3及び第5のMOSトランジスタM3、M5が直列に接続され、その共通接続点は、第4のMOSトランジスタM4のゲートに接続されている。また、第5のMOSトランジスタM5のソースは、第6のMOSトランジスタM6のゲートに接続され、当該第5のMOSトランジスタM5のソースには、第3のクロックIN3が与えられている。更に、第5のMOSトランジスタM5のゲートは V_{DD} に接続されている。

【0071】

第2の容量MOSトランジスタMC2のゲート側はノードN4を介してトランスファMOSトランジスタMT1に接続され、且つ、当該ノードN4には、第2のプリチャージMOSトランジスタMP2のソースに接続されている。

40

【0072】

図示されているように、第1及び第2のプリチャージMOSトランジスタMP1、MP2のドレイン、及び、第5のMOSトランジスタM5のゲートには、外部電源電圧 V_{DD} が供給され、他方、第2及び第6のMOSトランジスタM2及びM6のソースは、接地電位 V_{SS} に接続されている。

【0073】

図5に示された昇圧電位発生回路20bの動作を図6に示された波形図を参照して説明す

50

る。まず、図5に示されているように、第1のクロックIN1は、図2と同様に、電圧振幅 V_{DD} を有し、0レベル(ローレベル)と V_{DD} レベル(ハイレベル)の間で変化し、他方、第2のクロックIN2は $2V_{DD}$ レベル(ハイレベル)と V_{DD} レベル(ローレベル)の間で変化している。ここで、第1のクロックIN1のハイレベル期間は第2のクロックIN2の低レベル期間より短くなるように設定されている。更に、第3のクロックIN3は0レベル(ローレベル)と V_{DD} レベル(ハイレベル)との間で変化し、そのハイレベル期間は、第1のクロックIN1のハイレベル期間より短くなるように調整されている。更に、第4のクロックIN4は第1のクロックIN1に対して逆極性を有しており、 $2V_{DD}$ レベル(ハイレベル)と V_{DD} (ローレベル)との間で変化する。上記した第1~第4のクロックIN1~IN4は図1と同様にクロック発振器21によって発生される。

10

【0074】

第2のクロックIN2がハイレベル($2V_{DD}$)を取り、第4のクロックIN4もハイレベル($2V_{DD}$)の状態にある期間、第1及び第2のプリチャージMOSトランジスタMP1、MP2がオンになる。このとき、第1の容量MOSトランジスタMC1のノードN1及びN2の電位は、図6に示すように、それぞれ0及び V_{DD} レベルになる。また、ノードN4は V_{DD} のレベルを取る。これは、第3のクロックIN3がローレベルを取り、この状態では、第5、第4、及び、第2のMOSトランジスタM5、M4、及び、M2がオンになり、第2の容量MOSトランジスタMC2のノードN5がローレベル(V_{SS})になるからである。

20

【0075】

続いて、第2のクロックIN2がローレベルに移行し、且つ、第1のクロックIN1がハイレベル、第4のクロックIN4がローレベルになると、第1及び第2のプリチャージMOSトランジスタMP1、MP2はオフになる。この時、ノードN3の電位は、略 V_{PP} の電位に保たれている。この状態で、第3のクロックIN3がハイレベルになると、第6及び第1のMOSトランジスタM6、M1がオンになり、結果として、ノードN3を通して、昇圧電位 V_{PP} が第2の容量MOSトランジスタMC2のノードN5に与えられる。このため、第2の容量MOSトランジスタMC2のゲート側電位N4は、図6に示すように、 $V_{DD} + V_{PP}$ まで上昇する。電位 V_{PP} は電位 V_{DD} よりも高いから、図6に示すように、ノードN4に接続されたトランスファMOSトランジスタMT1のゲートの電位は、 $2V_{DD}$ を越え、 $3V_{DD}$ に近いレベルに達する。したがって、図1と同様に、トランスファMOSトランジスタMT1は、迅速に電荷を転送することができ、容量回路22を通して略一定の昇圧電位 V_{PP} を発生することができる。

30

【0076】

この実施形態においても、トランスファMOSトランジスタMT1を薄膜化することも可能である。しかしながら、図4に関連して説明したように、内部回路に供給された昇圧電位は内部回路で使用されることにより、昇圧電位が大幅に低下する場合もあり、また、高い制御電圧を与え、高速に内部回路に供給するためには、トランスファMOSトランジスタMT1のゲート膜厚は厚膜がより好ましい。

【0077】

図7を参照すると、本発明の第4の実施形態に係る昇圧電位発生回路20cは、トランスファMOSトランジスタMT1としてPチャンネルMOSトランジスタを使用している点で、図5に示された昇圧電位発生回路20bと相違している。この関係で、図7の回路は、図5に示された第2のプリチャージMOSトランジスタMC2を含んでいない。また、図7に示された昇圧電位発生回路20cでは、トランスファMOSトランジスタMT1のゲート電位であるノードN4の電位が図8に示すように、接地電位0レベル(V_{SS})と V_{PP} レベルとの間で変化すること以外、図5及び6と同様であるので、説明を省略する。

40

【0078】

図8のノードN3における電位からも明らかな通り、図7に示された構成によっても、2

50

V_{DD} の電位に近い昇圧電位 V_{PP} を発生することができる。

【0079】

図7に示された昇圧電位発生回路20cにおいても、トランスマOSトランジスタMT1のゲート絶縁膜の膜厚を薄膜化することができるが、トランスマOSトランジスタMT1のゲート膜厚は厚膜がより好ましいことは、前述した通りである。

【0080】

図9を参照すると、本発明の第5の実施形態に係る昇圧電位発生回路20dは、複数の容量MOSトランジスタ(ここでは、MC1、MC2)を含んだ構成を備え、これによって、3倍圧の昇圧電圧 V_{PP} を発生することができる。図示された例では、容量MOSトランジスタMC1(第1の容量MOSトランジスタと呼ぶ)、及び、容量MOSトランジスタMC2(第2の容量MOSトランジスタと呼ぶ)はともにメモリセルを構成するMOSトランジスタ、或いは、トランスマOSトランジスタのゲート酸化膜に比較して薄膜のゲート酸化膜を有するMOSトランジスタによって構成されている。

10

【0081】

図9では、第1の容量MOSトランジスタMC1の基板側及びゲート側のノードをそれぞれ第1及び第2のノードN1、N2とし、第1のノードN1には、インバータを介して第1のクロックIN1が与えられ、他方、第2のノードN2は、第1のプリチャージMOSトランジスタMP1に接続されている。第1のプリチャージMOSトランジスタMP1は薄膜のゲート絶縁膜を有し、そのドレインには、外部電源電圧 V_{DD} が与えられる一方、ゲートには、第2のクロックIN2が供給されている。

20

【0082】

一方、第2のノードN2と、接地電位(V_{SS})との間には、スイッチ回路として、厚膜のゲート絶縁膜を有する第1～第3のMOSトランジスタM1～M3が直列に接続されている。このうち、第1のMOSトランジスタM1はPチャンネルMOSトランジスタであり、第2及び第3のMOSトランジスタM2、M3はNチャンネルMOSトランジスタである。図に示されているように、第1及び第3のMOSトランジスタM1、M3のゲートには、第3のクロックIN3が与えられており、第2のMOSトランジスタM2のゲートには、外部電源電圧 V_{DD} が供給されている。

【0083】

薄膜のゲート絶縁膜を有する第2の容量MOSトランジスタMC2は、基板側ノード(第3のノード)N3とゲート側ノード(第4のノード)N4とを備え、第3のノードN3は第1及び第2のMOSトランジスタM1、M2の共通接続点に接続されている。一方、第4のノードN4はトランスマOSトランジスタMT1に接続されると共に、第2のプリチャージMOSトランジスタMP2のソースに接続されている。これら、第2のプリチャージMOSトランジスタMP2及びトランスマOSトランジスタMT1は厚膜のゲート絶縁膜を有するMOSトランジスタによって構成されている。

30

【0084】

第2のプリチャージMOSトランジスタMP2のドレインには、外部電源電圧 V_{DD} が供給されており、そのゲートには、第4のクロックIN4が与えられ、また、トランスマOSトランジスタMT1のゲートには、第5のクロックIN5が与えられている。

40

【0085】

図10には、上記した各クロックIN1～IN5の波形と、各ノードN1～N4における電位変化が示されている。まず、第5のクロックIN5以外が与えられていない場合、即ち、ローレベルにあって電荷が転送されていない場合、第1乃至第4のノードN1、N2、N3、N4の電位はそれぞれ V_{DD} 、 $2V_{DD}$ 、 $2V_{DD}$ 、及び $3V_{DD}$ に維持されている。

【0086】

第1のクロックIN1がインバータを介して与えられると、図10に示された第1及び第2のノードN1、N2の波形からも明らかなように、第1のノードN1の電位は、 V_{DD} レベルから0レベルに変化し、他方、第2のノードN2の電位は、 $2V_{DD}$ レベルから V_{DD}

50

V_{DD} レベルに変化する。この状態では、第2のクロックIN2及び第4のクロックIN4はローレベルにあるため、第1及び第2のプリチャージMOSトランジスタMP1、MP2はオフに保たれている。

【0087】

続いて、第3のクロックIN3がハイレベルになると共に、第2、第4のクロックIN2、IN4がハイレベルになると、第1及び第2のプリチャージMOSトランジスタMP1、MP2がオン状態となり、この結果、第1及び第2の容量MOSトランジスタMC1、MC2は、外部電源電圧 V_{DD} によりプリチャージされる状態になる。

【0088】

即ち、第3のクロックIN3がハイレベルになり、第2及び第3のMOSトランジスタM2、M3が第3のクロックIN3によってオンになると、図10に示されるように、第3及び第4のノードN3、N4の電位がそれぞれ0及び V_{DD} レベルまでそれぞれ低下する。以後、第2のクロックIN2がローレベルになるまで、オン状態を継続し、第2及び第4のノードN2、N4を V_{DD} レベルに保持する。

【0089】

次に、図10に示すように、第2、第3、及び、第4のクロックIN2、IN3、及びIN4がローレベルになると、第1、第2のプリチャージMOSトランジスタMP1、MP2がオフ状態になると共に、第1のMOSトランジスタM1がオンとなり、第3のMOSトランジスタM3がオフ状態になる。

【0090】

第3のクロックIN3がローレベルになると、第2のノードN2の電位により第3のノードN3が充電されることにより、第3のノードN3の電位が接地電位0から上昇し、この結果、第4のノードN4の電位も、 V_{DD} から上昇し、チャージポンプが開始される。

【0091】

更に、第1のクロックIN1がローレベルになると、第1のノードN1及び第2のノードN2の電位は、それぞれ V_{DD} 及び $2V_{DD}$ に昇圧され、チャージポンプ状態となる。このとき、第1のMOSトランジスタM1はオン状態にあるから、第3及び第4のノードN3及びN4の電位は、ノードN2の電位の上昇に応じて、更に、上昇し、それぞれ、 $2V_{DD}$ 、 $3V_{DD}$ になる。したがって、図示された例では、第1のクロックIN1のローレベル期間は、チャージポンプ期間を規定していることが分る。

【0092】

次に、図10に示すように、第1のクロックIN1がローレベルになり、第4のノードN4の電位が $3V_{DD}$ に達すると、第5のクロックIN5がハイレベルになる。このように、トランスファMOSトランジスタMT1は、第1のクロックIN1がローレベルの期間に、オン状態となり、トランスファMOSトランジスタMT1の電位は $3V_{DD}$ となって電荷転送状態となる。

【0093】

電荷転送が終了し、第5のクロックIN5がローレベルになり、続いて、第1のクロックIN1がハイレベルになる。この時点では、第2及び第4のクロックIN2、IN4で動作する第1及び第2のプリチャージMOSトランジスタMP1、MP2はオフ状態にあり、他方、第3のクロックIN3で動作する第3のMOSトランジスタM3はオン状態にある。この状態では、第1のクロックIN1がハイレベルになると、第1及び第2のノードN1、N2の電位が、それぞれ V_{DD} から接地電位、 $2V_{DD}$ から V_{DD} へと低下する。この結果、第3及び第4のノードN3、N4の電位も、それぞれ $2V_{DD}$ から V_{DD} へ、 $3V_{DD}$ から $2V_{DD}$ へと変化する。

【0094】

第1のクロックIN1のハイレベル期間中に、第2、第3、及び、第4のクロックIN2、IN3、及び、IN4がハイレベルになると、第3及び第4のノードN3、N4の電位は、それぞれ V_{DD} から0電位へ、 $2V_{DD}$ から V_{DD} へと更に低下して、第1及び第2の容量MOSトランジスタMC1、MC2はプリチャージされる状態になる。以後、同様

10

20

30

40

50

な動作が繰り返し行われる。

【0095】

図10に示された例では、第1のクロックIN1のローレベル期間中に、第5のクロックIN5がハイレベル($3V_{DD}$)になっている。このことは、トランスファMOSトランジスタMT1の電荷転送期間と、第1のクロックIN1のローレベル期間によって規定されるチャージポンプ期間とがオーバーラップし、他方、第1のクロックIN1のハイレベル期間、第2及び第4のクロックIN2、IN4のハイレベル期間によって規定されるプリチャージ期間と、電荷転送期間とが実質上、オーバーラップしないように、制御されていることが分る。

【0096】

尚、図10では、第1のクロックIN1と第5のクロックIN5とをオーバーラップしないように制御しているが、第2の容量MOSトランジスタMC2として厚膜のゲート酸化膜を有するMOSトランジスタを使用した場合、第1のクロックIN1と第5のクロックIN5とが多少オーバーラップしても良い。

【0097】

図11を参照すると、本発明の第6の実施形態に係る昇圧電位発生回路20eは、第1乃至第3のMOSトランジスタM1、M2、M3及びそのゲート接続回路を変更した以外、図9に示された昇圧電位発生回路20dと同様であり、図10と同じ波形図で動作する。即ち、図11に示された回路20eでは、第1～第3のMOSトランジスタM1、M2、M3を薄膜のゲート絶縁膜を有するMOSトランジスタによって構成し、第1及び第2のMOSトランジスタM1、M2のゲートが外部電源電圧 V_{DD} を与える外部電源に共通に接続されている点、及び、第3のクロックIN3が第3のMOSトランジスタM3のゲートにだけ与えられている点で、図9とは異なっている。この構成では、PチャンネルMOSによって構成された第1のMOSトランジスタM1のソース電位が、ゲート電位 V_{DD} より、当該トランジスタの閾値電圧以上高くなった場合に、当該第1のMOSトランジスタM1はオン状態になること以外、図9の回路と同様である。図示された昇圧電位発生回路20eも、3倍圧の昇圧電位 V_{pp} を発生することができる。

【0098】

図12及び13を参照して、本発明の更に別の実施形態(第7の実施形態)に係る昇圧電位発生回路20fを説明する。図12に示された昇圧電位発生回路20fは、図11と同様に3倍圧の昇圧電位 V_{pp} を発生する回路である。具体的に説明すると、図12に示された昇圧電位発生回路20fは、図11と同様に、メモリセルを構成するMOSトランジスタ、或いは、トランスファMOSトランジスタのゲート絶縁膜より薄膜のゲート絶縁膜を有する第1～第3のMOSトランジスタM1、M2、M3によって構成され、第1及び第2のMOSトランジスタM1、M2のゲートは外部電源電圧 V_{DD} を与える外部電源に共通に接続される一方、第3のMOSトランジスタM3に第3のクロックIN3が与えられている。

【0099】

また、トランスファMOSトランジスタMT1として、ゲート絶縁膜の厚いPチャンネルMOSトランジスタが使用されている点で、前述した昇圧電位発生回路20eと相違している。尚、第1のMOSトランジスタM1はPチャンネルMOSトランジスタによって構成され、第1及び第2の容量MOSトランジスタMC1、MC2、第1及び第2のプリチャージMOSトランジスタMP1、MP2が設けられている点は、図11と同様である。

【0100】

図13を参照して、図12に示された昇圧電位発生回路20fの動作を説明する。まず、トランスファMOSトランジスタMT1のゲートには、図10に示された第5のクロックIN5に対して反転した極性を有するクロックが第5のクロックIN5として与えられている。更に、この例では、第5のクロックIN5として、 V_{DD} の電位をローレベルとし、 $3V_{DD}$ の電位をハイレベルとするクロックが使用され、当該第5のクロックIN5は、第1のクロックIN1のハイレベル期間よりも幅広いハイレベル期間を有している。ト

10

20

30

40

50

ランスファMOSトランジスタMT1では、第5のクロックIN5のローレベル期間に電荷の転送が行なわれるため、ランスファMOSトランジスタMT1における電荷転送時間は、第1のクロックIN1のハイレベル期間とオーバーラップしないことが分る。

【0101】

尚、図13に示された第2～第4のクロックIN2、IN3、IN4は図10に示された第2～第4のクロックとそれぞれ同様である。

【0102】

図12及び13において、まず、第5のクロックIN5が V_{DD} から $3V_{DD}$ に変化して、ランスファMOSトランジスタMT1がオフ状態に保たれる。この状態で、第1のクロックIN1が0レベルから V_{DD} レベルに変化すると、図13に示すように、ノードN1、N2の電位は、それぞれ V_{DD} から0へ、 $2V_{DD}$ から V_{DD} へとそれぞれ変化する。

10

【0103】

図示された昇圧電位発生回路20fにおいて、まず、第1のクロックIN1がハイレベルになる。この結果、第1及び第2のノードN1及びN2の電位は、それぞれ V_{DD} から0、 $2V_{DD}$ から V_{DD} へとそれぞれ低下する。続いて、第2、第3、及び、第4のクロックIN2、IN3、及び、IN4がハイレベルになると、プリチャージMOSトランジスタMP1、MP2、及び、第3のMOSトランジスタM3はオン状態となり、第3のノードN3は0電位に低下し、第2及び第4のノードN2及びN4は V_{DD} レベルにプリチャージされる。

20

【0104】

次に、第2のクロックIN2～第4のクロックIN4がローレベルになると、プリチャージMOSトランジスタMP1、MP2、及び、第3のMOSトランジスタM3はオフ状態となり、第2、第3、及び、第4のノードN2、N3、及び、N4は、それぞれ V_{DD} 、0、及び、 V_{DD} レベルを保持する。

【0105】

続いて、第1のクロックIN1がローレベルになると、ノードN1及びN2の電位がそれぞれ V_{DD} 及び $2V_{DD}$ になる。ノードN2の電位が $2V_{DD}$ になると、第1のMOSトランジスタM1がオン状態になって、ノードN3、N4の電位がそれぞれ $2V_{DD}$ 及び $3V_{DD}$ に上昇する。この状態で、第5のクロックIN5がローレベル(V_{DD})に低下すると、ランスファMOSトランジスタMT1がオン状態となって電荷が転送される。

30

【0106】

この結果、昇圧電位発生回路20fは、3倍圧に昇圧された電位 V_{PP} を出力することができる。

【0107】

図9、11、及び12に示すように、オン/オフ動作を行うスイッチ素子としてのトランジスタを介して、複数の容量MOSトランジスタMC1、MC2を実質上直列に接続した構成により、それぞれの容量をチャージポンプすることにより、加算された電圧が得られ、3倍圧の昇圧電位 V_{PP} を発生することができる。

【0108】

図14を参照すると、本発明の第8の実施形態に係る昇圧電位発生回路20gは、正電位の V_{DD} 及び接地電位 V_{SS} のほかに、 $-0.7V$ 程度の基板電圧(V_{BB})をも使用している点で、前述した実施形態とは異なっている。

40

【0109】

具体的に説明すると、昇圧電位発生回路20gは、第1及び第2のクロックIN1、IN2をそれぞれゲートで受けて動作する第1及び第2のMOSトランジスタM1、M2を備え、両MOSトランジスタM1、M2は外部電源電圧 V_{DD} 端子と接地電位 V_{SS} との間に直列に接続され、両MOSトランジスタM1、M2の共通接続点であるノードN1は容量MOSトランジスタMC1の基板側に接続されている。また、ノードN1と基板電位(V_{BB})との間には、第3及び第4のMOSトランジスタM3、M4が直列に接続されて

50

いる。ここで、第3のMOSトランジスタM3のゲートには、外部電源電圧V_{DD}が供給され、他方、第4のMOSトランジスタM4のゲートには、第3のクロックIN3が与えられている。これら第1乃至第4のMOSトランジスタM1~M4は、薄いゲート絶縁膜を有しており、第1のMOSトランジスタM1だけがPチャンネル、他のMOSトランジスタM2~M4はNチャンネルMOSトランジスタである。

【0110】

容量MOSトランジスタMC1のゲート側はノードN2に接続され、当該ノードN2にはプリチャージMOSトランジスタMP及びトランスファMOSトランジスタMTが接続されている。両MOSトランジスタMP及びMTはNチャンネルMOSトランジスタであり、MTは厚膜のゲート絶縁膜を有している。MOSトランジスタMP及びMTのゲートには、それぞれ第4及び第5のクロックIN4及びIN5が与えられている。

10

【0111】

図15をも併せ参照すると、第1のクロックIN1はV_{DD}レベルとV_{SS}レベルとの間で変化し、第2のクロックIN2はV_{DD}レベルとV_{BB}レベルとの間で変化する。更に、第3のクロックIN3はV_{DD}レベルとV_{BB}レベルとの間で変化する振幅を有している。

【0112】

図15からも明らかなように、第1のクロックIN1がハイレベルを取るプリチャージ期間に、第2のクロックIN2と第3のクロックIN3はハイレベルとなり、第1のノードN1をV_{SS}レベル及びV_{BB}レベルに引き下げる。

20

【0113】

更に、第4のクロックIN4は、図15に示すように、2V_{DD}レベルとV_{DD}レベルとの間で変化し、そのタイミングは第1のクロックIN1と同じタイミングである。また、第1のクロックIN1のローレベル期間に、即ち、チャージポンプ期間にハイレベルになる第5のクロックIN5はV_{DD}と3V_{DD}との間で変化している。

【0114】

図14において、第2のクロックIN2の電位がハイレベルの時、第1のノードN1はV_{SS}レベルにあり、第2のクロックIN2がローレベルに変わると、第2のMOSトランジスタM2はオフとなると共に、第4のMOSトランジスタM4に与えられている第3のクロックIN3がハイレベル(V_{DD})になって、第4のMOSトランジスタM4は第3のMOSトランジスタM3と共にオンになり、結果として、図15に示すように、ノードN1の電位はV_{BB}まで引き下げられる。このことは、一旦、V_{SS}(接地電位)まで低下したノードN1の電位が更にV_{BB}まで引き下げられ、プリチャージが行われることを意味している。

30

【0115】

続いて、第1、第3、及び、第4のクロックIN1、IN3、IN4がローレベルに低下すると、プリチャージ期間が完了し、第3及び第4のMOSトランジスタM3、M4、及び、プリチャージMOSトランジスタMPはオフ状態となる。このとき、第1のMOSトランジスタM1がオンとなって、第1のノードN1の電位は、V_{DD}レベルの方向に上昇し始め、チャージポンプ期間となる。この期間中、第1のノードN1のレベルがV_{BB}からV_{DD}に引上げられることにより、第2のノードN2の電位は2V_{DD}+V_{BB}レベルまで上昇していく。このとき、第5のクロックIN5が3V_{DD}に達すると、トランスファMOSトランジスタMTがオンして、電荷の転送が行われる。

40

【0116】

このように、この実施形態では、ノードN1の電位を一旦接地電位(V_{SS})まで、放電した後、更に、負電位(V_{BB})まで引き下げることにより、直接、負電位に引き下げる場合に比べて、負電源に対する負荷を減少させることができる。したがって、図14に示された昇圧電位発生回路20gはV_{BB}電源を利用して、即ち、1個の容量MOSトランジスタだけを用いて、2V_{DD}+V_{BB}の昇圧レベルを得ることができる。この場合、容量MOSトランジスタに印加される電位差はV_{DD}よりは大きくなるが、2V_{DD}よりは

50

小さいため薄膜ゲートを使用できる。

【0117】

上述した各実施形態に係る昇圧電位発生回路を製造するためには、互いに異なるゲート絶縁膜を有するMOSトランジスタを製作する必要がある。

【0118】

図16(a)~(f)を参照して、膜厚の互いに異なるMOSトランジスタを製作するために使用されるマルチオキサイドプロセスについて説明する。まず、図16(a)に示すように、シリコン基板31上に、STI(shallow trench isolation)により、選択的に絶縁領域32を設ける。これによって、シリコン基板31は互いに絶縁された複数の領域に区画される。次に、シリコン基板31及び絶縁領域32の表面上に、第1の絶縁膜33を形成する(図16(b))。

10

【0119】

続いて、図16(c)に示すように、第1の絶縁膜33上に、選択的にレジスト膜34を塗布した後、レジスト膜34によって覆われていない部分の第1の絶縁膜33をエッチングして、シリコン基板31及び絶縁領域32を部分的に露出させる(図16(d))。この状態で、レジスト膜34を除去して、第1の絶縁膜33を露出させ(図16(e))、露出した第1の絶縁膜33、シリコン基板31、及び、絶縁領域32上に第2の絶縁膜35を形成する。

【0120】

この結果、第1及び第2の絶縁膜33及び35が積層された領域には、厚い絶縁膜が形成され、第1の絶縁膜33が形成されていない領域には、薄い絶縁膜が形成される。このように、マルチオキサイドプロセスを利用することにより、厚い絶縁膜及び薄い絶縁膜を形成できる。また、これら厚い絶縁膜及び薄い絶縁膜を昇圧電位発生回路を構成するMOSトランジスタのゲート絶縁膜として利用することにより、前述した実施形態に使用されるMOSトランジスタを製作することができる。

20

【0121】

図17を参照して、本発明の更に別の実施形態(第9の実施形態)に係る昇圧電位発生回路について説明する。この実施形態に係る昇圧電位発生回路は、ビット線センスアンプ(SA)のオーバードライブ電源回路として使用されている。図示された例では、外部電源電圧 V_{DD} を降圧して、内部降圧電位 V_{DL} を得るための内部降圧回路41がオーバードライブ電源回路に接続されている。この例では、外部電源を直接利用する代わりに、内部降圧した電位 V_{DL} をオーバードライブ電源回路に供給して、当該オーバードライブ電源回路により昇圧電位 V_{DARY} は、駆動用MOSトランジスタMDを介してセンスアンプSAに与えられる。この構成では、外部電源のレベルの変動による昇圧電位 V_{DARY} のレベル変動の影響を抑制できる。また、内部降圧回路41を使用することにより、外部電源を利用した場合に比較して、ビット線に必要な容量を有する容量MOSトランジスタMC1のゲート絶縁膜の膜厚を薄くすることができ、容量MOSトランジスタMC1に要する面積を縮小することができる。

30

【0122】

図17に示されたオーバードライブ電源回路は、内部降圧電位 V_{DL} と接地間に接続されたPチャンネルの第1のMOSトランジスタM1とNチャンネルの第2のMOSトランジスタM2との直列回路を備え、両MOSトランジスタM1及びM2の共通接続点に、上記した容量MOSトランジスタMC1が接続されている。当該容量MOSトランジスタMC1のゲート側には、プリチャージMOSトランジスタMP1及びトランスファMOSトランジスタMT1が接続されている。更に、図示された回路は、 V_{DL} 電位を選択的に供給するスイッチングMOSトランジスタMSを備えている。

40

【0123】

ここで、MOSトランジスタM1及びM2のゲートには、第1のクロックIN1、プリチャージMOSトランジスタMP1のゲートには、第2のクロックIN2、トランスファMOSトランジスタMT1のゲートには、第3のクロックIN3、スイッチングMOSトラン

50

ンジスタMSには、第4のクロックIN4、及び、駆動用MOSトランジスタMDには第5のクロックIN5が供給されている。

【0124】

より具体的に、図18をも参照して、図17の動作を説明すると、外部電源電圧 V_{DD} は内部降圧回路41により V_{DL} に降圧されてオーバードライブ電源回路に与えられている。この状態で、プリチャージMOSトランジスタMP1には、プリチャージ(PRE)期間、図18に示すように、第2のクロックIN2がハイレベルの状態にあり、プリチャージMOSトランジスタMP1はオン状態となって、容量MOSトランジスタMC1をプリチャージする。また、この状態では第1のクロックIN1がハイレベルにあるため、第1のMOSトランジスタM1はオフの状態にある。

10

【0125】

次に、第1のクロックIN1及び第2のクロックIN2がローレベルになって、プレチャージ期間からチャージポンプ期間に移行する。この期間中、第3のクロックIN3がハイレベルになる。このチャージポンプ期間、プリチャージMOSトランジスタMP1は第2のクロックIN2によりオフとなり、第1のクロックIN1のローレベルがACTV信号として第1及び第2のMOSトランジスタM1、M2のゲートに入力される。この結果、第1のMOSトランジスタM1がオンとなり、他方、第2のクロックIN2によりプリチャージMOSトランジスタMP1はオフとなり、トランスファMOSトランジスタMT1はオンとなる。したがって、この期間中に昇圧が行われ、昇圧電位VDARYがトランスファMOSトランジスタMT1から出力される。

20

【0126】

このとき、第4のクロックIN4がローレベル状態にあるため、スイッチングMOSトランジスタMSはオフの状態にある。一方、駆動用MOSトランジスタMDが第5のクロックIN5により、オンの状態にあり、オーバードライブの電荷がトランスファMOSトランジスタMT1から、駆動用MOSトランジスタMDを介してセンスアンプ(SA)に供給される。

【0127】

図示された例では、ビット線の増幅終了と前後して、第1のクロックIN1、第2のクロックIN2はハイレベル、第3のクロックIN3はローレベルに変化し、更に、再書き込み期間を指示する信号が第4のクロックIN4としてスイッチングMOSトランジスタMSに与えられ、当該スイッチングMOSトランジスタMSがオンとなって、 V_{DL} (ビット線ハイレベル供給電源)に切り替えられる。切替終了により容量MOSトランジスタはプリチャージ状態になる。

30

【0128】

このように、図示されたオーバードライブ電源回路は、 V_{DL} と昇圧されたオーバードライブ電源電圧VDARYを選択的に供給できるため、従来のように、オーバードライブ用電源線と V_{DL} 電源線を個別に配線する必要がないという利点を備えている。

【0129】

また、図示されたオーバードライブ電源回路を構成する容量MOSトランジスタのゲート絶縁膜は、DRAMのメモリセルを構成するMOSトランジスタのゲート絶縁膜より薄くしているが、同じ厚さであっても良い。

40

【0130】

【発明の効果】

以上説明したように、本発明によれば、容量MOSトランジスタのゲート絶縁膜の厚さを薄くし、小面積で大きな容量を実現することができるという利点がある。また、本発明では、大きな容量を要する3倍圧の昇圧電位発生回路を容易に構成できるという利点もある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る昇圧電位発生回路を説明するための図である。

【図2】図1に示された昇圧電位発生回路の動作を説明するための波形図である。

50

【図 3】本発明の第 2 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図 4】図 3 に示された昇圧電位発生回路の動作を説明するための波形図である。

【図 5】本発明の第 3 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図 6】図 5 に示された昇圧電位発生回路の動作を説明するための波形図である。

【図 7】本発明の第 4 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図 8】図 7 に示された昇圧電位発生回路の動作を説明するための波形図である。

【図 9】本発明の第 5 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

10

【図 10】図 9 に示された昇圧電位発生回路の動作を説明するための波形図である。

【図 11】本発明の第 6 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図 12】本発明の第 7 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図 13】図 12 に示された昇圧電位発生回路の動作を説明するための波形図である。

【図 14】本発明の第 8 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図 15】図 14 に示された昇圧電位発生回路の動作を説明するための波形図である。

20

【図 16】(a)、(b)、(c)、(d)、(e)、(f) は本発明に係る昇圧電位発生回路に使用される MOS トランジスタを製造する方法を工程順に説明するための図である。

【図 17】本発明の第 9 の実施形態に係る昇圧電位発生回路を説明するための回路図である。

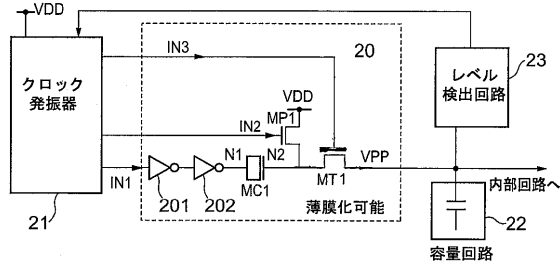
【図 18】図 17 に示された昇圧電位発生回路の動作を説明するための波形図である。

【符号の説明】

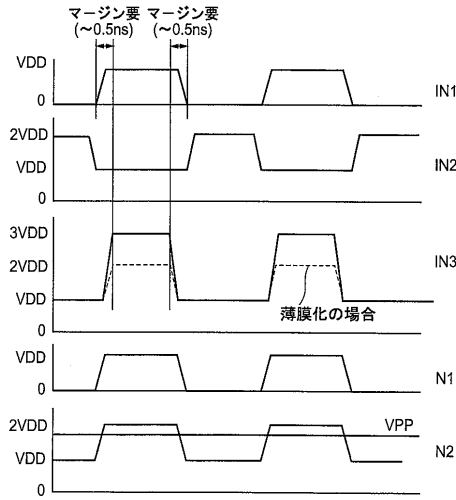
MC 1	容量 MOS トランジスタ
MT 1	トランスファ MOS トランジスタ
MP 1	プリチャージ MOS トランジスタ
20、20 a ~ 20 g	昇圧電位発生回路
21	クロック発振器
22	容量回路
201、202	インバータ
M1 ~ M6	MOS トランジスタ

30

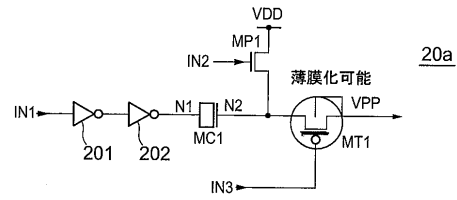
【図1】



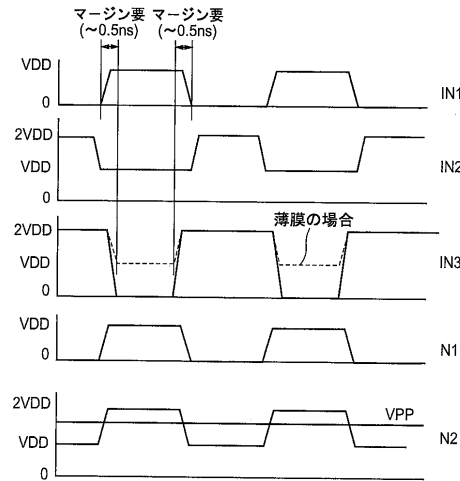
【図2】



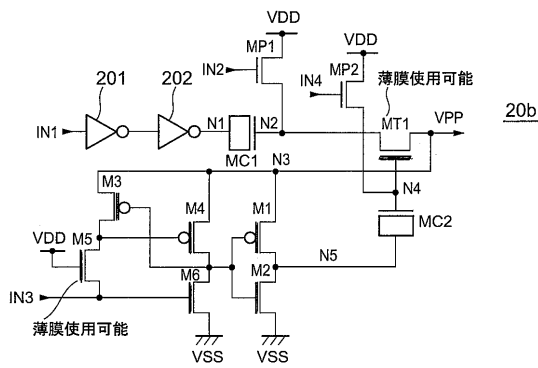
【図3】



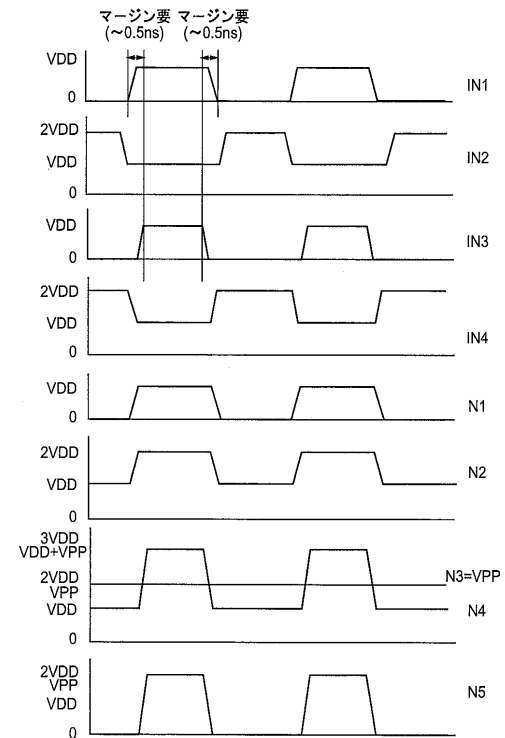
【図4】



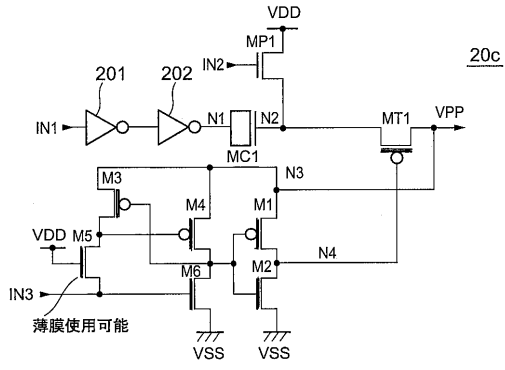
【図5】



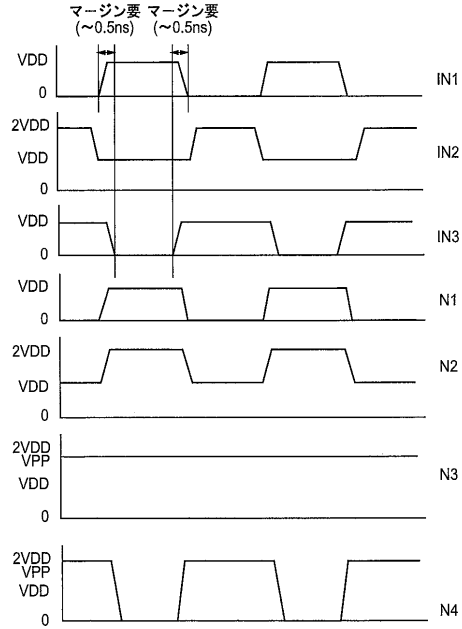
【図6】



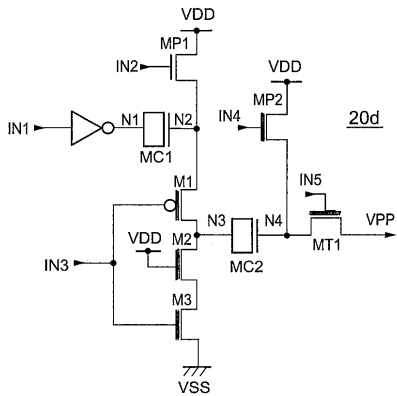
【図7】



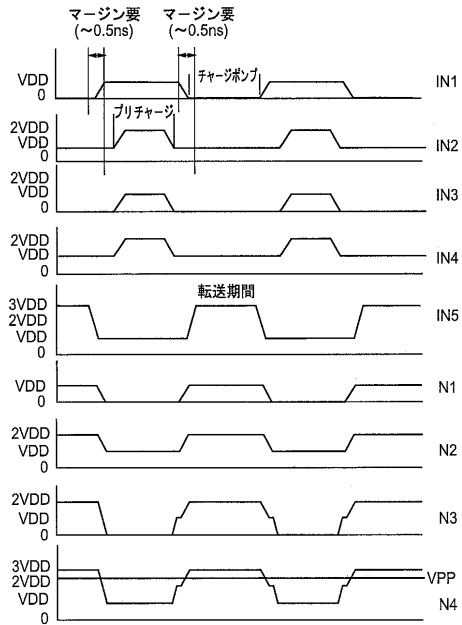
【図8】



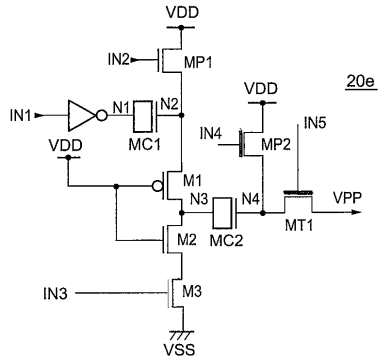
【図9】



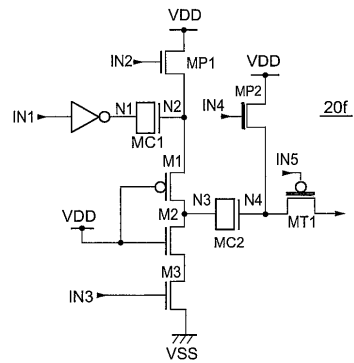
【図10】



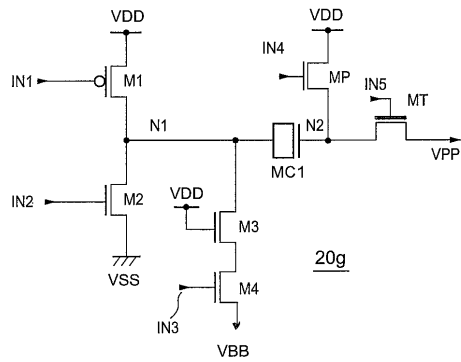
【図 1 1】



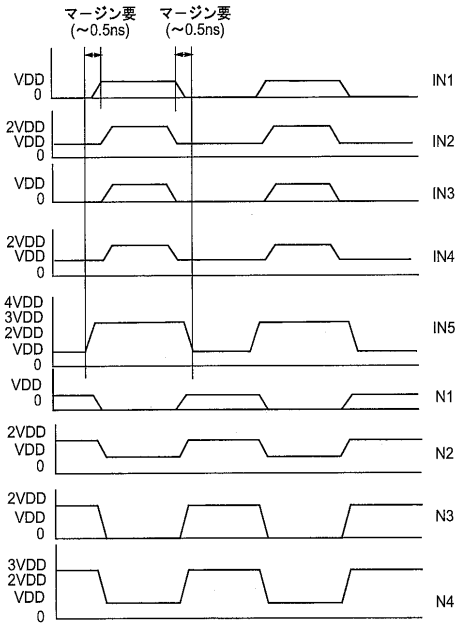
【図 1 2】



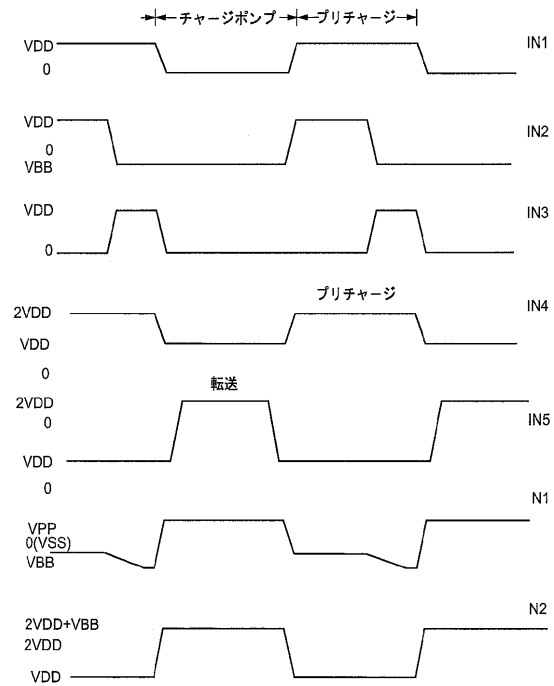
【図 1 4】



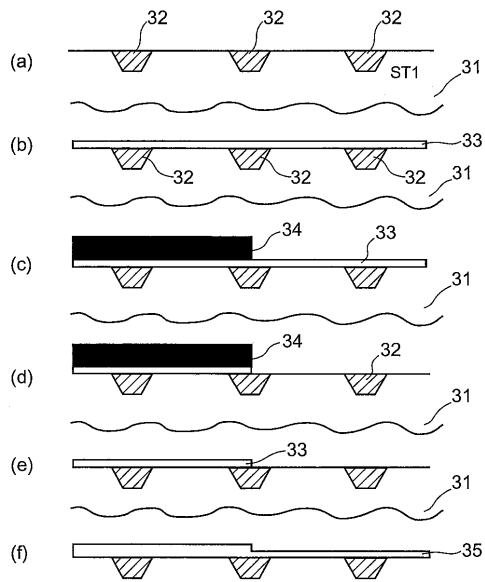
【図 1 3】



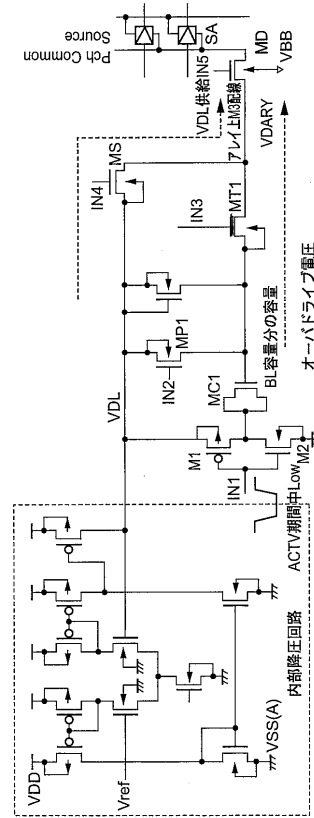
【図 1 5】



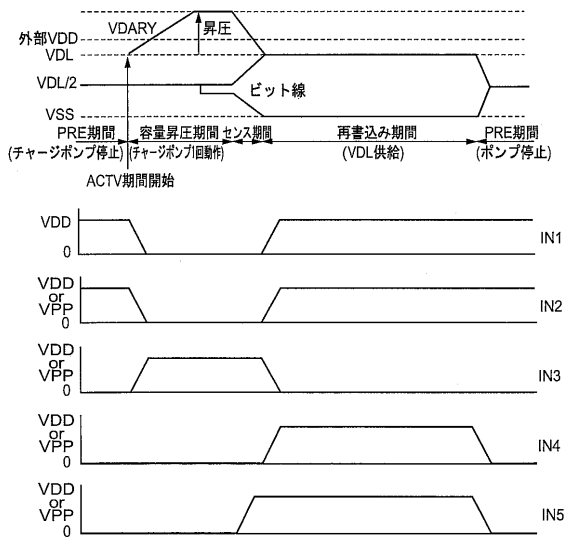
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/10 (2006.01) H 0 2 M 3/07
H 0 2 M 3/07 (2006.01)

(72)発明者 前 健治

東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 森野 誠

東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 久保内 修一

東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

審査官 園田 康弘

(56)参考文献 特開平 1 1 - 3 2 8 9 5 6 (J P , A)
特開 2 0 0 0 - 2 2 3 6 7 3 (J P , A)
特開 2 0 0 1 - 0 3 5 1 6 1 (J P , A)
特開 2 0 0 0 - 0 2 1 1 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/4074
H01L 21/822
H01L 21/8242
H01L 27/04
H01L 27/10
H01L 27/108
H02M 3/07