

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4293553号
(P4293553)

(45) 発行日 平成21年7月8日(2009.7.8)

(24) 登録日 平成21年4月17日(2009.4.17)

(51) Int. Cl. F I
 HO 1 G 4/12 (2006.01) HO 1 G 4/12 3 5 8
 HO 1 G 4/30 (2006.01) HO 1 G 4/12 3 4 9
 HO 1 G 4/30 3 0 1 E

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2005-160136 (P2005-160136)	(73) 特許権者	000003067
(22) 出願日	平成17年5月31日 (2005.5.31)		T D K 株式会社
(65) 公開番号	特開2006-339285 (P2006-339285A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成18年12月14日 (2006.12.14)	(74) 代理人	100088155
審査請求日	平成17年12月28日 (2005.12.28)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100129296
			弁理士 青木 博昭
		(72) 発明者	岩▲崎▼ 彰則
			東京都中央区日本橋一丁目13番1号 T D K 株式会社内
		(72) 発明者	小島 達也
			東京都中央区日本橋一丁目13番1号 T D K 株式会社内

最終頁に続く

(54) 【発明の名称】 積層型電子部品及び積層セラミックコンデンサ

(57) 【特許請求の範囲】

【請求項1】

複数の第1のセラミック層と複数の内部回路要素導体とが交互に積層された内層部と、前記内層部を挟むように複数の第2のセラミック層がそれぞれ積層された一対の外層部と、を備える積層型電子部品であって、

前記第1及び第2のセラミック層が、ガラス成分を含んでおり、

前記第2のセラミック層の主成分の量に対する当該第2のセラミック層に含まれるガラス成分の量の成分量が、前記第1のセラミック層の主成分の量に対する当該第1のセラミック層に含まれるガラス成分の量の成分量よりも大きく、

前記第2のセラミック層の前記成分量比に対する前記第1のセラミック層の前記成分量比の割合が、0.5以上1.0未満であり、

前記内部回路要素導体の厚みが1.5 μm以下であるとともに、

前記第1のセラミック層の厚みが、前記内部回路要素導体の厚みの1.5倍以下であることを特徴とする積層型電子部品。

【請求項2】

複数の第1のセラミック層と複数の内部回路要素導体とが交互に積層された内層部と、前記内層部を挟むように複数の第2のセラミック層がそれぞれ積層された一対の外層部と、を備える積層型電子部品であって、

前記第1及び第2のセラミック層が、ガラス成分を含んでおり、

前記第2のセラミック層の主成分の量に対する当該第2のセラミック層に含まれるガラ

10

20

ス成分の量の成分比が、前記第1のセラミック層の主成分の量に対する当該第1のセラミック層に含まれるガラス成分の量の成分比よりも大きく、

前記第2のセラミック層の前記成分比に対する前記第1のセラミック層の前記成分比の割合が、0.5以上1.0未満であり、

前記内層部は、前記内部回路要素導体と同層に位置すると共に、前記内部回路要素導体が形成されない領域に当該内部回路要素導体の厚みによる段差を吸収するように形成された第3のセラミック層を有し、

前記第3のセラミック層が、ガラス成分を含んでおり、

前記第3のセラミック層の主成分の量に対する当該第3のセラミック層に含まれるガラス成分の量の成分比が、前記第1のセラミック層の前記成分比より大きいことを特徴とする積層型電子部品。

10

【請求項3】

複数の第1のセラミック層と複数の内部電極とが交互に積層された内層部と、

前記内層部を挟むように複数の第2のセラミック層がそれぞれ積層された一対の外層部と、を備える積層セラミックコンデンサであって、

前記第1及び第2のセラミック層が、ガラス成分を含んでおり、

前記第2のセラミック層の主成分の量に対する当該第2のセラミック層に含まれるガラス成分の量の成分比が、前記第1のセラミック層の主成分の量に対する当該第1のセラミック層に含まれるガラス成分の量の成分比よりも大きく、

前記第2のセラミック層の前記成分比に対する前記第1のセラミック層の前記成分比の割合が、0.5以上1.0未満であり、

20

前記内部電極の厚みが1.5 μm以下であるとともに、

前記第1のセラミック層の厚みが、前記内部電極の厚みの1.5倍以下であることを特徴とする積層セラミックコンデンサ。

【請求項4】

複数の第1のセラミック層と複数の内部電極とが交互に積層された内層部と、

前記内層部を挟むように複数の第2のセラミック層がそれぞれ積層された一対の外層部と、を備える積層セラミックコンデンサであって、

前記第1及び第2のセラミック層が、ガラス成分を含んでおり、

前記第2のセラミック層の主成分の量に対する当該第2のセラミック層に含まれるガラス成分の量の成分比が、前記第1のセラミック層の主成分の量に対する当該第1のセラミック層に含まれるガラス成分の量の成分比よりも大きく、

30

前記第2のセラミック層の前記成分比に対する前記第1のセラミック層の前記成分比の割合が、0.5以上1.0未満であり、

前記内層部は、前記内部電極と同層に位置すると共に、前記内部電極が形成されない領域に当該内部電極の厚みによる段差を吸収するように形成された第3のセラミック層を有し、

前記第3のセラミック層が、ガラス成分を含んでおり、

前記第3のセラミック層の主成分の量に対する当該第3のセラミック層に含まれるガラス成分の量の成分比が、前記第1のセラミック層の前記成分比より大きいことを特徴とする積層セラミックコンデンサ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型電子部品及び積層セラミックコンデンサに関する。

【背景技術】

【0002】

この種の積層型電子部品として、複数の内部回路要素導体及びセラミック層が積層され

50

た積層体を備えるものが知られている（例えば、特許文献1、特許文献2参照）。特許文献1に記載された積層型電子部品（積層セラミックコンデンサ）は、内部回路要素導体（内部電極）とセラミック層とが交互に積層された内層部と、セラミック層が積層された外層部とを備える。特許文献2に記載された積層型電子部品（積層セラミック電子部品）では、セラミック層が酸化物ガラスを含んでいる。

【特許文献1】特開平9-129486号公報

【特許文献2】特開平8-191031号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明は、焼成ムラが抑制された積層型電子部品及び積層セラミックコンデンサを提供することを目的とする。

【課題を解決するための手段】

【0004】

本発明者等は、焼成ムラを抑制し得る積層型電子部品について鋭意検討を行った結果、以下のような事実を新たに見出した。

【0005】

特許文献1には、内層部と外層部とを備える積層型電子部品が記載されている。本発明者等は、このような積層型電子部品を焼成すると、内層部が外層部よりも低温で焼結し、その結果積層型電子部品に焼成ムラが生じてしまうことを見出した。

【0006】

上述した焼成ムラは、内層部に合わせた温度で焼成を行っても、あるいは外層部に合わせた温度で焼成を行っても起こる。すなわち、内層部に合わせた温度で焼成を行うと、外層部が十分に焼結されない。一方、外層部に合わせた温度で焼成を行うと、内層部が過度に焼成されてしまう。内層部が過度に焼成されてしまうと、内層部のセラミック層には半導体化の問題が生じ、内部回路要素導体には球状化による被覆率の低下の問題が生じる。

【0007】

本発明者等は、内層部が外層部よりも低温で焼結することについて検討したところ、内層部においてセラミック層と交互に積層される内部回路要素導体が、焼成時に内層部のセラミック層に対して焼結助剤として機能してしまうのではないかとこの考察を得た。近年、電子機器の小型化に伴い、電子機器内に実装される積層型電子部品の薄層化が求められている。したがって、この考察によると、薄層化により内層部での各セラミック層に与える内部回路要素導体の影響が大きくなり、焼成ムラの問題がより顕著になると考えられる。

【0008】

また、特許文献2には、酸化物ガラスを含むセラミック層を備える積層型電子部品が記載されているが、内層部及び外層部の焼結温度については検討されていない。

【0009】

このような検討結果を踏まえ、本発明に係る積層型電子部品は、複数の第1のセラミック層と複数の内部回路要素導体とが交互に積層された内層部と、内層部を挟むように複数の第2のセラミック層がそれぞれ積層された一対の外層部と、を備える積層型電子部品であって、第1及び第2のセラミック層が、ガラス成分を含んでおり、第2のセラミック層の主成分の量に対する当該第2のセラミック層に含まれるガラス成分の量の成分量が、第1のセラミック層の主成分の量に対する当該第1のセラミック層に含まれるガラス成分の量の成分量よりも大きいことを特徴とする。

【0010】

セラミック層にガラス成分を含ませることにより、セラミック層では焼結温度を低くすることが可能となる。また、セラミック層では、セラミック層の主成分の量に対するこのセラミック層に含まれるガラス成分の量の成分量が大きくなるほど、焼結温度が低くなる。この積層型電子部品では、第2のセラミック層の成分比が、第1のセラミック層の成分比より大きいので、第2のセラミック層の方が第1のセラミック層に比べて焼結温

10

20

30

40

50

度が低くなる。一方、内部回路要素導体と交互に積層されている第1のセラミック層は、内部回路要素導体の影響を受けることによって、焼結温度を実質的に低下させると考えられる。その結果、内層部及び外層部の双方において焼結温度が低下され、内層部と外層部との間で、焼結温度の差が小さくなる。そのため、この積層型電子部品では焼成ムラを抑制することが可能となる。また、内層部と外層部との焼結温度の差が小さくなることによって、内層部と外層部との間の縮率差が小さくなり、クラックの発生も抑制される。また、この積層型電子部品では、内層部の焼結温度に合わせて焼成を行っても、外層部を十分に焼結させることができる。これにより、この積層型電子部品では信頼性を向上させることが可能となる。

【0011】

10

また、内層部は、内部回路要素導体と同層に位置すると共に、内部回路要素導体が形成されない領域に当該内部回路要素導体の厚みによる段差を吸収するように形成された第3のセラミック層を有し、第3のセラミック層が、ガラス成分を含んでおり、第3のセラミック層の主成分の量に対する当該第3のセラミック層に含まれるガラス成分の量の成分量が、第1のセラミック層の前記成分量比より大きいことが好ましい。

【0012】

内部回路要素導体の厚みによる段差を吸収するように形成された第3のセラミック層を有することによって、この積層型電子部品では、デラミネーションの発生が抑制される。また、第3のセラミック層の成分量比は、第1のセラミック層の成分量比に比べて大きいため、内層部内における焼成ムラを抑制することが可能となる。

20

【0013】

また、第2のセラミック層の成分量比に対する第1のセラミック層の成分量比の割合が、0.5以上1.0未満であることが好ましい。第2のセラミック層の成分量比に対する第1のセラミック層の成分量比の割合がこの範囲であると、内層部と外層部との間の縮率の差を小さくでき、クラックの発生を抑制できる。

【0014】

また、内部回路要素導体の厚みが1.5 μm以下であるとともに、第1のセラミック層の厚みが、内部回路要素導体の厚みの1.5倍以下であることが好ましい。この場合、小型化、薄層化の要求を満たすと同時に、外層部の焼けすぎが抑制された積層型電子部品を実現することが可能となる。

30

【0015】

また、本発明に係る積層セラミックコンデンサは、複数の第1のセラミック層と複数の内部電極とが交互に積層された内層部と、内層部を挟むように複数の第2のセラミック層がそれぞれ積層された一対の外層部と、を備える積層セラミックコンデンサであって、第1及び第2のセラミック層が、ガラス成分を含んでおり、第2のセラミック層の主成分の量に対する当該第2のセラミック層に含まれるガラス成分の量の成分量が、第1のセラミック層の主成分の量に対する当該第1のセラミック層に含まれるガラス成分の量の成分量比よりも大きいことを特徴とする。

【0016】

この積層セラミックコンデンサでは、外層部と内層部との間で焼結温度の差を小さくでき、焼成ムラを抑制することが可能となる。

40

【発明の効果】**【0017】**

本発明によれば、焼成ムラが抑制された積層型電子部品及び積層セラミックコンデンサを提供することができる。

【発明を実施するための最良の形態】**【0018】**

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

50

【 0 0 1 9 】

図 1、図 2 に基づいて、実施形態に係る積層セラミックコンデンサ C 1 の構成を説明する。図 1 は実施形態に係る積層セラミックコンデンサ C 1 の断面図である。積層セラミックコンデンサ C 1 は、図 1 に示すように、内層部 1 0 と、この内層部 1 0 を挟んで位置する一対の外層部 2 0 とを備えている。積層セラミックコンデンサ C 1 の外表面には、端子電極 3 0 が形成されていることが好ましい。なお、積層セラミックコンデンサ C 1 は、例えば「1 0 0 5」タイプである場合、長手方向の長さが 1 . 0 mm、幅が 0 . 5 mm、高さが 0 . 5 mm である。

【 0 0 2 0 】

図 2 に、実施形態に係る積層セラミックコンデンサ C 1 に含まれる内層部 1 0 及び外層部 2 0 の分解斜視図を示す。内層部 1 0 は、複数（本実施形態では 1 3 層）の第 1 のセラミック層 1 2 と、複数（本実施形態では 1 2 層）の内部回路要素導体 1 4 と、複数（本実施形態では 1 2 層）の第 3 のセラミック層 1 6 とを含む。複数の第 1 のセラミック層 1 2 と複数の内部回路要素導体 1 4 とは、交互に積層されている。内部回路要素導体 1 4 は内部電極として機能する。また、内部回路要素導体 1 4 は、Ni を主成分として含む。

10

【 0 0 2 1 】

第 3 のセラミック層 1 6 は、内部回路要素導体 1 4 と同層に位置する。また、第 3 のセラミック層 1 6 は、内部回路要素導体 1 4 が形成されない領域に、内部回路要素導体 1 4 による段差を吸収するように、すなわち内部回路要素導体 1 4 の厚みと略同じ厚みとなるように形成される。第 1 及び第 3 のセラミック層 1 2、1 6 は、いずれもガラス成分を含む。

20

【 0 0 2 2 】

一対の外層部 2 0 それぞれは、内層部 1 0 を挟むように複数（本実施形態では各 5 層）の第 2 のセラミック層 2 2 が積層されて形成されている。第 2 のセラミック層 2 2 は、ガラス成分を含む。

【 0 0 2 3 】

第 1 のセラミック層 1 2 の主成分（例えば、BaTiO₃）の量に対する当該第 1 のセラミック層 1 2 に含まれるガラス成分の量の成分量比 R 1 は、下記（1）式で表される。

$$R 1 = G 1 / M 1 \quad \dots (1)$$

G 1 : 第 1 のセラミック層 1 2 に含まれるガラス成分の量

M 1 : 第 1 のセラミック層 1 2 の主成分の量

30

【 0 0 2 4 】

第 2 のセラミック層 2 2 の主成分（例えば、BaTiO₃）の量に対する当該第 2 のセラミック層 2 2 に含まれるガラス成分の量の成分量比 R 2 は、下記（2）式で表される。

$$R 2 = G 2 / M 2 \quad \dots (2)$$

G 2 : 第 2 のセラミック層 2 2 に含まれるガラス成分の量

M 2 : 第 2 のセラミック層 2 2 の主成分の量

【 0 0 2 5 】

第 3 のセラミック層 1 6 の主成分（例えば、BaTiO₃）の量に対する当該第 3 のセラミック層 1 6 に含まれるガラス成分の量の成分量比 R 3 は、下記（3）式で表される。

$$R 3 = G 3 / M 3 \quad \dots (3)$$

G 3 : 第 3 のセラミック層 1 6 に含まれるガラス成分の量

M 3 : 第 3 のセラミック層 1 6 の主成分の量

40

【 0 0 2 6 】

なお、各セラミック層 1 2、2 2、1 6 の主成分の量、及びセラミック層に含まれるガラス成分の量とはそれぞれ、例えばこれらの重量である。

【 0 0 2 7 】

第 2 のセラミック層 2 2 の成分量比 R 2 は、第 1 のセラミック層 1 2 の成分量比 R 1 より大きく、R 1 < R 2 である。第 3 のセラミック層 1 6 の成分量比 R 3 は、第 1 のセラミック層 1 2 の成分量比 R 1 より大きく、R 1 < R 3 である。

50

【0028】

また、第2のセラミック層22の成分量比R2に対する第1のセラミック層12の成分量比R1の割合 $R1/R2$ は、0.5以上1.0未満であり、より好ましくは0.7以上1.0未満である。

【0029】

内部回路要素導体14の厚みは、 $1.5\mu\text{m}$ 以下である。この場合、第1のセラミック層12の厚みは、内部回路要素導体14の厚みの1.5倍以下である。

【0030】

セラミック層は、ガラス成分を含むことによりセラミック粒子の焼結性が向上し、焼結温度が低くなる。また、セラミック層では、セラミック層の主成分の量に対するこのセラミック層に含まれるガラス成分の量の成分量比が大きくなるほど、焼結温度が低くなる。積層セラミックコンデンサC1の第1及び第2のセラミック層12、22はいずれも、ガラス成分を含む。その上、第2のセラミック層22の成分量比R2が、第1のセラミック層12の成分量比R1より大きい。そのため、積層セラミックコンデンサC1では、外層部20に含まれる第2のセラミック層22の焼結温度を、内層部10に含まれる第1のセラミック層12の焼結温度に比べ低くすることが可能となる。

10

【0031】

一方、第1のセラミック層12は、内部回路要素導体14と交互に積層されているため、内部回路要素導体14の影響を受ける。内部回路要素導体14の影響により、第1のセラミック層12は、実質的に焼結温度を低下させる。

20

【0032】

その結果、第1及び第2のセラミック層12、22の双方が焼結温度を低下させることとなり、内層部10と外層部20との間での焼結温度の差を小さくすることが可能となる。内層部10と外層部20との間での焼結温度の差を小さくすることによって、積層セラミックコンデンサC1では焼成ムラの抑制が可能となる。

【0033】

このように焼成ムラが抑制されることにより、内層部10が過度に焼成されることが抑制される。これにより、第1のセラミック層12が異常粒成長によって半導体化することも、また内部回路要素導体14が球状化によって厚くなり、被覆率を低下させることも抑制される。

30

【0034】

また、こうして内層部10と外層部20との間の焼結温度の差が小さくなることによって、内層部10と外層部20との間の縮率差が小さくなる。これにより、積層セラミックコンデンサC1では、クラックの発生が抑制される。

【0035】

また、外層部20を構成する第2のセラミック層22の焼結温度が低くなっているため、内層部10の焼結温度に合わせた温度で積層セラミックコンデンサC1を焼成した場合であっても、外層部20を十分に焼結させることが可能である。その結果、この積層セラミックコンデンサC1では信頼性を向上させることが可能となる。

【0036】

また、第1～第3のセラミック層12、22、16はいずれもガラス成分を含む。そのため、各セラミック層の焼結温度は低くなり、積層セラミックコンデンサC1を焼成する温度を低くすることが可能となる。

40

【0037】

積層セラミックコンデンサC1の内層部10では、内部回路要素導体14が形成されない領域に、第3のセラミック層16が形成されている。この第3のセラミック層16は、内部回路要素導体14の厚みによる段差を吸収するように形成されている。そのため、内部回路要素導体14と第3のセラミック層16とによって平坦な平面が構成され、内層部10及び外層部20間並びに内層部10内でのデラミネーションの発生を抑制することが可能となる。

50

【0038】

また、第3のセラミック層16の成分量比R3は、第1のセラミック層12の成分量比R1に比べて大きい。そのため、内部回路要素導体14が形成されていない領域に形成され、内部回路要素導体14の影響をほとんど受けない第3のセラミック層16も、低い温度で焼結できる。これにより、積層セラミックコンデンサC1では、内層部10内での焼成ムラを抑制することが可能となる。また、その結果、この積層セラミックコンデンサC1では信頼性をさらに向上させることが可能となる。

【0039】

積層セラミックコンデンサC1では、第2のセラミック層22の成分量比R2に対する第1のセラミック層12の成分量比R1の割合が、0.5以上1.0未満である。成分量比の割合がこの範囲内であると、内層部10と外層部20との間の縮率の差を小さくできる。その結果、積層セラミックコンデンサC1においてはクラックの発生がさらに抑制される。また、第2のセラミック層22の成分量比R2に対する第1のセラミック層12の成分量比R1の割合が、0.7以上1.0未満である場合、積層セラミックコンデンサにおけるクラックの発生はより一層抑制される。

【0040】

積層セラミックコンデンサでは、小型化、薄層化の要求が強い。積層セラミックコンデンサC1では、内部回路要素導体14の厚みが1.5 μ m以下であるため、薄層化が可能である。また、これにより、積層セラミックコンデンサC1の小型化、さらには多層化も可能となる。

【0041】

さらに、積層セラミックコンデンサC1では、第1のセラミック層12の厚みが、内部回路要素導体14の厚みの1.5倍以下である。したがって、積層セラミックコンデンサC1では、外層部20の焼けすぎを抑制することが可能となる。すなわち、内部回路要素導体14の厚みが1.5 μ m以下の場合において、第1のセラミック層12の厚みが内部回路要素導体14の厚みの1.5倍を超えると、第1のセラミック層12と内部回路要素導体14との間の距離が大きくなり、第1のセラミック層12に対する内部回路要素導体14の影響が小さくなる。そのため、第1のセラミック層12の焼結温度の実質的な低下が起こらず、第2のセラミック層22の焼結温度のみ低下することになってしまう。その結果、積層セラミックコンデンサC1の焼成において、外層部20のみが焼けすぎてしまうことが起こり得る。

【0042】

次に、焼成ムラが抑制されていることを実証するために、実施形態に係る積層セラミックコンデンサについてクラック発生率（（クラック発生検体数/全検体数） \times 100（%））及び信頼性を検討した結果を説明する。図3に、第2のセラミック層の成分量比に対する第1のセラミック層の成分量比の割合を、0.4~1.1の範囲で変えた場合の積層セラミックコンデンサのクラック発生率及び信頼性を表す。

【0043】

図3において、クラック発生率が1%未満の場合を○で表し、1%以上5%未満の場合を△で表し、5%以上の場合を×で表した。また、信頼性が良い場合を○で表し、悪い場合を×で表した。図3における信頼性の結果は、80個の積層セラミックコンデンサに対して、85 $^{\circ}$ Cの温度下、定格の1.5倍の電圧を1000時間以上かけることによって得ている。

【0044】

図3より、積層セラミックコンデンサでは、第2のセラミック層22の成分量比R2に対する第1のセラミック層12の成分量比R1の割合が0.5以上1.0未満である場合、クラック発生率が5%未満と低いことがわかる。さらに、第2のセラミック層22の成分量比R2に対する第1のセラミック層12の成分量比R1の割合が0.7以上1.0未満である場合、クラック発生率が1%未満とより一層低いことがわかる。また、このようにクラック発生率が低く、信頼性が高い積層セラミックコンデンサでは、焼成ムラが抑制

10

20

30

40

50

されているものと考えることができる。

【0045】

以上、本発明の好適な実施形態について詳細に説明したが、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、本発明を積層セラミックコンデンサに適用した例を示しているが、これに限らず、例えばインダクタ、バリスタ、サーミスタ等の積層型電子部品にも適用可能である。

【0046】

また、内部回路要素導体14の主成分は、Niに限らず、例えばCuであってもよい。また、第3のセラミック層16を備えていなくてもよい。また、第2のセラミック層22の成分比R2に対する第1のセラミック層12の成分比R1の割合が0.5以上1.0未満でなくてもよい。

10

【0047】

また、内部回路要素導体14の厚みが、1.5 μ mを超えていてもよい。また、第1のセラミック層12の厚みが、内部回路要素導体14の厚みの1.5倍を超えていてもよい。

【図面の簡単な説明】

【0048】

【図1】実施形態に係る積層セラミックコンデンサの断面図である。

【図2】実施形態に係る積層セラミックコンデンサに含まれる内層部及び外層部の分解斜視図である。

20

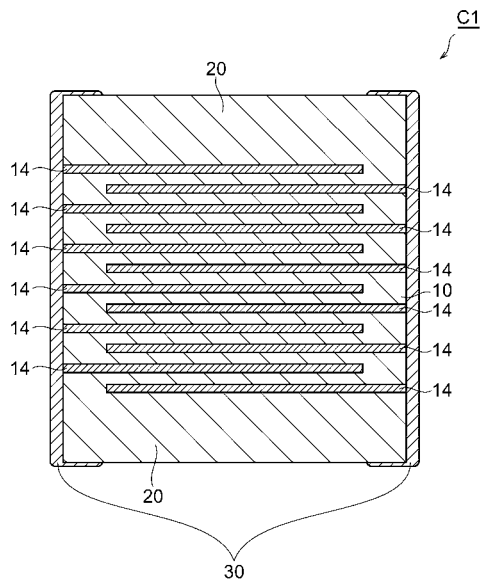
【図3】第1及び第2のセラミック層の成分比の割合を変えた場合のクラック発生率及び信頼性を表す表である。

【符号の説明】

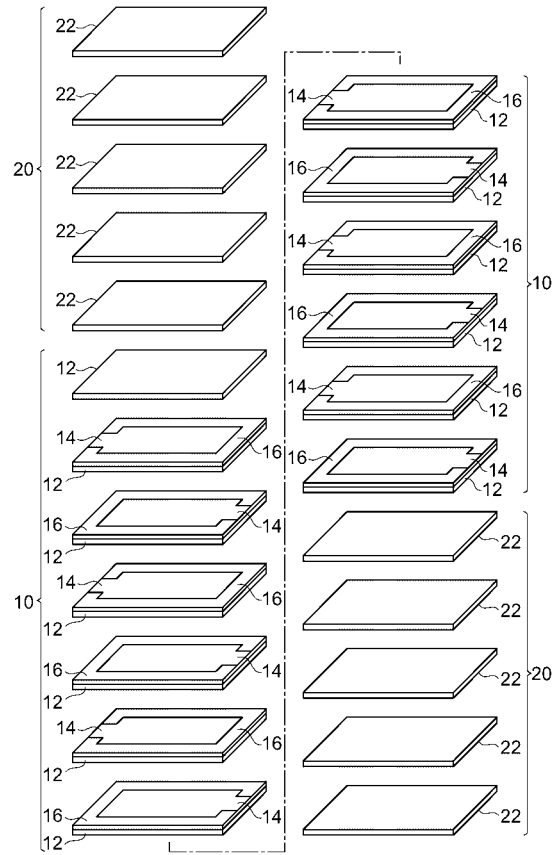
【0049】

C1...積層セラミックコンデンサ、10...内層部、12...第1のセラミック層、14...内部回路要素導体、16...第3のセラミック層、20...外層部、22...第2のセラミック層、30...端子電極

【図1】



【図2】



【図3】

成分比の割合	クラック発生率	信頼性
0.4	×	○
0.5	○	○
0.6	○	○
0.7	◎	○
0.8	◎	○
0.9	◎	○
1.0	×	×
1.1	×	×

フロントページの続き

- (72)発明者 外海 透
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 室澤 尚吾
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 政岡 雷太郎
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 阿部 暁太郎
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 山口 晃
東京都中央区日本橋一丁目13番1号 TDK株式会社内

審査官 近藤 聡

- (56)参考文献 特開平03-246915(JP,A)
特開平09-097733(JP,A)
特開平07-201633(JP,A)
特開平05-299286(JP,A)
特開2006-135138(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01G 4/00