



(12) 发明专利申请

(10) 申请公布号 CN 104951044 A

(43) 申请公布日 2015. 09. 30

(21) 申请号 201510144502. 6

(22) 申请日 2015. 03. 30

(30) 优先权数据

10-2014-0037257 2014. 03. 28 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴钟来 李愚秦 朴相日 李庚泽

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽 贾洪波

(51) Int. Cl.

G06F 1/32(2006. 01)

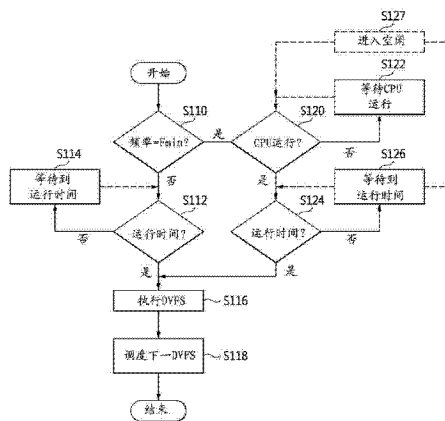
权利要求书2页 说明书11页 附图5页

(54) 发明名称

动态电压和频率调节方法、片上系统及设备

(57) 摘要

本公开提供了动态电压和频率调节 (DVFS) 方法、片上系统及设备。动态电压和频率调节方法包括:在第一调度时间调度 DVFS 的执行以调整目标设备的频率或电压;监视目标设备的操作频率;以及基于目标设备的操作频率选择性地推迟在稍后的调度时间的 DVFS 的执行;其中当目标设备的操作频率等于或低于给定最低频率时推迟在下一调度时间的 DVFS 的执行。



1. 一种动态电压和频率调节 (DVFS) 方法,包括:
在第一调度时间调度 DVFS 的执行以调整目标设备的频率或电压;
监视目标设备的操作频率;以及
基于目标设备的操作频率,选择性地推迟在稍后调度时间的 DVFS 的执行。
2. 如权利要求 1 所述的方法,其中当目标设备的操作频率等于或低于给定最低频率时推迟在下一调度时间的 DVFS 的执行。
3. 如权利要求 1 所述的方法,其中基于目标设备的操作频率,选择性地迫使中央处理器 (CPU) 从空闲状态到运行状态以执行 DVFS。
4. 如权利要求 3 所述的方法,其中当目标设备的操作频率等于或低于给定最低频率时,在下一调度时间不迫使空闲的 CPU 到运行状态以执行 DVFS。
5. 如权利要求 1 所述的方法,其中所述目标设备是存储器接口。
6. 如权利要求 1 所述的方法,其中当执行 DVFS 时,目标设备的操作频率或被供应的电压被降低。
7. 一种片上系统 (SOC),包括:
中央处理器 (CPU)、存储器、和由 CPU 控制的目标设备,所述存储器具有由 CPU 可执行的存储指令以执行下述步骤:
在第一调度时间调度动态电压和频率调节 (DVFS) 的执行以调整目标设备的频率或电压;
监视目标设备的操作频率;以及
当目标设备的操作频率等于或低于给定最低频率时推迟在下一调度时间的 DVFS 的执行。
8. 如权利要求 7 所述的 SOC,其中基于目标设备的操作频率,选择性地迫使 CPU 从空闲状态到运行状态以执行 DVFS。
9. 如权利要求 7 所述的 SOC,其中当目标设备的操作频率等于或低于给定最低频率时,在下一调度时间不迫使 CPU 从空闲状态到运行状态以执行 DVFS。
10. 如权利要求 7 所述的 SOC,其中所述目标设备是存储器接口。
11. 如权利要求 7 所述的 SOC,其中所述目标设备是非 CPU 知识产权 (IP)。
12. 如权利要求 7 所述的 SOC,还包括由 CPU 控制的第二目标设备,其中存储器还包括由 CPU 可执行以实施用于调整第二目标设备的频率或电压的 DVFS 的存储指令。
13. 如权利要求 11 所述的 SOC,其中第二目标设备是输入 / 输出 (I/O) 接口。
14. 如权利要求 7 所述的 SOC,其中当执行 DVFS 时,目标设备的操作频率或被供应的电压被降低。
15. 如权利要求 7 所述的 SOC,其中所述 SOC 被具体实现在智能电话、照相机、可穿戴智能设备、或物联网 (IoT) 中的一个中。
16. 一种可穿戴电子设备,包括:
片上系统 (SOC),包括:
中央处理器 (CPU)、存储器、和由 CPU 控制的存储器接口,所述存储器具有由 CPU 可执行的存储指令以:
在第一调度时间调度动态电压和频率调节 (DVFS) 的执行以调整目标设备的频率或电

压；

监视目标设备的操作频率；以及

基于目标设备的操作频率，选择性地推迟在稍后调度时间的 DVFS 的执行；

连接到存储器接口的存储设备；以及

显示器。

17. 如权利要求 16 所述的可穿戴电子设备，其中基于目标设备的操作频率，选择性地迫使 CPU 从空闲状态到运行状态以执行 DVFS。

18. 如权利要求 16 所述的可穿戴电子设备，其中当目标设备的操作频率等于或低于给定最低频率时，在下一调度时间不迫使 CPU 从空闲状态到运行状态以执行 DVFS。

19. 如权利要求 16 所述的可穿戴电子设备，其中所述目标设备是存储器接口。

20. 如权利要求 16 所述的可穿戴电子设备，其中所述目标设备是非 CPU 知识产权 (IP)。

动态电压和频率调节方法、片上系统及设备

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2014 年 3 月 28 日提交的韩国专利申请第 10-2014-0037257 号的优先权,其公开通过引用全面合并于此。

技术领域

[0003] 本发明构思的实施例涉及动态电压和频率调节 (DVFS),并且更具体地,涉及一种存储有可执行以防止 DVFS 在低功率模式中不必要的执行的程序的片上系统 (SoC) 及其操作方法以及包括该片上系统的设备。

背景技术

[0004] DVFS 是动态地调整操作频率和操作电压的技术。DVFS 可以在电子系统中使用以降低电力消耗。

[0005] 通常使用的 DVFS 周期地检查调整目标电路的使用,调整提供给调整目标电路的操作频率和操作电压以降低调整目标电路中的电力消耗。

[0006] 执行 DVFS 的电子系统可以在某种程度上降低电流消耗,但是当电子系统处于空闲状态中时,DVFS 可能继续执行并消耗电力。

[0007] 一些 SoC 使用掉电 (power down) 模式和 DVFS 两者以降低电力消耗。当在低功率模式期间 SoC 中的 CPU 被唤醒以执行 DVFS 时,电力消耗不均衡地浪涌。

发明内容

[0008] 一种 DVFS 方法包括:在第一调度时间执行 DVFS 以调整目标设备的频率或电压;监视目标设备的操作频率;以及基于目标设备的操作频率在稍后的调度时间选择性地推迟 DVFS 的执行;其中当目标设备的操作频率等于或低于参考频率时,推迟在下一调度时间的 DVFS 的执行;其中基于目标设备的操作频率,选择性地迫使中央处理器 (CPU) 从空闲状态到运行状态以执行 DVFS;其中当目标设备的操作频率等于或低于参考频率时,在下一调度时间不迫使空闲的 CPU 到运行状态以执行 DVFS;以及其中目标设备是存储器接口。

[0009] 一种片上系统 (SOC),包括 CPU、存储器和由 CPU 控制的目标设备,所述存储器存储可由 CPU 执行的指令,用于在第一调度时间执行 DVFS 以调整目标设备的频率或电压;监视目标设备的操作频率;以及当目标设备的操作频率等于或低于参考频率时,推迟在下一调度时间执行 DVFS;其中基于目标设备的操作频率,选择性地迫使 CPU 从空闲状态到运行状态以执行 DVFS;其中当目标设备的操作频率等于或低于参考频率时,在下一调度时间不迫使 CPU 从空闲状态到运行状态以执行 DVFS;其中目标设备是存储器接口;其中目标设备是非 CP IP;该 SOC 还包括由 CPU 控制的第二目标设备,其中存储器还包括可由 CPU 执行的存储指令以用于:执行 DVFS 以调整第二目标设备的频率或电压;其中第二目标设备是 I/O 接口。

[0010] 一种可穿戴电子设备,包括片上系统 (SOC),连接到存储器接口的存储设备,以及

显示器,所述 SOC 包括 CPU、存储器和由 CPU 控制的存储器接口,所述存储器具有可由 CPU 执行的存储指令以用于:在第一调度时间执行 DVFS 以调整目标设备的频率或电压;监视目标设备的操作频率;以及基于目标设备的操作频率在稍后的调度时间推迟 DVFS 的执行。

[0011] 附图描述

[0012] 从以下结合附图对实施例的描述,本发明总体构思的这些和/或其他方面将变得清楚和更加容易理解。附图中:

[0013] 图 1 是根据本发明构思的示例实施例的系统的框图;

[0014] 图 2 是在图 1 中示出的系统中执行的 DVFS 的时序图;

[0015] 图 3 是用于描述图 1 中示出的系统的操作的流程图;

[0016] 图 4 是在图 1 中示出的系统中执行的 DVFS 的状态图;

[0017] 图 5 是根据图 4 中示出的 DVFS 的状态图的条件状态图。

具体实施例

[0018] 现在将参照附图更全面地描述本发明构思,附图中示出了本发明的实施例。然而,本发明可以以许多不同的形式来具体实现,不应被解释为局限于此出阐述的示例性实施例。相反,提供这些实施例是为了使本公开全面和完整,并向本领域技术人员充分传达本发明的范围。附图中,为清楚起见,可能夸大了层和区域的大小及相对大小。相同的参考标记始终指代相同的元件。

[0019] 将会理解,当一个元件被称为“连接”或“耦接”到另一元件时,它可以直接连接或耦接到所述另一元件,或者也可以存在居间的元件。相反,当一个元件被称为“直接连接”或“直接耦接”到另一元件时,不均在居间的元件。此处使用的术语“和/或”包括相关列出项目中的任何一个以及其中的一个或多个的所有组合,并且术语“和/或”可以缩写为“/”。

[0020] 将会理解,尽管此处可能使用术语第一、第二等等来描述不同的元件,但这些元件不应受到这些术语的限制。这些术语仅仅用于将一个元件与另一个元件区分开来。例如,第一信号可以被称为第二信号,类似地,第二信号也可以被称为第一信号,这样做不会偏离本公开的教导。

[0021] 此处使用的术语仅仅是为了描述特定实施例,并非意图限制本发明。与此处使用的,单数形式“一”、“一个”和“该”意图也包括复数形式,除非上下文明确给出相反指示。还将理解,当在本说明书中使用词语“包括”和/或“包含”时,表明存在所描述的特征、区域、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、区域、整体、步骤、操作、元件、组件和/或它们的组合。

[0022] 除非另外定义,否则此处使用的所有术语(包括技术术语和科学术语)所具有的含义与本发明所属领域的普通技术人员通常理解的含义相同。还将理解,诸如通常使用的词典中定义的那些术语应该被解释为所具有的含义与它们在相关领域和/或本申请的上下文中的含义一致,而不应理想化地或过分形式化地对其进行解释,除非此处明确地如此定义。

[0023] 在本发明构思的实施例的下面描述中,当在调度时间(或时间点)中 DVFS 目标硬件的频率不是最低频率,并且 CPU 在调度时间处于运行状态时,自发的 DVFS(或自发的 DVFS 调用)或自发调用 DVFS (VID) 意味着在调度时间执行用于 DVFS 目标硬件的 DVFS。

[0024] 在执行 DVFS 时,通过由 CPU 控制的定时器设置有关调度时间的消息,从而中断控制器在调度时间响应于定时器的输出信号而生成中断。因此,通过中断唤醒的 CPU 可以在调度时间控制 DVFS 的执行。

[0025] 当 DVFS 目标硬件的频率在调度时间不是最低频率并且 CPU 在调度时间处于空闲状态时,CPU 在调度时间响应于中断而被迫使唤醒。从而,自发的 DVFS 或 VID 意味着在调度时间在目标硬件上执行。

[0026] 当 DVFS 目标硬件的频率在调度时间处于最低频率,并且 CPU 在调度时间处于空闲状态时,非自发的 DVFS(或非自发的 DVFS 调用)、或非自发调用 DVFS(IID) 意味着在调度时间不执行用于 DVFS 目标硬件的 DVFS。

[0027] 当调度时间不是由 CPU 控制的定时器设置的时,连接到定时器的中断控制器不在调度时间生成中断。在这种情况下,CPU 在调度时间不被迫使唤醒以执行 DVFS。

[0028] 因此,通过在调度时间之后的第一时间生成的第一中断唤醒的 CPU 可以控制 DVFS 的执行。然而,通过在调度时间之前的第二时间生成的第一中断唤醒的 CPU 可以推迟 DVFS 的执行直到调度时间。第一中断意味着除用于自发的 DVFS 的中断之外的中断。

[0029] 本发明构思的示范性实施例指向 DVFS, DVFS 可以当第一硬件动态地调整频率、第二硬件动态地调整操作电压、或第三硬件控制第一硬件和第二硬件、以及控制模块控制 DVFS 过程时执行。DVFS 过程可以包括自发的 DVFS 或 VID 以及非自发的 DVFS 或 IID,并且可以由 CPU 执行控制模块。

[0030] 第一硬件可以具体实现在时钟管理单元中,第二硬件可以具体实现在电力管理集成电路中,第三硬件可以具体实现在 CPU 中,并且控制模块可以具体实现在 DVFS 软件中。然而,控制模块还可以具体实现在硬件中。

[0031] 图 1 是根据本发明构思的示范性实施例的系统的框图。参照图 1,系统 100 可以包括片上系统 (SoC) 200、电力管理 IC(PMIC) 300 以及外部存储器 400。

[0032] 系统 100 可以具体实现在便携式电子设备中。便携式电子设备可以具体实现在智能电话、笔记本 PC、个人数字助理 (PDA)、企业数字助理 (EDA)、数字静物摄影机、数字摄像机、便携式多媒体播放器 (PMP)、私人导航设备或便携式导航设备 (PND)、移动因特网设备 (MID)、可穿戴智能设备、物联网 (IoT) 设备、或万物网 (IoE) 设备中。

[0033] SoC 200 可以具体实现在应用处理器 (AP) 或移动 AP 中。

[0034] SoC 200 可以包括存储器接口 210、第一性能监视单元 (PPMU) 212、包括总线的内部逻辑 220、第二 PPMU 222、CPU 230、内部存储器 231、硬件模块 240、中断控制器 250、电力管理单元 (PMU) 260 以及时钟管理单元 (CMU) 270。

[0035] 存储器接口 210 便利 SoC 200 和外部存储器 400 之间的数据传送。根据本发明构思的实施例,当 DVFS 在存储器接口 210 上执行时,存储器接口 210 是可以在其中动态地调整第一操作电压 PW1 的 DVFS 目标硬件。

[0036] 第一 PPMU 212 可以监视存储器接口 210 的性能。例如,第一 PPMU 212 可以监视提供给存储器接口 210 的第一时钟 CLK1 的频率、存储器接口 210 的数据通讯比率 (data traffic ratio)、和 / 或存储器接口 210 的使用。

[0037] 这里,数据通讯比率可以意味着数据正在传输的实际频率与参考频率之间的比率,例如,CLK1 的实际频率是 60MHz 而从时钟发生器传递的 CLK 1 的参考频率是 100MHz。

在此情况下,数据通讯比率是 60%。数据通讯还可以被称作“时钟计数”。

[0038] 存储器接口 210 的使用意味着存储器接口 210 被使用的时间段与固定的时间段的比率。

[0039] 根据本发明构思的示范性实施例,存储的软件 SW 231 包括用于由 CPU 230 执行以影响 CVFS 控制的存储的代码。运行 SW 231 的 CPU 230 可以读取相应于监视的结果的第一监视信号 MT1。这里,第一 PPMU 212 可以作为 CPU 的从设备进行操作。例如,第一监视信号 MT1 可以包括第一时钟 CLK1 的频率,例如,参考频率以及数据通讯比率。CPU 230 可以使用从第一监视信号 MT1 读取的第一时钟 CLK1 的频率和数据通讯比率来确定当前时间的频率以及下一时间(例如,调度时间)的下一频率。参考频率可以意味着从 CMU 270 提供到存储器接口 210 的第一时钟 CLK1 的频率。

[0040] 内部逻辑 220 可以意味着包括总线的内部逻辑电路。内部逻辑 220 还可以是 DVFS 目标硬件。例如,内部逻辑 220 可以使用第二时钟 CLK2 和第二操作电压 PW2 操作。当在内部逻辑 220 上执行 DVFS 时,第二时钟 CLK2 的频率以及第二操作电压 PW2 的电平可以被动态地调整。

[0041] 第二 PPMU 222 可以监视内部逻辑 220 的性能。例如,第二 PPMU 222 可以监视提供给内部逻辑 220 的第二时钟 CLK2 的频率、内部逻辑 220 的数据通讯比率、和 / 或内部逻辑 220 的使用。

[0042] CPU 230 可以读取相应于监视的数据的第二监视信号 MT2。这里,第二 PPMU 222 可以作为 CPU 230 的从设备操作。例如,第二监视信号 MT2 可以包括第二时钟 CLK2 的频率、参考频率以及数据通讯比率。基于监视的数据,CPU 230 可以使用包括在第二监视信号 MT2 中的第二时钟 CLK2 的频率和数据通讯比率确定当前时间的频率以及下一时间(例如,调度时间)的下一频率。

[0043] 参考频率可以意味着从 CMU 270 提供到内部逻辑 220 的第二时钟 CLK2 的频率。

[0044] DVFS 可以通过执行存储在 SW 231 中的 DVFS 软件来执行。当读取第一监视信号 MT1 和第二监视信号 MT2 时,处于运行状态中的 CPU 230 可以生成第一控制信号 CTRL1 和第二控制信号 CTRL2,并且向 CMU 270 发送第一控制信号 CTRL1,以及向 PMIC 300 发送第二控制信号 CTRL2。

[0045] 当执行 DVFS 时,CMU 270 可以响应于第一控制信号 CTRL1 增加或降低时钟,例如,CLK1 和 / 或 CLK2 的频率。PMIC 300 可以响应于第二控制信号 CTRL2 增加或降低用于 DVFS 的相应的操作电压,例如 PW1 和 / 或 PW2 的电平。

[0046] CPU 230 可以使用从 CMU 270 输出的第三时钟 CLK3 来操作。

[0047] 为了执行自发的 DVFS 或 VID,CPU 230 可以计算用于自发的 DVFS 或 VID 的调度时间并且在定时器 241 中设置计算的调度时间。为了执行非自发的 DVFS 或 VID,CPU 230 计算用于非自发的 DVFS 或 IID 的调度时间,并且不在定时器 241 中设置计算的调度时间。调度时间信息可以存储在 SW 231 中。

[0048] 根据本发明构思的实施例,内部存储器 SW 231 可以具体实现为高速缓冲存储器。

[0049] 例如,存储在 SW 231 中的由 CPU 230 执行的 DVFS 软件可以确定基于第一监视信号 MT1 计算的第一时钟 CLK1 的频率是否是最小频率,基于第二监视信号 MT2 计算的第二时钟 CLK2 的频率是否是最小频率,和 / 或 CPU230 的状态处于空闲状态还是运行状态。

[0050] 在本说明书中描述的最小频率可以意味着从 SoC 200 提供的频率当中的最小频率（在下文，称为第一最小频率）以及由软件，例如，DVFS 软件 SW 确定的最小频率（在下文，称为第二最小频率）。例如，最小频率可以意味着第一最小频率和第二最小频率中的较高的频率；然而，不局限于此。

[0051] 硬件模块 240 可以包括多个定时器 241。硬件模块 240 可以使用从 CMU 270 输出的第四时钟 CLK4 操作。例如，多个定时器 241 中的每一个可以具体实现为硬件或软件。多个定时器 241 中的每一个可以被用于调度操作系统 OS 和 / 或在调度时间生成中断有关的输出信号。

[0052] 中断控制器 250 可以在每个调度时间基于从每个定时器 241 输出的输出信号生成中断。

[0053] PMU 260 可以控制电源向包括 CPU 230 和中断控制器 250 的组件供电。例如，PMU 260 可以根据中断控制器 250 的控制来控制电源，其可以将 CPU 230 的状态从空闲状态改变为运行状态或者从运行状态改变为空闲状态。例如，空闲状态可以包括低功耗模式。

[0054] 处于空闲状态中的 CPU 230 可以基于从中断控制器 250 输出的中断被唤醒。

[0055] 当 DVFS 被执行时，CMU 270 可以响应于从 CPU 230 输出的第一控制信号 CTRL1 增加或降低将供应给每个元件 210、220、230、和 240 的时钟 CLK1、CLK2、CLK3 和 CLK4 中的一个或全部的频率。例如，当 DVFS 被执行时，CMU 270 可以增加或降低将供应给存储器接口 210 的第一时钟 CLK1 的频率和 / 或将供应给内部逻辑 220 的第二时钟 CLK2 的频率。

[0056] 此外，当 DVFS 被执行时，PMIC 300 可以响应于从 CPU 230 输出的第二控制信号 CTRL2 增加或降低将供应给每个元件 210、220、230 和 240 的操作电压。例如，PMIC 300 可以增加或减少提供给存储器接口 210 的第一操作电压 PW1 和 / 或提供给内部逻辑 220 的第二操作电压 PW2。

[0057] 将在本说明书中描述的 DVFS 可以执行在非 CPU 知识产权 (IP) 上。非 CPU IP 意味着 IP 不具有诸如 CPU 230 的 CPU，并且 IP 可以是具有用户设计特征的硬件模块。

[0058] 为了在本说明书中的描述的方便起见，存储器接口 210 和具有总线的内部逻辑 220 被示出为 DVFS 目标硬件，例如，非 CPU IP；然而，DVFS 目标硬件，即，非 CPU IP 可以意味着图形处理单元 (GPU)、图像信号处理机 (ISP)、或显示处理器。

[0059] 外部存储器 400 可以通过总线 201 和存储器接口 210 发送或接收数据。外部存储器 400 可以存储 DVFS 软件 SW。

[0060] 存储器接口 210 可以向内部存储器 231 发送从外部存储器 400 输出的 DVFS 软件 SW，并且向外部存储器 400 发送从内部存储器 231 输出的 DVFS 软件 SW。

[0061] 外部存储器 400 可以具体实现为易失性存储器或非易失性存储器。例如，易失性存储器可以具体实现为动态随机存取存储器 (DRAM) 或静态 RAM (SRAM)。非易失性存储器可以具体实现为基于快闪的存储器、相变 RAM (PRAM)、或磁 RAM (MRAM)。

[0062] 图 2 是在图 1 中示出的系统中执行的 DVFS 的时序图，并且图 3 是用于描述图 1 中示出的系统的操作的流程图。参照图 1 到图 3，根据本发明构思的示范性实施例的 DVFS 可以应用于上述非 CPU IP。为了便于说明起见，DVFS 目标硬件是存储器接口 210。

[0063] 根据本发明构思的实施例，自发的 DVFS 或 VID 在第一段 VID1 的每个调度时间 T1 到 T5 执行。在初始时间 T0，当 CPU 230 处于运行状态 RUN 中时，具有初始频率 F5 的第一时

钟 CLK1 被提供给存储器接口 210, 并且具有与初始频率 F5 相对应的电平的第一操作电压 PW1 被提供给存储器接口 210。因此, 存储器接口 210 可以使用第一时钟信号 CLK1 和第一操作电压 PW1 进行操作。

[0064] 执行存储在 SW 231 中的 DVFS 码的 CPU 230 可以调度用于自发的 DVFS 的循环 (或周期), 例如, 下一时间 T1, 并且在定时器 241 中设置调度时间 T1。CPU 230 可以编程调度时间 T1 和 / 或指示自发的 DVFS 需要在调度时间 T1 执行的第一信息。第一信息可以设置为内部变量。第一信息还可以存储在 SW 231 中并且在 CPU 230 的状态从运行状态 RUN 进入空闲状态 IDLE 之前由 CPU 230 访问。

[0065] 中断控制器 250 响应于从定时器 241 输出的输出信号在调度时间 T1 生成中断。这里, 处于空闲状态 IDLE 的 CPU 响应于中断被唤醒, 并且唤醒的 CPU 230 执行 DVFS 码并从第一 PPMU 212 读取第一监视信息 MT1。

[0066] 例如, 参照图 2 和图 3 的流程图, CPU 230 在调度时间 T1 中可以基于第一信息执行自发的 DVFS。当 CPU 230 在调度时间 T1 处于空闲状态 IDL 中时, CPU 230 响应于中断被唤醒, 并且唤醒的 CPU 230 基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F5 是否是最低频率 Fmin (S110)。

[0067] 然而, 当 CPU 230 处于运行状态 RUN 时, CPU 230 响应于中断从第一 PPMU 212 读取第一监视信息 MT1, 并且基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F5 是否是最低频率 Fmin (S110)。

[0068] 唤醒的 CPU 230 可以确定当前时间是否是调度时间 T1 (S112)。例如, 唤醒的 CPU 230 基于第一信息确定当前时间是否是 CPU 230 运行的时间 (S112)。作为确定的结果, 在当前时间是在调度时间 T1 之前时, CPU 230 等待直到 T1 (S114)。即, 自发的 DVFS 被推迟直到调度时间 T1。

[0069] 作为在调度时间 T1 处的确定的结果, 因为存储器接口 210 的当前频率 F5 不是最低频率 Fmin, 所以正在调度时间 T1, 即, 运行时间运行的 CPU 230 向 CMU 270 输出第一控制信号 CTRL1, 并向 PMIC 300 输出第二控制信号 CTRL2 (S112)。因此, CMU 270 将第一时钟 CLK1 的频率从 F5 降低到 F3, 并且 PMIC 300 将第一操作电压 PW1 的电平降低到相应于 F3 的电平。即, 执行用于存储器接口 210 的自发的 DVFS (S116)。

[0070] 作为自发的 DVFS (S116) 的前提, CPU 230 需要处于运行状态 RUN 中。因此, 当 CPU 230 处于空闲状态 IDLE 中时, CPU 230 响应于中断被唤醒, 并且 CPU 230 的状态改变为运行状态 RUN。

[0071] CPU 230 基于频率 F5 和 F3 调度用于自发的 DVFS 的下一 DVFS 时间 T2, 并且在定时器 241 中设置下一 DVFS 时间 T2 (S118)。例如, CPU 230 可以在 DVFS 软件 SW 中编程调度时间 T2 和 / 或指示自发的 DVFS 需要在调度时间 T2 执行的第一信息。例如, F5 可以意味着在当前时间 T1 处的当前频率, 并且 F3 可以意味着在下一时间或调度时间 T2 处的下一频率。

[0072] 中断控制器 250 响应于从定时器 241 输出的信号在调度时间 T2 生成中断。CPU 230 响应于中断读取存储在内部存储器 231 中的 DVFS 软件 SW, 并且从第一 PPMU 212 读取第一监视信息 MT1。例如, 当 CPU 230 处于空闲状态 IDL 中时, CPU 230 响应于中断被唤醒, 并且唤醒的 CPU 230 基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F3 是否是最低频率 Fmin (S110)。

低频率 F_{min} (S110)。

[0073] 作为在调度时间 T_2 处的确定的结果,因为存储器接口 210 的当前频率 F_3 不是最低频率 F_{min} ,所以正在调度时间 T_2 ,即,运行时间运行的 CPU 230 向 CMU 270 输出第一控制信号 CTRL1,并向 PMIC 300 输出第二控制信号 CTRL2 (S112)。

[0074] 因此,CMU 270 将第一时钟 CLK1 的频率从 F_3 降低到 F_1 ,并且 PMIC 300 将第一操作电压 PW1 的电平降低到相应于 F_1 的电平。即,用于存储器接口 210 的自发的 DVFS 被执行 (S116)。

[0075] CPU 230 基于频率 F_3 和 F_1 调度用于自发的 DVFS 的下一 DVFS 时间 T_3 ,并且在定时器 241 中设置下一 DVFS 时间 T_3 (S118)。例如,CPU 230 可以编程调度时间 T_3 和 / 或指示自发的 DVFS 需要在调度时间 T_3 执行的第一信息。

[0076] 例如, F_3 可以意味着在当前时间 T_2 处的当前频率,并且 F_1 可以意味着在下一时间或调度时间 T_3 处中的下一频率。

[0077] 中断控制器 250 响应于从定时器 241 输出的信号在调度时间 T_3 生成中断。

[0078] 因为 CPU 230 在调度时间 T_3 中处于运行状态 RUN,所以 CPU 230 响应于中断从第一 PPMU 212 读取第一监视信息 MT1,并且基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F_1 是否是最低频率 F_{min} (S110)。

[0079] 作为在调度时间 T_3 处的确定的结果,因为存储器接口 210 的当前频率 F_1 不是最低频率 F_{min} ,所以正在调度时间 T_3 ,即,运行时间运行的 CPU 230 向 CMU 270 输出第一控制信号 CTRL1,并向 PMIC 300 输出第二控制信号 CTRL2 (S112)。因此,PMIC 300 增加第一操作电压 PW1 的电平,并且 CMU 270 将第一时钟 CLK1 的频率从 F_1 增加到 F_{max} 。即,用于存储器接口 210 的自发的 DVFS 被执行 (S116)。

[0080] CPU 230 基于频率 F_1 和 F_{max} 调度用于自发的 DVFS 的下一 DVFS 时间 T_4 ,并且在定时器 241 中设置下一 DVFS 时间 T_4 (S118)。例如,CPU 230 可以编程调度时间 T_4 和 / 或指示自发的 DVFS 需要在调度时间 T_4 执行的第一信息。例如, F_1 可以意味着在当前时间 T_3 处的当前频率,并且 F_{max} 可以意味着在下一时间或调度时间 T_4 处的下一频率。

[0081] 中断控制器 250 响应于从定时器 241 输出的信号在调度时间 T_4 生成中断。

[0082] 因为 CPU 230 在调度时间 T_4 处于运行状态 RUN,所以 CPU 230 响应于中断从第一 PPMU 212 读取第一监视信息 MT1,并且基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F_{max} 是否是最低频率 F_{min} (S110)。

[0083] 作为在调度时间 T_4 处的确定的结果,因为存储器接口 210 的当前频率 F_{max} 不是最低频率 F_{min} ,所以正在调度时间 T_4 ,即,运行时间运行的 CPU 230 向 CMU 270 输出第一控制信号 CTRL1,并向 PMIC 300 输出第二控制信号 CTRL2 (S112)。因此,CMU 270 将第一时钟 CLK1 的频率从 F_{max} 降低到 F_2 ,并且 PMIC 300 降低第一操作电压 PW1。即,用于存储器接口 210 的自发的 DVFS 被执行 (S116)。

[0084] CPU 230 基于频率 F_{max} 和 F_2 调度用于自发的 DVFS 的下一 DVFS 时间 T_5 ,并且在定时器 241 中设置下一 DVFS 时间 T_5 (S118)。例如,CPU 230 可以编程调度时间 T_5 和 / 或指示自发的 DVFS 需要在调度时间 T_5 执行的第一信息。

[0085] 中断控制器 250 响应于从定时器 241 输出的信号在调度时间 T_5 生成中断。

[0086] 因为 CPU 230 在调度时间 T_5 中处于运行状态 RUN,所以 CPU 230 响应于中断从第

一 PPMU 212 读取第一监视信息 MT1, 并且基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F2 是否是最低频率 Fmin(S110)。

[0087] 作为确定的结果, 因为存储器接口 210 的当前频率 F2 不是最低频率 Fmin, 所以正在调度时间 T5, 即, 运行时间运行的 CPU 230 向 CMU 270 输出第一控制信号 CTRL1, 并向 PMIC 300 输出第二控制信号 CTRL2(S112)。因此, CMU 270 将第一时钟 CLK1 的频率从 F2 降低到 Fmin, 并且 PMIC 300 降低第一操作电压 PW1。即, 用于存储器接口 210 的自发的 DVFS 被执行 (S116)。

[0088] CPU 230 基于频率 F2 和 Fmin 调度用于非自发的 DVFS 的下一 DVFS 时间 T6 = TB, 并且不在定时器 241 中设置下一 DVFS 时间 T6(S118)。例如, CPU 230 可以编程调度时间 T6 和 / 或指示非自发的 DVFS 需要在调度时间 T6 执行的第二信息。例如, 第二信息可以被设置为内部变量。

[0089] 例如, 在 CPU 230 的状态从运行状态 RUN 进入空闲状态 IDLE 之前, 第二信息可以存储在内部存储器 SW 231 中。例如, CPU 230 可以基于第一信息确定 DVFS 和 / 或 DVFS 方法的执行时间。

[0090] 如上所述, 当在当前时间 T1 到 T4 处的当前频率不是最低频率, 并且在调度时间 T2 到 T5 处的下一频率不是最低频率 Fmin 时, 系统 100 可以在当前时间 T1 到 T4 执行自发的 DVFS 或 VID, 调度将在调度时间 T2 到 T5 执行的 DVFS 是自发的 DVFS 或 VID, 并且在定时器 241 中设置调度时间 T2 到 T5。例如, 调度时间可以被定义为 100ms, 而且是从当前时间开始经过了的时间。注意到, 本领域普通技术人员将理解, 如上利用给定定时、频率和电压信息与特征描述的自发的 DVFS 过程是示范性的以示出本发明构思的实施例, 因此这种过程、信息和特征不对其进行限制性。

[0091] 参照图 2 示出在第二段 IID2 中从时间 T6 到 T13 的非自发的 DVFS 或 IID 的执行。

[0092] 定时器在每个时间 T6 到 T13 处不输出 DVFS 有关的输出信号, 并且中断控制器 250 在时间 T6 到 T12 不输出中断信号。因为 CPU 230 从 T6 到 T13 处于空闲状态 IDLE, 所以 DVFS 从 T6 到 T12 不执行。

[0093] 然而, 当中断控制器 250 在时间 T13 = TB', 例如, 非调度时间生成除用于自发的 DVFS 的中断之外的第一中断时, CPU 230 响应于第一中断被唤醒并且唤醒的 CPU 230 访问 SW 231 中的 DVFS 软件。SW 231 中存储的 DVFS 可以包括调度时间 T6 和 / 或指示非自发的 DVFS 需要在调度时间 T6 执行的第二信息, CPU 230 可以确定在当前时间 T13 将执行 DVFS 方法, 以及基于第二信息确定当前时间 T13 是在调度时间 T6 之前还是之后。

[0094] 因为通过第一中断唤醒的 CPU 230 从第一 PPMU 212 读取第一监视信息 MT1, 所以基于第一监视信息 MT1 确定存储器接口 210 的当前频率 Fmin 是否是最低频率 Fmin(S110)。

[0095] 作为确定的结果, 当存储器接口 210 的当前频率 Fmin 处于最低频率 (S110), 并且 CPU 230 处于运行状态 RUN(S120) 时, CPU 230 确定中断时间 T13 是否在调度时间 T6 之后 (S124)。如果 CPU 230 处于运行状态 RUN(S120), 并且中断时间 T13 在调度时间 T6 之后 (S124), 则 CPU 230 向 CMU 270 输出第一控制信号 CTRL1 并向 PMIC 300 输出第二控制信号 CTRL2 以便控制非自发的 DVFS。

[0096] 因此, PMIC 300 增加第一操作电压 PW1, 并且 CMU 270 将第一时钟 CLK1 的频率从 Fmin 增加到 F4。即, 用于存储器接口 210 的非自发的 DVFS 被执行 (S116)。

[0097] 当 CPU 230 在时间 T13 中不处于运行状态 RUN 时 (S120), 非自发的 DVFS 不执行直到 CPU 230 的状态变成运行状态 RUN (S122)。如上所述, CPU 230 的状态可以通过第一中断改变为运行状态。

[0098] 此外, 当 CPU 230 不处于运行状态 RUN 时, 非自发的 DVFS 的执行被推迟直到 CPU 230 的状态变成运行状态 RUN。例如, CPU 230 在调度时间 T6 之后从 T7 到 T12 不处于运行状态 RUN 中, 用于存储器接口 210 的 DVFS 从时间 T7 到 T12 不被执行。例如, Fmin 可以意味着在当前时间 T13 的当前频率, 并且 F4 是在下一时间或调度时间 T14 的下一频率。如上所述, 可以基于第一监视信息 MT1 确定当前频率和下一频率。

[0099] 在每个时间 T6 到 T13, 存储器接口 210 的当前频率是最低频率 Fmin, 并且 CPU 230 处于空闲状态 IDLE 中。因此, DVFS 从 T6 到 T12 被跳过或不被调用, 并且将在时间 T6 执行的 DVFS 被推迟到时间 T13。即, 在第二段 IID2 执行非自发的 DVFS 或 IID。在第三段 VID3 中在时间 T14 执行自发的 DVFS。

[0100] 在时间 T13 中非自发的 DVFS 被执行之后, CPU 230 基于频率 Fmin 和 F4 调度用于自发的 DVFS 的下一 DVFS 时间 T14, 并且在定时器 241 中设置下一 DVFS 时间 T14 (S118)。例如, CPU 230 可以在 DVFS 软件 SW 中编程调度时间 T14 和 / 或指示自发的 DVFS 需要在调度时间 T14 执行的第一信息。

[0101] 中断控制器 25 响应于从定时器 241 输出的信号在调度时间 T14 生成中断。

[0102] 当 CPU 230 在调度时间 T14 中处于运行状态 RUN 时, CPU 230 响应于中断从第一 PPMU 212 读取第一监视信息 MT1, 并且基于第一监视信息 MT1 确定存储器接口 210 的当前频率 F4 是否是最低频率 Fmin (S110)。

[0103] 如果确定存储器接口 210 的当前频率 F4 不是最低频率 Fmin, 则正在调度时间 T14 中执行的 CPU 230 向 CMU 270 输出第一控制信号 CTRL1, 并向 PMIC 300 输出第二控制信号 CTRL2 (S112)。

[0104] 因此, CMU 270 将第一时钟 CLK1 的频率从 F4 降低到 Fmin, 并且 PMIC 300 降低第一操作电压 PW1。即, 在调度时间 T14, 用于存储器接口 210 的自发的 DVFS 被执行。

[0105] 执行存储在 SW 231 中的 DVFS 软件码的 CPU 230 可以取决于当前频率来编程调度时间 T15 和 / 或指示非自发的 DVFS 需要在调度时间 T15 中被执行的第二信息。然而, 如果频率 F4 处于 Fmin, 则 CPU 230 不在定时器 241 中设置下一 DVFS 时间 T15 (S118)。因为定时器 241 在每个时间 T15 到 T20 不输出输出信号, 所以中断控制器 250 在每个时间 T15 到 T19 不生成中断信号。因为 CPU 230 在每个时间 T15 到 T19 处于空闲状态 IDLE, 所以 DVFS 在每个时间 T15 到 T19 不被执行。

[0106] 在第四段 IID4 中的每个时间 T15 到 T20, 存储器接口 210 的当前频率是最低频率 Fmin, 并且 CPU 230 处于空闲状态 IDLE 中 (S120)。因此, DVFS 在每个时间 T15 到 T19 被跳过, 并且在时间 T15 被执行的 DVFS 可以被推迟到时间 $T20 = TC'$ 。即, 非自发的 DVFS 或 IID 可以在第四段 IID4 中被执行。

[0107] 当中断控制器 250 在时间 T20 生成除用于 DVFS 的中断之外的第一中断时, CPU 230 响应于第一中断被唤醒, 并且唤醒的 CPU 230 读取 SW 231 中的 DVFS 软件。因为 DVFS 软件包括调度时间 T15 和 / 或指示非自发的 DVFS 将在调度时间 T15 被执行的第二信息, 所以 CPU 230 可以在当前时间 T20 确定 DVFS 方法以及当前时间 T20 是否在调度时间 T15 之

后。

[0108] 即,通过第一中断被唤醒的 CPU 230 处于运行状态 RUN(S120),并且当前时间 T20 在调度时间 T15 之后 (S124),系统 100 可以执行非自发的 DVFS 或 IID(S116)。

[0109] 从而,类似于如在第一段 VID1 中的时间 T1 到 T5 的描述,自发的 DVFS 或 VID 可以在第五段 VID5 中的每个调度时间 T21 到 T25 被执行。如参照第二段 IID2 中的每个时间 T6 到 T12 描述的,在第六段 IID6 中的调度时间 T26 执行非自发的 DVFS 或 IID。

[0110] 图 4 是 DVFS 过程的示范性执行的状态图表示,并且图 5 是图 4 的状态的条件状态图。

[0111] 参照图 4 和图 5,自发的 DVFS 启动初始步骤 (或阶段) INP(210),例如,在初始时间 T0(212)。

[0112] 当 DVFS 目标硬件在当前时间的当前频率和在下一时间 (调度时间) 中的下一频率中的每一个都不是最低频率 F_{min} 时,执行情况 1。

[0113] 例如,当在当前时间 T1 中的当前频率 F_5 不是最低频率 F_{min} ,并且在调度时间 T2 的下一频率 F_3 不是最低频率 F_{min} 时,在当前时间 T1 执行 VID(212),并且当 VID 在当前时间 T1 结束时,调度用于 VID 的调度时间 T2(214)。VID 被阻塞并且推迟直到调度时间 T2(S216)。在当前时间到达调度时间 T2,即,运行时间时,假如 CPU 230 正在运行则根据 CPU 230 的控制执行 VID(212)。

[0114] 作为另一示例,当在当前时间 T3 中的当前频率 F_1 不是最低频率 F_{min} ,并且在调度时间 T4 的下一频率 F_{max} 不是最低频率 F_{min} 时,在当前时间 T3 执行 VID(212),并且当 VID 在当前时间 T3 结束时,调度用于 VID 的调度时间 T4(S214)。VID 被阻塞并且推迟直到调度时间 T4(S216)。在当前时间变成调度时间 T4,即,运行时间时,VID 被执行 (212)。

[0115] 当 DVFS 目标硬件在当前时间的当前频率和在调度时间的下一频率中的每一个都是最低频率 F_{min} 时,执行情况 2。

[0116] 例如,在当前时间 T6 中的当前频率 F_{min} 是最低频率 F_{min} ,并且在调度时间 T7 中的下一频率 F_{min} 是最低频率 F_{min} 时,DVFS 在当前时间 T6 中不被执行 (S218)。

[0117] 在 T6 之后,在下一时间 T7 中调度 IID(220)。然而,因为 CPU 230 处于空闲状态 IDLE,所以 IID 被阻塞或推迟 (222)。然而,当 CPU 230 在时间 T13 中通过第一中断被唤醒,并且 CPU 230 的状态改变为运行状态 RUN 时,IID 可以在时间 T13 中被执行 (218)。

[0118] 当 DVFS 目标硬件在当前时间 T5 或 T14 中的当前频率不是最低频率 F_{min} ,并且在调度时间 T6 或 T15 中的下一频率是最低频率 F_{min} 时,执行情况 3。

[0119] 例如,当 VID 在当前时间 T5 或 T14 中被执行时 (212),IID 在调度时间 T6 或 T15 中被调度 (220)。因此,VID 在调度时间 T6 或 T15 中被阻塞或推迟 (216)。当时间 T13 或 T20 在调度时间 T6 或 T15 之后,并且 CPU 230 处于运行状态 RUN 时,IID 在时间 T13 或 T20 被执行 (218)。

[0120] 当 DVFS 目标硬件在当前时间 T13 或 T20 中的当前频率是最低频率 F_{min} ,并且在调度时间 T4 或 T21 中的下一频率不是最低频率 F_{min} 时,执行情况 4。

[0121] 例如,在当前时间 T13 或 T20 执行 IID(218)。当 IID 的执行完成时,VID 在调度时间 T14 或 T21 被调度 (214)。IID 在调度时间 T14 或 T21 被阻塞或推迟,并且 VID 在时间 T14 或 T21 被调度 (212)。

[0122] 如上所述,根据被发明构思的示范性实施例的片上系统在低功率模式中执行非自发的 VDFS 并且在正常操作模式中执行自发的 DVFS,从而防止不必要的电力消耗。

[0123] 根据被发明构思的至少一个实施例,提供一种动态电压和频率调节 (DVFS) 方法,包括在第一调度时间调度执行 DVFS 以调整目标设备的频率或电压;监视目标设备的操作频率;以及基于目标设备的操作频率选择性地推迟在稍后调度时间 DVFS 的执行,其中当目标设备的操作频率等于或低于给定最低频率时推迟在下一调度时间的 DVFS 的执行。根据实施例,基于目标设备的操作频率,选择性地迫使 CPU 从空闲状态到运行状态以执行 DVFS。根据另一实施例,当目标设备的操作频率等于或低于给定最低频率时,在下一调度时间不迫使空闲的 CPU 到运行状态以执行 DVFS,其中当执行 DVFS 时目标设备的操作频率或被供应的电压被降低。

[0124] 虽然已经示出和描述了本一般发明构思的实施例,但是本领域技术人员将理解,可以在这些实施例中做出改变而不脱离范围由所附权利要求及其等同物所限定的本一般发明构思的原则和范围。

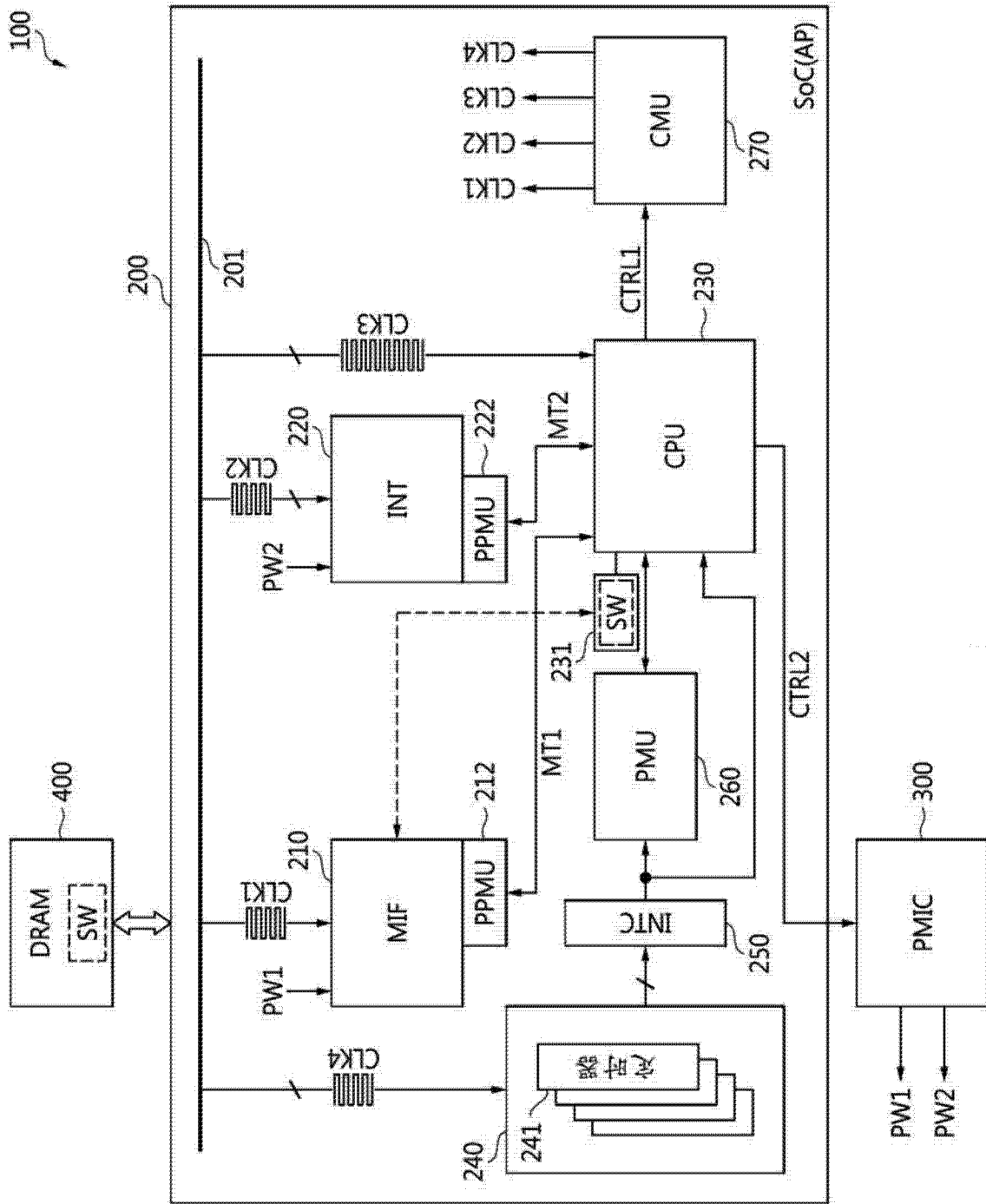


图 1

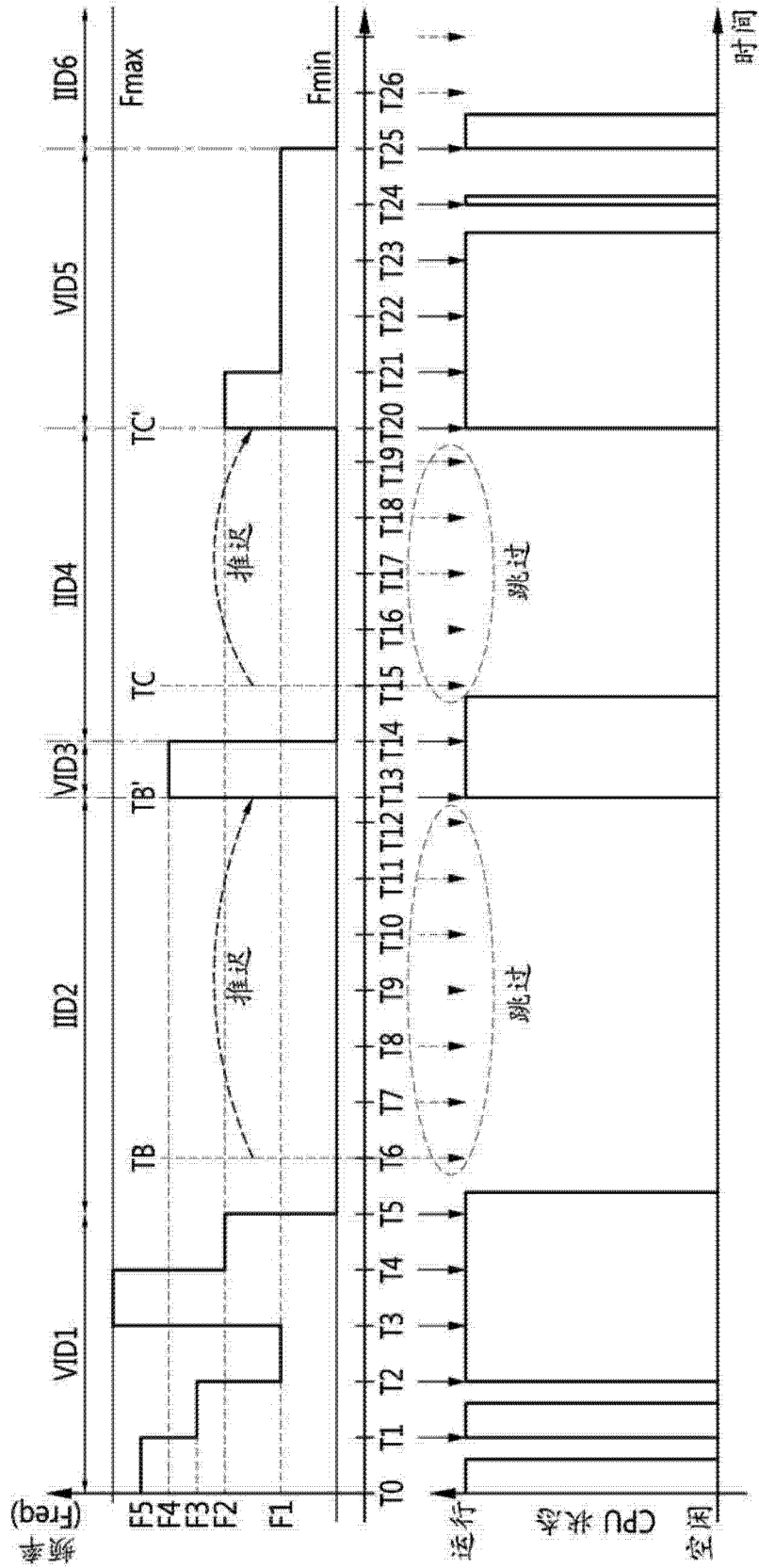


图 2

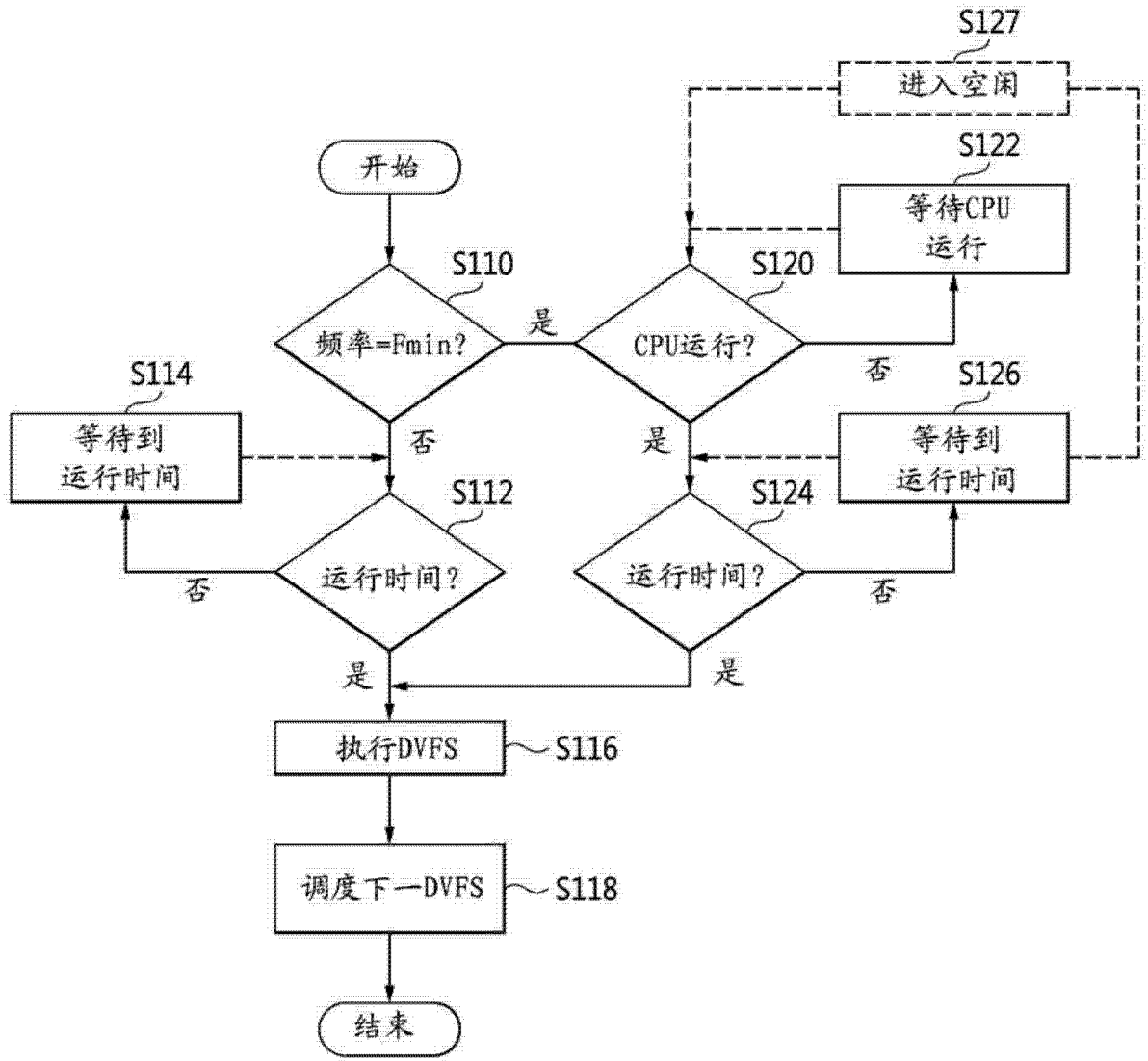


图 3

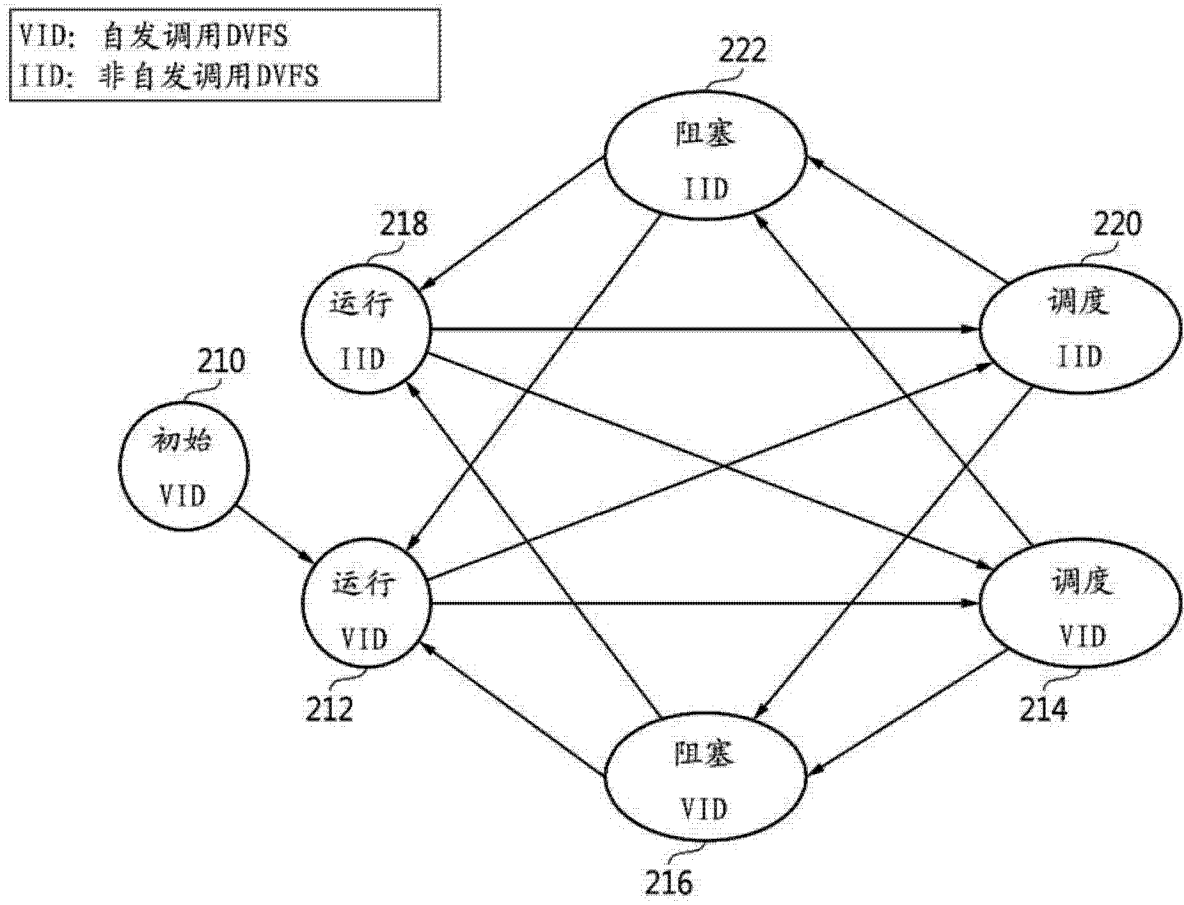


图 4

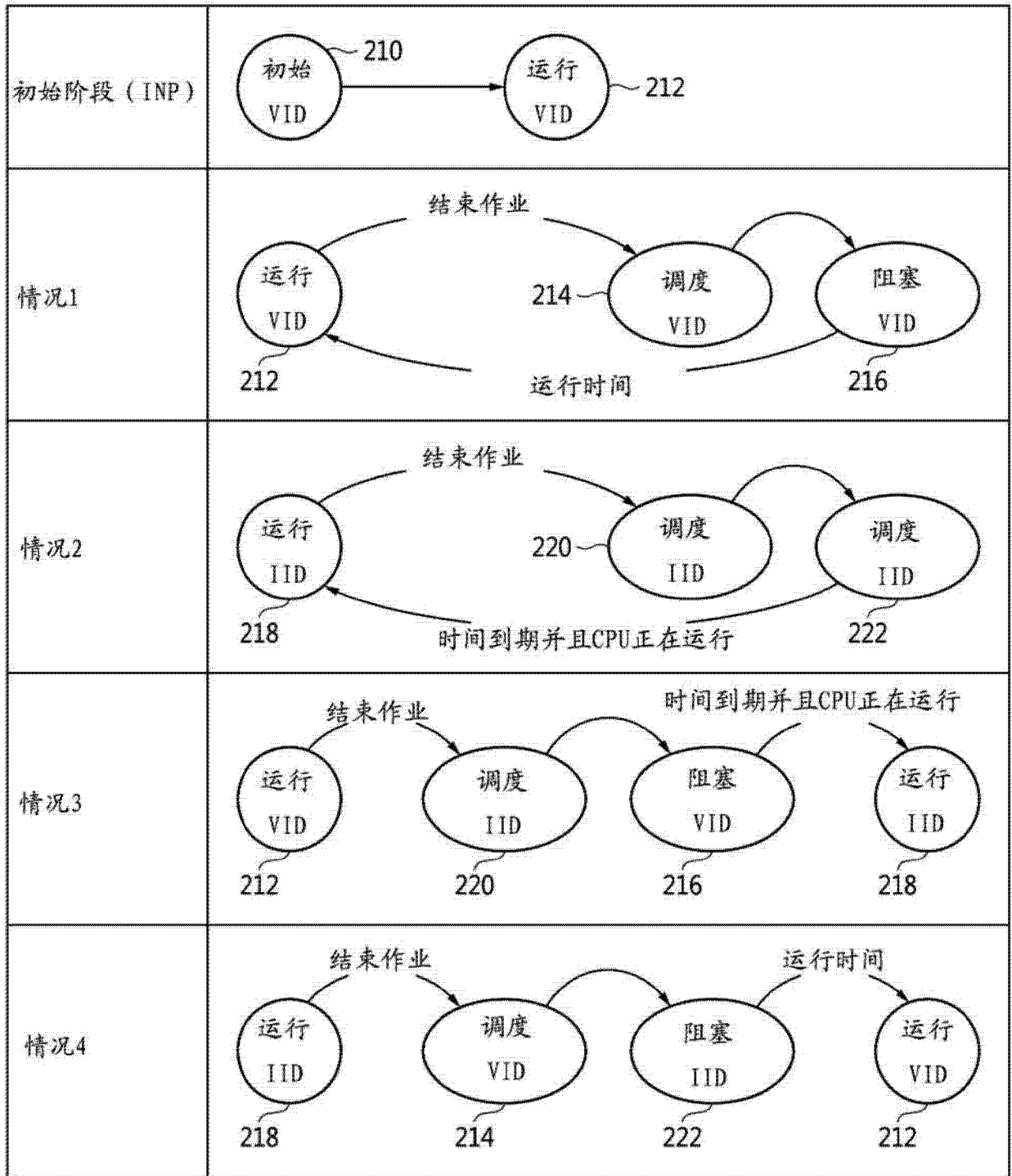


图 5