

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7362380号  
(P7362380)

(45)発行日 令和5年10月17日(2023.10.17)

(24)登録日 令和5年10月6日(2023.10.6)

(51)国際特許分類

F I

H 0 1 L 23/12 (2006.01)

H 0 1 L 23/12

E

H 0 5 K 3/46 (2006.01)

H 0 1 L 23/12

Q

H 0 5 K 1/02 (2006.01)

H 0 5 K 3/46

Q

H 0 5 K 3/28 (2006.01)

H 0 5 K 3/46

Z

H 0 5 K 1/02

P

請求項の数 11 (全14頁) 最終頁に続く

(21)出願番号 特願2019-166638(P2019-166638)

(22)出願日 令和1年9月12日(2019.9.12)

(65)公開番号 特開2021-44458(P2021-44458A)

(43)公開日 令和3年3月18日(2021.3.18)

審査請求日 令和4年9月8日(2022.9.8)

(73)特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74)代理人 100123559

弁理士 梶 俊和

(74)代理人 100177437

弁理士 中村 英子

(72)発明者

塩道 寛貴

東京都大田区下丸子3丁目30番2号

キヤノン株式会社内

(72)発明者

秋山 哲

東京都大田区下丸子3丁目30番2号

キヤノン株式会社内

(72)発明者

森 厚伸

東京都大田区下丸子3丁目30番2号

最終頁に続く

(54)【発明の名称】 配線基板及び半導体装置

(57)【特許請求の範囲】

【請求項1】

複数の回路ブロックがチップ上に配置され、前記複数の回路ブロックと接続された複数の電極パッドを有する半導体チップが搭載され、前記複数の電極パッドとワイヤを介して電氣的に接続される複数のボンディングパッドを備える配線基板であって、

前記複数のボンディングパッドのうち、グランド電位を供給する第一のボンディングパッド、及び第二のボンディングパッドと、

前記第一のボンディングパッドに接続された第一のグランド配線と、

前記第二のボンディングパッドに接続された第二のグランド配線と、

前記複数のボンディングパッドが配置されている領域とは異なる領域に配置され、前記第一のグランド配線に接続される第一の拡張パッド、及び前記第二のグランド配線に接続される第二の拡張パッドと、

を備え、

前記第一の拡張パッド及び前記第二の拡張パッドは、前記第一のグランド配線に対し、前記第二のグランド配線のインピーダンスが高い場合に、ワイヤを介して接続されることを特徴とする配線基板。

【請求項2】

前記第一の拡張パッド及び前記第二の拡張パッドは、前記第一の拡張パッドと前記第二の拡張パッドとを接続するワイヤが、前記複数の電極パッドと前記複数のボンディングパッドとを接続するワイヤに干渉しない領域に配置されることを特徴とする請求項1に記載

の配線基板。

【請求項 3】

前記第一の拡張パッド及び前記第二の拡張パッドは、前記複数のボンディングパッドが配置されている領域と前記配線基板の外周部との間の領域に配置されることを特徴とする請求項 2 に記載の配線基板。

【請求項 4】

前記複数のボンディングパッドが配置されている領域は、前記配線基板の外周部側に前記ボンディングパッドが配置されていない凹形状の領域を有し、

前記第一の拡張パッド及び前記第二の拡張パッドは、前記凹形状の領域に配置されることを特徴とする請求項 3 に記載の配線基板。

10

【請求項 5】

前記第一の拡張パッド及び前記第二の拡張パッドは、前記複数のボンディングパッドが配置されている領域と前記半導体チップの外周部との間の領域に配置されることを特徴とする請求項 2 に記載の配線基板。

【請求項 6】

前記第一の拡張パッド及び前記第二の拡張パッドは、前記複数のボンディングパッドが配置されている領域と前記配線基板の外周部との間の領域、及び前記複数のボンディングパッドが配置されている領域と前記半導体チップの外周部との間の領域に配置されることを特徴とする請求項 2 に記載の配線基板。

【請求項 7】

前記第一の拡張パッド及び前記第二の拡張パッドは、前記複数のボンディングパッドが配置されている領域と前記半導体チップの外周部との間の領域に配置される場合には、前記複数の電極パッドと前記複数のボンディングパッドとを接続するワイヤの前記配線基板からの高さが最も高くなる位置に配置されることを特徴とする請求項 5 又は請求項 6 に記載の配線基板。

20

【請求項 8】

前記複数のボンディングパッドが配置されている領域は、それぞれが前記複数のボンディングパッドが配置されている複数の領域に分割されており、

前記第一の拡張パッド及び前記第二の拡張パッドは、前記分割された領域と領域との間に配置されることを特徴とする請求項 2 に記載の配線基板。

30

【請求項 9】

前記第二のボンディングパッドは、前記半導体チップの前記複数の回路ブロックごとに設けられた前記電極パッドと接続されていることを特徴とする請求項 1 から請求項 8 のいずれか 1 項に記載の配線基板。

【請求項 10】

前記第一のボンディングパッドは、前記半導体チップの前記複数の回路ブロックに含まれない所定の回路に、共通のグランド電位を供給するために設けられた前記電極パッドと接続されていることを特徴とする請求項 9 に記載の配線基板。

【請求項 11】

請求項 1 から請求項 10 のいずれか 1 項に記載の配線基板を備える半導体装置であって、

前記配線基板の前記半導体チップが搭載された面の反対側の面には、前記複数のボンディングパッドと電氣的に接続されたボール電極を備え、

前記配線基板、及び前記配線基板に搭載された前記半導体チップは、封止体により封止されていることを特徴とする半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板、及び配線基板が実装された半導体装置に関する。

【背景技術】

【0002】

50

半導体装置は、アナログ回路やデジタル回路など複数の回路ブロックから構成された半導体チップが配線基板上に搭載され、1つのパッケージに集積された装置である。半導体装置では、半導体装置が発するEMI (Electro Magnetic Interference : 電磁妨害) を低減するために、次のような種々の対策が検討される。例えば、半導体装置のパッケージ内部で、電源電圧を供給する電源配線とグランド電位を供給するグランド配線との間にキャパシタを挿入して、EMIノイズを抑制する対策が検討される。また、共通インピーダンスを持たないように、回路ブロック毎に電源配線及びグランド配線を分離した状態で端子を配置する対策が検討される。

【0003】

電源配線とグランド配線とを分離した半導体装置では、複数の回路ブロックのグランド電位を半導体装置のパッケージ外部からそれぞれ個別に供給する端子を設けている。これにより、グランド電位が共通でありながら、半導体装置の各回路ブロックでは、共通インピーダンスを持たないようにすることができる。その結果、特定の回路ブロックから発生するノイズが他の回路ブロックへ回り込むことを防ぐことができ、EMI低減を図ることができる(例えば、特許文献1参照)。

10

【先行技術文献】

【特許文献】

【0004】

【文献】特開2005-340741号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

電源配線とグランド配線とを分離した半導体装置は、共通インピーダンスを持たないようにすることができる反面、各回路ブロックの個別インピーダンスが大きくなる場合がある。そして、各回路ブロックの個別インピーダンスが大きくなることにより、EMS (Electro Magnetic Susceptibility : 電磁感受性) が低下するという課題が生じる。また、半導体装置が実装された実装基板では、半導体装置において電源配線とグランド配線とを分離することにより端子数が増加するため、実装基板での電源配線・グランド配線の配線効率が低下する。その結果、ある回路ブロックの個別インピーダンスが大きくなる場合がある。

30

【0006】

例えば実装基板の層数を増やすことで、電源配線とグランド配線の配線効率を向上させて、実装基板における個別インピーダンスを小さくすることができる。ところが、実装基板の層数を増やすことにより、基板コストが上昇するという課題が生じる。また、半導体装置内の配線基板で、敢えて共通インピーダンスを持たせるようなグランド配線にすることにより、半導体装置全体の個別インピーダンスを小さくし、EMSを向上させることができる。しかしながら、半導体装置が実装される実装基板が変更される度に、半導体装置内のグランド配線を見直す必要があり、半導体装置の配線基板の改版コストが発生するという課題が生じる。

【0007】

本発明は、このような状況のもとでなされたもので、安価な構成で、配線基板のインピーダンスの調整を行うことを目的とする。

40

【課題を解決するための手段】

【0008】

上述した課題を解決するために、本発明では、以下の構成を備える。

【0009】

(1) 複数の回路ブロックがチップ上に配置され、前記複数の回路ブロックと接続された複数の電極パッドを有する半導体チップが搭載され、前記複数の電極パッドとワイヤを介して電氣的に接続される複数のボンディングパッドを備える配線基板であって、前記複数のボンディングパッドのうち、グランド電位を供給する第一のボンディングパッド、及

50

び第二のボンディングパッドと、前記第一のボンディングパッドに接続された第一のグラウンド配線と、前記第二のボンディングパッドに接続された第二のグラウンド配線と、前記複数のボンディングパッドが配置されている領域とは異なる領域に配置され、前記第一のグラウンド配線に接続される第一の拡張パッド、及び前記第二のグラウンド配線に接続される第二の拡張パッドと、を備え、前記第一の拡張パッド及び前記第二の拡張パッドは、前記第一のグラウンド配線に対し、前記第二のグラウンド配線のインピーダンスが高い場合に、ワイヤを介して接続されることを特徴とする配線基板。

【0010】

(2)(1)に記載の配線基板を備える半導体装置であって、前記配線基板の前記半導体チップが搭載された面の反対側の面には、前記複数のボンディングパッドと電気的に接続されたボール電極を備え、前記配線基板、及び前記配線基板に搭載された前記半導体チップは、封止体により封止されていることを特徴とする半導体装置。

10

【発明の効果】

【0011】

本発明によれば、安価な構成で、配線基板のインピーダンスの調整を行うことができる。

【図面の簡単な説明】

【0012】

【図1】実施例1、2の半導体装置の構造を示す斜視図

【図2】実施例1、2の半導体装置の構造を示す概略平面図

【図3】実施例1、2の半導体チップの構成を示すブロック図

20

【図4】実施例1の配線基板の配線パターンを示す表層配線パターン図

【図5】実施例1の実装基板の配線パターンを示す配線パターン図

【図6】実施例1の配線基板の配線パターンを示す表層配線パターン図

【図7】実施例1の配線基板の配線パターンを示す表層配線パターン図

【図8】実施例2の配線基板の配線パターンを示す表層配線パターン図

【図9】実施例2のボンディングワイヤによる接続を説明する図

【図10】実施例2の配線基板の配線パターンを示す表層配線パターン図

【発明を実施するための形態】

【0013】

以下に、図面を参照して本発明の実施の形態について詳細に説明する。

30

【実施例1】

【0014】

[半導体装置の構造]

図1は、実施例1の半導体装置1の構造の一例を示す斜視図である。図1に示すように、半導体装置1では、複数の回路ブロック(不図示)で構成された半導体チップ2が配線基板4上に搭載され、半導体チップ2と配線基板4とは導電性のボンディングワイヤ6を介して接続されている。半導体装置1では、半導体チップ2と複数のボンディングワイヤ6は、図1に示すように、封止用樹脂によって形成された封止体7(図中、点線で表示)によって覆われ封止されている。また、図1に示す半導体装置1は、配線基板4の半導体チップ2が搭載された面の反対側に、外部端子であるボール電極9が整列して配置されているBGA(Ball Grid Array)型の半導体パッケージである。

40

【0015】

[配線基板と半導体チップ]

図2は、本実施例の半導体装置1の構造の一例を示す概略平面図であり、図1に示す半導体装置1を配線基板4の上方向から見たときの上面図である。図2に示すように、配線基板4の中央には、半導体チップ2が搭載されている。半導体チップ2は、例えばシリコンによってチップ上に形成された、後述する複数の回路ブロックで構成されており、周縁部の各辺には複数の電極パッド3が配置されている。電極パッド3は、半導体チップ2内部の回路ブロックへ供給される電源電圧やグラウンド電位等の電源端子や、回路ブロックに入力される信号や回路ブロックから出力される信号のための信号端子である。

50

## 【 0 0 1 6 】

一方、配線基板 4 は、後述するように、例えば樹脂基板に銅箔で配線パターンが形成された基板である。配線基板 4 は、半導体チップ 2 の各辺に設けられた電極パッド 3 に対向して、複数のボンディングパッド 5 で構成されたボンディングパッド領域 5 A、5 B、5 C、5 D を有している。ボンディングパッド領域 5 A、5 B、5 C、5 D の各ボンディングパッド 5 は、ボンディングワイヤ 6 を介して、半導体チップ 2 に設けられた対応する電極パッド 3 と、1 対 1 で電氣的に接続される。各ボンディングパッド 5 は、後述するビア（図 4 参照）を介して、配線基板 4 の裏面に設けられたボール電極 9 と電氣的に接続されており、半導体チップ 2 は、ボール電極 9 を介して外部との信号のやり取りや電源電圧の供給等が行われることになる。

10

## 【 0 0 1 7 】

[ 半導体チップの構成 ]

図 3 は、半導体チップ 2 の構成の一例を示すブロック図である。半導体チップ 2 は、OSC 2 1、PLL 2 2、REG 2 3、ROM 2 4、CPU 2 5、RAM 2 6、Logic 2 7、ADC 2 8 の各回路ブロックを有し、周縁部の四辺には各回路ブロックと接続される複数の電極パッド 3 を有している。

## 【 0 0 1 8 】

OSC 2 1 は、外部の水晶振動子（不図示）からの入力信号より基準クロック信号を生成する発振回路である。OSC 2 1 の回路ブロックは、電源電圧を供給する電極パッド 3 g (VCC\_\_OSC) と、グランド電位（以下、GND 電位ともいう）を供給する電極パッド 3 h (GND\_\_OSC) に接続されている。PLL 2 2 は、OSC 2 1 により生成された基準クロック信号の周波数を逡倍する PLL (Phased Locked Loop) 回路である。PLL 2 2 の回路ブロックは、電源電圧を供給する電極パッド 3 e (VDD\_\_PLL) と、GND 電位を供給する電極パッド 3 f (GND\_\_PLL) に接続されている。OSC 2 1 や PLL 2 2 は、クロック信号を生成する回路であるため、クロック信号の繰り返し電圧変動による発振ノイズが発生することがある。発振ノイズは、回路ブロック間の共通インピーダンスを介して、他の回路ブロックや信号端子に回り込み、EMI（電磁妨害）の要因となる放射ノイズレベルを上昇させるなどの影響を与える。そのため、本実施例では、EMI を低減するために、電源電圧を供給する電源配線と GND 電位を供給するグランド配線（以下、GND 配線という）とを分離して、共通インピーダンスを持たせないようにしている。

20

30

## 【 0 0 1 9 】

REG 2 3 は、外部の電源装置より供給された電源電圧から、半導体チップ 2 内部で使用する電源電圧を生成するリニアレギュレータ回路である。REG 2 3 は、外部の電源装置からの電源電圧を供給する電極パッド 3 a (VCC\_\_REG) と、GND 電位を供給する電極パッド 3 b (GND\_\_REG) と、内部で生成された電源電圧を出力するための電極パッド 3 c (VDD) に接続されている。ROM 2 4 は、CPU 2 5 の制御プログラムを保存する不揮発性メモリであり、電源電圧を供給する電極パッド 3 i (VCC\_\_ROM) と、GND 電位を供給する電極パッド 3 j (GND\_\_ROM) に接続されている。CPU 2 5 は、ROM 2 4 に格納された制御プログラムを読み出し、演算処理を実行する。RAM 2 6 は、揮発性メモリであり、CPU 2 5 によって演算処理される途中結果などの一時的に保存されるデータが格納される。

40

## 【 0 0 2 0 】

Logic 2 7 は、例えば通信回路やタイマー回路などのハードウェア回路であり、CPU 2 5 からの指示に応じて動作する。ADC 2 8 は、外部端子から入力されるアナログ信号電圧をデジタルコードへ変換するアナログ/デジタル変換回路であり、電源電圧を供給する電極パッド 3 n (VCC\_\_ADC) と、GND 電位を供給する電極パッド 3 m (GND\_\_ADC) とに接続されている。なお、所定の回路である CPU 2 5、RAM 2 6、Logic 2 7 は、それぞれ、共通の電源電圧が出力される電極パッド 3 c (VDD) と、共通の GND 電位 (CGND) を供給する電極パッド 3 d、3 k、3 l、3 o と接続さ

50

れている。なお、本実施例では、回路ブロックにより必要な電源電圧が異なるため、電源電圧VDDと電源電圧VCCに分けている。

#### 【0021】

##### [配線基板の配線パターン]

図4は、配線基板4の配線パターンの一例を示す表層配線パターン図である。図4に示す表層配線パターンは、半導体チップ2が搭載される配線基板4の面に設けられた配線パターンであり、一点鎖線で囲まれた領域は半導体チップ2が搭載される位置(場所)を示している。配線基板4の周縁の四辺には、それぞれ点線で囲まれたボンディングパッド領域5A、5B、5C、5Dが設けられ、各ボンディングパッド領域には、2列に整列された、17個のボンディングパッド5が設けられている。図4では、各ボンディングパッド領域に設けられたボンディングパッドの配線パターンのうち、グランド電位を供給するGND配線(例えばGND\_PLL、CGND等)には、ハッチングを付している。図4では、GND配線のボンディングパッド5を除いたボンディングパッド5は、ハッチングが付されていない、白抜きのボンディングパッド5として示されている。白抜きのボンディングパッド5は、図3の半導体チップ2の信号入出力端子や電源電圧を供給する端子の電極パッド3と接続され、配線パターンの一端は、ビア8に接続されている。各ビア8は、配線基板4の裏面に配置されているボール電極9(図1参照)と電気的に接続されている。また、GND配線のボンディングパッド5を含む、全てのボンディングパッド5と接続されている配線パターンの他端は、配線基板4の外周部の端部まで延びている。

#### 【0022】

また、電源配線VDD\_PLL、VDD、VCC\_REG、VCC\_ADC、VCC\_OSC、VCC\_ROMのボンディングパッド5の配線パターン内の丸印は、ビア8を示している。同様に、ハッチングが付されたGND配線GND\_PLL、CGND、GND\_REG、GND\_ADC、GND\_OSC、GND\_ROMのボンディングパッド5の配線パターン内の丸印も、ビア8を示している。複数のGND配線のうち、配線基板4の周縁の各辺に設けられたGND配線CGNDは、配線基板4の中央部に設けられたGND配線41(第一のグランド配線)を介して互いに接続されている。また、GND配線GND\_PLLは、GND配線42(第二のグランド配線)と接続されている。

#### 【0023】

図4において、符号5dで示すボンディングパッド(第一のボンディングパッド)は、GND配線CGND(GND配線41)のボンディングパッドである。一方、符号5fで示すボンディングパッド(第二のボンディングパッド)は、GND配線GND\_PLL(GND配線42)のボンディングパッドである。また、符号71で示すボンディングパッド(第一の拡張パッド)は、GND配線CGNDの拡張ボンディングパッド(以下、拡張パッドという)である。一方、符号72で示すボンディングパッド(第二の拡張パッド)は、GND配線GND\_PLLの拡張パッドである。拡張パッド71、72は、図4に示すように、ボンディングパッド領域5Aと配線基板4の外周の端部との間に設けられている。拡張パッド71、72については後述する。

#### 【0024】

図2では、配線基板4の電源配線とGND配線のボンディングパッド5は分離され、それぞれのボンディングパッドが半導体チップ2の電極パッド3と接続されていた。図4の配線基板4においても、半導体チップ2の電極パッド3(図4では不図示)は、対応するボンディングパッド5と接続される。そのため、配線基板4においても、電源配線とGND配線とは分離されて配線されることになる。このように、分離された電源配線とGND配線の数が多くなるにつれて、半導体装置1が実装される(搭載される)実装基板が、例えば層数が2層などの低層数基板の場合には、実装基板上の配線効率が低下する。その結果、ある電源配線やGND配線の個別インピーダンスが大きくなる場合がある。

#### 【0025】

##### [半導体装置と実装基板との接続]

図5は、図4に示す配線基板4を有する半導体装置1が実装され(搭載され)、半導体

装置 1 に設けられたボール電極 9 を介して、電氣的に接続される実装基板の配線パターン  
の一例を示す図である。図 5 において、半導体装置 1 は、実装基板の一点鎖線で挟まれた  
領域 A に配置された円形状の各ランド 9 0 上に、ボール電極 9 が載置され、ランド 9 0 と  
ボール電極 9 とが電氣的に接続されるように実装される。図 5 に示す GND 配線 9 1 は、  
実装基板の GND 配線パターンであり、ボール電極 9 を介して、配線基板 4 の GND 配線  
4 1 (図 4 参照) と接続される。また、GND 配線 9 2 も、実装基板の GND 配線パター  
ンであり、ボール電極 9 を介して、配線基板 4 の GND 配線 4 2 (図 4 参照) と接続され  
る。図 5 に示す、その他の配線パターンは信号配線であり、配線パターンの一端には円形  
状のランド 9 0 が設けられ、他端はスルーホール 9 3 と接続されている。そして、GND  
配線 9 1 と GND 配線 9 2 は、これら信号配線が半導体装置 1 のボール電極 9 と接触する  
位置から離れた位置 9 4 で接続されている。

10

**【 0 0 2 6 】**

例えば、配線基板 4 の GND 配線 4 1 に対して、GND 配線 4 2 の個別インピーダンス  
が大きくなると、EMS により半導体チップ 2 の誤動作が発生しやすくなる。すなわち、  
EMS によって各 GND 配線のグランド電位の変動が発生することにより、個別インピー  
ダンスの大きい GND 配線 4 2 を介して、半導体チップ 2 の PLL 2 2 が生成するクロッ  
クに歪みを生じさせるなどの誤動作が引き起こされる。この誤動作により、PLL 2 2 か  
ら供給されるクロック信号に基づいて動作する CPU 2 5 では、回路動作上のタイミング  
に不整合が生じ、例えばバスフォールトなどのエラー状態に陥ってしまう。

**【 0 0 2 7 】**

本実施例では、このような状態を回避するために、配線基板 4 上の GND 配線 4 1 に接  
続された拡張パッド 7 1 と、GND 配線 4 2 に接続された拡張パッド 7 2 とを設け、ボン  
ディングパッド領域 5 A と配線基板 4 の周縁の端部との間に配置している。そして、GND  
配線 4 1 に対して、GND 配線 4 2 の個別インピーダンスが大きい場合には、拡張パッ  
ド 7 1 と拡張パッド 7 2 をボンディングワイヤ 6 で電氣的に接続する。これにより、PLL  
2 2 の GND 配線 4 2 の個別インピーダンスを小さくし、EMS による PLL 2 2 の誤  
動作を防ぎ、EMS 耐性を向上させることができる。また、拡張パッド 7 1 及び拡張パッ  
ド 7 2 の配線基板 4 上の配置位置は、拡張パッド 7 1、7 2 間を接続するボンディングワ  
イヤ 6 と、ボンディングパッド領域 5 A のボンディングパッド 5 と接続される他のボンデ  
ィングワイヤ 6 との干渉を避ける必要がある。すなわち、2 つの拡張パッド 7 1、7 2 は  
、拡張パッド 7 1 と拡張パッド 7 2 とを結ぶボンディングワイヤ 6 が、ボンディングパッ  
ド領域 5 A、5 B、5 C、5 D と半導体チップ 2 とを結ぶボンディングワイヤ 6 に干渉し  
ない位置に配置される。

20

30

**【 0 0 2 8 】**

なお、図 4 では、ボンディングパッド領域 5 A の GND 配線 4 2 に接続された拡張パッ  
ド 7 2 と、GND 配線 4 1 に接続された拡張パッド 7 1 しか設けられていないが、GND  
配線 GND\_\_REG と接続された拡張パッドを追加してもよい。更に、図 4 では、拡張パ  
ッドはボンディングパッド領域 5 A しか設けられていないが、配線基板 4 の周縁の GND  
配線に応じて設けてもよい。例えば、ボンディングパッド領域 5 B については、GND 配  
線 GND\_\_ADC と、GND 配線 4 1 と接続されている GND 配線 CGND に、それぞれ  
拡張パッドを設けてもよい。同様に、ボンディングパッド領域 5 D については、GND 配  
線 GND\_\_OSC、GND\_\_ROM と、GND 配線 4 1 と接続されている GND 配線 CG  
ND に、それぞれ拡張パッドを設けてもよい。更に、ボンディングパッド領域 5 C につ  
いても、GND 配線 4 1 と接続されている GND 配線 CGND に拡張パッドを設けてもよい  
。なお、ボンディングパッド領域 5 B、5 D に拡張パッドを設ける場合には、次のような  
領域に配置することが望ましい。すなわち、拡張パッド間を接続するボンディングワイヤ  
6 と他のボンディングワイヤ 6 との干渉を避けるため、拡張パッドは、ボンディングパッ  
ド領域 5 B、5 D と配線基板 4 の外周部 (周縁の端部側) との間の領域に配置するの  
が望ましい。

40

**【 0 0 2 9 】**

50

このように、配線基板 4 に GND 配線間をボンディングワイヤ 6 で接続可能な拡張パッドを配置することによって、拡張パッド 7 1、7 2 間を接続するか否かにより、個別インピーダンスと共通インピーダンスの調整が可能になる。これにより、半導体装置 1 が実装される実装基板に対して、EMI 低減を優先させるか、又は EMS 耐性の向上を優先させるかを選択することが可能になり、実装基板上の配線の自由度を向上させることができる。また、上述したように、本実施例では、インピーダンス調整は、拡張パッド 7 1、7 2 間のボンディングワイヤ 6 による接続要否により行うことができる。そのため、実装基板を変更した場合にも、半導体装置 1 の配線基板 4 の改版を行う必要がなくなるため、配線基板 4 の改版による製造コストを削減することができる。

【0030】

10

[ その他の実施例 ]

本実施例では、ボンディングパッド領域 5 A に設けられた拡張パッド 7 1、7 2 について説明した。ボンディングパッド領域 5 A の形状は、矩形状を有しているため、拡張パッド 7 1、7 2 は、ボンディングパッド領域 5 A と配線基板 4 の周縁の端部との間に配置されていたが、拡張パッド 7 1、7 2 の位置は、図 4 に示す位置に限定されるものではない。

【0031】

図 6 は、ボンディングパッド領域 5 A の凹形状部に、拡張パッド 7 1、7 2 を設けた例を説明する図である。図 6 のボンディングパッド領域 5 A では、図 4 に示すボンディングパッド領域 5 A のボンディングパッド 5 の配置が異なっている。具体的には、図 6 は、図 4 では電源配線 VDD\_PLL と GND 配線 CGND (GND 配線 4 1) の間に設けられていた 2 つのボンディングパッド 5 が不在の配線パターンとなっている。そのため、図 6 のボンディングパッド領域 5 A は、GND 配線 GND\_PLL、電源配線 VDD\_PLL、GND 配線 CGND のボンディングパッド 5 が設けられた領域の配線基板 4 の外周部側に凹形状部を有し、拡張パッド 7 1、7 2 が配置されている。また、図 6 では、GND 配線 4 3 である GND 配線 GND\_REG に接続された拡張パッド 7 3 が、ボンディングパッド領域 5 A と配線基板 4 の周縁の端部との間に配置されている。例えば、配線基板 4 の GND 配線 4 1 に対して、GND 配線 4 3 の個別インピーダンスが大きい場合には、拡張パッド 7 1 と拡張パッド 7 3 とを、ボンディングワイヤ 6 を介して接続してもよい。

20

【0032】

また、図 4 では、半導体チップ 2 の各辺に対して 1 つのボンディングパッド領域 5 A、5 B、5 C、5 D を設けた例について説明したが、配線基板 4 の各辺に設けるボンディングパッド領域は、1 つに限定されるものではない。図 7 は、図 6 に示す配線基板 4 のボンディングパッド領域 5 A を、2 つのボンディングパッド領域 5 A、5 E に分割した例を示している。図 7 では、GND 配線 4 1 と接続された拡張パッド 7 1 は、ボンディングパッド領域 5 A に属し、ボンディングパッド領域 5 A と配線基板 4 の周縁の端部との間に配置されている。一方、GND 配線 4 2 と接続された拡張パッド 7 2 は、ボンディングパッド領域 5 E に属し、面積を拡大させてボンディングパッド 5 f と兼用されており、ボンディングパッド領域 5 A と、ボンディングパッド領域 5 E との間に配置されている。例えば、配線基板 4 の GND 配線 4 1 に対して、GND 配線 4 2 の個別インピーダンスが大きい場合には、拡張パッド 7 1 と拡張パッド 7 2 とを、ボンディングワイヤ 6 を介して接続してもよい。その際、拡張パッド 7 1 と拡張パッド 7 2 とを接続するボンディングワイヤ 6 は、ボンディングパッド領域 5 A とボンディングパッド領域 5 E との間を通過するため、他のボンディングワイヤ 6 に干渉することはない。なお、図 7 では、図 6 に示す拡張パッド 7 3 は削除されている。

30

40

【0033】

以上説明したように、本実施例によれば、安価な構成で、配線基板のインピーダンスの調整を行うことができる。

【実施例 2】

【0034】

実施例 1 では、GND 配線に接続された拡張パッドがボンディングパッド領域と配線基

50



板の周縁部の端部側との間に配置された例について説明した。実施例 2 では、更にインピーダンス調整の選択枝を増やすために、拡張パッドを半導体チップとボンディングパッド領域との間に配置する例について説明する。なお、半導体装置 1 や半導体チップ 2 の構成は実施例 1 と同様であり、本実施例でも同じ構成には同じ符号を用いて説明することにより、ここでの説明は省略する。

【 0 0 3 5 】

[ 配線基板の配線パターン ]

図 8 は、本実施例の配線基板 4 の配線パターンの一例を示す表層配線パターン図である。図 8 では、実施例 1 の図 4 と比べて、GND 配線 4 1 に接続された拡張パッド 7 4 と、GND 配線 4 2 に接続された拡張パッド 7 5 が配線基板 4 上に設けられている点異なる。実施例 1 で説明した拡張パッド 7 1、7 2 は、ボンディングパッド領域 5 A と配線基板 4 の周縁部の端部側との間に配置されているが、拡張パッド 7 4、7 5 は、ボンディングパッド領域 5 A と半導体チップ 2 との間に配置されている。なお、図 8 では、拡張パッド 7 4 を設けるため、図中、GND 配線 4 1 の左側の配線パターンのビアの位置が、ボンディングパッド領域 5 A と半導体チップ 2 の間（図 4）から、ボンディングパッド領域 5 A と配線基板 4 の周縁部の端部側との間に変更されている。同様に、拡張パッド 7 5 を設けるため、図中、GND 配線 4 2 の左側の 2 つの配線パターンのビアの位置が、ボンディングパッド領域 5 A と半導体チップ 2 の間（図 4）から、ボンディングパッド領域 5 A と配線基板 4 の周縁部の端部側との間に変更されている。図 8 に示す配線基板 4 のその他の配線パターンは、実施例 1 の図 4 と同様であり、説明を省略する。

【 0 0 3 6 】

GND 配線 4 1 に対して、GND 配線 4 2 の個別インピーダンスが大きい場合には、実施例 1 では、拡張パッド 7 1 と拡張パッド 7 2 をボンディングワイヤ 6 で電氣的に接続していた。本実施例では、それに加えて、拡張パッド 7 4 と拡張パッド 7 5 をボンディングワイヤ 6 で電氣的に接続することができる。これにより、PLL 2 2 の GND 配線 4 2 の個別インピーダンスを更に小さくすることができ、EMS 耐性をより向上させることができる。

【 0 0 3 7 】

[ 電極パッド及びボンディングパッド、拡張パッド間の接続 ]

図 9 は、半導体チップ 2 の電極パッド 3 と配線基板 4 のボンディングパッド領域 5 A のボンディングパッド 5 との接続、拡張パッド 7 5 と拡張パッド 7 6 とのボンディングワイヤ 6 による接続の一例を説明する図である。図 9 ( a ) は、図 8 の GND 配線 4 1、GND 配線 4 2 近傍の半導体チップ 2 及び配線基板 4 の様子を示す斜視図である。図 9 ( a ) において、半導体チップ 2 の電極パッド 3 と配線基板 4 のボンディングパッド領域 5 A のボンディングパッド 5 とは、太い実線で示すボンディングワイヤ 6 を介して、1 対 1 で接続されている。また、図 9 ( a ) では、拡張パッド 7 4 と拡張パッド 7 5 も、ボンディングワイヤ 6 を介して接続されている。拡張パッド 7 4、7 5 間を接続するボンディングワイヤ 6 は、半導体チップ 2 の電極パッド 3 と配線基板 4 のボンディングパッド領域 5 A のボンディングパッド 5 とを接続するボンディングワイヤ 6 に干渉していない。

【 0 0 3 8 】

図 9 ( b ) は、図 9 ( a ) に一点鎖線で示す線 S - S ' で、半導体チップ 2 及び配線基板 4 を切断したときの断面を示す図である。半導体チップ 2 の断面には電極パッド 3 が示され、配線基板 4 の断面には、GND 配線 4 1 に接続されるボンディングパッド 5 d、拡張パッド 7 1、7 4 が示されている。また、ボンディングワイヤ 6 は、半導体チップ 2 の電極パッド 3 と配線基板 4 のボンディングパッド 5 d とを接続するボンディングワイヤを示している。一端を半導体チップ 2 の電極パッド 3 に接続されたボンディングワイヤ 6 は、図中上方向に延びて、位置 6 a で斜め上方向に折り曲げられ、弧を描くように対応するボンディングパッド 5 d に接続される。図 9 ( b ) に示すように、拡張パッド 7 4 は、ボンディングワイヤ 6 と配線基板 4 との距離が最も大きい位置 6 b に配置されている。位置 6 b は、拡張パッド 7 4、7 5 間を接続するボンディングワイヤ 6 が、拡張パッド 7 4 の上

方向を通過するボンディングワイヤ6との干渉を回避するのに好適な位置である。また、拡張パッド75が配置される位置についても、拡張パッド75の上方向を通過するボンディングワイヤ6と配線基板4との距離が最も大きい位置に配置される。

【0039】

本実施例では、異なるGND配線間をボンディングワイヤ6で接続可能な拡張パッドを、配線基板4の周縁部の端部側だけでなく、半導体チップ2とボンディングパッド領域の間にも配置している。これにより、一方の拡張パッド間を接続するか、又は両方の拡張パッド間を接続するかを選択することができるため、個別インピーダンスと共通インピーダンスの調整をより細かく行うことができる。なお、本実施例では、拡張パッド71、72に加えて、拡張パッド74、75を追加配置した例について説明したが、拡張パッド71、72の代わりに、拡張パッド74、75だけを配置するようにしてもよい。

10

【0040】

[その他の実施例]

図10は、実施例1の図6に、拡張パッド74、75を追加した例を説明する図である。図10では、拡張パッド74、75は、それぞれボンディングパッド領域5A、5Eと半導体チップ2の間に配置されている。なお、拡張パッド75を設けるため、図中、GND配線42の左側の2つの配線パターンのビアの位置が、ボンディングパッド領域5Eと半導体チップ2の間(図6)から、ボンディングパッド領域5Eと配線基板4の周縁部の端部側との間に変更されている。また、図10では、拡張パッド71が拡張パッド72に対向する位置に配置されている。そのため、電源配線VDD<sub>PLL</sub>のボンディングパッドは、ボンディングパッド領域5A、5Eと配線基板4の周縁部との間で、かつ、ボンディングパッド領域5Aとボンディングパッド領域5Eとの間のボンディングパッド領域5Fに設けられている。そのため、図6のボンディングパッド領域5Aは、図10では、ボンディングパッド領域5A、5E、5Fの3つに分割され、拡張パッド71、72は、ボンディングパッド領域5A、5E、5Fに囲まれた位置に配置されている。

20

【0041】

GND配線41に対して、GND配線42の個別インピーダンスが大きい場合には、図10では、拡張パッド71及び拡張パッド72に加えて、拡張パッド74及び拡張パッド75をボンディングワイヤ6で電氣的に接続することができる。これにより、PLL22のGND配線42の個別インピーダンスを更に小さくすることができ、EMS耐性をより向上させることができる。

30

【0042】

以上説明したように、本実施例によれば、安価な構成で、配線基板のインピーダンスの調整を行うことができる。

【符号の説明】

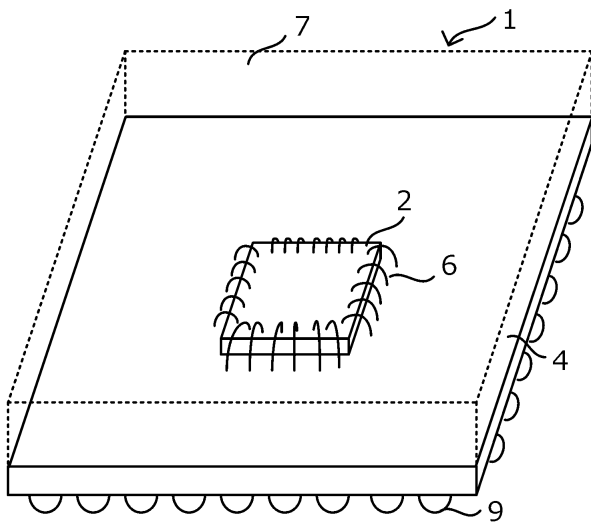
【0043】

- |         |                    |
|---------|--------------------|
| 5、5d、5f | ボンディングパッド          |
| 41、42   | グラウンド配線(GND配線)     |
| 71、72   | 拡張ボンディングパッド(拡張パッド) |

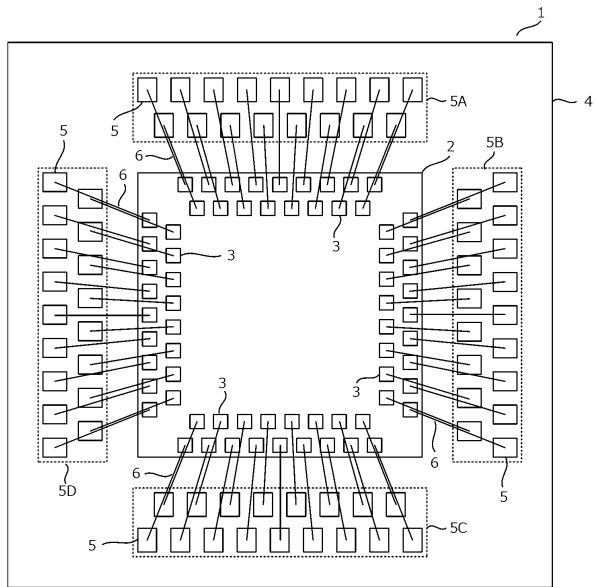
40

【図面】

【図 1】



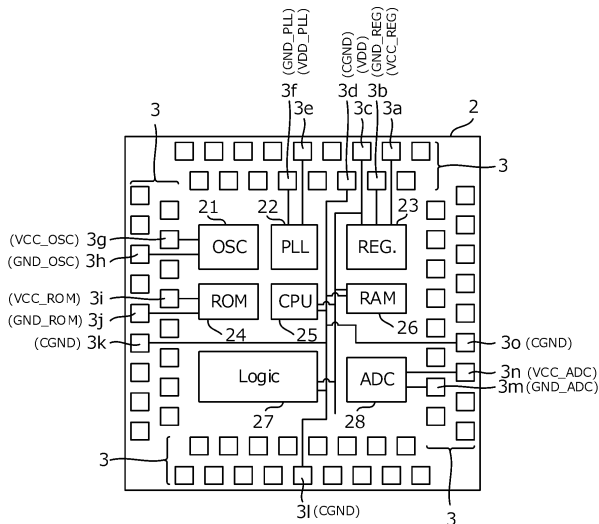
【図 2】



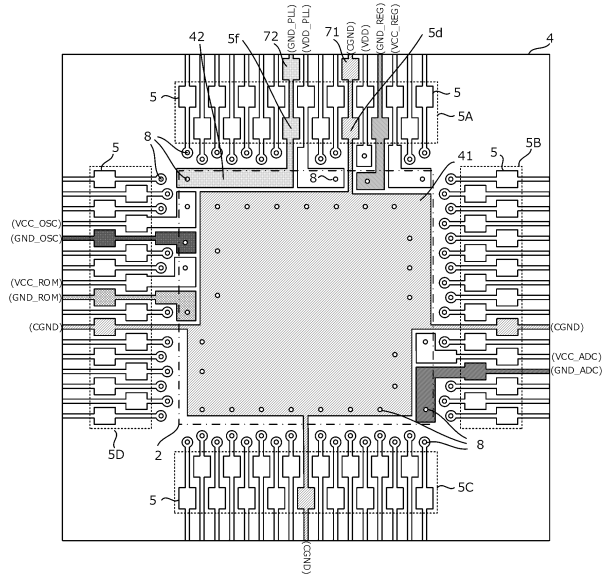
10

20

【図 3】



【図 4】

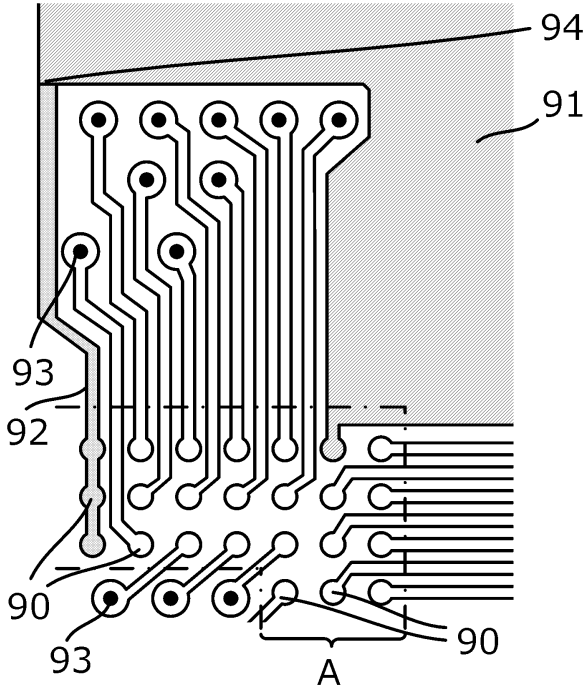


30

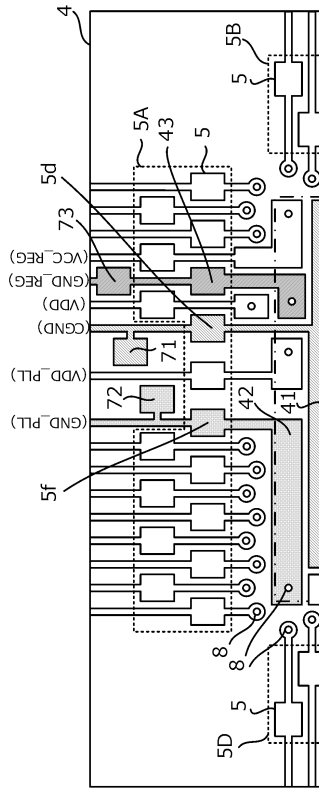
40

50

【図 5】



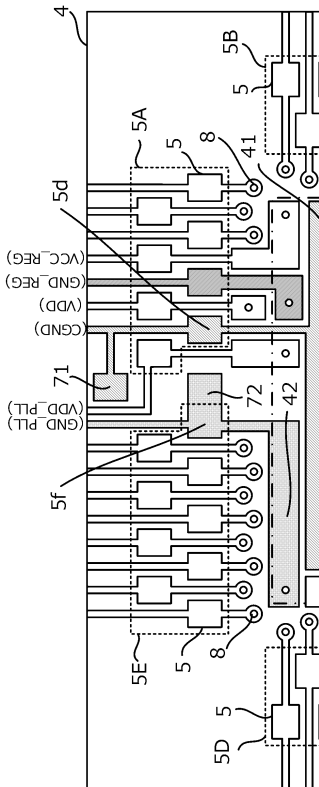
【図 6】



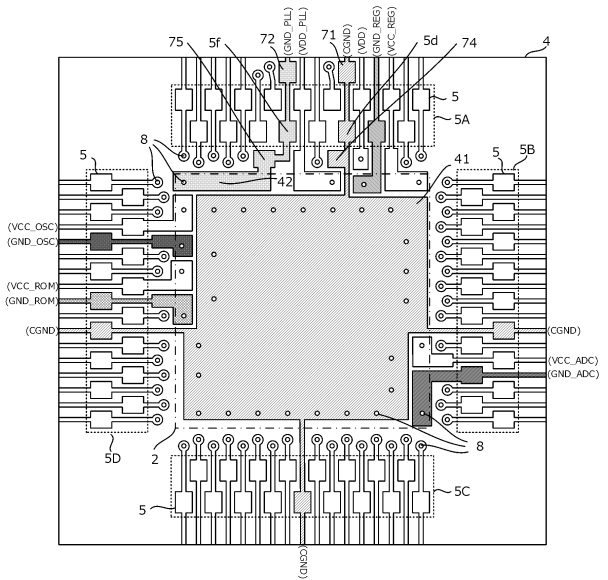
10

20

【図 7】



【図 8】

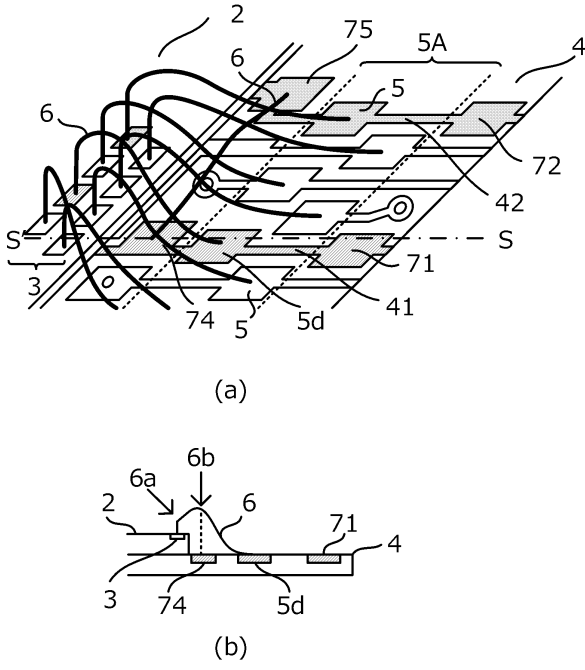


30

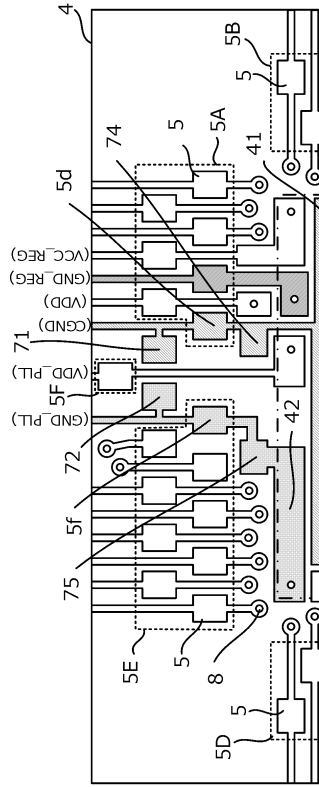
40

50

【 図 9 】



【 図 10 】



10

20

30

40

50

---

フロントページの続き

(51)国際特許分類

F I

H 0 5 K

3/28

G

キヤノン株式会社内

審査官 佐藤 靖史

(56)参考文献 特開 2 0 0 5 - 3 4 0 7 4 1 ( J P , A )  
特開 2 0 0 0 - 2 3 6 0 4 0 ( J P , A )  
特開平 1 1 - 0 3 1 7 5 5 ( J P , A )  
特開 2 0 1 4 - 1 0 7 4 8 6 ( J P , A )  
特開 2 0 1 2 - 1 0 4 7 0 7 ( J P , A )  
米国特許第 0 6 5 3 8 3 3 6 ( U S , B 1 )  
米国特許出願公開第 2 0 1 7 / 0 3 6 7 1 7 7 ( U S , A 1 )  
特開平 1 0 - 0 7 0 1 6 0 ( J P , A )  
米国特許出願公開第 2 0 1 4 / 0 2 4 0 0 3 3 ( U S , A 1 )  
特開 2 0 0 9 - 0 3 8 1 4 2 ( J P , A )

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 3 / 1 2

H 0 5 K 3 / 4 6

H 0 5 K 1 / 0 2

H 0 5 K 3 / 2 8