



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I407451B1

(45) 公告日：中華民國 102 (2013) 年 09 月 01 日

(21) 申請案號：098102093

(22) 申請日：中華民國 98 (2009) 年 01 月 20 日

(51) Int. Cl. : G11C7/22 (2006.01)

G11C8/18 (2006.01)

(30) 優先權：2008/07/10 南韓

10-2008-0067175

(71) 申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)  
南韓

(72) 發明人：李相煥 LEE, SANG-HEE (KR)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200623645

TW 200721685

US 6774823B1

US 2003/0214340A1

US 2004/0168036A1

US 2007/0097778A1

審查人員：蔡夙勇

申請專利範圍項數：12 項 圖式數：2 共 0 頁

(54) 名稱

半導體記憶裝置和其操作方法

SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR OPERATING THE SAME

(57) 摘要

本發明提供一種半導體裝置，其包括：複數個輸入單元，其經組態以接收複數個資料；複數個鎖存單元，其經組態以回應於複數個同步時脈信號而鎖存該複數個輸入單元之輸出信號；及一同步時脈產生單元，其經組態以將一源時脈信號延遲達對應於在該複數個輸入單元與該複數個鎖存單元之間所花費之信號傳輸時間中之每一者之一時間，藉此產生該複數個同步時脈信號。

A semiconductor device includes a plurality of input units configured to receive a plurality of data, a plurality of latching units configured to latch output signals of the plurality of input units in response to a plurality of synchronization clock signals, and a synchronization clock generating unit configured to delay a source clock signal by a time corresponding to each of signal transmission times taken between the plurality of input units and the plurality of latching units, thereby generating the plurality of synchronization clock signals.

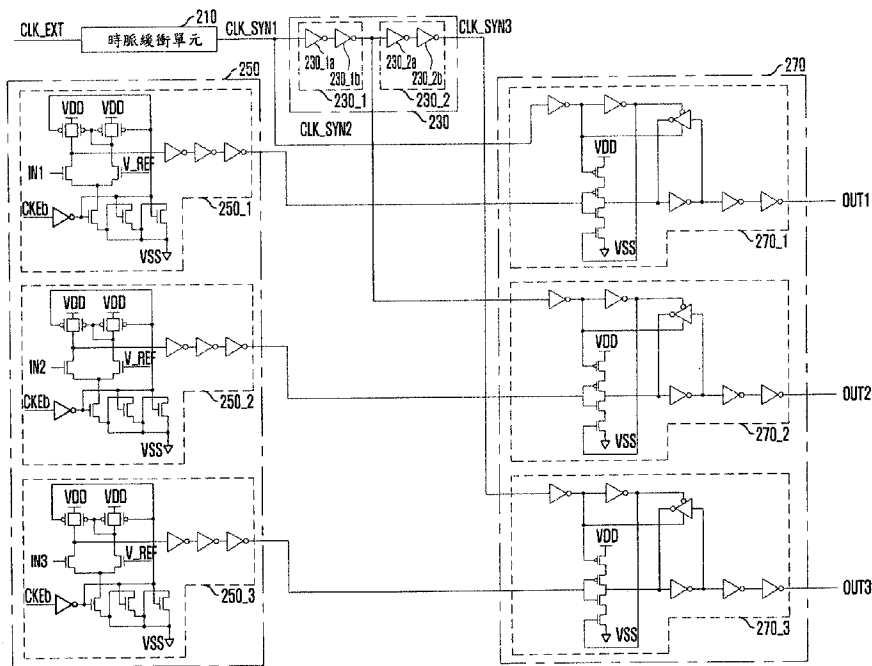


圖2

- 210 . . . 時脈緩衝單元
- 230 . . . 同步時脈產生單元
- 230\_1 . . . 第一延遲單元
- 230\_1a . . . 反相器
- 230\_1b . . . 反相器
- 230\_2 . . . 第二延遲單元
- 230\_2a . . . 反相器
- 230\_2b . . . 反相器
- 250 . . . 信號輸入單元
- 250\_1 . . . 第一信號輸入單元
- 250\_2 . . . 第二信號輸入單元
- 250\_3 . . . 第三信號輸入單元
- 270 . . . 鎖存單元
- 270\_1 . . . 第一鎖存單元
- 270\_2 . . . 第二鎖存單元
- 270\_3 . . . 第三鎖存單元
- CKEb . . . 時脈啟用信號
- CLK\_EXT . . . 外部時脈信號
- CLK\_SYN1 . . . 第一同步時脈信號
- CLK\_SYN2 . . . 第二同步時脈信號
- CLK\_SYN3 . . . 第三同步時脈信號
- IN1 . . . 第一輸入信號

IN2 . . . 第二輸入信號

IN3 . . . 第三輸入信號

OUT1 . . . 第一輸出信號

OUT2 . . . 第二輸出信號

OUT3 . . . 第三輸出信號

V\_REF . . . 內部參考電壓

# 發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98102093

※申請日：98.1.20

※IPC 分類：

G11C 7/22 (2006.01)

G11C 8/18 (2006.01)

## 一、發明名稱：(中文/英文)

半導體記憶裝置和其操作方法

SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR  
OPERATING THE SAME

## 二、中文發明摘要：

本發明提供一種半導體裝置，其包括：複數個輸入單元，其經組態以接收複數個資料；複數個鎖存單元，其經組態以回應於複數個同步時脈信號而鎖存該複數個輸入單元之輸出信號；及一同步時脈產生單元，其經組態以將一源時脈信號延遲達對應於在該複數個輸入單元與該複數個鎖存單元之間所花費之信號傳輸時間中之每一者的一時間，藉此產生該複數個同步時脈信號。

## 三、英文發明摘要：

A semiconductor device includes a plurality of input units configured to receive a plurality of data, a plurality of latching units configured to latch output signals of the plurality of input units in response to a plurality of synchronization clock signals, and a synchronization clock generating unit configured to delay a source clock signal by a time corresponding to each of signal transmission times taken between the plurality of input units and the plurality of latching units, thereby generating the plurality of synchronization clock signals.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

210	時脈緩衝單元
230	同步時脈產生單元
230_1	第一延遲單元
230_1a	反相器
230_1b	反相器
230_2	第二延遲單元
230_2a	反相器
230_2b	反相器
250	信號輸入單元
250_1	第一信號輸入單元
250_2	第二信號輸入單元
250_3	第三信號輸入單元
270	鎖存單元
270_1	第一鎖存單元
270_2	第二鎖存單元
270_3	第三鎖存單元
CKEb	時脈啟用信號
CLK_EXT	外部時脈信號
CLK_SYN1	第一同步時脈信號
CLK_SYN2	第二同步時脈信號
CLK_SYN3	第三同步時脈信號

IN1	第一輸入信號
IN2	第二輸入信號
IN3	第三輸入信號
OUT1	第一輸出信號
OUT2	第二輸出信號
OUT3	第三輸出信號
V_REF	內部參考電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體設計技術，且更特定言之，係關於一種用於使自外部源所輸入之信號與時脈信號同步且鎖存經同步信號的半導體記憶裝置，及一種用於操作半導體記憶裝置之方法。

本發明主張2008年7月10日申請之韓國專利申請案第10-2008-0067175號的優先權，該案之全文以引用的方式併入本文中。

### 【先前技術】

一般而言，諸如雙資料速率同步DRAM (DDR SRAM) 之半導體記憶裝置接收自中央處理單元(CPU)所輸出之位址信號、資料信號及外部指令信號且基於上述信號而執行所要操作。此時，半導體記憶裝置使上述信號與時脈信號同步且將經同步信號鎖存於其中。應確保時脈信號與待與時脈信號同步之信號之間的設置(setup)時間及保持時間，且具體言之，設置時間為同步中之重要因素。

圖1說明習知半導體記憶裝置之電路圖。

參看圖1，半導體記憶裝置包括時脈緩衝單元110、同步時脈產生單元130、複數個信號輸入單元150、複數個延遲單元170及複數個鎖存單元190。

時脈緩衝單元110緩衝外部時脈信號CLK\_EXT以產生源時脈信號CLK\_SRC。同步時脈產生單元130基於源時脈信號CLK\_SRC而產生同步時脈信號CLK\_SYN。

複數個信號輸入單元150接收自外部所提供之複數個輸入信號。第一信號輸入單元150\_1至第三信號輸入單元150\_3分別接收第一輸入信號IN1至第三輸入信號IN3。為了解釋簡單起見，圖1僅說明第一信號輸入單元150\_1至第三信號輸入單元150\_3及連接至信號輸入單元150之電路，該等電路具有對應於第一信號輸入單元150\_1至第三信號輸入單元150\_3之組態。本文中，第一輸入信號IN1至第三輸入信號IN3為經由對應襯墊(為了解釋簡單起見而未圖示)而輸入之信號。通常，第一信號輸入單元150\_1至第三信號輸入單元150\_3經設計以分別經安置成接近於對應襯墊。

複數個延遲單元170將第一信號輸入單元150\_1至第三信號輸入單元150\_3之輸出信號延遲達一預定延遲時間以藉此輸出經延遲信號。因此，複數個延遲單元170包括第一延遲單元170\_1至第三延遲單元170\_3。經反映至第一延遲單元170\_1至第三延遲單元170\_3之延遲時間係藉由考慮到同步時脈信號CLK\_SYN與第一輸入信號IN1至第三輸入信號IN3之間的設置時間而判定。此將稍後參看半導體記憶裝置之操作而進行詳細地描述。

複數個鎖存單元190使第一延遲單元170\_1至第三延遲單元170\_3之輸出信號與同步時脈信號CLK\_SYN同步且鎖存經同步信號，藉此輸出第一輸出信號OUT1至第三輸出信號OUT3。出於此目的，鎖存單元190包括第一鎖存單元190\_1至第三鎖存單元190\_3。第一鎖存單元190\_1至第三



鎖存單元190\_3之組態及操作對於熟習此項技術者而言為顯而易見的，且因此省略對於鎖存單元之組態及操作的解釋。

在下文中，描述圖1所說明之半導體記憶裝置的操作。

首先，將外部時脈CLK\_EXT經由時脈緩衝單元110及同步時脈產生單元130而輸出為同步時脈信號CLK\_SYN。將同步時脈信號CLK\_SYN幾乎同時輸入至第一鎖存單元190\_1至第三鎖存單元190\_3。

同時，第一信號輸入單元150\_1至第三信號輸入單元150\_3分別比較經由複數個襯墊(未圖示)而輸入之第一輸入信號IN1至第三輸入信號IN3與內部參考電壓V\_REF且輸出經比較結果。舉例而言，若第一輸入信號IN1具有高於內部參考電壓V\_REF之電壓位準的電壓位準，則第一信號輸入單元150\_1輸出邏輯高信號。另一方面，若第一輸入信號IN1具有低於內部參考電壓V\_REF之電壓位準的電壓位準，則第一信號輸入單元150\_1輸出邏輯低信號。為了參考起見，時脈啟用信號CKEb為用以防止由半導體記憶裝置中之不必要操作而引起電流消耗的信號。因此，時脈啟用信號CKEb控制第一信號輸入單元150\_1至第三信號輸入單元150\_3之啟動或撤消。

接著，將第一信號輸入單元150\_1至第三信號輸入單元150\_3之輸出信號分別在第一延遲單元170\_1至第三延遲單元170\_3中延遲經反映至第一延遲單元170\_1至第三延遲單元170\_3之延遲時間。將經延遲信號傳送至第一鎖存單元

190\_1至第三鎖存單元190\_3。雖然第一信號輸入單元150\_1至第三信號輸入單元150\_3經安置成接近於對應襯墊，但第一鎖存單元190\_1至第三鎖存單元190\_3聚集於一個位置上。因此，若在半導體記憶裝置中不使用第一延遲單元170\_1至第三延遲單元170\_3，則可在不同時間點將第一信號輸入單元150\_1至第三信號輸入單元150\_3之輸出信號傳送至第一鎖存單元190\_1至第三鎖存單元190\_3。亦即，不可能確保同步時脈信號CLK\_SYN與自第一信號輸入單元150\_1至第三信號輸入單元150\_3傳送至第一鎖存單元190\_1至第三鎖存單元190\_3之輸出信號之間的穩定設置時間。

因此，為了確保設置時間，第一延遲單元170\_1至第三延遲單元170\_3將不同延遲時間提供至第一信號輸入單元150\_1至第三信號輸入單元150\_3之輸出信號且輸出藉由反映不同延遲時間而產生之經延遲信號。因此，第一鎖存單元190\_1至第三鎖存單元190\_3在相同時間點接收資料。回應於設置時間得以確保的同步時脈信號CLK\_SYN及第一延遲單元170\_1至第三延遲單元170\_3之輸出信號，第一鎖存單元190\_1至第三鎖存單元190\_3輸出第一輸出信號OUT1至第三輸出信號OUT3。

返回參看圖1，第一延遲單元170\_1至第三延遲單元170\_3包括複數個反相器。第一延遲單元170\_1包括6個反相器170\_1a至170\_1f；第二延遲單元170\_2包括4個反相器170\_2a至170\_2d；且第三延遲單元170\_3包括2個反相器

170\_3a及170\_3b。第一延遲單元170\_1至第三延遲單元170\_3在其中包括不同數目之反相器的原因在於：如上文所描述，第一信號輸入單元150\_1至第三信號輸入單元150\_3與第一鎖存單元190\_1至第三鎖存單元190\_3之間的信號傳輸時間彼此不同。因此，藉由考慮到在省略延遲單元的狀態下在信號輸入單元與其對應鎖存單元之間所量測之信號傳輸時間，將具有最長延遲時間之第一延遲單元170\_1安置於第一信號輸入單元150\_1與第一鎖存單元190\_1之間，與圖1所描述之信號輸入單元150\_2及150\_3與其對應鎖存單元190\_2及190\_3之間的信號傳輸時間相比，第一信號輸入單元150\_1與第一鎖存單元190\_1在其之間具有最短信號傳輸時間。

半導體記憶裝置正在實施高速度且低功率之架構的方向上發展。具體言之，為了達成高速度架構，半導體記憶裝置經設計以同時接收許多資料。此意謂半導體記憶裝置必須包括許多襯墊。因此，信號輸入單元與對應鎖存單元之間的信號傳輸時間亦變得更長且因此亦增加建構延遲單元之反相器的數目。本文中，建構延遲單元之反相器在傳送信號期間消耗切換電流，且因此，由反相器所消耗之切換電流隨著反相器之數目增加而增加。亦即，在習知半導體記憶裝置中，隨著襯墊之數目增加，切換電流亦增加，且因此，經增加之切換電流干擾半導體記憶裝置之低功率實施。

### 【發明內容】

本發明之實施例係針對提供一種用於藉由考慮到自資料輸入至資料鎖存所花費之信號傳輸時間而產生複數個同步時脈信號且使用同步時脈信號來鎖存資料的半導體記憶裝置，及一種用於操作半導體記憶裝置之方法。

根據本發明之一態樣，提供一種半導體記憶裝置，其包括：複數個輸入單元，其經組態以接收複數個資料；複數個鎖存單元，其經組態以回應於複數個同步時脈信號而鎖存複數個輸入單元之輸出信號；及同步時脈產生單元，其經組態以藉由將源時脈信號延遲達對應於在複數個輸入單元與複數個鎖存單元之間所花費之信號傳輸時間中之每一者的時間而產生複數個同步時脈信號。

根據本發明之另一態樣，提供一種半導體記憶裝置，其包括：第一輸入單元及第二輸入單元，其經組態以接收複數個資料；第一鎖存單元，其經組態以回應於第一同步時脈信號而鎖存經由第一資料線而傳輸的第一輸入單元之輸出信號；第二鎖存單元，其經組態以回應於第二同步時脈信號而鎖存經由第二資料線而傳輸的第二輸入單元之輸出信號，其中第二資料線之負載值大於第一資料線之負載值；及同步時脈產生單元，其經組態以藉由分別將源時脈信號延遲達對應於第一資料線之負載值及第二資料線之負載值的時間而產生第一同步時脈信號及第二同步時脈信號。

根據本發明之又一態樣，提供一種用於操作半導體記憶裝置之方法，方法包括：藉由將源時脈信號延遲達對應於

自複數個資料之輸入時間點至使複數個資料與複數個同步時脈信號同步之時間點所花費之信號傳輸時間的時間而產生複數個同步時脈信號；及分別使複數個資料與複數個同步時脈信號同步。

由於習知半導體記憶裝置包括複數個反相器以用以確保複數個輸入信號與一個同步時脈信號之間的設置時間，故存在增加切換電流消耗的問題。然而，根據本發明之半導體記憶裝置藉由將參考時脈信號延遲達信號傳輸時間而產生複數個同步時脈信號且使用同步時脈信號來執行穩定鎖存操作。因此，有可能在不具有習知半導體記憶裝置中所包括之反相器的情況下實施本發明之半導體記憶裝置且因此最小化切換電流消耗。

### 【實施方式】

可藉由以下描述來理解本發明之其他目標及優點，且參看本發明之實施例，該等其他目標及優點變得顯而易見。

圖2說明根據本發明之半導體記憶裝置之電路圖。

參看圖2，半導體記憶裝置包括時脈緩衝單元210、同步時脈產生單元230、複數個信號輸入單元250及複數個鎖存單元270。

時脈緩衝單元210緩衝外部時脈信號CLK\_EXT以產生第一同步時脈信號CLK\_SYN1，第一同步時脈信號CLK\_SYN1為源時脈信號。本文中，可將第一同步時脈信號CLK\_SYN1輸入至第一鎖存單元270\_1以使第一信號輸入單元250\_1之輸出信號同步。因此，在此描述中，將時

脈緩衝單元 210 之輸出信號稱作第一同步時脈信號 CLK\_SYN1，而非源時脈信號。

同步時脈產生單元 230 藉由延遲第一同步時脈信號 CLK\_SYN1 而產生第二同步時脈信號 CLK\_SYN2 及第三同步時脈信號 CLK\_SYN3。因此，同步時脈產生單元 230 可包括第一延遲單元 230\_1 及第二延遲單元 230\_2。本文中，自第一延遲單元 230\_1 所輸出之第二同步時脈信號 CLK\_SYN2 為藉由將第一同步時脈信號 CLK\_SYN1 延遲對應於在第二信號輸入單元 250\_2 與第二鎖存單元 270\_2 之間所花費之信號傳輸時間的時間而產生的信號。自第二延遲單元 230\_2 所輸出之第三同步時脈信號 CLK\_SYN3 為藉由將第一同步時脈信號 CLK\_SYN1 延遲達對應於在第三信號輸入單元 250\_3 與第三鎖存單元 270\_3 之間所花費之信號傳輸時間的時間而產生的信號。

本發明之半導體記憶裝置產生信號傳輸時間得以反映的複數個同步時脈信號，且使用同步時脈信號來確保經輸入至鎖存單元之資料信號的設置時間。

在下文中，將詳細地描述第一延遲單元 230\_1 及第二延遲單元 230\_2。

第一延遲單元 230\_1 與第二延遲單元 230\_2 串聯地連接，且其中之每一者分別可包括兩個反相器：在第一延遲單元 230\_1 中之 230\_1a 及 230\_1b，及在第二延遲單元 230\_2 中之 230\_2a 及 230\_2b。因此，藉由將第一同步時脈信號 CLK\_SYN1 延遲達對應於將第二信號輸入單元 250\_2 之輸

出信號傳送至第二鎖存單元270\_2所經由的資料線之負載值的時間而獲得自第一延遲單元230\_1所輸出之第二同步時脈信號CLK\_SYN2。藉由將第一同步時脈信號CLK\_SYN1延遲達對應於將第三信號輸入單元250\_3之輸出信號傳送至第三鎖存單元270\_3所經由的資料線之負載值的時間而獲得自第二延遲單元230\_2所輸出之第三同步時脈信號CLK\_SYN3。

亦即，第二延遲單元230\_2在第二同步時脈信號CLK\_SYN2上反映對應於在對應於第二信號輸入單元250\_2之資料線之負載值與對應於第三信號輸入單元250\_3之資料線之負載值之間的差的時間，藉此輸出第三同步時脈信號CLK\_SYN3。

為了解釋簡單起見，假定傳輸第二信號輸入單元250\_2之輸出信號所經由的資料線之負載值大於傳輸第一信號輸入單元250\_1之輸出信號所經由的資料線之負載值，且傳輸第三信號輸入單元250\_3之輸出信號所經由的資料線之負載值大於傳輸第二信號輸入單元250\_2之輸出信號所經由的資料線之負載值。負載值大意謂資料線長如彼負載值一樣多。其亦意謂信號傳輸時間長如彼負載值一樣多。

亦即，第一信號輸入單元250\_1之輸出信號首先到達第一鎖存單元270\_1，且接著，第二信號輸入單元250\_2之輸出信號到達第二鎖存單元270\_2。最後，第三信號輸入單元250\_3之輸出信號到達第三鎖存單元270\_3。因此，第一同步時脈信號CLK\_SYN1可用作第一鎖存單元270\_1之同

步時脈；第二同步時脈信號CLK\_SYN2可用作第二鎖存單元270\_2之同步時脈；且第三同步時脈信號CLK\_SYN3可用作第三鎖存單元270\_3之同步時脈。換言之，經由具有小負載值之資料線而快速地到達鎖存單元的資料信號可使用與彼資料信號一樣快之時脈信號來確保設置時間，且經由具有大負載值之資料線而緩慢地到達鎖存單元的資料信號可使用與彼資料信號一樣慢之時脈信號來確保設置時間。

同時，複數個信號輸入單元250接收自外部所輸入之複數個輸入信號。第一信號輸入單元250\_1至第三信號輸入單元250\_3分別接收第一輸入信號IN1至第三輸入信號IN3。為了參考起見，圖2僅說明如圖1所描述之第一信號輸入單元250\_1至第三信號輸入單元250\_3。本文中，第一輸入信號IN1至第三輸入信號IN3分別係經由對應襯墊(未圖示)而輸入，且第一信號輸入單元250\_1至第三信號輸入單元250\_3可經設計以分別經安置成接近於對應襯墊。由於第一信號輸入單元250\_1至第三信號輸入單元250\_3執行與習知信號輸入單元之操作相同的操作，故省略關於信號輸入單元之操作的詳細解釋。

如自圖2可見，可在不具有習知確保之設置時間中所需要之複數個反相器的情況下實施本發明之半導體記憶裝置。然而，由於傳送第一信號輸入單元250\_1至第三信號輸入單元250\_3之輸出信號所經由的資料線具有相對較大負載值，故可將中繼器(未圖示)插入至資料線上。在此狀



況下，考慮到中繼器，不同地設計第一延遲單元230\_1與第二延遲單元230\_2係較佳的。

複數個鎖存單元270分別與第一同步時脈信號CLK\_SYN1至第三同步時脈信號CLK\_SYN3同步地鎖存第一信號輸入單元250\_1至第三信號輸入單元250\_3之輸出信號，且將經鎖存信號輸出為第一輸出信號OUT1至第三輸出信號OUT3。因此，鎖存單元270可包括第一鎖存單元270\_1至第三鎖存單元270\_3。本文中，較佳的係，與第一信號輸入單元250\_1至第三信號輸入單元250\_3相比，第一鎖存單元270\_1至第三鎖存單元270\_3經更密集地安置。

如上文所描述，根據本發明，半導體記憶裝置可藉由考慮到複數個輸入信號被鎖存的時間點而產生複數個同步時脈信號，且使用同步時脈信號來鎖存輸入信號。因此，可確保輸入信號之設置時間。此外，由於在不具有習知半導體記憶裝置中所包括之複數個反相器的情況下實施本發明之半導體記憶裝置，故可最小化切換電流消耗。

雖然已關於特定實施例而描述本發明，但對於熟習此項技術者而言將顯而易見，可在不脫離以下申請專利範圍中所界定的本發明之精神及範疇的情況下進行各種改變及修改。

雖然圖2所描述之以上實施例包括3個信號輸入單元及3個鎖存單元，但本發明適用於包括複數個信號輸入單元及複數個鎖存單元之狀況。本文中，同步時脈產生單元之每一延遲單元應經設計以反映對應於可發生於半導體記憶裝

置中之所有信號傳輸時間的時間。

本發明可適用於使用不同種類之電晶體之狀況。此外，經說明之邏輯閘及電晶體可經實施以根據輸入至其中之信號的極性而具有不同位置及類型。

### 【圖式簡單說明】

圖1說明習知半導體記憶裝置之電路圖。

圖2說明根據本發明之半導體記憶裝置之電路圖。

### 【主要元件符號說明】

110	時脈緩衝單元
130	同步時脈產生單元
150	信號輸入單元
150_1	第一信號輸入單元
150_2	第二信號輸入單元
150_3	第三信號輸入單元
170	延遲單元
170_1	第一延遲單元
170_1a	反相器
170_1b	反相器
170_1c	反相器
170_1d	反相器
170_1e	反相器
170_1f	反相器
170_2	第二延遲單元
170_2a	反相器

170_2b	反相器
170_2c	反相器
170_2d	反相器
170_3	第三延遲單元
170_3a	反相器
170_3b	反相器
190	鎖存單元
190_1	第一鎖存單元
190_2	第二鎖存單元
190_3	第三鎖存單元
210	時脈緩衝單元
230	同步時脈產生單元
230_1	第一延遲單元
230_1a	反相器
230_1b	反相器
230_2	第二延遲單元
230_2a	反相器
230_2b	反相器
250	信號輸入單元
250_1	第一信號輸入單元
250_2	第二信號輸入單元
250_3	第三信號輸入單元
270	鎖存單元
270_1	第一鎖存單元

270_2	第二鎖存單元
270_3	第三鎖存單元
CKEb	時脈啟用信號
CLK_EXT	外部時脈信號
CLK_SRC	源時脈信號
CLK_SYN	同步時脈信號
CLK_SYN1	第一同步時脈信號
CLK_SYN2	第二同步時脈信號
CLK_SYN3	第三同步時脈信號
IN1	第一輸入信號
IN2	第二輸入信號
IN3	第三輸入信號
OUT1	第一輸出信號
OUT2	第二輸出信號
OUT3	第三輸出信號
V_REF	內部參考電壓

## 七、申請專利範圍：

102年6月18日修正  
對線頁(本) P.1-4

## 1. 一種半導體記憶裝置，其包含：

複數個輸入單元，其經組態以接收複數個資料；

複數個鎖存單元，其經組態以回應於複數個同步時脈信號而鎖存該複數個輸入單元之輸出信號；及

一同步時脈產生單元，其經組態以藉由延遲一源時脈信號之一時間，該時間對應於在該複數個輸入單元與該複數個鎖存單元之間所花費之信號傳輸時間中之每一者，而產生該複數個同步時脈信號，

其中該同步時脈產生單元包括複數個延遲單元，其經組態以延遲該源時脈信號之時間，該時間對應於傳輸該複數個輸入單元之該等輸出信號所經由的資料線之負載值，藉此產生該複數個同步時脈信號。

## 2. 如請求項1之半導體記憶裝置，其進一步包含一緩衝單元，該緩衝單元經組態以緩衝一外部時脈信號以產生該源時脈信號。

## 3. 一種半導體記憶裝置，其包含：

一第一輸入單元及一第二輸入單元，其經組態以接收複數個資料；

一第一鎖存單元，其經組態以回應於一第一同步時脈信號而鎖存經由一第一資料線而傳輸的該第一輸入單元之一輸出信號；

一第二鎖存單元，其經組態以回應於一第二同步時脈信號而鎖存經由一第二資料線而傳輸的該第二輸入單元

之一輸出信號，其中該第二資料線之一負載值大於該第一資料線之一負載值；及

一同步時脈產生單元，其經組態以藉由延遲一源時脈信號之時間，該時間分別對應於該第一資料線及該第二資料線之該等負載值的時間而產生該第一及該第二同步時脈信號。

4. 如請求項3之半導體記憶裝置，其中該同步時脈產生單元包括：

一第一延遲單元，其經組態以將該源時脈信號延遲達對應於該第一資料線之該負載值的一時間，藉此輸出該第一同步時脈信號；及

一第二延遲單元，其經組態以將該源時脈信號延遲達對應於該第二資料線之該負載值的一時間，藉此輸出該第二同步時脈信號。

5. 如請求項3之半導體記憶裝置，其中該同步時脈產生單元包括：

一第一延遲單元，其經組態以將該源時脈信號延遲達對應於該第一資料線之該負載值的一時間，藉此輸出該第一同步時脈信號；及

一第二延遲單元，其經組態以將該第一同步時脈信號延遲達對應於該第一資料線之該負載值與該第二資料線之該負載值之間的一差的一時間，藉此輸出該第二同步時脈信號。

6. 如請求項5之半導體記憶裝置，其中該第一延遲單元與

該第二延遲單元串聯地連接。

7. 如請求項3之半導體記憶裝置，其進一步包含一緩衝單元，該緩衝單元經組態以緩衝一外部時脈信號以產生該源時脈信號。
8. 如請求項3之半導體記憶裝置，其進一步包含一第一襯墊及一第二襯墊，該第一襯墊及該第二襯墊用於將該複數個資料傳送至該第一輸入單元及該第二輸入單元。
9. 如請求項8之半導體記憶裝置，其中該第一輸入單元及該第二輸入單元分別經安置成鄰近於該第一襯墊及該第二襯墊，且分別與該第一輸入單元及該第二輸入單元相比，該第一鎖存單元及該第二鎖存單元經更密集地配置。
10. 如請求項3之半導體記憶裝置，其中該第一同步時脈信號在該第二同步時脈信號被啟用之前被啟用。
11. 一種用於操作一半導體記憶裝置之方法，該方法包含：

藉由將一源時脈信號延遲達對應於自複數個資料之輸入時間點至使該複數個資料與複數個同步時脈信號同步之時間點所花費之信號傳輸時間的時間而產生該複數個同步時脈信號；及

分別使該複數個資料與該複數個同步時脈信號同步，其中產生該複數個同步時脈信號包括：

藉由延遲該源時脈信號而產生一第一同步時脈信號；及與該第一同步時脈信號之該產生相比，藉由將該源時脈信號延遲更多而產生一第二同步時脈信號。

12. 如請求項 11 之方法，其中該等信號傳輸時間具有不同值，且該第一同步時脈信號及該第二同步時脈信號中之每一者係藉由將該源時脈信號延遲達該等信號傳輸時間中之一對應信號傳輸時間而產生。



八、圖式：

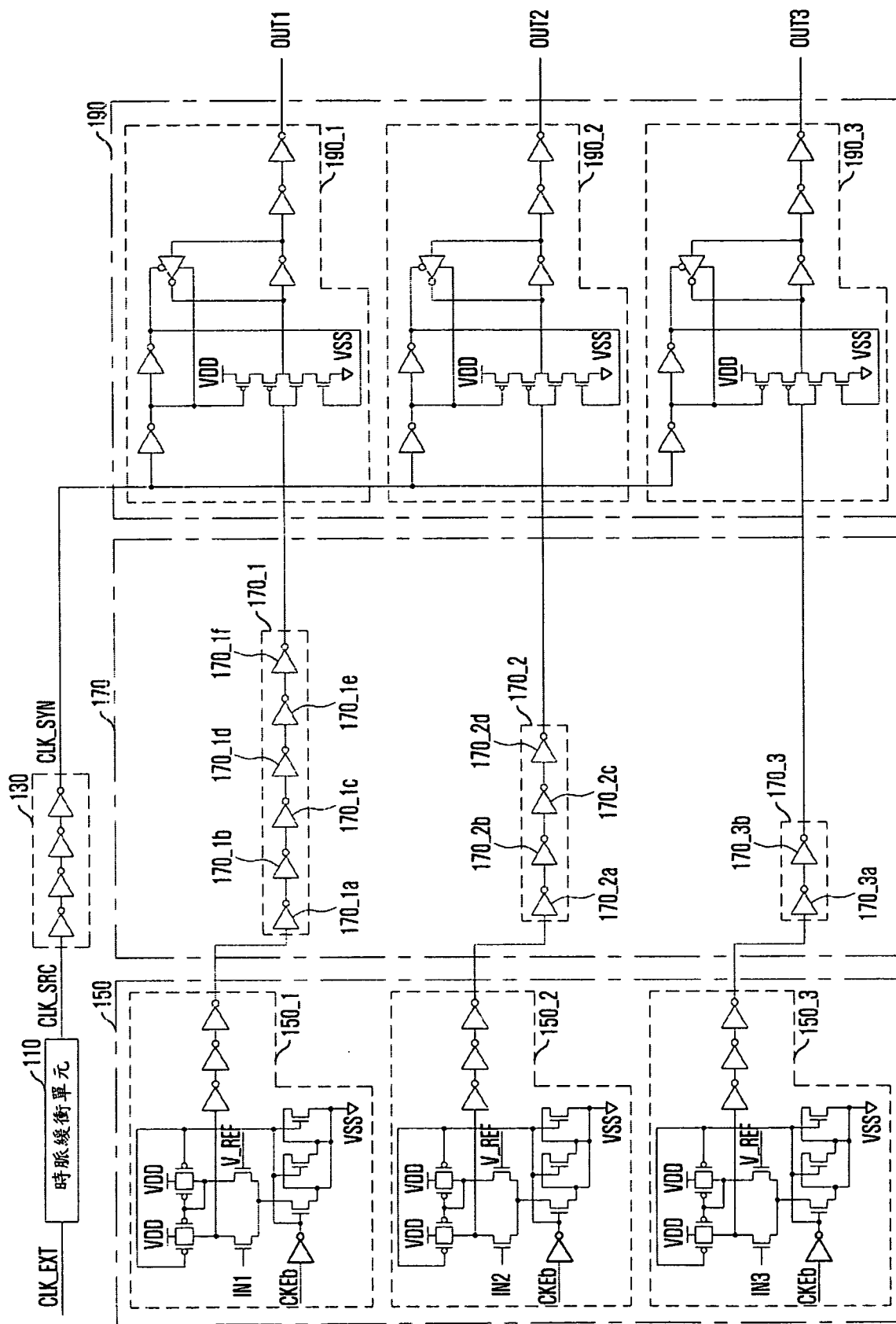


圖 1

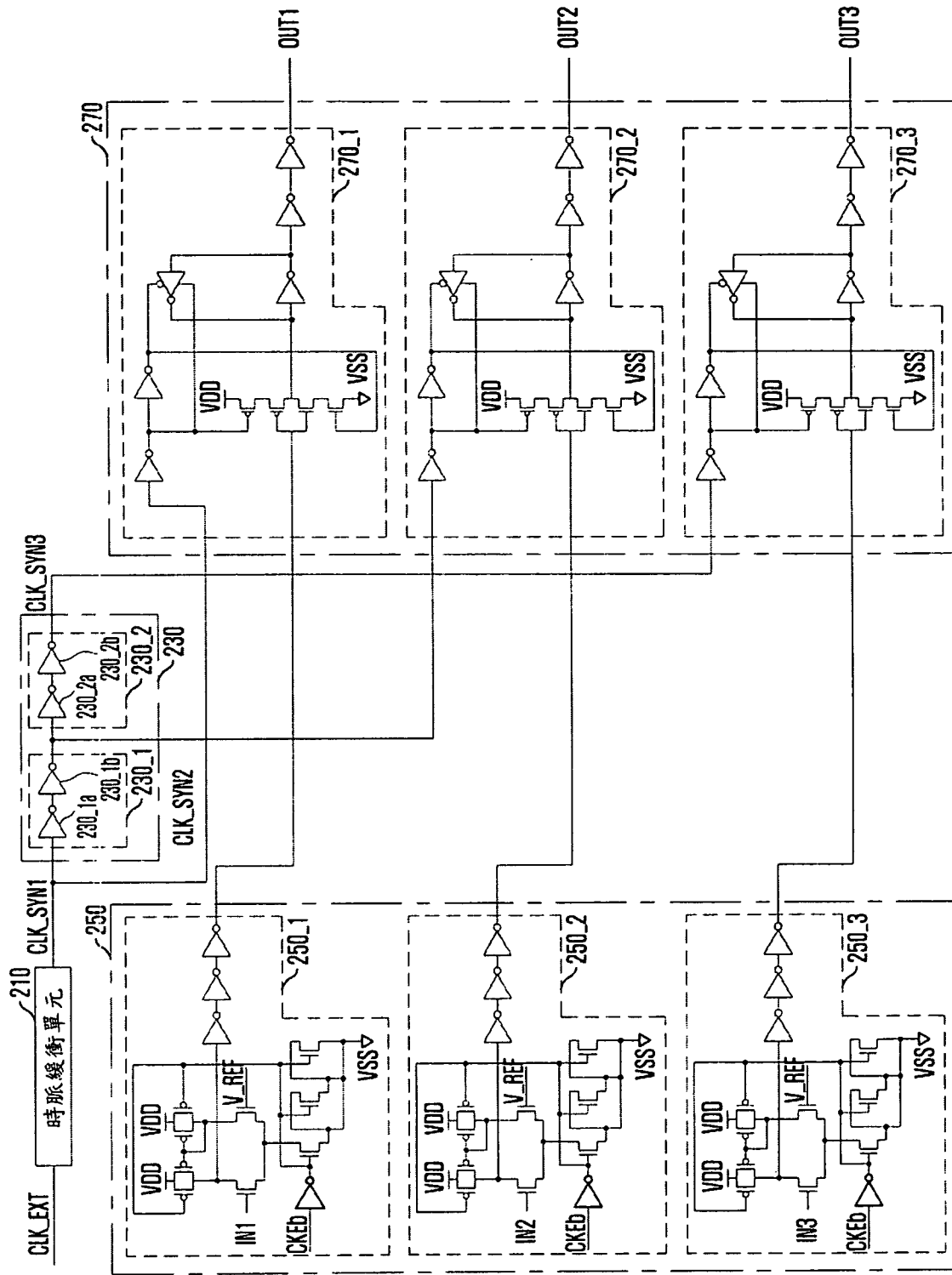


圖2