

公告本

申請日期	90 年 3 月 29 日
案 號	90107533
類 別	H01L 31/12

A4
C4

493282

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	自發光裝置及使用該裝置之電子裝置
	英 文	Self-luminous device and electric machine using the same
二、發明 人	姓 名	(1) 小山潤 (2) 犬飼和隆
	國 籍	(1) 日本 (2) 日本
住、居所	(1)	日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
	(2)	日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

日本 2000年4月17日 2000-114592 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

本發明有關一種自發光裝置(或 EL 顯示裝置)，其藉由在基底上形成發光元件而加以製成，本發明並有關一種以自發光裝置作為顯示單元的電機器。此處的發光元件亦稱為 OLED(有機發光裝置)。

發光元件除了陽極與陰極外，並具有可提供 EL(電發光：施加電場以產生光線)的 EL 材料層。EL 材料所產生的光線包括由單激態回至基態的所發出的光線，以及由三激態回至激態所發出的光線。本發明的自發光裝置可使用螢光 EL 材料及磷光 EL 材料。

相關技術的描述

近年，在基底上形成 TFT 的技術已有長足的進步，並開發以此 TFT 作為主動陣列基底的電子產品。尤其，多晶細薄膜的 TFT 具有高於傳統 TFT(非結晶矽薄膜)的場移動性，因此可高速的操作。

主動陣列自發光裝置具有如圖 3 的像素結構。在圖 3 中，參考標號 301 代表具 TFT 功能的開關元件；302 代表控制供應 EL 元件 303 之電流的 TFT(以下稱為電流控制 TFT302)；304 代表儲存電容。開關 TFT301 連接至閘極導線 305 與源極導線 306。電流控制 TFT302 連接至開關元件 303 並具有連接至電源線 307 的源極區。

當選取閘極導線 305 後，開啓開關 TFT301，並將來自汲極導線 306 的資料訊號儲存於儲存電容 304 中，並打開電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

流控制 TFT302 的閘極。當關閉開關 TFT301 的閘極後，儲存電容 304 中的電荷使電流控制 TFT302 的閘極保持開啓，且 EL 元件 303 在閘極開啓的過程中發出光線。EL 元件所發出的光量是依流經電流的流量而變化。

換句話說，在類比驅動灰階顯示中，利用源極導線 306 所輸入的資料訊號控制流入電流控制 TFT302 的閘極電流量，而改變 EL 元件的光量。

圖 4A 顯示電流控制 TFT 的電晶體特性。參考標號 401 代表所謂的 I_d - V_g 特性曲線(亦稱為 I_d - V_g 曲線)，其中 I_d 代表汲極電流，且 V_g 代表閘極電壓。利用此圖，可知道在給定的電壓下有多少電流流過。

當驅動 EL 元件時，通常利用 I_d - V_g 特性曲線附近，由點線 402 所代表的區域。圖 4B 為點線 402 包圍區的放大圖。

在圖 4B 中，陰影區域稱為次臨界區。其實際上代表閘極電壓接近臨界電壓 (V_{TH}) 的區域。當閘極電壓在此區域中改變時，汲極電流呈指數的變化。利用此區域中的閘極電壓來進行電流控制。

當圖 3 的開關 TFT301 開啓時，輸入至像素的資料訊號先儲存於儲存電容 304 中，且訊號作為電流控制 TFT302 的閘極電壓而無任何變化。此時，閘極電壓依據圖 4A 的 I_d - V_g 特性曲線，以 1:1 的比例決定汲極電流。

如上所述，利用輸入訊號控制 EL 元件的發光量，並控制。並控制灰階顯示的發光量。此種方法稱為類比式的灰

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

階，其中以不同的訊號大小來提供灰階顯示。

然而，類比灰階顯示的方法具有一缺點，且無法抑制 TFT 的擾動情形。例如，假設開關 TFT 之 I_d-V_g 的特性不同於其鄰近像素之 TFT 的特性，且兩者顯示同一色度，則會出現擾動的情況。

此時的開關 TFT 彼此會具有不同的汲極電流。而使施加至一電流控制 TFT 的閘極電壓不同於施加至另一電流控制 TFT 的電壓。因此，兩個 EL 元件流入不同的電流量，使兩者發出不同的光量，使得欲發出相同灰階的 EL 元件無法表現預期的效果。

即使將相同的電壓施加至鄰近像素的電流控制 TFT 時，如果電流控制 TFT 具有不同的 I_d-V_g 特性，則無法輸出相同的汲極電流。進一步的，由圖 4A 可以明顯的看出，此處所使用的閘極電壓是落在電壓與電流呈指數關係的範圍。因此，即使 I_d-V_g 有很小的差異，閘極電壓的一致性無法確保能輸出相同的電流。接著，可預期，鄰近像素的 EL 元件可能發出差異極大的光量。

由於開關 TFT 間的變動及電流控制 TFT 間的變動會產生增效的情形，實際上，可接受的 I_d-V_g 特性是落在極窄的範圍內。類比的灰階方法對 TFT 的變動極為敏感，而對習知主動陣列型自發光裝置的多色顯示形成明顯的障礙。

發明總結

考慮上述的問題，本發明的目的在於提供一種主動陣

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

列型自發光裝置，可進行清晰，多層次的顯示。此外，本發明的目的在於提供一種高性能的電子裝置，其裝設有此種主動陣列型自發光裝置。

本發明的申請人考量到為了使像素結構不易受 TFT 之擴散性的影響，當利用電流，控制 EL 元件的發光量時，數位驅動灰階法較類比驅動灰階法為佳，在數位驅動灰階法中，使用電流控制 TFT 作為簡單的電流開關元件。

亦即，在主動陣列型 EL 顯示裝置中，利用數位驅動器實施灰階顯示的分時法。

此外，當將視頻訊號輸入至源極驅動電路時，藉由分割視頻線，並同時輸入多個資料，便可使顯示面板具有更高的速度。此處的視頻訊號是指輸入至源極驅動電路的資料訊號。

圖 5A 至 5F 顯示，當實施分時層級顯示時，寫入週期及顯示期內之整個驅動器的時序。其中，此處使用 6 位元驅動器實施 64 階的顯示。寫入週期是指將訊號寫至單一框之所有像素所需的時間，且顯示週期是指顯示寫入訊號的週期。

在寫入週期中，切斷 EL 元件的驅動電源，且像素中的 EL 元件並未供給電壓。進一步的，在顯示期內，輸入 EL 驅動器的電源，而將電壓施加至像素中的 EL 元件。此時，當輸入開啓像素的資料訊號時，該像素便開啓。

在影像區中顯示完整影像所需的時稱為一個框週期。EL 顯示的一般振動頻率為 60Hz，亦即一秒鐘有 60 個框。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

例如，當實施 6 位元的數位灰階顯示時(64 階)，如果將框作 16 等分，且寫入週期與顯示週期的比為 6:10，則在寫入週期內，可實施 6 次(6.24msec)的寫入動作，如圖 5B 所示。六個寫入操作 1-6 的順序為從 1 至 6。進一步的，對應至寫入週期的顯示週期分別設成顯示 1-6。

再者，設定顯示週期使得顯示 1: 顯示 2: 顯示 3: 顯示 4: 顯示 5: 顯示 6=1:1/2:1/4:1/8:1/16:1/32。

圖 5C 顯示當在一框中實施 6 個寫入操作時，每一顯示週期相對於寫入週期具有上述的比率。圖 5C 的下部顯示寫入週期與顯示週期間的長度關係。

特定的，當寫入週期為 63 時，寫入週期 1 中的顯示週期(顯示 1)為 320。此外，顯示 2 具有 160 的顯示週期，顯示 3 具有 80 的顯示週期，顯示 4 具有 40 的顯示週期，顯示 5 具有 20 的顯示週期，且顯示 6 具有 10 的顯示週期。

一寫入週期以及一顯示週期稱為一個圖場。亦即，圖 5C 存在 6 個圖場，且每一圖場具有相同的寫入週期及顯示週期。為了完成一個框，一開始顯示的第一個圖場稱為圖場 1(F1)，而依序顯示的圖場稱為圖場 2 至 6。

然而，圖場 1-6 可依任意的順序出現。藉由結合顯示週期，可實施 64 階的灰階顯示。

進一步的，實際上，如圖 5D 所示，時序與六個具不同顯示週期的圖場相結合。

在圖 5D 中，如果於顯示 1 的週期內開啓預定的像素，則進入寫入 5，且當資料訊號輸入至所有的像素後，便進

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

入顯示5。接著，在寫入4中，將資料輸入至所有的像素後，便進入顯示4。在寫入2，寫入3及寫入6中，按個別的圖場以類似的方式開啓個別的像素。

圖5E顯示寫入資料的週期，其中在圖5D的圖場5中，利用從閘極電路所輸入的資料訊號來選取特定的閘極線。圖5E並顯示有顯示週期，其中將源極線的訊號輸入選定的閘極線，而使像素進行顯示。

圖5A至5E是依據VGA(640×480)顯示面板，因此共有480條閘極線，且選取所有閘極線的週期即為圖5E的寫入期。

在寫入期內，從源極線輸入的訊號稱為點資料。在圖5F的一個週期中，取樣單一閘極選取週期內，從源極驅動電路所輸入的資料。此顯示寫入期內的寫入選取之閘極資料的情形，並顯示寫入源極線之輸入訊號的情形。資料取樣的週期為40nsec。

如圖5F所示，自源極驅動電路輸入的訊號每40nsec輸出16個位元。

此外，如圖6所示，在一閘極選取週期內所選取的點資料儲存於源極驅動電路的栓鎖1中，直到完成所有資料的取樣。在完成所有的取樣後，從栓鎖線6003輸入栓鎖資料，並一此將所有資料移至栓鎖2(6002)。平移暫存器6004依據時脈線6005的時脈訊號，選取從視頻線6006輸入的視頻訊號。

除了取樣週期外，圖5F中的線資料栓鎖期是指由栓鎖

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

1 將資料移至栓鎖 2 之栓鎖訊號的輸入週期。

主動陣列型 EL 顯示裝置的像素結構顯示於圖 7 中。圖 7 中的參考標號 701 代表作為開關元件的 TFT，參考標號 702 代表電流控制 TFT，用以控制供應至 EL 元件 703 的電流，且參考標號 704 代表電容，開關 TFT701 連接至閘極線 705 及源極線 706。進一步的，EL 驅動器 TFT702 的汲極連接至 EL 元件 703，且 EL 驅動器 TFT702 的源極連接至電流源 707。

當選取閘極線 705 時，開關 TFT701 的閘極開啓，並將來自源極線 706 的資料訊號儲存於電容 704 中，且開啓電流控制 TFT 的閘極。接著，依據儲存於電容 704 中的電荷，當開關 TFT701 的閘極關閉後，電流控制 TFT702 的閘極依然開啓，並使 EL 元件發出光線。EL 元件的 703 發光量隨電流量而改變。

換句話說，電流控制 TFT702 的閘極，依數位驅動灰階顯示器之源極線 706 所輸入的訊號而開閉，且當 EL 驅動器的電源開啓時，則流入電流，並使 EL 元件發光。

像素之電流控制 TFT 的功能在於控制對應像素的開(顯示)/閉(不顯示)。利用透過 FPC 端子供應至右側面板的電源來進行顯示週期與寫入週期間的切換。

進一步的，在寫入週期中，電源呈 OFF 狀態，且將資料訊號輸入至每一像素。

當資料輸入至所有的像素，且完成寫入週期後，電源便開啓(圖 7 中的參考標號 709)，並同時進行顯示週期。在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

顯示 1 至顯示 6 的任一週其中，EL 元件發光，並開啓像素。

在出現六個圖場後，便完成一個框。此時，藉由上加顯示週期，便可控制像素的灰階顯示。例如，當選取顯示 1 及顯示 2 時，可表現 76% 的亮度(全亮度為 100%)，且當選取顯示週期 3 及顯示週期 5 時，可表現 16% 的亮度。

雖然以上描述顯示 64 個灰階的情形，但亦能實施其他的灰階顯示。

假設實施 N 個位元的顯示，則將第一框分成對應至 N 位元灰階的 N 個圖場(F1, F2, F3, ..., F(n-1), F(n))。隨著灰階數的增加，便可增加一框的分割數目，同時需以更高的頻率來驅動電路。

此外，將每個圖場分成寫入週期(Ta)及顯示週期(Ts)。

處理 N 個圖場的顯示週期(對應至 F1, F2, F3, ..., F(n-1), F(n)的顯示週期由 Ts1, Ts2, Ts3, ..., Ts(n-1), Ts(n)所表示)，使得 Ts1: Ts2: Ts3: ...: Ts(n-1):

Ts(n)= $2^0:2^{-1}:2^{-2}:...:2^{-(n-2)}:2^{-(n-1)}$ 。

在此狀態下，依順序選取任一圖場中的像素(嚴格說來，選取每一像素的開關 TFT)，並將預定的閘極電壓施加至電流控制 TFT 的閘極。利用上述的方式，便完成所需的 EL 元件，其中輸入資料訊號以開啓分配到各圖場之顯示週期的像素。

對 N 個圖場重複此操作，並藉由上加顯示週期，以控制一框之每一像素的階層顯示。因此，當把焦點放在任

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

一像素上時，可依據每一圖場的像素發光時間，來控制像素的灰階顯示。

因此，本發明之最重要的觀點是在主動陣列型 EL 顯示裝置中使用數位驅動分時灰階法，藉此可在不影響到 TFT 特性的情況下，來達成灰階顯示。進一步的，本發明將儲存電容以特定的配置形成於每一像素中，可提升像素的孔徑率，進而消除 TFT 特性變動所造成的影響。

圖示的簡單說明

圖 1A 及 1B 顯示自發光裝置的結構。

圖 2 顯示自發光裝置的剖面結構。

圖 3 顯示習知自發光裝置之像素部位的剖面結構。

圖 4A 至 4B 顯示使用類比灰階法的 TFT 特性。

圖 5A 至 5F 顯示分時灰階顯示的操作模式。

圖 6 顯示自發光裝置的源極驅動電路。

圖 7 顯示自發光裝置的像素結構。

圖 8 顯示分時灰階顯示法的操作模式。

圖 9 顯示自發光裝置的上視圖。

圖 10 顯示 FPC 輸入部位的保護電路。

圖 11 顯示自發光裝置的汲極驅動電路。

圖 12 顯示自發光裝置的源及驅動電路。

圖 13A 至 13E 顯示自發光裝置的製程。

圖 14A 至 14E 顯示自發光裝置的製程。

圖 15A 至 15C 顯示自發光裝置的製程。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

圖 16 顯示自發光裝置的外觀。

圖 17A 及 17B 顯示自發光裝置的外觀。

圖 18A 至 18C 顯示形成接觸結構的製程。

圖 19A 至 19B 顯示自發光裝置之像素部位的上部結構

。

圖 20 顯示自發光裝置的剖面結構。

圖 21 顯示自發光裝置之源極驅動電路的部位。

圖 22A 及 22B 分別顯示自發光裝置之像素部位的驅動電路，及自發光裝置所顯示的影像。

圖 23 顯示本發明的自發光裝置。

圖 24A 及 24B 顯示 EL 元件的結構。

圖 25 顯示 EL 元件的特性。

圖 26A 至 26F 顯示電子裝置的特定例。

圖 27A 及 27B 顯示 EL 元件及電流控制 TFT 的連接結構，以及 EL 元件與電流控制 TFT 之電壓-電流特性圖。

圖 28 顯示 EL 元件與電流控制 TFT 之電壓-電流特性圖

。

圖 29 顯示閘極電壓與汲極電流間的關係。

主要元件對照表

12	基座薄膜
13	源極區
14	汲極區
15a 至 15d	LDD 區

五、發明說明 (11)

- | | |
|-----------|----------|
| 16 | 分離區 |
| 17a 及 17b | 通道形成區 |
| 18 | 閘極絕緣薄膜 |
| 19a 及 19b | 閘極電極 |
| 20 | 第一內層絕緣薄膜 |
| 21 | 源極線 |
| 22 | 汲極線 |
| 26 | 源極區 |
| 27 | 汲極區 |
| 29 | 通道形成區 |
| 30 | 閘極電極 |
| 31 | 源極線 |
| 32 | 汲極線 |
| 35 | 源極區 |
| 36 | 汲極區 |
| 37 | LDD 區 |
| 38 | 通道形成區 |
| 39 | 閘極電極 |
| 40 | 源極區 |
| 41 | 汲極區 |
| 42 | 通道形成區 |
| 43 | 閘極電極 |
| 44 及 45 | 源極線 |
| 46 | 汲極線 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

- | | |
|------|--------------|
| 47 | 第一惰性薄膜 |
| 48 | 第二內層絕緣薄膜 |
| 49 | 像素電極 |
| 50 | 第三內層絕緣薄膜 |
| 51 | EL層 |
| 52 | 陰極 |
| 53 | 保護電極 |
| 102 | 源極驅動電路 |
| 102a | 平移暫存器 |
| 102b | 栓鎖(1) |
| 102c | 栓鎖(2) |
| 103 | 閘極驅動電路 |
| 104 | 分時灰階資料訊號產生電路 |
| 105 | 開關 TFT |
| 106 | EL層 |
| 107 | 陰極 107 |
| 108 | 電流控制 TFT |
| 109 | EL元件 |
| 110 | 電源線 |
| 111 | 電源 |
| 112 | 電容 |
| 113 | 分時灰階資料訊號產生電路 |
| 201 | 開關 TFT |
| 202 | 流控制 TFT |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

501	基底
502	非結晶矽薄膜
507	保護膜
508a 及 508b	光罩
509	n 型雜質區
510	絕緣薄膜
511 至 515	閘極
524 至 528	閘極絕緣薄膜
529	遮罩
530 及 533	雜質區
534a 至 534d	遮罩
535 至 539	雜質區
544	保護膜
545	第一內層絕緣薄膜
546 至 549	源極導線
550 至 552	汲極導線
553	第二內層絕緣薄膜
555 及 556	絕緣薄膜
557	電動注射層
558	發光層
601	玻璃基底
602	像素部位
603	閘極側驅動電路
604	源極側驅動電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

- | | |
|-----------|----------|
| 605 | 開關 TFT |
| 606 | 閘極導線 |
| 607 | 汲極導線 |
| 608 | 電流控制 TFT |
| 609 | 電源線 |
| 610 | EL 元件 |
| 612 及 613 | 輸入/輸出導線 |
| 614 | 輸入/輸出導線 |
| 701 | 開關 TFT |
| 702 | 電流控制 TFT |
| 703 | EL 元件 |
| 704 | 電容 |
| 705 | 閘極線 |
| 706 | 源極線 |
| 707 | 電流源 |
| 903 | 閘極驅動電路 |
| 904 | FPC 輸入部位 |
| 1200 | 基底 |
| 1201 | 像素部位 |
| 1202 | 源極驅動電路 |
| 1203 | 閘極驅動電路 |
| 1204 | 封裝材料 |
| 1205 | 黏著劑 |
| 1206 | 開口 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

- | | |
|------|---------|
| 1207 | 保護電極 |
| 1209 | 連接導線 |
| 1210 | 輸入/輸出導線 |
| 1302 | 開口部位 |
| 1902 | 電源線 |
| 1903 | 儲存電容 |
| 1904 | 半導體薄膜 |
| 2001 | 本體 |
| 2002 | 框架 |
| 2003 | 顯示區 |
| 2004 | 鍵盤 |
| 2101 | 本體 |
| 2102 | 顯示區 |
| 2103 | 聲音輸入區 |
| 2104 | 操作開關 |
| 2105 | 電池 |
| 2106 | 影像接收區 |
| 2201 | 本體 |
| 2202 | 顯示區 |
| 2203 | 臂部 |
| 2353 | 顯示區 |
| 2401 | 本體 |
| 2402 | 記錄媒體 |
| 2403 | 操作開關 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (16)

2404	顯示部位 (a)
2405	顯示部位 (b)
2501	顯示框
2502	支撐板
2503	顯示部位

較佳實施例的詳細說明

圖 1A 及 1B 顯示依據本發明之主動陣列自發光裝置的方塊圖。圖 1A 及 1B 的主動陣列自發光裝置具有形成於基底上的 TFT。TFT 構成像素部位 101，資料訊號側驅動電路 102 及閘極訊號側驅動電路 103。參考標號 113 代表分時灰階資料訊號產生電路 (SPC：串列-平行轉換電路)。

資料訊號側驅動電路 102 具有平移暫存器電路 102a，拴鎖 1(102b) 及拴鎖 2(102c)。除此，在驅動電路 102 中亦包括有緩衝器電路。

在此實施例中，主動陣列自發光裝置僅具有資料訊號側驅動電路。然而，可提供兩個閘極訊號側驅動電路以使像素部位夾於其頂端與底端。

每一閘極訊號側驅動電路 103 具有平移暫存器，緩衝器等。

像素部位 101 具有 640×480 (寬 \times 長) 個像素。每一像素具有開關 TFT 及電流控制 TFT。開關 TFT105 連接至閘極導線 106 及源極導線 107。電流控制 TFT108 具有連接至 EL 元件 109 的汲極區以及連接至電源線 110 的源極區。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

當選取閘極導線 106 時，開關 TFT105 開啓，並將源極導線 107 的資料訊號儲存至電容 112，並開啓電流控制 TFT108 的閘極。亦即，自源極導線 107 輸入的資料訊號使電流流入電流控制 TFT108 而使 EL 元件發光。

以下描述依據本發明之主動陣列自發光裝置的操作。

首先描述資料訊號側驅動電路 102 的操作。資料訊號側驅動電路 102 包括平移暫存器電路 102a，拴鎖 1(102b)及拴鎖 2(102c)。時脈訊號(CK)及起始時脈(SP)輸入至平移暫存器電路 102a。平移暫存器電路 102a 持續地產生對應至時脈訊號(CK)及起始時脈(SP)的訊號。產生的時脈訊號持續地經由緩衝器供給至下游的電路。

平移暫存器電路 102a 的時脈訊號被緩衝器緩衝放大。由於源極導線連接有許多元件，因此供給有時脈訊號的源極導線具有大的負載電容。負載電容會使時脈訊號的上下緣"頓化"。因此提供緩衝器可避免"頓化"的情形。

被緩衝的時脈訊號供給至拴鎖 1(102b)。拴鎖 1(102b)具有 6 位元訊號的拴鎖。當接收到輸入時脈時，拴鎖 1(102b)持續地接收來自分時灰階資料訊號產生電路 104 的 6 位元資料訊號，並將其保持住。

將數位資料訊號寫入所有拴鎖 1(102b)段所需的時間稱為寫入週期。特定的，寫入週期自寫入拴鎖 1(102b)最左側的拴鎖段開始，到寫入拴鎖 1(102b)最右側的拴鎖段結束。寫入週期又稱為線週期。

在結束寫入週期後，當平移暫存器電路 102a 操作時，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

開始將控鎖訊號供給至控鎖 2(102c)。此時，已寫入並保持於控鎖 1(102b)的數位資料訊號一次傳送至控鎖 2(102c)並保持於其內。

已將資料傳送至控鎖 2(102c)的控鎖 1(102b)再次反應平移暫存器電路 102a 所輸出的時脈訊號，循序地自分時灰階資料訊號產生電路 104 取得新的數位資料。

同時，控鎖 2(102c)接收輸入至其中的控鎖訊號。

在每一閘極訊號側驅動電路 103 中，自平移暫存器電路 102a 的時脈訊號供給至其緩衝器，接著供給至對應的閘極導線。

分時灰階資料訊號產生電路 113 用以將外部輸入的數位訊號的頻率降成原來的 $1/m$ 。亦可對輸入的數位訊號做分割，以將操作驅動電路所需的訊號頻率降至 $1/m$ 。

在本發明中，輸入至像素部位的資料訊號為數位訊號，且不同於液晶顯示裝置，本發明並不使用電壓的灰階顯示。

因此，"0"或"1"的數位資料訊號可直接輸入至像素部位。

像素部位 101 具有陣列配置的多個像素 104。圖 1B 示像素 104 的放大圖。在圖 1B 中，開關 TFT105 連接至輸入閘極訊號的 EL 層 106，並連接輸入視頻訊號的陰極 107。

電流控制 TFT108 具有連接至開關 TFT105 之汲極區的閘極。電流控制 TFT108 具有連接至 EL 元件 109 的汲極區，並具有連接至電源線 110 的源極區。EL 元件 109 由 EL 層，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

連接至電流控制 TFT108 的陽極，以及相對於陽極的陰極所構成。陰極連接至指定的電源 111。

開關 TFT 可為 n 通道 TFT 或 p 通道 TFT。

當電流控制 TFT108 為 n 通道 TFT 時，電流控制 TFT108 的汲極區連接至 EL 元件 109 的陰極，而若電流控制 TFT108 為 p 通道 TFT 時，電流控制 TFT108 的汲極區連接至 EL 元件 109 的陽極。

當開關 TFT105 未選取時，電容 112 用以保持電流控制 TFT108 的閘極電壓。電容 112 連接至開關 TFT105 的汲極區及電源線 110。

輸入至像素部位的數位資料訊號產生於分時灰階資料訊號產生電路 113 中。此電路將視頻訊號轉換成數位資料訊號以做分時的灰階顯示。電路 113 並產生分時灰階顯示所需的脈波。

一般而言，分時灰階資料訊號產生電路 113 包括：將一圖框分成多個 N 位元灰階顯示圖場的機構：選擇一圖場之寫入週期或顯示週期的機構：以及設定顯示週期以滿足下述關係的的機構： $Ts1: Ts2: Ts3: \dots Ts(n-1): Ts(n): = 2^0: 2^{-1}: 2^{-2}: \dots: 2^{-(n-2)}: 2^{-(n-1)}$ 。

分時灰階資料訊號產生電路 113 可置於本發明之自發光裝置的外側，或單獨地形成。當電路 113 配置於自發光裝置的外側時，電路所產生的數位資料訊號輸入至本發明的自發光裝置。

接著，圖 2 顯示依據本發明之主動陣列自發光裝置的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

剖面結構。

在圖 2 中，參考標號 11 及 12 代表基底，及作為基座的絕緣薄膜。基底 11 為透明基底，且一般為玻璃基底，石英基底，玻璃陶瓷基底及結晶玻璃基底。然而，基底的金屬需具有抗熱的效果。

當使用含移動離子或具導電性的基底時，基座薄膜 12 尤為有效。基座薄膜 12 不需為石英基底。“含矽的絕緣薄膜”是指含特定比例之矽，氧及氮的氧化矽薄膜，氮化矽薄膜及氮氧化矽薄膜。

參考標號 201 代表開關 TFT201，其由 n 通道 TFT 所形成，但亦可為 p 通道 TFT。參考標號 202 代表電流控制 TFT202，且圖 2 顯示電流控制 TFT202 由 p 通道 TFT 所形成。換句話說，電流控制 TFT 的汲極連接至 EL 元件的陽極。然而，當電流控制 TFT 由 n 通道 TFT 所形成時，電流控制 TFT 連接至 EL 元件的陰極。

N 通道 TFT 的場效移動性大於 p 通道 TFT 的場效移動性，因此可高速的流通大電流。進一步的，即使流過相同大小的電流，n 通道 TFT 的尺寸可做得較小。

需知，在本發明中無須將開關 TFT 及電流控制 TFT 限定為 n 通道 TFT，而可利用 p 通道 TFT 作為開關 TFT 及電流控制 TFT。

開關 TFT201 具有：含源極區 13 的作動層；汲極區 14；LDD 區 15a 至 15d；分離區 16；及通道形成區 17a 及 17b；閘極絕緣薄膜 18；閘極電極 19a 及 19b；第一內層絕緣薄

(請先閱讀背面之注意事項再填寫本頁)

訂

續

五、發明說明 (21)

膜 20；源極線 21；汲極線 22。依據電路或元件，閘極絕緣薄膜 18 或第一內層絕緣薄膜 20 可共用基底上的 TFT 或不共用。

圖 2A 中的開關 TFT201 具有電性連接的閘極電極 19a 及 19b，並成爲所謂的雙閘極結構。當然，除了雙閘極結構外，亦可使用多閘極結構。

欲降低 OFF 電流值，多閘極結構特別有效，且藉由夠低之開關 TFT 的關閉電流，可降低圖 1B 之電容 112 所需的電容值。亦即，可使電容 112 的外表面區變小，因此多閘極結構在增加 EL 元件 109 之發光表面積上特別有效。

此外，開關 TFT201 中的 LDD 區 15a 至 15d 夾疊閘極絕緣薄膜 18，且不與通道形成區 17a 及 17b 重疊。此種結構特別能減低關閉電流值。進一步的，LDD 區 15a 至 15d 的長度可爲 0.5 至 3.5 μm ，較佳的是 2.0 至 2.5 μm 。

在降低關閉電流方面，於通道形成區及 LDD 區間形成平移區特別有效。進一步的，當使用具兩個或多個閘極的多閘極結構時，在通道形成區間形成分離區 16 特別有效。

接著，電流控制 TFT202 具有：源極區 26；汲極區 27；通道形成區 29；閘極絕緣薄膜 18；閘極電極 30；第一內層絕緣薄膜 20；源極線 31 及汲極線 32。閘極電極 30 具有單閘極結構，但亦可使用多閘極結構。

如圖 1B 所示，開關 TFT201 電子地連接至電流控制 TFT202。尤其，電流控制 TFT202 的閘極電極 30 經由汲極線 22 連接至開關 TFT201 的汲極區 14。進一步的，源極線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

31 連接至圖 1B 中的電流源線 110。

再者，從增加電流量的觀點，亦可增加作動層(尤其，通道形成區)的膜厚(較佳的是 50 至 100nm，更佳的是 60 及 80nm)。相反的，從降低開關 TFT201 之

關閉電流的觀點，可減少作動層(尤其，通道形成區)的膜厚(較佳的是 20 至 50nm，更佳的是 25 及 40nm)。

以上，已說明在像素區中形成 TFT 結構的情形，但同時亦形成驅動電路。圖 2 顯示形成驅動電路基本單元的 CMOS 電路。

在圖 2 中，CMOS 電路的 n 通道 TFT 盡可能地使用能降低熱載體注射效應，且不降低操作速度之 TFT 結構。此處的驅動電路是指圖 1A 中的源極驅動電路 102 及閘極驅動電路 103。當然可形成其他的訊號處理電路(如位準平移器，A/D 轉換器或訊號分割器)。

N 通道 TFT204 的作動層包含：源極區 35；汲極區 36；LDD 區 37；及通道形成區 38，且 LDD 區 37 與閘極電極 39 重疊，並疊夾閘極絕緣薄膜 18。在本說明書中，LDD 區 37 是指 L_{ov} 區。

爲了不降低操作速度，因此僅在汲極區側形成 LDD 區。進一步的，無須太關心 N 通道 TFT204 的關閉電流值，而應將重點放在操作速度上。因此，最好使 LDD 區 37 與閘極電極完全地重疊，盡可能的降低阻抗的成分。換句話說，最好能消除偏移量。

熱載體注射對 CMOS 電路之 p 通道 TFT205 的負面影響

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (23)

幾乎可加以忽略，尤其，不需形成 LDD 區。因此，作動層含有源極區 40；汲極區 41；通道形成區 42，且閘極絕緣薄膜 18 與閘極電極 43 重疊。當然，可藉由形成類似於 N 通道 TFT204 的 LDD 區，來抵抗熱載體。

進一步的，N 通道 TFT204 及 p 通道 TFT205 皆覆有第一內層絕緣薄膜 20，並形成源極線 44 及 45。此外，兩者由汲極線 46 電子地連接。

參考標號 48 代表第二內層絕緣薄膜，其具有平坦化的功能。較佳的，可利用有機樹脂薄膜作為第二內層絕緣薄膜 48，並可使用聚硫亞氨，聚氨基化合物，丙烯酸及 BCB 作為第二內層絕緣薄膜 48。EL 層對不平坦的表面相當的敏感，因此最好在所有的 TFT 步驟中加入第二內層絕緣薄膜 48。此外，最好使低介電常數的材料具有較大的厚度，以降低閘極線，或資料線及 EL 元件陰極間的寄生電容。因此，厚度最好為 0.5 至 5 μ m(較佳的是介於 1.5 至 2.5 μ m)。

進一步的，參考標號 49 代表透明導電薄膜所形成的像素電極。像素電極 49 連接至第二內層絕緣薄膜 48 接觸孔內之電流控制 TFT202 的汲極線 32，接著，形成絕緣薄膜 50。將含矽的絕緣薄膜或有機樹脂薄膜圖樣化，來形成絕緣薄膜 50。形成絕緣薄膜 50 以填滿像素電極間間隙，如此可避免發光層的有機 EL 材料被像素電極 49 的端部所覆蓋。

EL 層 51 形成於絕緣薄膜 50 上。EL 層 51 可為單層結構或多層結構。當形成多層結構時，EL 層會具有較佳的發光效率。一般而言，依序在像素電極上形成孔注射層，孔

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

傳輸層，發射層及電子傳輸層，但亦可使用含孔傳輸層，發射層及電子傳輸層或含孔注射層，孔傳輸層，發射層及電子注射層的結構。本發明可使用任何已知的結構，亦可在 EL 層中摻雜螢光劑。

有機 EL 材料可使用習知的材料，如以下美國專利及日本專利所揭露的材料：美國專利第 4,356,429 號；美國專利第 4,539,507 號；美國專利第 4,720,432 號；美國專利第 4,769,292 號；美國專利第 4,885,211 號；美國專利第 4,950,950 號；美國專利第 5,059,861 號；美國專利第 5,047,687 號；美國專利第 5,073,446 號；美國專利第 5,059,862 號；美國專利第 5,061,617 號；美國專利第 5,151,629 號；美國專利第 5,294,869 號；美國專利第 5,294,870 號；日本專利公開第 Hei 8-241048 號；及日本專利公開第 Hei 8-78159 號。

EL 發光裝置可分成四種彩色顯示方法：形成 R,G,B 三色之 EL 元件的方法；結合白光 EL 元件及濾色器的方法；結合藍或藍綠 EL 元件及螢光物(螢光色變化層，CCM)的方法；及利用透明電極作為陰極，並與 R,G,B 三色之 EL 元件重疊的方法。

在 EL 層 51 上形成 EL 元件的陰極 52。可使用含低工作電數的材料，如鎢，鋰或鈣作為陰極 52 的材料。較佳的是，使用 MgAg(Mg:Ag=10:1)所製成的陰極。此外，亦可使用 MgAgAl 電極，LiAl 電極及 LiFAl 電極。

在形成 EL 層 51 後，最好連續地形成陰極 52，而不與

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明（25）

外界接觸。此係因陰極 52 及 EL 層 51 的介面狀態對 EL 元件的發光效應會造成相當大的影響。在本說明書中，像素電極（陽極），EL 層，及陰極所形成的發光元件即為 EL 元件。

在每一像素中，由 EL 層 51 及陰極 52 所形成的層狀物必須分開地形成，但 EL 層 51 抗濕氣的能力相當差，因此無法使用一般的顯影技術。因而，最好使用如金屬的光罩，並利用真空蒸著，漸鍍或電漿 CVD 等氣相法選擇性的形成層狀物。

亦可使用噴墨印刷或遮蔽印刷法選擇性的形成 EL 層。然而，在這些方法中，無法連續地形成陰極，因此最好使用上述的其他方法。

進一步的，參考標號 53 代表保護電極，其用以防止陰極 52 與外部的濕氣接觸，並連接至每像素的電極。保護電極 53 最好使用含鋁，銅，銀之低阻抗材料。保護電極 53 亦可具有熱輻射性，以釋放 EL 元件所產生的熱。此外，最好在形成上述之 EL 層 51 及陰極 52 後，連續地形成保護電極 53 而不與外界接觸。

本發明的主要目的在於提供一種主動陣列型自發光裝置，其中利用數位驅動分時灰階顯示來改善類比驅動分時灰階顯示中所產生的 TFT 變動。依此，本發明並不限於圖 2 自發光裝置的結構。圖 2 的結構僅為一種較佳的模式。

上述的 TFT 由高速操作的多晶矽薄膜所形成，因此較易因熱載體的注入而產生退化的情形。因此，在製造具有高可靠性及優良影像顯示性的自發光裝置時，依據不同的

五、發明說明 (26)

功能，在相同的像素內配置不同的 TFT 非常有效。

在本發明的自發光裝置中，每一像素皆為儲存電容。圖 19A 及 19B 顯示以圖 2 結構所形成的電容。在圖 19A 及 19B 中，對應至圖 1A 及 1B 的元件以相同的參考標號表示。

圖 19A 及 19B 中，1903 所表示的區域作為儲存電容。儲存電容 1903 形成在與電源線 1902 連接之半導體薄膜 1904，作為閘極絕緣薄膜之絕緣薄膜與閘極電極 29 間。半導體薄膜 1904 與形成開關 TFT 及電流控制 TFT 的半導體薄膜分離，因此稱為分離的半導體薄膜。特定的，分離的半導體薄膜 1904 與形成開關 TFT 之源極區 13 的主動層及其源極區，以及電流控制之源極區 26 及其汲極區 27 隔離。在 1903 的區域中，分離的半導體薄膜 1904 透過閘極絕緣薄膜與閘極重疊。與閘極重疊的部位佔去半導體薄膜 1904 之 60% 或更大的面積。60% 以上的半導體薄膜 1904 進一步透過第一內層絕緣薄膜，與電源線 1902 重疊。亦可使用閘極 29 所形成的電容，位於同層的第一內層絕緣薄膜及電源線 1902 作為電容。

實施例 1

以下將參考圖 9 至圖 16，以及表 1 至 4 來說明本實施例。此處的描述包括：用於實施本發明的像素部位：像素周邊之驅動電路的結構及額定值(尺寸，電壓)：及輸出訊號。

圖 9 顯示整個上平面。依此，在圖 9 中顯示的是底側。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (27)

圖 9 中的參考標號 901 代表像素部位，902 為源極驅動電路，903 為閘極驅動電路，且 904 為彈性電路板(FPC)輸出部位。此實施例所使用之 FPC 的節距為 $500 \mu\text{m}$ 並具有 50×2 個端子。

在此實施例中，在某些 FPC 輸入部位上，904a 及 904b 具有保護膜。在 1 至 100 之 FPC 輸入部位 904a 及 904b 中，輸入部位 1 至 19 及 82 至 100 不具有保護膜。

表 1 顯示本說明書所使用之 FPC 的規格比。表 1 中的“端子號碼”為圖 9 中 FPC 輸入部位 904a 至 904b 的號碼(1 至 100)。

(請先閱讀背面之注意事項再填寫本頁)

訂

編

五、發明說明 (28)

表 1 FPC 輸入端

端子號	端子符號	電壓(範圍)[V]	訊號名
			pad(腳墊)
1	EL_CATH	近似 4(0.0~9.0)/9	EL 方向驅動電流源(正)
2	EL_ANOD	9	EL 方向驅動電流源(負)
3	S_LATB	0.0/9.0	源極驅動電路的栓鎖反相訊號
4	S_LAT	0.0/9.0	源極驅動電路的栓鎖訊號
5	VD_16	0.0/9.0	視頻訊號 16
6	VD_15	0.0/9.0	視頻訊號 15
7	VD_14	0.0/9.0	視頻訊號 14
8	VD_13	0.0/9.0	視頻訊號 13
9	VD_12	0.0/9.0	視頻訊號 12
10	VD_11	0.0/9.0	視頻訊號 11
11	VD_10	0.0/9.0	視頻訊號 10
12	VD_09	0.0/9.0	視頻訊號 9
13	VD_08	0.0/9.0	視頻訊號 8
14	VD_07	0.0/9.0	視頻訊號 7
15	VD_06	0.0/9.0	視頻訊號 6
16	VD_05	0.0/9.0	視頻訊號 5
17	VD_04	0.0/9.0	視頻訊號 4
18	VD_03	0.0/9.0	視頻訊號 3
19	VD_02	0.0/9.0	視頻訊號 2
20	VD_01	0.0/9.0	視頻訊號 1
21	S_GND	0	源極驅動電路的負電源
22	S_VDD	9	源極驅動電路的正電源
23	S_LEFT	0.0 或 9.0	切換源極驅動電路的掃描方向(0.0:向右掃描 9.0:向左掃描)
24	S_SP	0.0/9.0	源極驅動的開始時脈
25	S_CKb	0.0/9.0	源極驅動電路反相時脈
26	S_CK	0.0/9.0	源極驅動電路的時脈訊號
27	VD_01	0.0/9.0	視頻訊號 1
28	VD_02	0.0/9.0	視頻訊號 2
29	VD_03	0.0/9.0	視頻訊號 3
30	VD_04	0.0/9.0	視頻訊號 4
31	VD_05	0.0/9.0	視頻訊號 5
32	VD_06	0.0/9.0	視頻訊號 6
33	VD_07	0.0/9.0	視頻訊號 7
34	VD_08	0.0/9.0	視頻訊號 8
35	VD_09	0.0/9.0	視頻訊號 9
36	VD_10	0.0/9.0	視頻訊號 10
37	VD_11	0.0/9.0	視頻訊號 11
38	VD_12	0.0/9.0	視頻訊號 12
39	VD_13	0.0/9.0	視頻訊號 13
40	VD_14	0.0/9.0	視頻訊號 14
41	VD_15	0.0/9.0	視頻訊號 15
42	VD_16	0.0/9.0	視頻訊號 16
43	G_GND	0	閘極驅動電路的正電源
44	G_VDD	10	閘極驅動電路的負電源
45	G_UP	0.0 或 10.0	切換閘極驅動電路的掃描方向(0.0:向右掃描 9.0:向左掃描)
46	G_GKb	0.0/10.0	閘極驅動電路反相時脈
47	G_GK	0.0/10.0	閘極驅動電路的時脈
48	G_SP	0.0/10.0	閘極驅動電路的開始脈波
49	EL_ANOD	9	EL 驅動方向電流源(正)
50	EL_CATH	近似 4(0.0~9.0)/9	EL 驅動方向電流源(負)
			pad(腳墊)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (29)

接著，圖 11 顯示圖 9 之閘極驅動電路 103 的詳細電路圖。在閘極驅動電路中，正電壓為 10V，負電壓為 0V，且輸入至閘極驅動電路的操作時鐘頻率為 250kHz。驅動電路可用以切換掃描方向。

在圖 11 中，參考標號 g_chsw 代表掃描方向切換開關；g_sftr_b，g_sftr_c，g_sftr_d 代表平移暫存器部位；g_nand_e 代表 NAND；且 g_buff_f，g_buff_i，g_buff_k，g_buff_m，g_buff_n 及 g_buff_p 代表緩衝器。g_clk_s 及 g_clk_h 代表時脈電路。

在此實施例中，圖 11 之點線所包圍的部位，亦即，g_sftr_b，g_sftr_c，g_sftr_d，g_sftr_g，g_sftr_n 及 g_sftr_p 代表平移暫存器(11001)。

表 2 顯示構成閘極驅動電路之平移暫存器，NAND 電路，及緩衝器中的 TFT 尺寸。表 2 顯示平移暫存器，NAND 電路，p 通道 TFT 及 n 通道 TFT 的緩衝器。表 2 中的符號對應至圖 11 中的參考標號。表 2 中的 L[μm] 代表 TFT 的通道長度，且 W[μm] 代表 TFT 的通道寬度。

[表 2]

Pch-TFT	L[μm]	W[μm]	Nch-TFT	L[μm]	Lo[μm]	W[μm]
g_chsw_a	4.5	20	g_chsw_a	5	0.5	10
g_sftr_b	4.5	16	g_sftr_b	5	0.5	8
g_sftr_c	4.5	40	g_sftr_c	5	0.5	20
g_sftr_d	4.5	10	g_sftr_d	5	0.5	5
g_nand_e	4.5	22	g_nand_e	5	0.5	22
g_buff_f	4.5	50	g_buff_f	5	0.5	25

(請先閱讀背面之注意事項再填寫本頁)

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明 (30)

接著，圖 12 顯示圖 9 源極驅動電路的詳細構造。在源極驅動電路中，正電壓為 9V，負電壓為 0V，輸入至源極驅動電路的操作時脈頻率為 12.5MHz。

在圖 12 中，參考標號 s_chsw_a 代表掃描方向變換開關；且 s_buf1_f，s_buf1_g，s_buf1_h，s_buf1_i，s_buf2_n 及 s_buf3_t 代表緩衝器。s_lat1_j，s_lat1_k，s_lat1_m 代表第一段拴鎖，且 s_lat2_p，s_lat2_r，s_lat2_s 代表第二段拴鎖。

在此實施例中，圖 12 之點線所包圍的部位，亦即，s_sftr_b，s_sftr_c，s_sftr_d 作為平移暫存器 (12001)。

表 3 顯示構成源極驅動電路之平移暫存器，NAND 電路，及緩衝器中的 TFT 尺寸。表 3 顯示平移暫存器，NAND 電路，p 通道 TFT 及 n 通道 TFT 的緩衝器。表 3 中的符號對應至圖 12 中的參考標號。表 3 中的 L[μ m] 代表 TFT 的通道長度，且 W[μ m] 代表 TFT 的通道寬度。N 通道 TFT 的通道長度包括 Lov 區。

[表 3]

Pch-TFT	L [μ m]	W [μ m]	Nch-TFT	L [μ m]	Lov [μ m]	W [μ m]
s_chsw_a	4.5	60	s_chsw_a	5	0.5	40
s_sftr_b	4.5	50	s_sftr_b	5	0.5	25
s_sftr_c	4.5	100	s_sftr_c	5	0.5	50
s_sftr_d	4.5	30	s_sftr_d	5	0.5	15
s_nand_e	4.5	50	s_nand_e	5	0.5	50
s_buf1_f	4.5	100	s_buf1_f	5	0.5	50
s_buf1_g	4.5	100	s_buf1_g	5	0.5	50
s_buf1_h	4.5	300	s_buf1_h	5	0.5	150
s_buf1_i	4.5	400	s_buf1_i	5	0.5	200
s_lat1_j	4.5	16	s_lat1_j	5	0.5	8
s_lat1_k	4.5	16	s_lat1_k	5	0.5	8
s_lat1_m	4.5	4	s_lat1_m	5	0.5	2
s_buf2_n	4.5	30	s_buf2_n	5	0.5	15
s_lat2_p	4.5	16	s_lat2_p	5	0.5	8
s_lat2_r	4.5	16	s_lat2_r	5	0.5	8
s_lat2_s	4.5	4	s_lat2_s	5	0.5	2
s_buf3_t	4.5	30	s_buf3_t	5	0.5	15

(請先閱讀背面之注意事項再填寫本頁)

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明 (31)

依據本發明之面板的每個像素具有圖 7 的像素結構。此處，電流控制 TFT702 為 p 通道 TFT(L=4.0 μ m(扣除 L_{off}=2.0 μ m \times 2 \times 2)，W=3 μ m)。附屬電容 704 區為 S~0.008 \times 0.036mm²(LDDSi-Gta-Al)。

表 4 顯示依據本發明之面板的規格。

[表 4]

螢幕大小	diagonal 4.0 inches
像素數目	640 \times 480
像素間隔	126 μ m
灰階	64(6bit)
孔徑率	60%
源極驅動電路的操作時脈	12.5MHz
閘極驅動電路的操作時脈	252kHz
驅動電路的電壓	12V
顯示區的電壓	6V
負荷率	61.5%
色彩	monochrome

在此實施例中，面板尺寸為 87mm \times 100mm 且螢幕的尺寸為 61mm \times 81mm(對角尺寸為 4.0inch)。節距為 126 μ m，且像素配置成條狀。孔徑率 60%。

在此實施例中，可將像素部位分成被 TFT 及導線所遮

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

住的區域，以及其餘像素部位的區域，後者稱為傳光區。傳光區與總面積的比例稱為孔徑比(或有效光傳面積)。螢幕的像素數目由下式來加以計算 $(d^2+640+d^2) \times (d^2+480+d^2)$ ，亦即， $307200+(d)4496$ ，其中 d 代表啞數。

依據本說明書的規格，面板具有 VGA 解析度 640×480 ，且顯示單色的影像。其顯示 64 個灰階，且工率為 62.5%。

[實施例 2]

在實施例 1 中，在顯示期內，將位於面板外側，用以施加電壓至 EL 元件的電源關閉，且在寫入週期內，將電源開啓。依據此方法，在寫入週期後，當再次開始顯示期時，將電源開啓，以便快速地增加電流。在改變面板的整體負載上，此種方式優於可變電壓源。

結果，所需的電壓無法施加至整個面板，而造成不佳的顯示品質。

爲了避免在寫入期與顯示期間使電流快速的增加，在實施例 2 中將電源保持住。如果顯示期較圖 5 的寫入期 4，寫入期 5，寫入期 6 爲短，則顯示期 4，顯示期 5 及顯示期 6 則納入寫入期，而無法區別。

換句話說，實施本發明需要考慮(1)減少像素數目來縮短寫入期，(2)提高驅動電路之 TFT 的能力，來增加操作速度，(3)將驅動電路設置於在面板外來提升操作速度。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (33)

[實施例 3]

以下將參考圖 13A 至 15C 描述本發明的實施例 3。此處將描述同時製造像素部位 TFT 及驅動電路部位 TFT 的方法。在驅動電路方面，圖中顯示作為基本電路的 CMOS 電路。

首先，備製表面沉積有薄膜的基底 501，如圖 13A 所示。在此實施例中，以層狀的氮氧化矽薄膜作為基膜。此時，較佳的是使結晶玻璃薄膜中的氮濃度維持在 10-25wt%。如此可使基膜具有散熱性，並可提供 DLC 薄膜。

其後，將 50nm 厚的非結晶矽薄膜以習知的薄膜形成法，形成在基底 501 上。無須限定於使用非結晶矽薄膜。替代的，此處亦可使用具非結晶結構的半導體薄膜，如鍺化矽非結晶薄膜。適當的膜厚可為 20 至 100nm。

在日本專利申請公開第 Hei 7-130652 號中揭露一種將非節精細薄膜結晶化的技術，以形成結晶矽薄膜 502。其他習知的結晶法包括雷射光及紅外光結晶法。(圖 13A)

如圖 13B 所示，將結晶矽薄膜 502 圖樣化，以形成島狀的半導體薄膜 503 至 506(圖 13B)。

由氧化矽薄膜在結晶矽薄膜 502 上形成厚 130nm 的保護膜。保護膜的厚度以 100 至 200nm 為佳(更佳的是 130 至 170nm)。可使用其他的含矽絕緣薄膜。當摻有雜質時，形成保護膜 507 以防止結晶矽薄膜暴露於電漿的環境中，並精確地控制濃度。

在半導體薄膜 503 至 506 中，透過保護膜 507 摻入 p 型

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (34)

導電性的雜質元素。P型雜質的例子包括週期表 13 族的元素，如硼。在此實施例中，利用電漿摻入法實施硼元素的摻入，其中將電漿施加至 B_2H_6 。當然可含有質量分離的離子植入法。(圖 13C)

在摻雜的步驟中，半導體薄膜 503 至 506 獲得濃度 1×10^{15} 至 $1 \times 10^{17} \text{atom/cm}^3$ 的 P 型雜質元素(典型值為 1×10^{16} 至 $1 \times 10^{17} \text{atom/cm}^3$)。摻雜時所使用的 P 型雜質元素是用以調整 TFT 的臨界電壓。

接著，在保護膜 507 上形成 508a 至 508b 光罩。以 n 型導電性的雜質元素透過保護膜摻雜光罩 508a 及 508b。n 型雜質元素的例子包括週期表 15 族的元素，典型的元素包括磷或砷。在此實施例中，施加 PH_3 至電漿，以利用電漿實施磷的摻雜，且不產生質量分離，而使薄膜中的磷濃度成為 $1 \times 10^{18} \text{atom/cm}^3$ 。當然，可使用含質量分離的離子植入法。(圖 13D)

調整摻雜量，使此步驟所形成的 n 型雜質區 509 含有 2×10^{16} 至 $5 \times 10^{19} \text{atom/cm}^3$ (典型為 5×10^{17} 至 $5 \times 10^{18} \text{atom/cm}^3$) 的 n 型雜質元素。

此時可活化摻雜過程中的 n 型雜質元素及 p 型雜質元素。可使用習知的方法來進行活化。一般而言，可單獨使用雷射退火，燈退火及電爐退火，或合併地加以實施。

接著，如圖 13E 所示，在半導體薄膜 503 至 506 上形成閘極絕緣薄膜 510。可使用厚度 10 至 200nm(典型為 50 至 150nm) 的含矽絕緣薄膜作為閘極絕緣薄膜 510。在此實施例

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

中使用厚度 110nm 的氮氧化矽絕緣薄膜。

接著形成厚度 200 至 400nm 的導電薄膜，並加以圖樣化，以形成閘極 511 至 515。可利用單層的導電薄膜作為閘極。然而，若需要的話可使用兩層，三層的層狀薄膜作為閘極。

典型的導電薄膜為下列元素群所選出的元素：Ta，Ti，Mo，W，Cr，Si；上述元素的氮化物薄膜(如氮化鈦薄膜，氮化鎢薄膜，氮化鉭薄膜)；結合上述元素的合金薄膜(如 Mo-W 合金，Mo-Ta 合金)。這些薄膜當然可為單層，亦可為雙層。

此實施例所使用的薄膜為厚度 50nm 的 TaN 薄膜，厚度 350nm 的 Ta 薄膜。利用濺鍍法形成層狀的薄膜。如果將 Xe 或 Ne 的惰性氣體加入濺鍍氣體中，則可避免應力造成的薄膜剝落。

形成閘極 512 以便重疊部分的 n 型雜質區 509，並將閘極絕緣薄膜夾於其間。重疊的部位隨後形成重疊閘極的 LDD 區。

接著，如圖 14A 所示，利用閘極 511 至 515 作為光罩，以自我對齊的方式來摻雜 n 型雜質元素。調整雜質區 516 至 523 的磷摻入量，使得磷濃度為 n 型雜質區 509 的 1/2 至 1/10(特定值為 1/3 至 1/4)。具體值為 1×10^{16} 至 5×10^{18} 微粒/cm³，典型值為 3×10^{17} 至 3×10^{18} 微粒/cm³。

接著，以閘極電極 511 至 515 作為遮罩，利用自我對齊的方式蝕刻閘極絕緣薄膜 507，如圖 4B 所示。蝕刻後，留

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (36)

在閘極下方的薄膜為閘極絕緣薄膜 524 至 528。

接著，如圖 14C 所示，形成新的遮罩 529。接著加入 p 型雜質元素以形成含高濃度硼的雜質區 530 及 533。此處利用氫化硼的摻雜，加入硼元素以形成濃度 3×10^{20} 至 3×10^{21} 微粒/cm³ (典型值 5×10^{20} 至 1×10^{21} 微粒/cm³) 的雜質區。

雜質區 530 及 533 中已加入濃度 1×10^{16} 至 5×10^{18} 微粒/cm³ 的磷。然而，此摻雜過程所加入的硼濃度至少為磷濃度的 300 倍。先前形成的含磷 n 型雜質區便完全反轉成 p 型雜質區，且反向的區域作為 p 型雜質區。

接著，形成遮罩 534a 至 534d，如圖 14D 所示。實施 n 型雜質元素的摻雜，以形成含高濃度磷的雜質區 535 至 539。再次利用 PH₃ 實施離子摻雜，並將磷濃度調整為 1×10^{20} 至 1×10^{21} 微粒/cm³ (典型值 2×10^{20} 至 5×10^{21} 微粒/cm³)。

以類似的方法將磷摻雜至區域 540 至 543 中。然而區域 540 至 543 中的磷濃度低於 p 型雜質元素的濃度。因此，區域 540 至 543 的導電性依然為 p 型，且並未反向成 n 型導電性。

透過此摻雜程序形成 n 通道 TFT 的源極區與汲極區。在開關 TFT 中，留下部分於圖 14A 所形成的 n 型雜質區 519 至 521。留下的部分對應至圖 2 開關 TFT 的 LDD 區 15a 至 15d。

在移除光罩 534a 至 534d 後，形成保護膜 544，並使加入作動層的 n 型及 p 型雜質元素活化。可利用熱爐退火，雷射退火，或燈退火來進行活化。在此實施例中，在氮氣的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (37)

電爐中，以 550 度加熱 4 小時以進行熱處理。(圖 14E)

隨後，形成第一內層絕緣薄膜 545，如圖 15A 所示。第一內層絕緣薄膜可包括保護膜 544。第一內層絕緣薄膜 545 可為含矽的單層絕緣薄膜，或結合此絕緣薄膜的層狀薄膜。第一內層絕緣薄膜的膜厚為 40nm 至 1.5 μ m。此實施例使用層狀的結構，其中形成厚度 200nm 的氮化矽薄膜以作為保護膜 544，並在其上形成厚 500nm 的氧化矽薄膜。

在第一內層絕緣薄膜 545 上形成接觸孔以形成源極導線 546 至 549 與汲極導線 550 至 552。在此實施例中，這些電極具有四層結構：60nm 的鈦薄膜；40nm 的氮化鈦薄膜；含 2wt% 矽的鋁薄膜；以及厚 100nm 的另一鈦薄膜。當然，亦可使用其他的導電薄膜。進一部的，可在翼部形成被動薄膜。

接著，在 300 至 450°C 的環境下於 3% 的氫氣環境中實施熱處理 1 至 4 小時，以將薄膜氫化。另外可利用電漿氫化法來實施氫化的程序。

變換的，可在形成第一內層絕緣薄膜 545 前實施氫化處理。可在形成保護膜 544 後，並於形成第一內層絕緣薄膜 545 前實施上述的氫化處理。

而或可在形成 50 至 500nm (典型為 200 至 300nm) 之被動薄膜後，實施氫化處理。此時，可使用氮化矽薄膜或氮氧化矽薄膜作為被動薄膜。

接著，利用有機樹脂形成第二內絕緣薄膜 553，如圖 15B 所示。可使用的有機樹脂包括聚硫亞氨，丙烯酸，BCB

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (38)

等。第二內層絕緣薄膜 553 的主要功能在於平坦化，因此以具極佳平坦效果的聚丙烯樹脂為佳。在此實施例中，形成夠厚的聚丙烯樹脂薄膜，以將 TFT 的表面平坦化。適當的聚丙烯膜厚為 1 至 5 μm (較佳的是 2 至 4 μm)。

接著在第二內層絕緣薄膜 553 內形成到達汲極導線 552 的接觸孔，以由導電氧化薄膜形成像素電極 554。在此實施例中，形成厚度 110nm 之氧化銦及氧化錫的導電氧化薄膜，以作為像素電極 554。

其後，形成絕緣薄膜 555 及 556，如圖 15C 所示。將 200 至 300nm 含矽的絕緣薄膜或有機樹脂薄膜圖樣化，以形成絕緣薄膜 555 及 556。形成絕緣薄膜 555 以填滿像素間間隙，以避免發光層的有機 EL 材料覆蓋到像素 554 的端部，形成絕緣薄膜 556 以填滿像素電極中的凹穴部位，並防止陰極與像素電極的短路。

接著，對像素電極的表面施以臭氧處理。此實施例的臭氧處理是使像素電極暴露於氧氣環境中，並以 UV 光照射來加以實施。其後，利用旋轉被覆法，形成孔注射層 557 及發光層 558。在此實施例中，從 PEDOT 形成具 30nm 厚度的注射層 557，並從 PPV 形成具 80nm 厚度的發光層 558。

此實施例的 EL 層為包括發光層及電洞注射層的雙層結構。然而，EL 層可進一步包括電洞傳輸層，電子注射層，電子傳輸層等。可結合多種 EL 層，且本發明可利用任一種 EL 層。並且，EL 材料並不限於聚合材料，而包括單一材料，並可結合有機與無機的材料。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (39)

接著，由低工作函數的導電材料形成厚 400nm 的陰極。適當的導電薄膜具有 2.0 至 3.0 的工作函數，並含有週期表 1 或 2 族的元素。

如此，便形成具圖 15C 結構的主動陣列基底。附帶一提的，可利用多室系統的薄膜沈積裝置，再不暴露於空氣的情況下，連續地形成絕緣薄膜 555 及 556 以及陰極 559。

實際上，在獲得圖 15C 的結構後，最好利用氣密的保護膜(層狀薄膜，UV 固化薄膜)或外殼構件加以封裝，使其結構不會暴露至外界的空氣。如果在外殼構件的內部填入惰性氣體，或吸濕性材料，則可進一步提升 EL 層的可靠性。

利用封裝形成氣密環境後，接上一連接器，以連接由內部基底電路拉出的端子以及外部的訊號端子，並完成製品。在本說明書中，以此方式形成的裝置裝置稱為 EL 模組。

以下將參考圖 16 說明主動陣列型自發光裝置的結構。本實施例的主動陣列型自發光裝置形成於玻璃基底 601 上，包括像素部位 602，閘極側驅動電路 603，源極側驅動電路 604。像素部位的開關 TFT605 為 n 通道型 TFT，並配置於連接至閘極側驅動電路 603 之閘極導線 606，與連接至汲極側驅動電路 604 之汲極導線 607 的交點處。開關 TFT605 的汲極連接至電流控制 TFT608 的閘極。

進一步的，電流控制 TFT608 的源極側連接至電源線 609。在依據本發明的結構中，電流控制 TFT608 的汲極連

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (40)

接至 EL 元件 610，且預定的電壓供應至 EL 元件 610 的陰極。電流控制 TFT608 具有連接至 EL 元件 610 的汲極區。將給定的電壓(10 至 12V)施加至 EL 元件 610 的陰極。

接著，連接至電源線 609 的輸入及輸出導線 612 及 613，以及輸入/輸出導線 614 形成於 FPC611 中，並形成外部輸入及輸出端子，以將訊號傳送至驅動電路。

圖 17A 及 17B 顯示本發明之 EL 裝置，其包括有外殼材料。

在基底 1200 上形成像素部位 1201，源極驅動電路 1202 及閘極驅動電路 1203。各驅動電路的導線經由 FPC611，並通過輸入及輸出導線 612 至 614 連接至外部電路。

封裝材料 1204 至少包覆像素部位，且最好包覆驅動電路及像素部位。封裝材料 1204 具有不規則的形狀，其內部尺寸大於 EL 裝置的外部尺寸，或具薄片狀，並利用黏著劑 1205 固定在基底 1200 上，以形成氣密的空間。此時，EL 元件被上述的氣密空間完全地包覆，並與外部環境完全隔絕。此外，可同時形成多個封裝材料 1204。

封裝材料 1204 最好使用如玻璃或聚合物的絕緣物質。以下為封裝材料 1204 的例子：非結晶玻璃；陶瓷玻璃；有機樹脂，及矽樹脂。此外，亦可形成陶瓷。進一步的，假設黏著劑 1205 為絕緣材料，亦可使用如不鏽鋼合金的金屬材料。

黏著劑 1205 的材料也可為環氧樹脂或丙烯酸樹脂。此外，需盡可能的使用能防止氧氣或溼氣滲入的材料。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (41)

再者，較佳的是在封裝材料及基底 1200 間的開口 1206 中充入惰性氣體。充入的氣體並無限制，且亦可使用惰性液體。惰性液體可使用日本專利公開第 Hei 8-78519 號所揭露者。

最好能在開口 1206 中置入乾燥劑。乾燥劑的材料可使用日本專利公開第 Hei 9-148066 號所揭露者。典型的材料為氧化鋇。

如圖 17B 所示，在像素部位中形成多個具有隔離 EL 元件的像素，且所有的像素具有共同電極的保護電極 1207。在此實施例中，最好在與外界隔離的狀態下，依次地形成 EL 層 (MgAg 電極)，陰極及保護電極。利用相同的光罩材料形成 EL 層與陰極，並假設僅有保護電極是由分離的光罩材料所形成，如此便形成圖 17B 的結構。

EL 層及陰極可僅形成在像素部位上，且無須將此二者形成在驅動電路上。當然，若形成在驅動電路上亦不會有任何問題，但因 EL 層內含有鹼金屬，因而最好不在驅動電路上形成。

在區域 1208 中，保護電極 1207 經由連接導線 1209 連接至輸入/輸出導線 1210。輸入/輸出導線 1210 用以將預定的電壓 (本實施例為地線電壓，0V) 供應至保護電極 1207，並經由導電的膏狀 1211 連接至 FPC611。

圖 18A 至 18B 說明在區域 1208 中形成接觸結構的製程。

首先，依據本實施例的製程獲得圖 15A 的狀態。此時

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (42)

，從基底的邊緣處移除第一內絕緣層 544 及閘極絕緣薄膜 514，並在此區域上形成輸入/輸出導線 1210。當然同時連接圖 15A 的源極導線與汲極導線(參考圖 18A)。

接著，在圖 15B 中，蝕刻第二內絕緣層 553。在開口 1302 上形成連接導線 1209 以獲得圖 18B 的結構。同時形成連接導線 1209 及像素電極 554(參考圖 18B)。

在此狀態下在像素部位中實施形成 EL 元件(第三內層絕緣薄膜，EL 層及陰極形成步驟)的程序。此時，在圖 13 的區域中，以光罩等加以覆蓋，使得在此區域內部未形成第三內層絕緣薄膜及 EL 元件。在形成陰極 557 後，利用另一的光罩形成保護電極 558。藉此，保護電極 558 及輸入/輸出導線 1210 便經由連接導線 1209 而連接。進一步的，形成第二惰性薄膜 559，並獲得圖 18C 的狀態。

利用上述的步驟，實現圖 17B 之區域 1208 的接觸結構。接著，經由封裝材料 1204 與基底 1200 間的開口將輸入/輸出導線 1210 連接至 FPC611。此處說明連接輸入/輸出導線 1210 的情形，而其他的輸出導線 612 至 614 亦通過封裝材料 1204 的下部而連接至 FPC611。

[實施例 4]

在實施例 4 中，描述依據實施例 3 所製作之主動型自發光裝置的像素結構。以下將利用圖 19A 及 19B 來加以說明。為了方便起見，對應至圖 1A 及 1B，以及圖 2 的部位以相

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (43)

同的符號來表示。

在圖 19A 及 19B 中，導線 1901 代表連接至開關 TFT201 之閘極的閘極導線。開關 TFT201 具有連接源極導線 21 的源極區 13，並具有連接汲極導線 22 的汲極區 14。汲極導線 22 與電流控制 TFT202 的閘極 29 連接。電流控制 TFT202 具有與電源線 1902 連接的源極區 26，並具有與汲極導線 31 連接的汲極區 27。

1903 所表示的區域為儲存電容。儲存電容 1903 形成在與電源線 1902 連接之半導體薄膜 1904，作為閘極絕緣薄膜之絕緣薄膜與閘極電極 29 間。同時沈積半導體薄膜 1904，以極刑成開關 TFT 及電流控制 TFT 的半導體薄膜。其後，將半導體薄膜 1904 與形成開關 TFT 及電流控制 TFT 的半導體薄膜分離，因此稱為分離的半導體薄膜。特定的，分離的半導體薄膜 1904 與形成開關 TFT 之源極區 13 的主動層及其源極區，以及電流控制之源極區 26 及其汲極區 27 隔離。在 1903 的區域中，分離的半導體薄膜 1904 透過閘極絕緣薄膜與閘極重疊。與閘極重疊的部位佔去半導體薄膜 1904 之 60% 或更大的面積。60% 以上的半導體薄膜 1904 進一步透過第一內層絕緣薄膜，與電源線 1902 重疊。亦可使用閘極 29 所形成的電容，位於同層的第一內層絕緣薄膜及電源線 1902 作為電容。

包括分離半導體薄膜 1904，閘極絕緣薄膜與閘極電極 29 的儲存電容與 TFT 同時形成，如圖 13A 至 15C 所示。

特定的，如圖 13D 所示，在分離的半導體薄膜 1904 中

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (44)

摻入 n 型雜質元素。進一步的，如圖 13E 所示，在分離的半導體薄膜 1904 上形成閘極電極。此外，在閘極上形成內層絕緣薄膜，並於內層絕緣薄膜上形成電源線 1902。如此，便形成儲存電容。

當影像顯示區的表面積變大時，實施例 4 的結構尤為有效。其理由說明如下。

本發明的自發光裝置將一個框分成多個圖場並進行分割，因此用以驅動像素部位的負載變大。較佳的是盡可能的降低像素部位的負載，以減少負荷。

加入 TFT 寫入之資料導線及閘極導線中的寄生電容大量的形成在 EL 元件的陰極間。由於低介電常數的有機樹脂薄膜僅具有 1.5 至 2.5 μm 的厚度，因此此寄生電容幾乎可以忽略。

在實施本發明之大面積 EL 元件時，最大的阻礙在於資料導線及閘極導線的導線阻抗。當然，可將源極驅動電路分成多個電路，且實施平行處理，並使源極驅動電路及閘極驅動電路夾疊像素部位，而雙向地傳送訊號，藉此有效地減少驅動電路的操作頻率。然而，會發生其他個別的問題，如增加驅動電路的多餘面積。

因此，在本發明中，利用實施例 4 的結構盡可能地降低閘極導線的阻抗將相當有效。此實施例所揭露的顯示裝置可由數位驅動方法來加以驅動。進一步的，可自由地結合實施例 1 至 3 來達成實施例 4。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (45)

[實施例 5]

參考圖 20 描述實施例 5 的像素部位。在圖 20 中，相同於圖 2 的結構以相同的參考標號來表示。

在圖 20 的自發光裝置中，電流控制 TFT202 中的通道形成區 28 與閘極電極 29 重疊，且閘極絕緣薄膜 18 夾疊於兩者間。

在此實施例中，在第二內層絕緣薄膜 47 上形成接觸孔，以形成像素電極 54。此實施例中的像素電極 54 由 200nm 的鋁合金薄膜所形成。可使用任何材料作為像素電極，但以具大反射率者為佳。

接著，形成絕緣薄膜 49 至 50。圖樣化 200 至 300nm 之含矽的絕緣薄膜或有機樹脂薄膜來形成絕緣薄膜 49 及 50。進一步在絕緣薄膜 49 及 50 上形成 EL 層 51。

當完成 EL 層 51 後，在其上形成電洞注入層 55 及陽極 56。在此實施例中，電洞注入層 55 由 30nm 的 PEDOT 所形成，且陽極 56 由 110nm 之氧化銮與氧化錫的導電氧化薄膜所形成。如此，便形成 EL 元件 206。

在此例中，陰極與陽極具有與圖 2 相反的位置。

當使用實施例 5 的結構時，像素發出的紅光，藍光，綠光照射至形成有 TFT 之相對基底側。因而，幾乎所有的像素區，包括形成 TFT 的區域，可作為有效的發光區。因而，像素區的有效發光表面大幅地增加，且影像亮度及反差亦增加。

可自由地結合實施例 1 至 4 的結構來達成實施例 5 的結

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (46)

構。

[實施例 6]

圖 21 顯示部分的源極驅動電路。在圖 21 中，參考標號 2601 及 2602 分別代表平移暫存器及栓鎖 1。此實施例的結構可自由地與實施例 1 至 5 的結構相結合。

[實施例 7]

圖 22A 為驅動電路的圖像，且圖 22B 為螢幕上所顯示的靜態畫面。圖 23 顯示依據本發明之主動陣列型自發光裝置的外觀。本實施例的結構可自由地與實施例 1 至 6 結合。

[實施例 8]

在實施例 1 的圖 2 結構中，可使用具高放熱效能的材料做為作動層與基底間的基膜 12。尤其，由於電流控制 TFT 中流入大量的電流，因此容易產生熱，並出現因自發熱所造成的退化問題。利用實施例 6 具有放熱效應的基膜，可有效地防止 TFT 的熱衰退。

具有放熱效應的透光材料可選自 B，C，N 元素中的至少一元素，以及 Al，Si 及 P 中的至少一元素。

例如，可使用氮化鋁化合物 (Al_xN_y)，碳化矽化合物 (Si_xC_y)，氮化矽化合物 (Si_xN_y)，氮化硼化合物 (B_xN_y) 或磷酸硼化合物 (B_xP_y)。進一步的，氧化鋁 (Al_xO_y) 具有較高的透光性，並具有 $20Wm^{-1}K^{-1}$ 的導熱性，因此為較佳的材料。其中

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (47)

， x 及 y 為任意的整數。

上述的化合物亦可與其他的元素結合。例如，可使用硝酸鋁 (AlN_xO_y)。此種材料不但具有放熱性，並可有效地防止濕氣及鹼金屬的穿透。其中， x 及 y 為任意的整數。

進一步的，亦可使用日本專利公開第 Sho 62-90260 號所揭露的材料。亦即，可使用含 Si，Al，N，O 及 M 的絕緣薄膜，(其中 M 為稀有元素，且包括 Ce，Yb，Sm，Er，Y，La，Gd，Dy 及 Nd)。這些材料不僅具放熱性，並可有效地防止濕氣及鹼金屬的穿透。

進一步的，亦可使用如鑽石薄膜，或非結晶碳薄膜。這些材料具有相當高的導熱性，並可有效地作為放射層。如果薄膜厚度變大，則會出現褐色帶而使透光性降低，因此最好使用薄的薄膜(以 5 至 100nm 為佳)。

再者，可直接使用上述具有放熱性的薄膜，但亦可層疊該薄膜或具有矽的絕緣薄膜。

可自由地結合實施例 1 至 7 的結構來達成實施例 8 的結構。

[實施例 9]

在第 3 實施例中，較佳的是使用有機 EL 材料作為 EL 層，但本發明亦可使用無機 EL 材料。然而，由於目前的無機 EL 材料需要相當大的驅動電壓，因此必須使用能承受驅動電壓的 TFT。

替代的，如果未來發展出具有低驅動電壓的 TFT，則

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (48)

可將其應用至本發明。

可自由地結合實施例 1 至 8 的結構來達成實施例 9 的結構。

[實施例 10]

圖 24A 及 24B 顯示本發明之 EL 元件的結構。圖 24A 使用低分子量的 EL 材料，且於基底上形成 ITO 電極後，以 CuPc 形成陽極緩衝層，以 a-NPD 形成電洞傳輸層，並以 Alq 形成發光層。薄膜沉積法為真空蒸著，並依次地在基底的 ITO 上形成薄膜。蒸著時的壓力小於等於 2×10^{-6} Torr。

圖 24B 顯示使用高分子量 EL 材料的元件結構。ITO 電極形成於基底上，以旋轉被覆法形成聚合物，並利用蒸著形成陰極。實施蒸著時的壓力小於等於 4×10^{-6} Torr。在此實施例中，所有的像素共用發光層，並製作出單色的面板。此外，當利用蒸著技術形成陰極時，使用金屬罩，且僅將材料沉積於期望的區域。進一步的，利用樹隻將製造元件密封。

進一步的，可自由地結合實施例 1 至 9 的結構來達成實施例 10 的結構。

[實施例 11]

圖 25 顯示實施例 10 之 EL 元件的特性。此為供應固定電壓時，所測得的電流密度及亮度。結果顯示，在 10 mA/cm^2 下，低分子量及高分子量的 EL 元件具有幾百燭光

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (49)

，並足以用於 EL 顯示的相關應用上。

可自由地結合實施例 1 至 10 的結構來達成實施例 11 的結構。

[實施例 12]

依據本發明的主動陣列型自發光裝置為一種自發光型的顯示裝置，因此相較於液晶顯示裝置有更佳的影像辨別性。

EL 顯示裝置可應用至所有顯示資訊的裝置，如個人電腦，接收電視廣播節目的顯示器，及廣告顯示幕等。再者，依據本發明的 EL 顯示裝置可用於其他不同裝置的顯示部位。

此電子裝置包括視頻攝影機；數位相機，投影機，投影 TVs，凸眼式顯示器，導航系統，汽車音響，筆記型電腦，遊戲機，可攜式資訊終端(如行動電腦，可攜式電話，可攜式遊戲機或電子記事簿)，具紀錄媒體的影像再生裝置等。這些電子裝置的例子顯示於圖 26A 至 26F。

圖 26A 為個人電腦，其包括本體 2001，框架 2002，顯示區 2003，及鍵盤 2004。本發明的 EL 顯示裝置可應用至顯示區 2003。

圖 26B 為視頻照相機，其包括本體 2101，顯示區 2102，聲音輸入區 2103，操作開關 2104，電池 2105 及影像接收區 2106。本發明的光電裝置可應用至顯示區 2102。利用本發明，顯示裝置 2102 的尺寸可達 4 吋。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (50)

圖 26C 為凸眼式顯示器，其包括本體 2201，顯示部位 2202，臂部 2203 等。本發明可應用至顯示裝置 2206。

圖 26D 為行動電腦，其包括本體 2301，照相機區 2302，影像接收區 2303，操作開關 2304，及顯示區 2305。本發明的致電顯示裝置可應用至顯示區 2305。

圖 26E 為包括記錄媒體的影像再生裝置(更定的是指 DVD 再生裝置)。其包括本體 2401，記錄媒體 2402(CD，LD，DVD 等)，操作開關 2403，顯示部位 2404(a)，另一顯示部位 (b)2405 等。顯示部位 (a) 用以顯示影像資訊，而顯示部位 (b) 用以顯示字元資訊。依據本發明的致電顯示裝置可應用於這些部位 (a) 及 (b)。包括記錄媒體的影像再生裝置亦包括 CD 再生裝置及遊戲機。

圖 26F 的 EL 顯示裝置包括顯示框 2501，支撐板 2502，顯示部位 2503 等。利用本發明，顯示裝置 2502 的尺寸可達 10 吋。

當未來 EL 材料能發出更亮的光時，依據本發明的 EL 顯示裝置將可應用至前式及後式投影機。

如上所述，本發明可應用至各領域的電子裝置。進一步的，實施例 1 至 11 的任意結構可利用至實施例 12 的電子裝置。

[實施例 13]

實施例 13 用以說明當利用本發明的 EL 顯示驅動方法時，電流控制 TFT 之驅動範圍所具有的電壓電流特性。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (51)

在 EL 元件中，即使電壓中有極小的改變，亦會使電流呈指數的變化。由另一觀點來看，當流經 EL 元件的電流改變時，施加至 EL 元件的電壓值亦改變。EL 元件的照度，隨流經 EL 元件的電流呈比例的增加。依此，相較於控制施加電壓的大小，利用流經 EL 元件的電流量來控制 EL 元件的照度，將較為容易，且較不易受 TFT 特性變動的影響。

接著，參考圖 27A 及 27B。圖 27A 顯示電流控制 TFT108 及 EL 元件 110。圖 27B 顯示電流控制 TFT108 與 EL 元件 110 之電壓與電流間的關係。在圖 27B 中，電流控制 TFT108 的電壓電流特性曲線顯示出源極區與汲極區間之電壓 V_{DS} 與流經電流控制 TFT108 之汲極電流間的關係。圖 27B 中的不同曲線代表不同的電壓 V_{GS} ，此電壓 V_{GS} 施加至電流控制 TFT108 的源極區與閘極電極間。

如圖 27 所示，EL 元件 110 之像素電極與相對電極 111 間的電壓為 V_{EL} ，且連接至電源線之端子 2601 與 EL 元件之相對電極 111 間的電壓為 V_T 。 V_T 值由電源線的電位所固定。如上所述， V_{DS} 為電流控制 TFT108 之源極區與汲極區間的電壓。 V_{GS} 為電流控制 TFT108 之閘極與源極區間的電壓，亦即，電流控制 TFT108 之源極區與連接閘極之導線 2602 間的電壓。

電流控制 TFT108 及 EL 元件 110 相互串聯。因此兩元件流過相同的電流。電流控制 TFT108 及 EL 元件 110 由元件之電流電壓特性曲線的交點電壓所驅動。在圖 27B 中， V_{EL} 等於相對電極 111 與操作點間的電壓。 V_{DS} 等於電流控制

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (52)

TFT108 之端子 2601 電位與操作點間的電壓。 V_T 等於 V_{EL} 與 V_{DS} 的和。

現在，考慮 V_{GS} 改變的情行。當增加流經電流控制 TFT108 的電流時，會增加電流控制 TFT108 之 $|V_{GS} - V_{TH}|$ ，亦即 $|V_{GS}|$ 。 V_{TH} 等為電流控制 TFT108 的磷界電壓。因此，增加 $|V_{GS}|$ 會增加流經位於操作點之 EL 元件 110 的電流。 EL 元件 110 的亮度與流經的電流大小成正比。

由於增加增加 $|V_{GS}|$ 會增加流經 EL 元件 110 的電流，因此 V_{EL} 隨電流的增加而增加。 V_T 值由電源線的電位所決定，因此當 V_{EL} 增加時， V_{DS} 降低。

如圖 27B 所示，可依據 V_{GS} 與 V_{DS} 將電流控制 TFT 的電壓 - 電流特性分成兩個區域。 $|V_{GS} - V_{TH}| < |V_{DS}|$ 的區域為飽和區，而 $|V_{GS} - V_{TH}| > |V_{DS}|$ 為線性區。

在飽和區中，滿足以下的式子。

[式 1]

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

其中 I_{DS} 為流經電流控制 TFT108 之通道形成區的電流， $\beta = \mu C_0 W/L$ ，且 μ 為電流控制 TFT108 的移動係數， C_0 為單位面積的電容， W/L 為通道形成區的長寬比。

在線性區中，滿足式 2。

[式 1]

$$I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (53)

由式 1 可知，飽和區中的電流不易受 V_{DS} 的影響，而是由 V_{GS} 所決定。

另一方面，式 2 顯示在線性區中，電流值由 V_{DS} 與 V_{GS} 所決定。當 $|V_{GS}|$ 增加時，電流控制 TFT108 在線性區的電壓下操作，亦即 V_{EL} 。在線性區中，當 V_{DS} 降低時，電流量亦降低。很難藉由增加 $|V_{GS}|$ 來增加電流值。當 $|V_{GS}| = \infty$ 時，電流值到達最大值 I_{MAX} 。換句話說，無論 $|V_{GS}|$ 值多大，電流值皆不會超過 I_{MAX} 。當 $V_{EL} = V_T$ 時，流經 EL 元件 110 的電流為 I_{MAX} 。

藉由控制 $|V_{GS}|$ 值，可將操作點設於飽和區或線性區。

理想而言，所有電流控制 TFT 的特性皆相同。然而，實際上，不同的電流控制 TFT 的 V_{TH} 與移動係數 μ 會有差異。當 V_{TH} 與移動係數 μ 不同時，即使電流控制 TFT 有相同的 V_{GS} ，流精通到形成區的電流量亦會有所差異。

圖 28 顯示控制 TFT 的電壓電流特性，且不同的曲線有不同的 V_{TH} 與 μ 。時線 2701 代表理想的電壓電流特性，而實線 2702 及 2703 代表當 V_{TH} 與 μ 偏離理想值時，電壓電流特性曲線。在飽和範圍內，電流電壓特性曲線 2702 及 2703 與理想的曲線 2701 間有相同的電流差 ΔI_1 。電流電壓特性曲線 2702 的操作點 2705 落在飽和區內，而電流電壓特性曲線 2703 的操作點 2706 落在線性區內。在此情形下， ΔI_2 代表操作點 2705 下的電流值與理想電流電壓特性曲線間的電流差， ΔI_3 代表操作點 2704 下的電流值與理想電流電壓特性曲線間的電流差。線性區內的操作點 2706 電流值小於飽和區內

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (54)

的操作點 2705 電流值。

當利用數位驅動法時，藉由在線性區內驅動電流控制 TFT 及 EL 元件，可消除在灰階顯示時，電流控制 TFT 的特性變動，而產生規則的亮度。

另一方面，在習知的類比驅動法中，最好在飽和區內驅動電流控制 TFT 及 EL 元件，在此區域內，電流值由 $|V_{GS}|$ 所決定。

爲了進行上述的分析，圖 29 顯示電流控制 TFT 之電流與電壓 $|V_{GS}|$ 間的關係。當 $|V_{GS}|$ 增加並超過電流控制 TFT 的臨界絕對值時，電流開始流過電流控制 TFT。此時的 $|V_{GS}|$ 稱爲發光啓動電壓。進一步增加 $|V_{GS}|$ ，直到其滿足 $|V_{GS} - V_{TH}| = |V_{DS}|$ (以 A 表示)，此時離開飽和區 2801 並進入線性區 2802。當進一步增加 $|V_{GS}|$ 時，店流會隨著增加值到飽和。此時， $|V_{GS}| = \infty$ 。

圖 29 顯示在 $|V_{GS}| \leq |V_{TH}|$ 的區域內，幾乎沒有電流。 $|V_{TH}| \leq |V_{GS}| \leq A$ 的區域爲飽和區，且此區域內的電流值隨 $|V_{GS}|$ 變化。另一方面， $A \leq |V_{GS}|$ 的區域爲線性區，且流經 EL 元件的電流值隨 $|V_{GS}|$ 及 $|V_{DS}|$ 而改變。

依據本發明的數位驅動法，最好在 $|V_{GS}| \leq |V_{TH}|$ 的區域及 $A \leq |V_{GS}|$ 的區域內使用電壓。

此實施例可自由地結合本發明的其他實施例。

[實施例 14]

在本發明中，利用三激態的磷光 EL 材料來增進發光效

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (55)

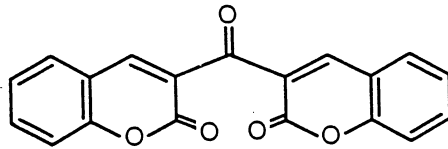
能，並利用於發光裝置。如此，可降低 EL 材料的功率消耗，並延長 EL 材料的壽命。

以下報告揭露利用三激態光提昇外發光效能的技術。

(T. Tsutsui, C. Adachi, S. Saito, 有機分子系統的光化學程序)

上述報告之 EL 材料的分子式如下。

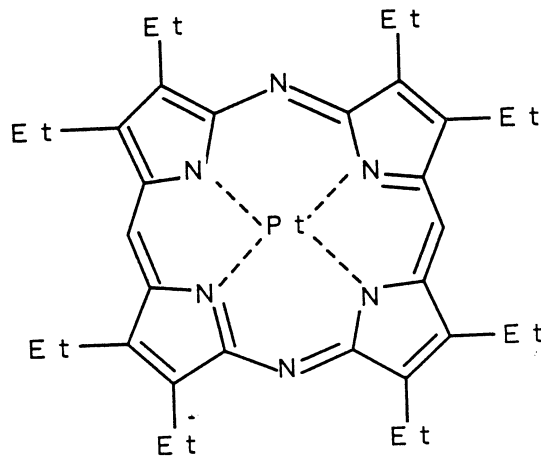
(化學式 1)



(M.A. Baldo, D.F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M.E. Thompson, S.R. Forrest, Nature 395(1998)p.151)。

上述報告之 EL 材料的分子式如下。

(化學式 2)



(M.A. Baldo, S. Lamansky, P.E. Burrows, M.E. Thompson, S.R. Forrest, Appl. Phys. Lett., 75(1999)p.4.)。

(T. Tsutsui, M.-J. Yang, M. Tahiro, K. Nakamura,

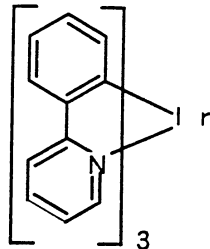
(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (56)

T.Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi,
Jpn, Appl. Phys., 38(12B)(1999)L1502)。

(化學式 3)



如上所述，如果可使三激態的磷光實用化，則可實現三倍至四倍於單激態螢光的發光效能，可自由地結合本發明的其他實施例。

藉由本發明可獲得清晰的多灰階或彩色的主動陣列型自發光裝置，且不受 TFT 特性變動的影響。特定的，本發明利用數位訊號來實施分時灰階顯示，以取代習知的類比灰階顯示。因而，可消除電流控制 TFT 之變動所造成的缺陷，而使影像有更佳的彩色再現性及更高的解析度。

進一步的，形成於基底上的 TFT 具有不同的結構，因此將具有最佳化結構的 TFT 配置於電路或元件中。如此可使自發光裝置有更佳的可靠度。

具有此主動陣列型自發光裝置的電子設備可顯示品質更佳的影像，並具有更加的可靠度。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱： 自發光裝置及使用該裝置之電子裝置）

一種自發光裝置，可進行清晰，多層次的灰階或彩色顯示，以及包括該裝置的電子設備。以時序控制像素(104)之 EL 元件(109)的發光與否，而利用分時驅動法達成灰階顯示，藉此不受電流控制 TFT 之特性變動影響。

英文發明摘要（發明之名稱： SELF-LUMINOUS DEVICE AND ELECTRIC MACHINE USING THE SAME）

To provide a self-luminous device capable of clear, multi-gray scale, color display and an electric machine provided with the same. Gray scale display is attained by a time division driving method in which an EL element (109) provided in a pixel (104) is controlled to emit light or not to emit light by means of time, thereby avoiding being affected by fluctuation in characteristic in current controlling TFTs (108).

六、申請專利範圍

1.一種自發光裝置，其中電流控制 TFT 的閘極電極形成於絕緣體上，且與分離的半導體薄膜重疊，兩者間夾疊有閘極絕緣薄膜。

2.如申請專利範圍第 1 項之自發光裝置，其中分離的半導體薄膜電子地連接至電源線。

3.如申請專利範圍第 1 項之自發光裝置，其中電流控制 TFT 的源極區及分離的半導體薄膜形成於絕緣體上，且利用半導體薄膜形成電流控制 TFT 的源極區及分離的半導體薄膜，但兩者相互獨立。

4.如申請專利範圍第 1 項之自發光裝置，其中電流控制 TFT 的源極區及分離的半導體薄膜分別電子地連接至個別的電源線。

5.如申請專利範圍第 1 項之自發光裝置，其中分離的半導體薄膜具有透過閘極絕緣薄膜與閘極電極重疊的區域，且與閘極重疊的區域佔分離半導體薄膜的 60% 以上。

6.如申請專利範圍第 1 項之自發光裝置，其中分離的半導體薄膜透過絕緣薄膜與電源線重疊。

7.如申請專利範圍第 1 項之自發光裝置，其中分離的半導體薄膜具有透過絕緣薄膜與電源線重疊的區域，且與電源線重疊的區域佔分離半導體薄膜的 60% 以上。

8.如申請專利範圍第 1 項之自發光裝置，其中閘極電極透過絕緣薄膜與電源線重疊。

9.如申請專利範圍第 1 項之自發光裝置，其中節距為 100 至 140 μ 之像素的孔徑比為 50 至 80%。

六、申請專利範圍

10.如申請專利範圍第 1 項之自發光裝置，其中該電子裝置選自以下的群組：個人電腦，視頻攝影機，凸眼式顯示器，可攜式電腦，DVD 及 EL 顯示器。

11.一種具有至少一自發光裝置的電子裝置，包括：

形成於絕緣表面的第一半導體島，該第一半導體薄膜具有至少第一及第二雜質區，及兩者間的通道形成區；

形成於該絕緣表面的第二半導體島，該第二半導體島與該第一半導體島分離；

形成於該第一半導體島與該第二半導體島上的絕緣薄膜；

形成於該第一半導體島上的閘極電極，且該絕緣薄膜內置於前述兩者間；

形成於該第一半導體島上的電容形成電極，且前述兩者間內置有該絕緣薄膜，其中該閘極電極與該電容形成電極形成於相同的導電層中，且彼此相互連接；

包括陰極，陽極與內置於陰，陽極間之發光材料的發光元件，其中該第一與第二雜質區中的一區連接至該陰極與陽極中的一電極。

12.如申請專利範圍第 11 項之電子裝置，其中該電子裝置選自以下的群組：個人電腦，視頻攝影機，凸眼式顯示器，可攜式電腦，DVD 及 EL 顯示器。

13.如申請專利範圍第 11 項之電子裝置，進一步包括開關薄膜電晶體，其具有連接至該閘極電極的汲極區。

14.一種具有至少一自發光裝置的電子裝置，包括：

六、申請專利範圍

形成於絕緣表面的第一半導體島，該第一半導體薄膜具有至少第一及第二雜質區，及兩者間的通道形成區；

形成於該絕緣表面的第二半導體島，該第二半導體島與該第一半導體島分離；

形成於該第一半導體島與該第二半導體島上的絕緣薄膜；

形成於該第一半導體島上的閘極電極，且該絕緣薄膜內置於前述兩者間；

形成於該第一半導體島上的電容形成電極，且前述兩者間內置有該絕緣薄膜，其中該閘極電極與該電容形成電極形成於相同的導電層中，且彼此相互連接；

具有該電容形成電極與該第二半導體島的電容器，且該電容形成電極與該第二半導體島間內置有該絕緣薄膜；

形成於該電容形成電極上的內層絕緣薄膜；

形成於該內層絕緣薄膜上的電流源線，其中該電源線連接至該第一半導體島之該第一雜質區或第二雜質區；且

包括陰極，陽極與內置於陰，陽極間之發光材料的發光元件，其中該第一與第二雜質區中的一區連接至該陰極與陽極中的一電極，

其中該該第二半導體島被該電流源線所覆蓋。

15.如申請專利範圍第 14 項之電子裝置，其中該電子裝置選自以下的群組：個人電腦，視頻攝影機，凸眼式顯示器，可攜式電腦，DVD 及 EL 顯示器。

16.如申請專利範圍第 14 項之電子裝置，進一步包括開

六、申請專利範圍

關薄膜電晶體，其具有連接至該閘極電極的汲極區。

17.如申請專利範圍第 14 項之電子裝置，其中該第一及第二半導體島包括結晶矽。

18.如申請專利範圍第 14 項之電子裝置，進一步包括形成於該絕緣表面上的驅動電路，該驅動電路包括具有結晶通道形成區的薄膜電晶體。

19.一種具有至少一自發光裝置的電子裝置，包括：

形成於基底上的閘極導線；

形成於該基底上並包括至少一第一薄膜電晶體的第一開關元件，其中該第一薄膜電晶體的閘極電極電子地連接至該閘極導線；

延伸跨過該閘極導線的源極導線；

形成於該基底並包括至少第二薄膜電晶體的第二開關元件，該第二薄膜電晶體包括具有至少第一及第二雜質區，及兩者間之通道形成區的半導體島，形成於該半導體島上的閘極絕緣薄膜以及形成於該閘極絕緣薄膜上的閘極電極，其中該閘極電極透過至少該第一開關元件，電子地連接至該源極導線；

延伸跨過該閘極導線並電子地連接至第二薄膜電晶體之該第一或第二雜質區的電流源線；

連接於該第二薄膜電晶體之閘極電極及該電流源線的電容器，其中該電容器被該電流源線所覆蓋；及

包括陰極，陽極與內置於陰，陽極間之發光材料的發光元件，其中該第一與第二雜質區中的一區連接至該陰極

六、申請專利範圍

與陽極中的一電極。

20.如申請專利範圍第 19 項之電子裝置，其中該電子裝置選自以下的群組：個人電腦，視頻攝影機，凸眼式顯示器，可攜式電腦，DVD 及 EL 顯示器。

21.如申請專利範圍第 19 項之電子裝置，其中該半導體島包括結晶矽。

22.如申請專利範圍第 19 項之電子裝置，進一步包括形成於該基底上的驅動電路，該驅動電路包括具有結晶通道形成區的薄膜電晶體。

23.一種具有至少一自發光裝置的電子裝置，包括：

形成於基底上的閘極導線；

形成於該基底上並包括至少一第一薄膜電晶體的第一開關元件，其中該第一薄膜電晶體的閘極電極電子地連接至該閘極導線；

延伸跨過該閘極導線的源極導線；

形成於該基底並包括至少第二薄膜電晶體的第二開關元件，該第二薄膜電晶體包括具有至少第一及第二雜質區，及兩者間之通道形成區的半導體島，形成於該半導體島上的閘極絕緣薄膜以及形成於該閘極絕緣薄膜上的閘極電極，其中該閘極電極透過至少該第一開關元件，電子地連接至該源極導線；

延伸跨過該閘極導線並電子地連接至第二薄膜電晶體之該第一或第二雜質區的電流源線；

具有第一電極，第二電極及第一與第二電極間的絕緣

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

薄膜的電容器，該第一電極包括相同於半導體島的材料，該第二電極包括相同於第二薄膜電晶體之該閘極電極的材料，且該半導體島包括相同於該閘極絕緣薄膜的材料，其中該電容器位於該電流源線的下部；及

包括陰極，陽極與內置於陰，陽極間之發光材料的發光元件，其中該第一與第二雜質區中的另一區連接至該陰極與陽極中的一電極，

其中該第一電極與該半導體島分離，並電子地連接至該電流源線。

24.如申請專利範圍第 23 項之電子裝置，其中該電子裝置選自以下的群組：個人電腦，視頻攝影機，凸眼式顯示器，可攜式電腦，DVD 及 EL 顯示器。

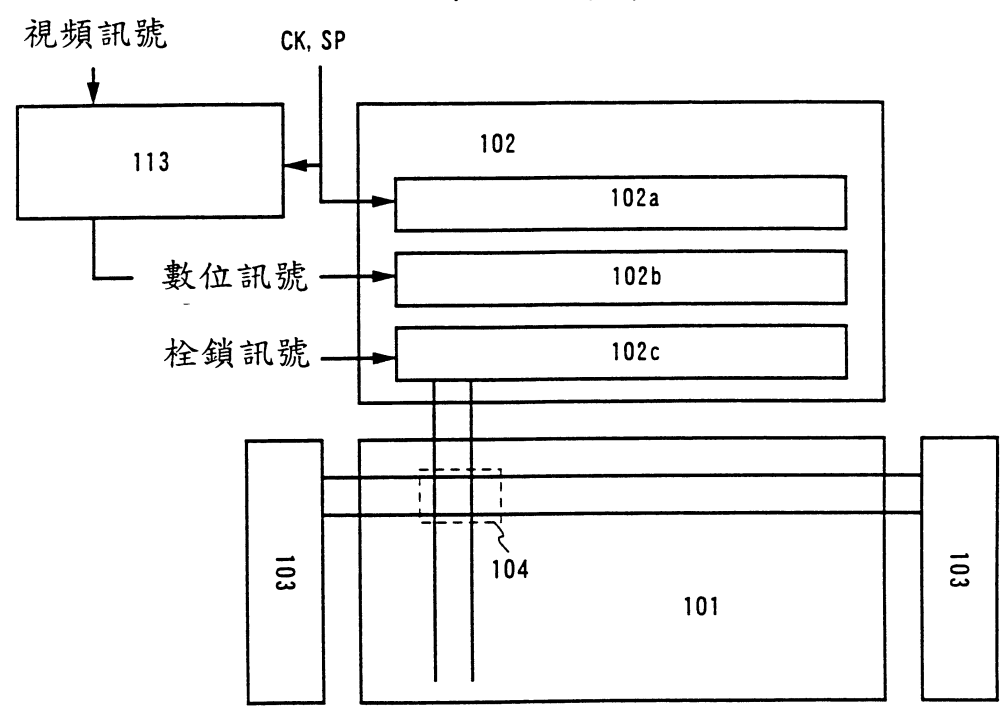
25.如申請專利範圍第 23 項之電子裝置，其中該半導體島包括結晶矽。

26.如申請專利範圍第 23 項之電子裝置，進一步包括形成於該基底上的驅動電路，該驅動電路包括具有結晶通道形成區的薄膜電晶體。

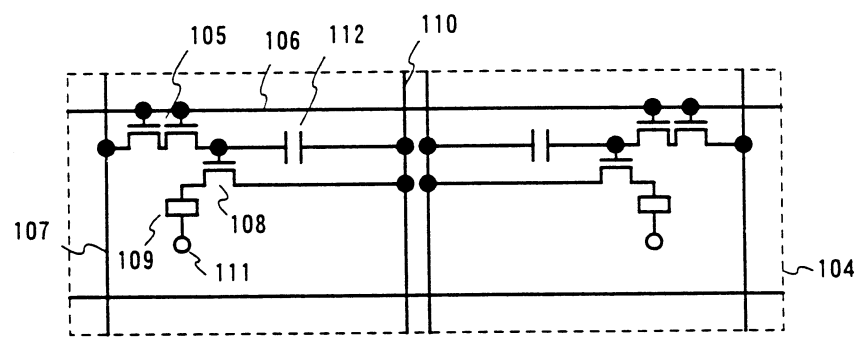
(請先閱讀背面之注意事項再填寫本頁)

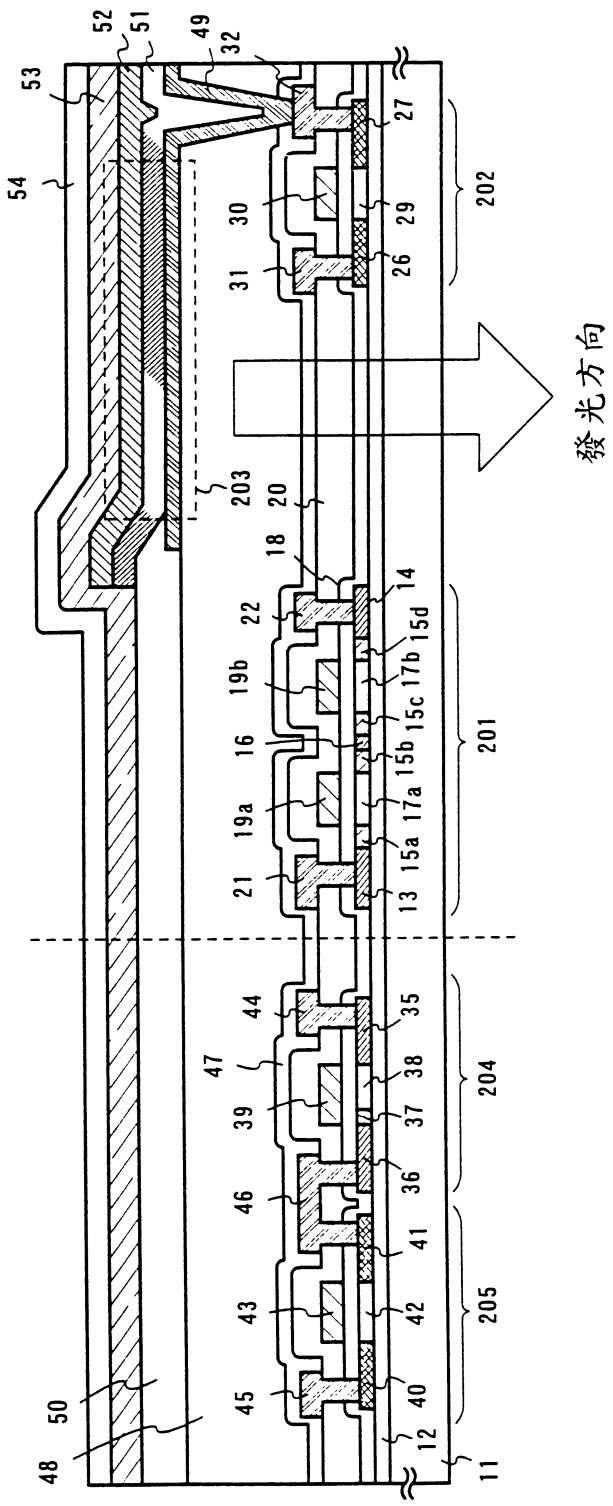
訂
線

第 1A 圖

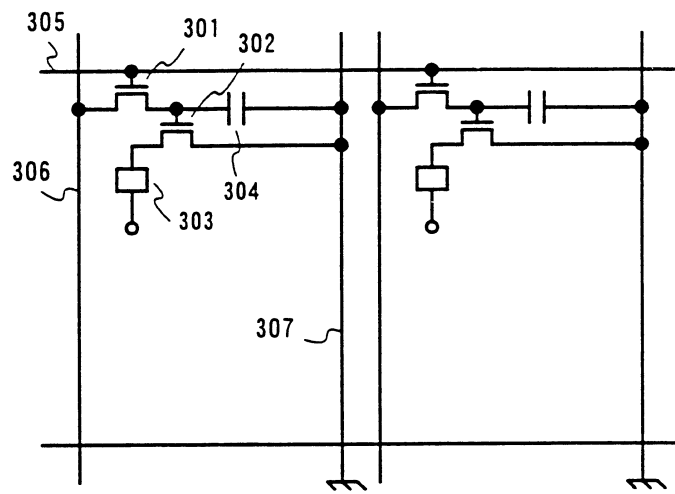


第 1B 圖

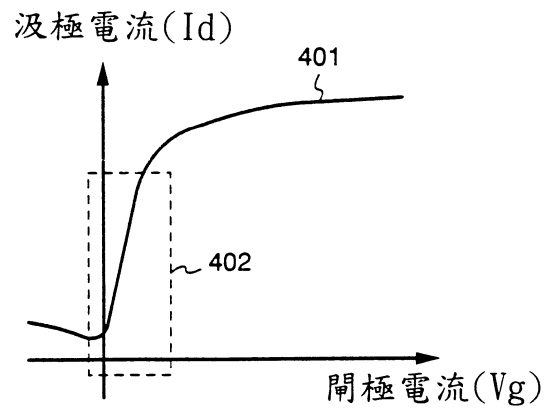




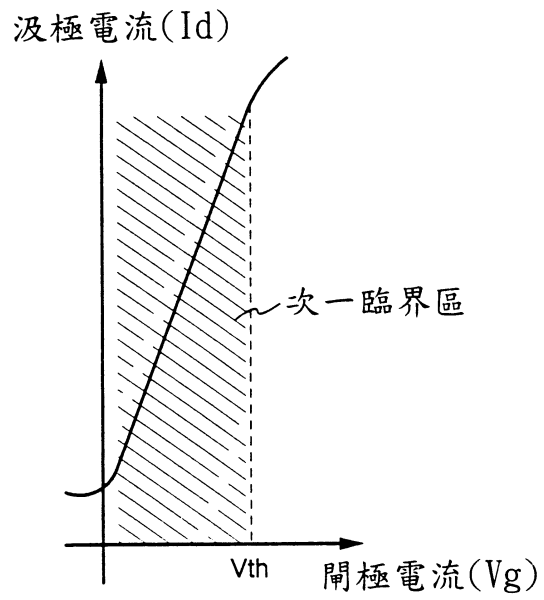
第2圖



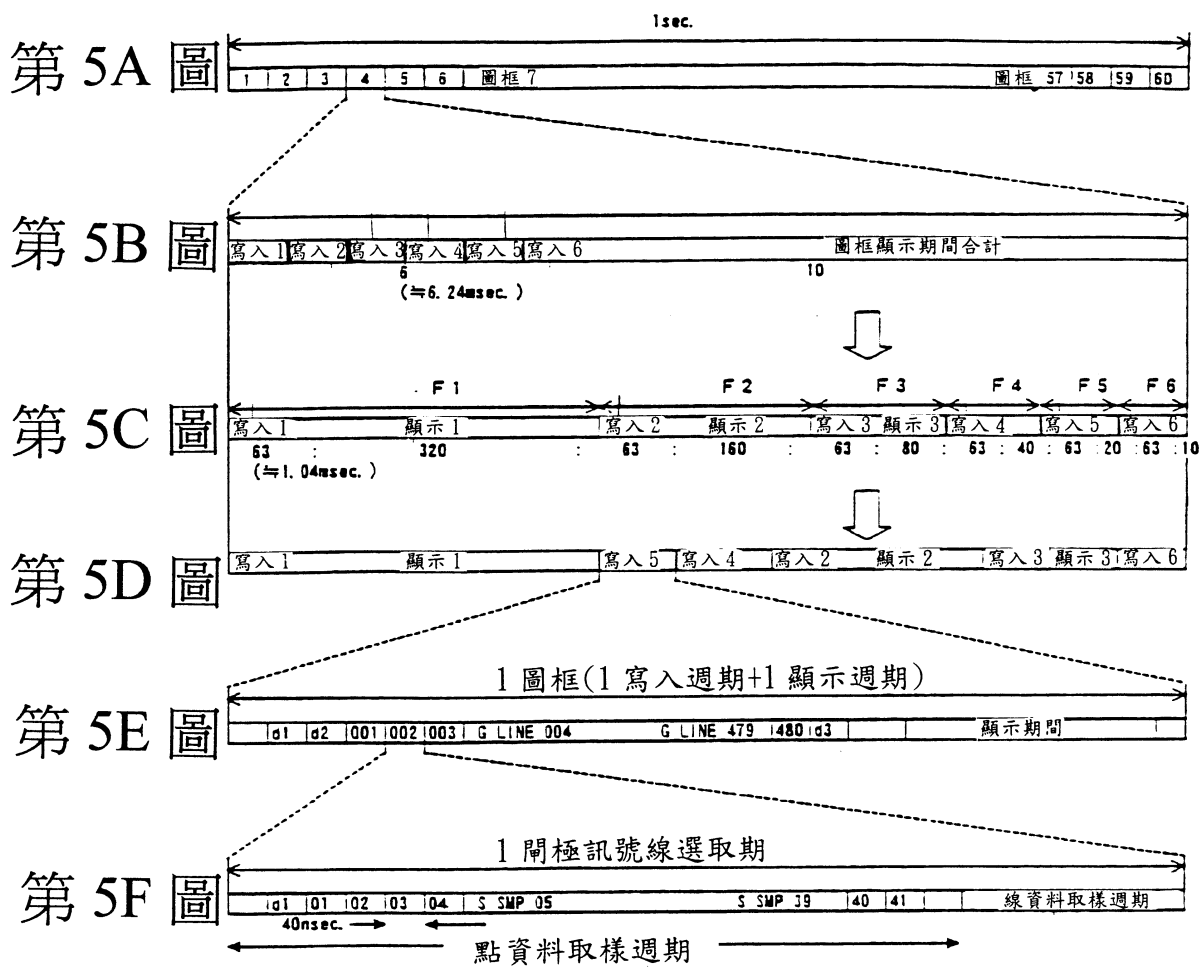
第 3 圖



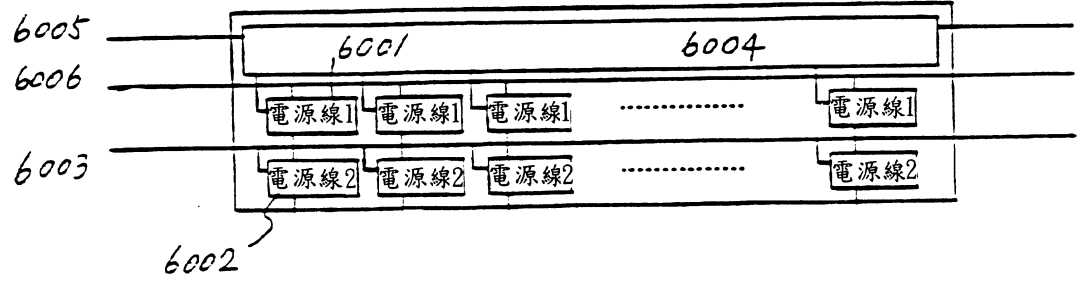
第 4A 圖

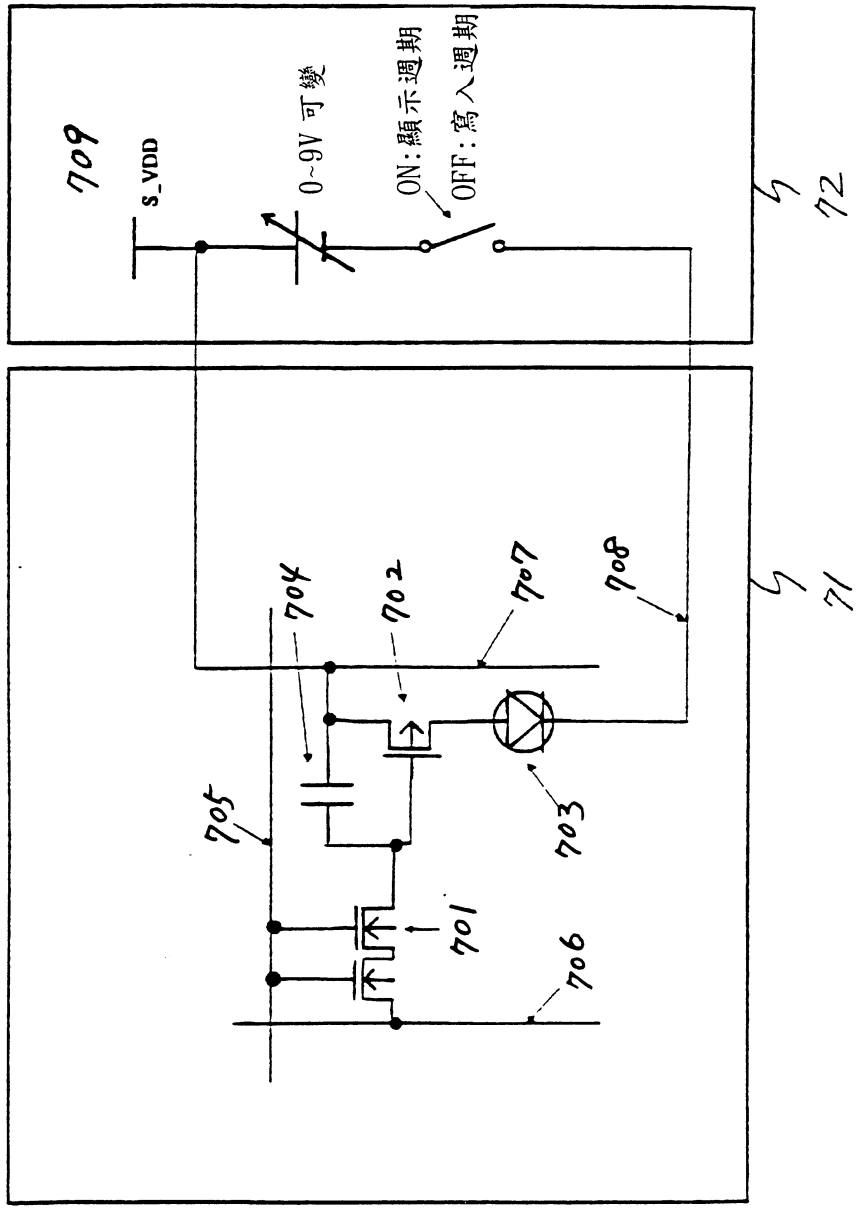


第 4B 圖



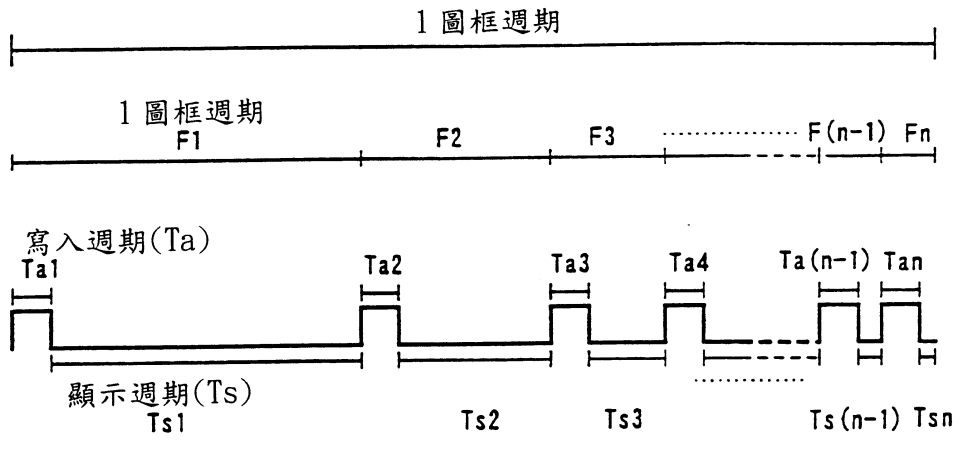
第 6 圖



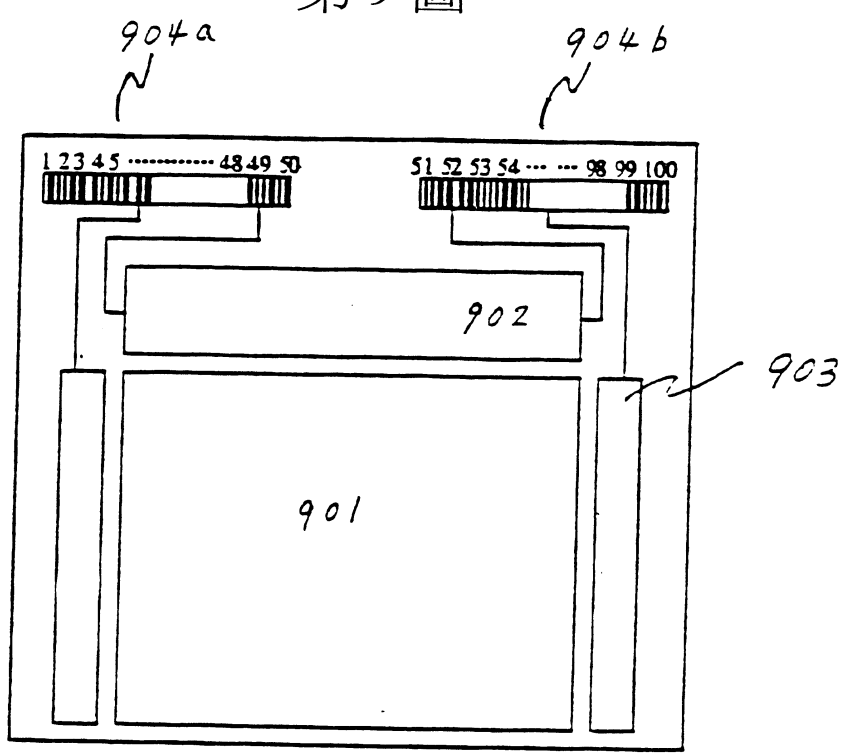


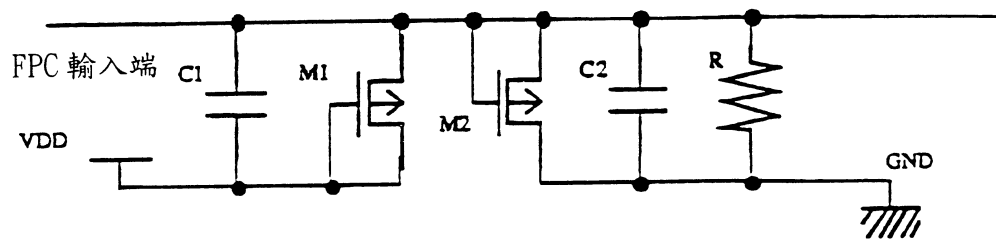
第7圖

第 8 圖



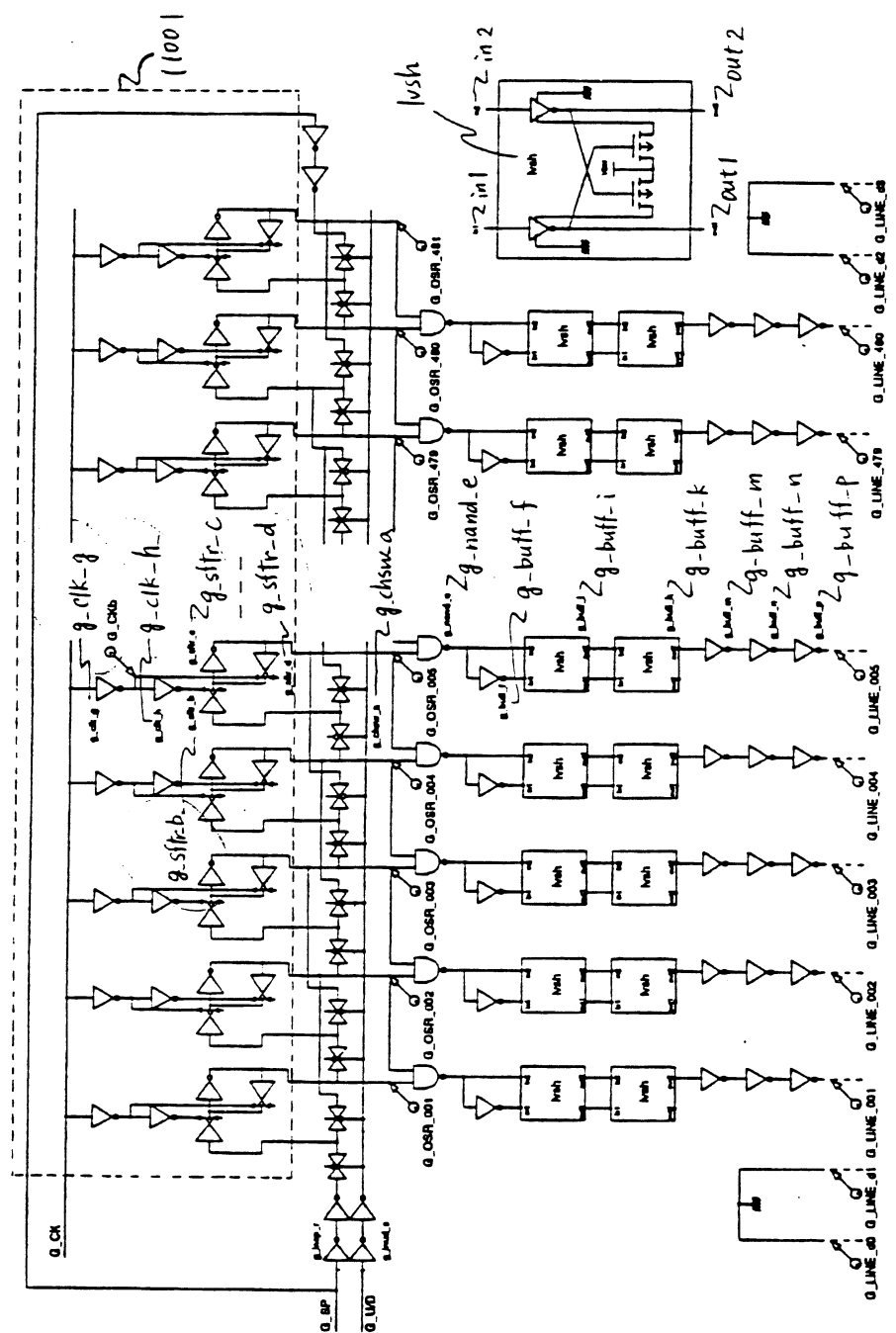
第 9 圖



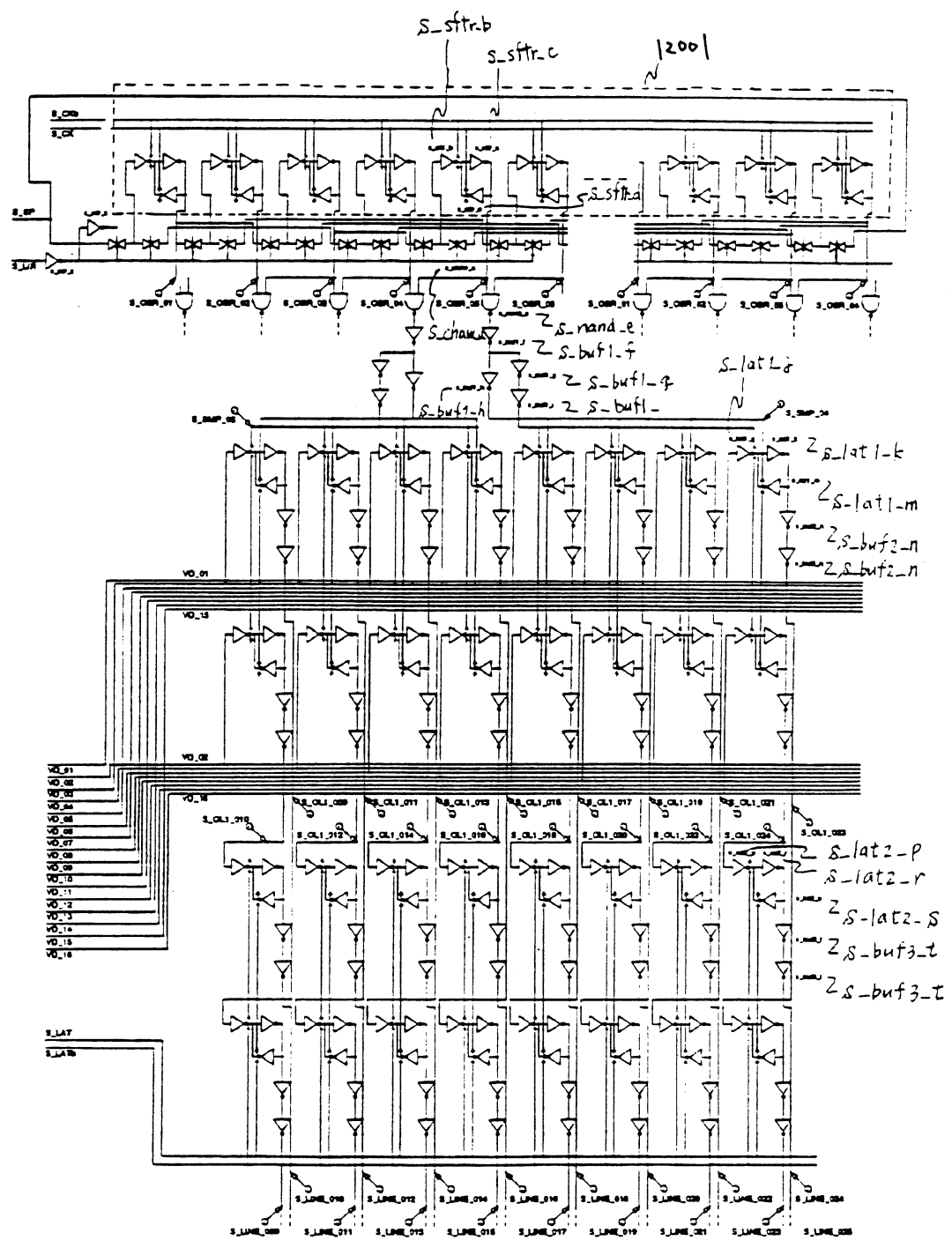


M1,M2 ; L=11W,W=250×2 [μm]
C1,C2 ; S=0.20×0.08 [mm²] (GTa-Al間)
R ; L=673,W=5 [μm] (LDDSi)

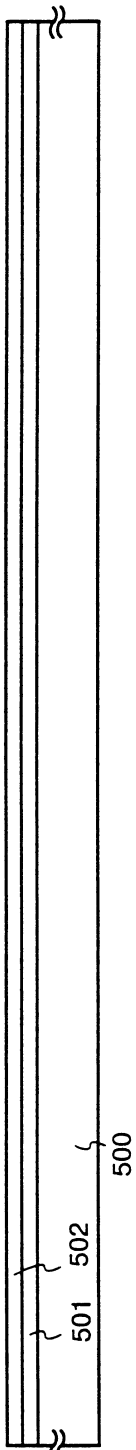
第 10 圖



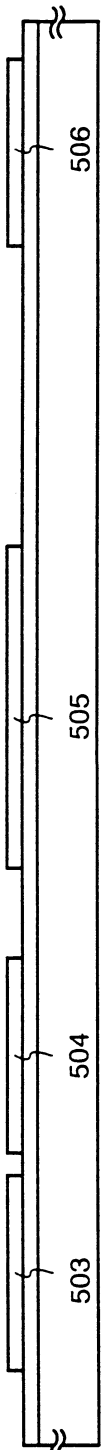
第 11 圖



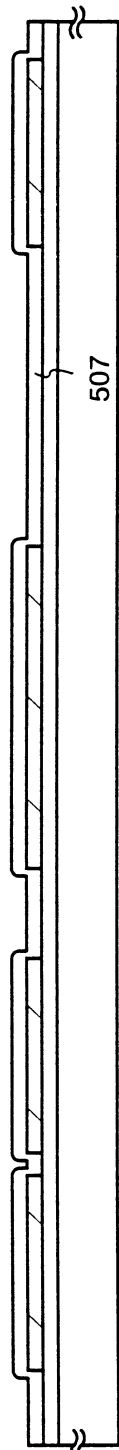
第 12 圖



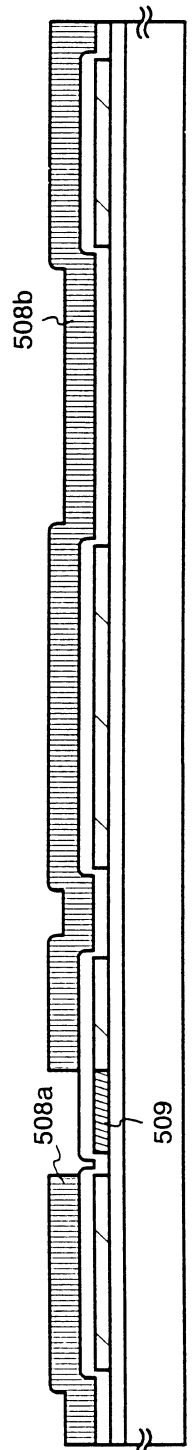
第 13A 圖



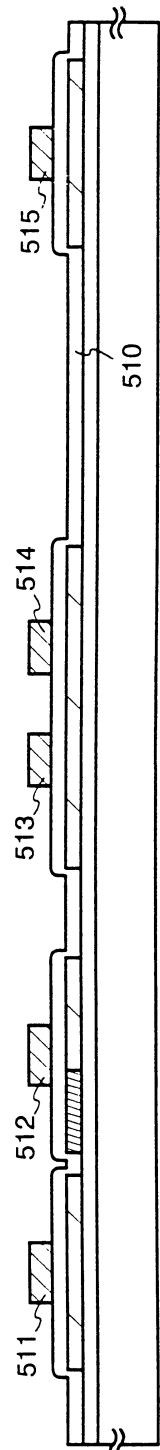
第 13B 圖



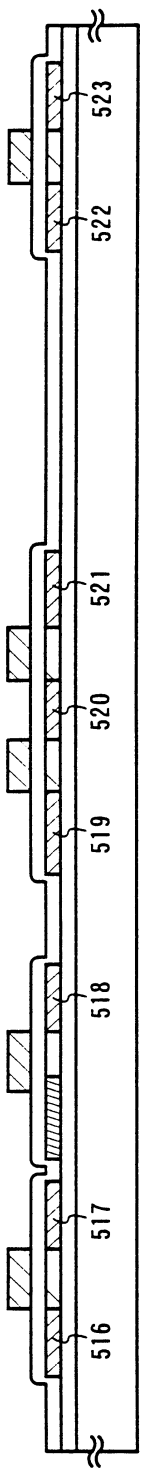
第 13C 圖



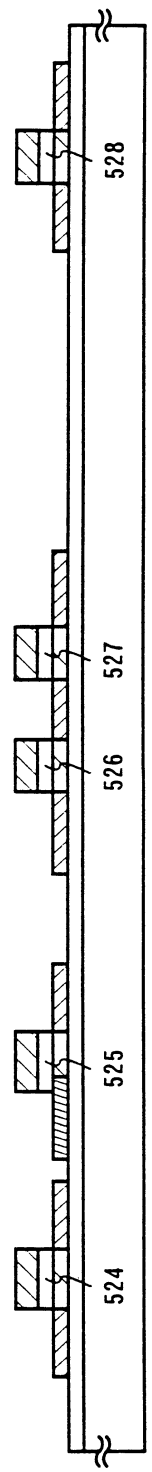
第 13D 圖



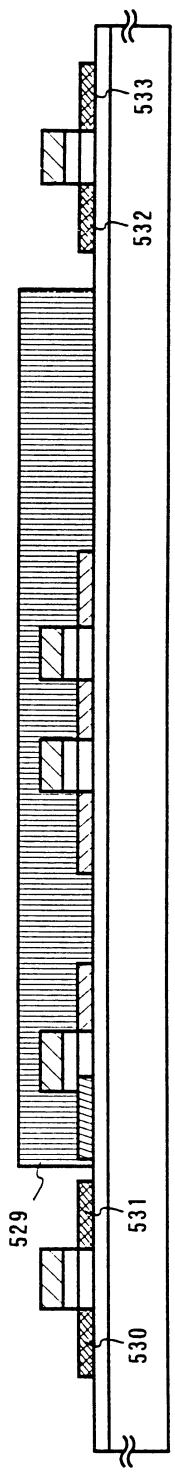
第 13E 圖



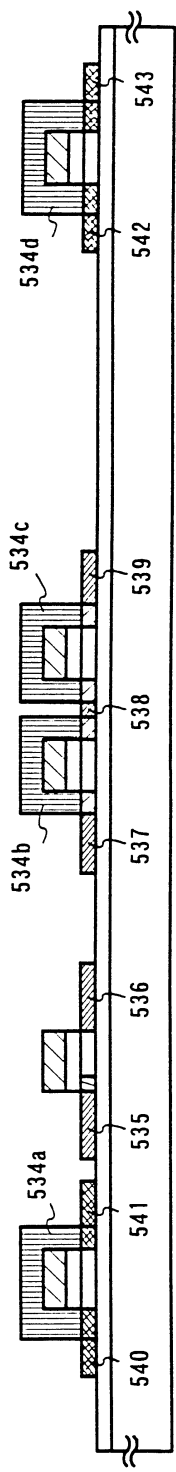
第 14A 圖



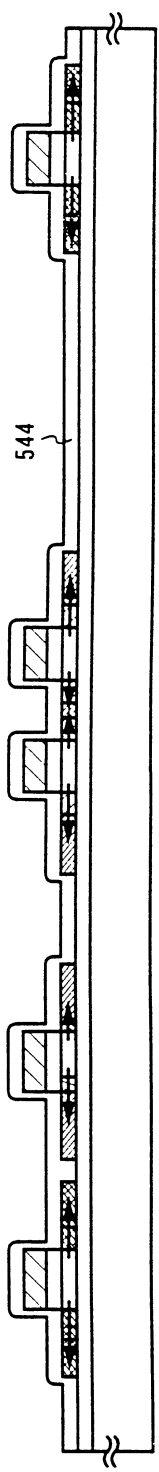
第 14B 圖



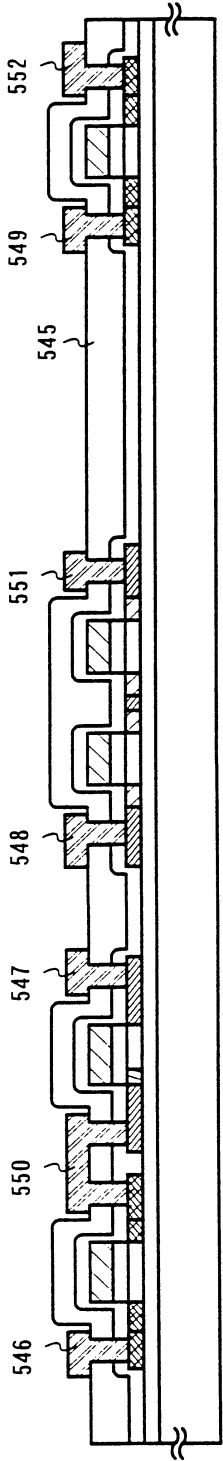
第 14C 圖



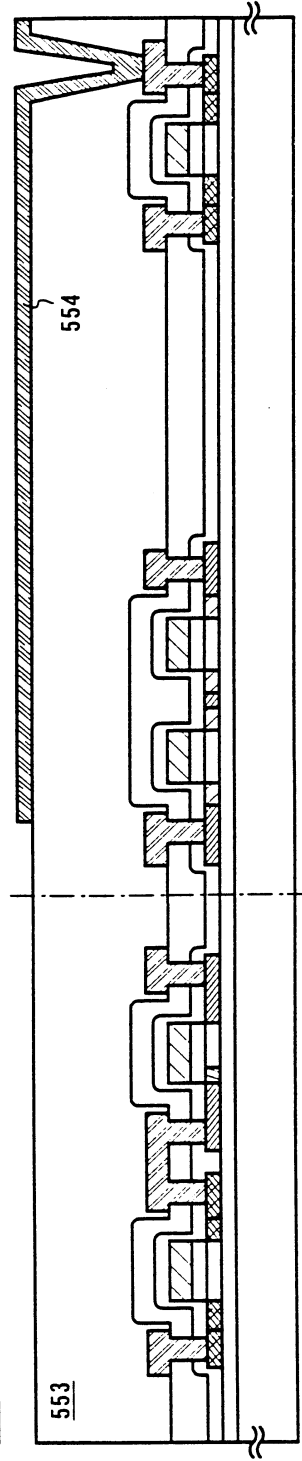
第 14D 圖



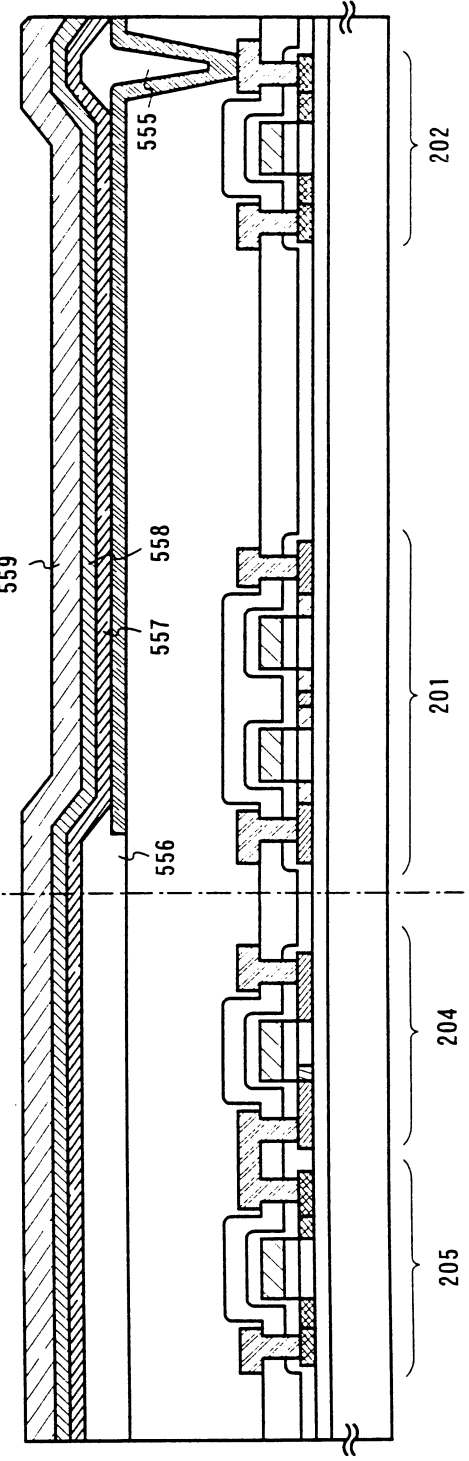
第 14E 圖



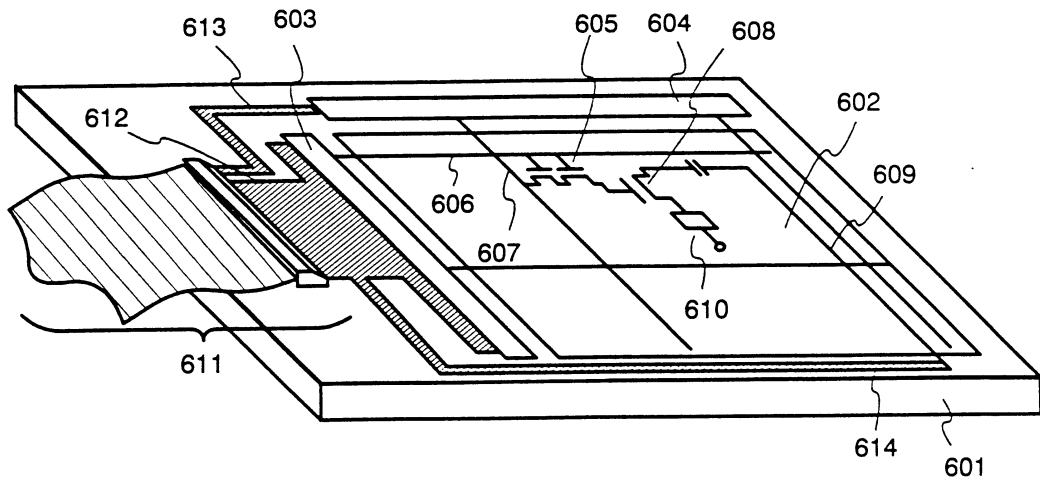
第 15A 圖



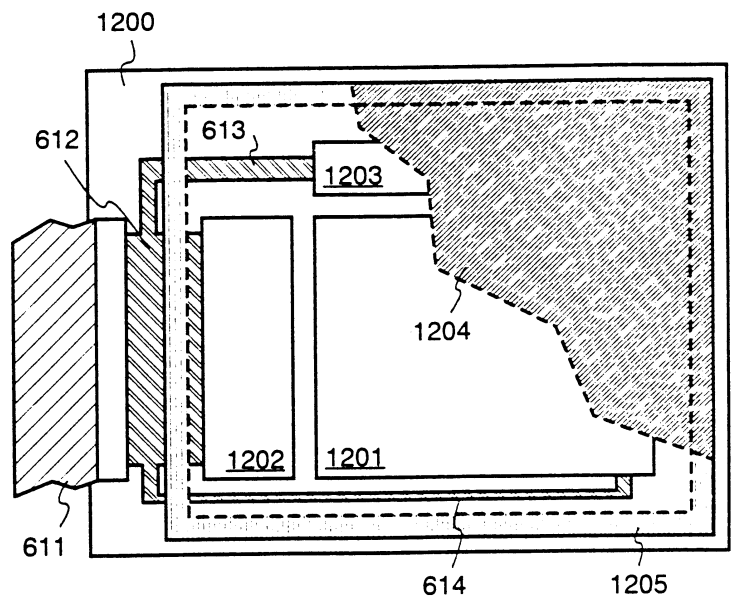
第 15B 圖



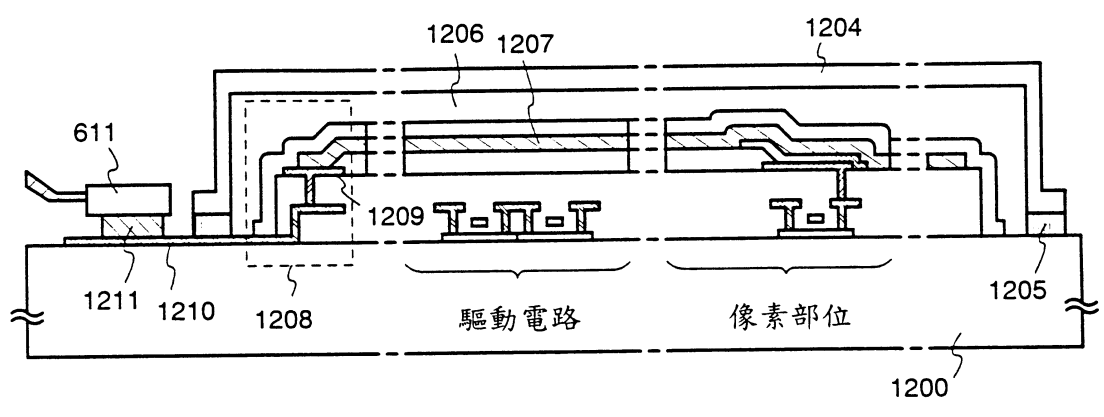
第 15C 圖



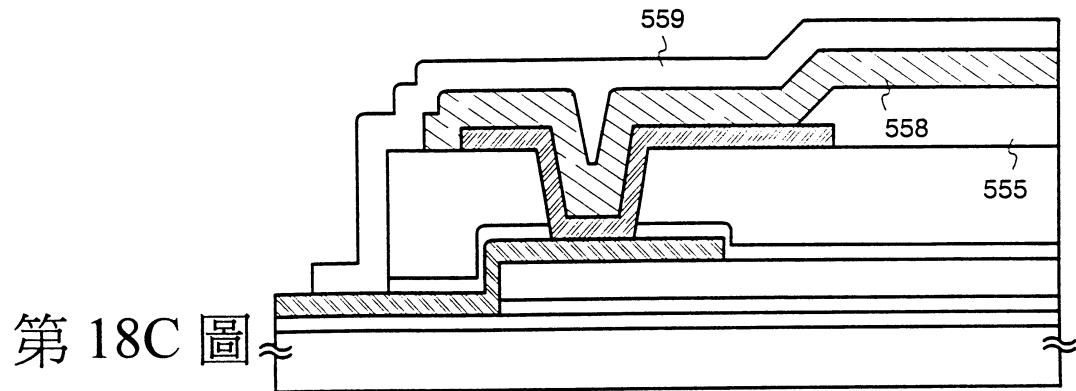
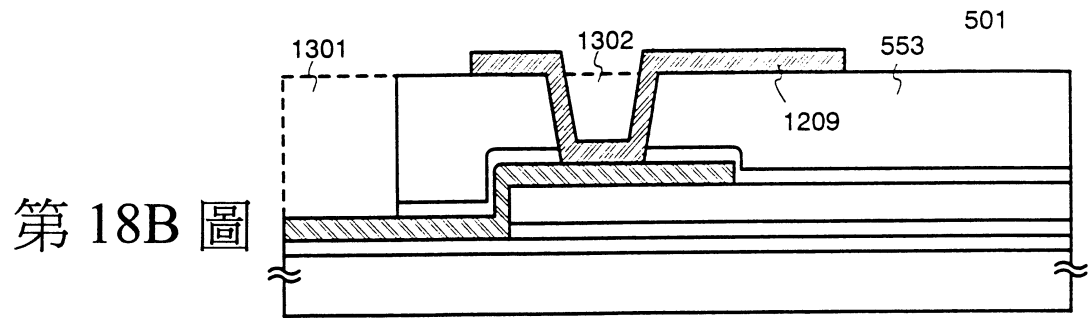
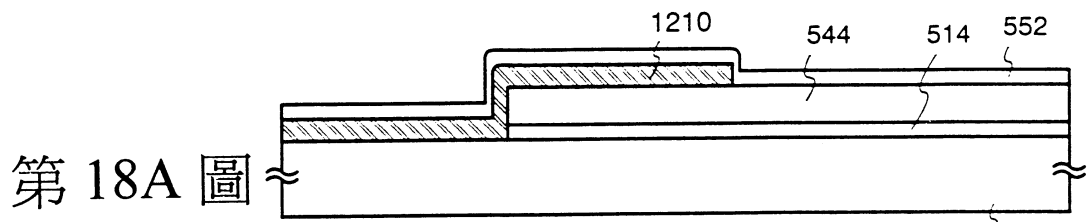
第 16 圖

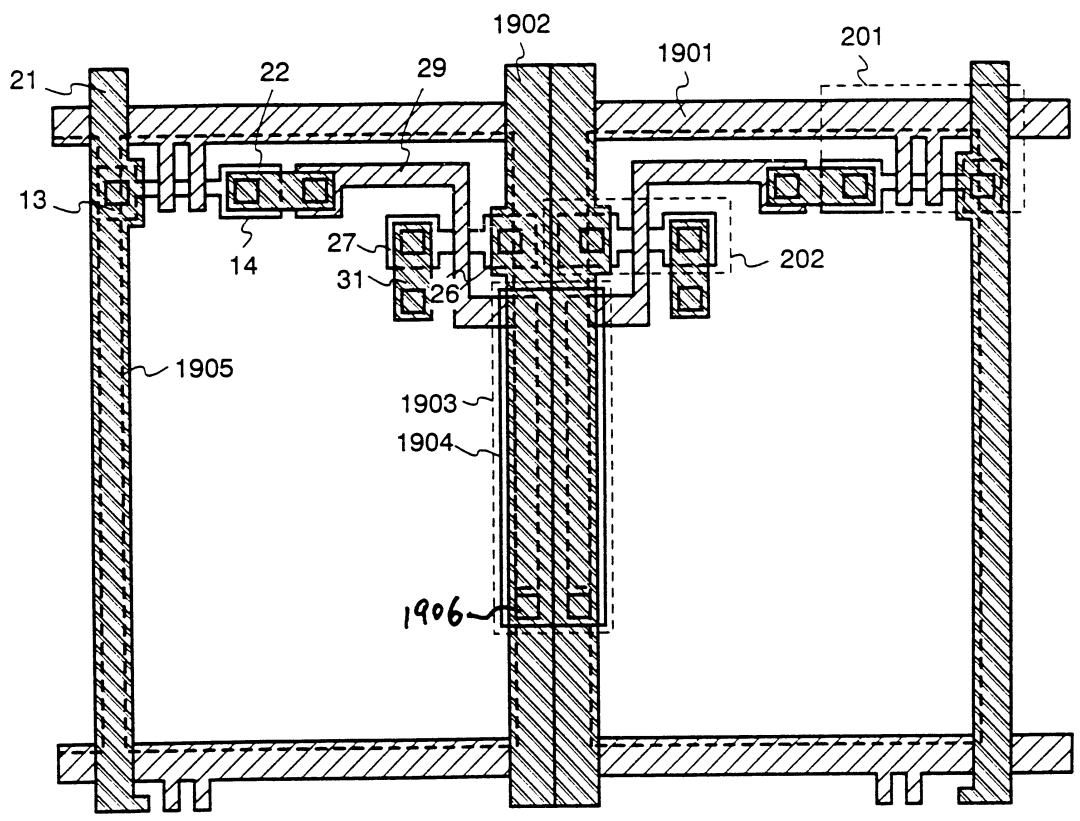


第 17A 圖

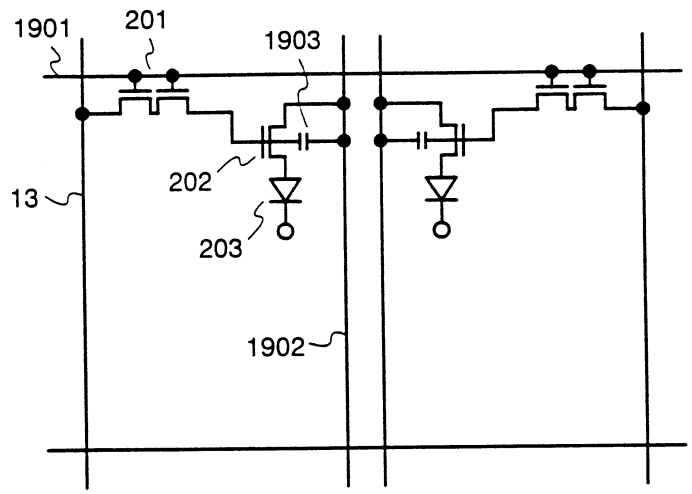


第 17B 圖

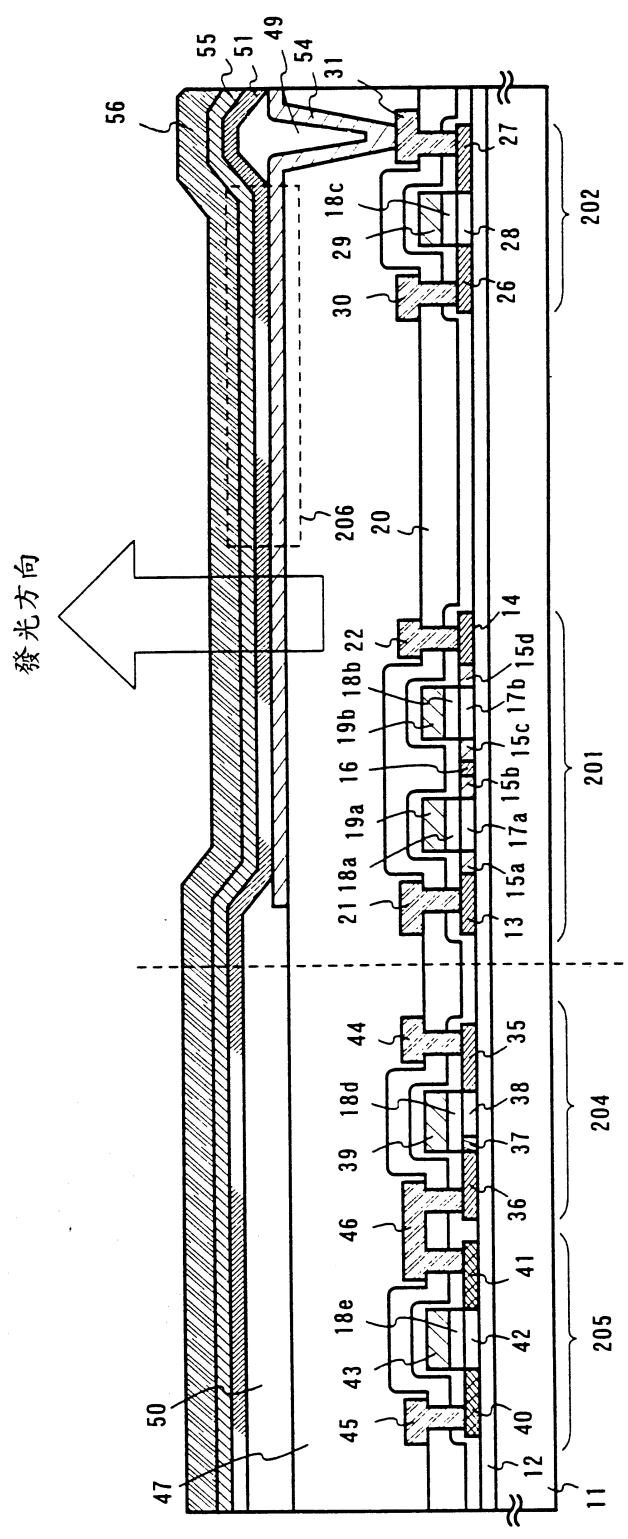




第 19A 圖

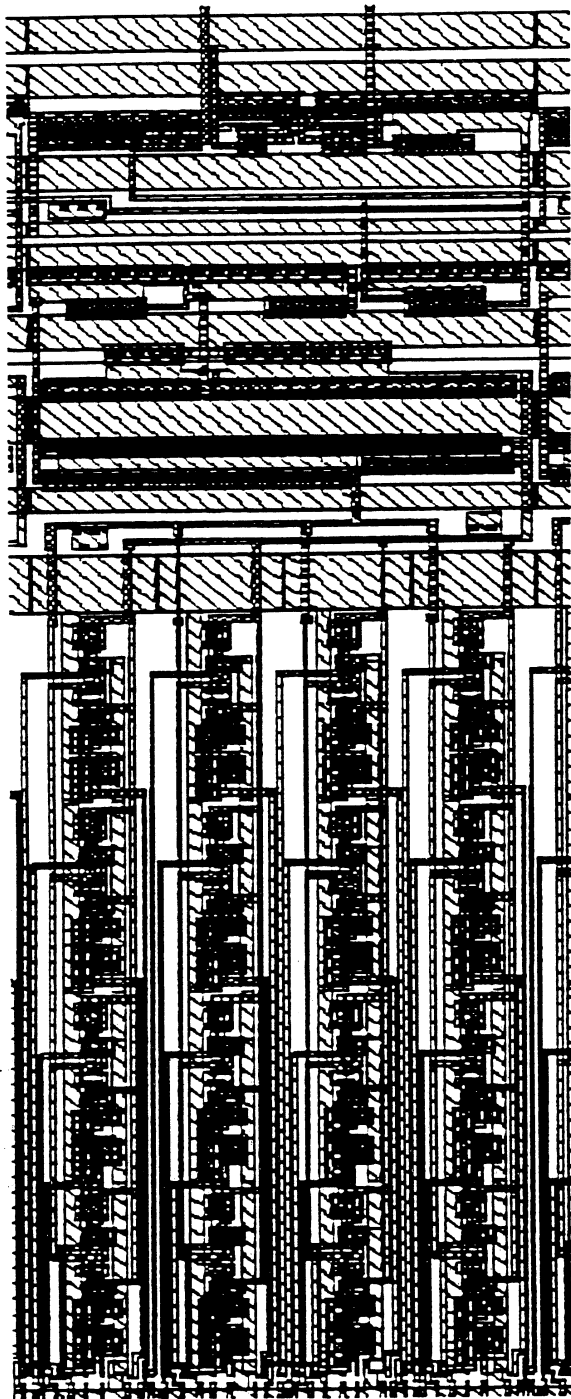


第 19B 圖



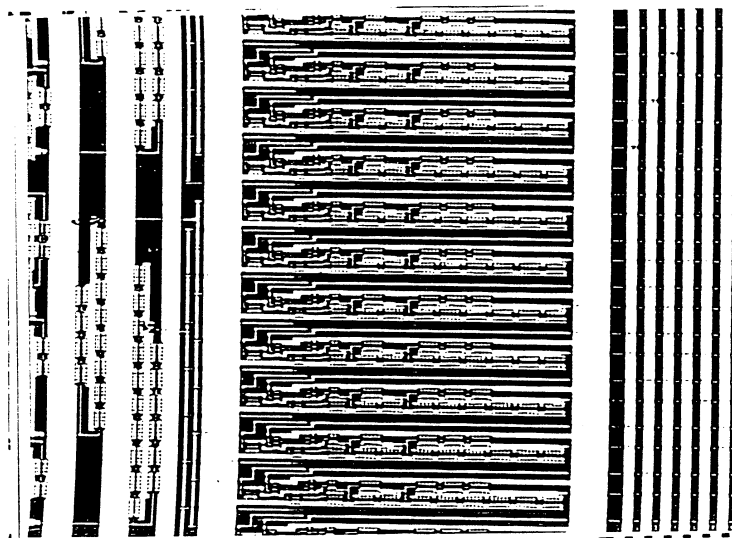
第 20 圖

第 21 圖

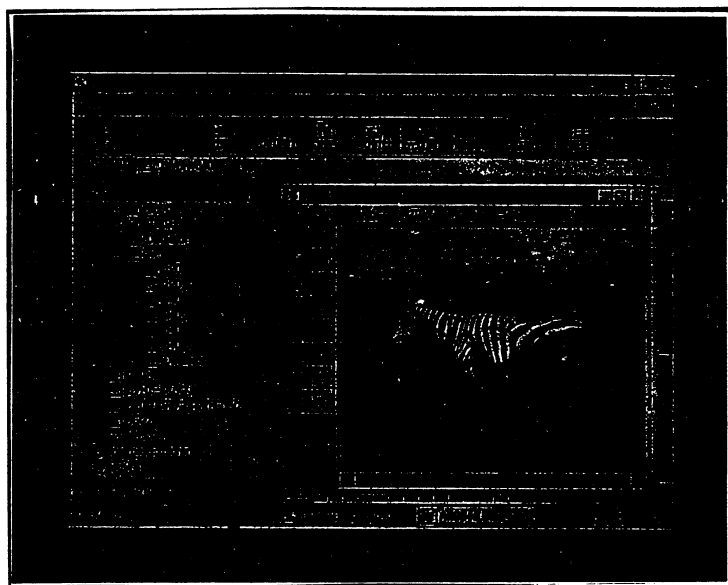


平移暫存器
(2601)

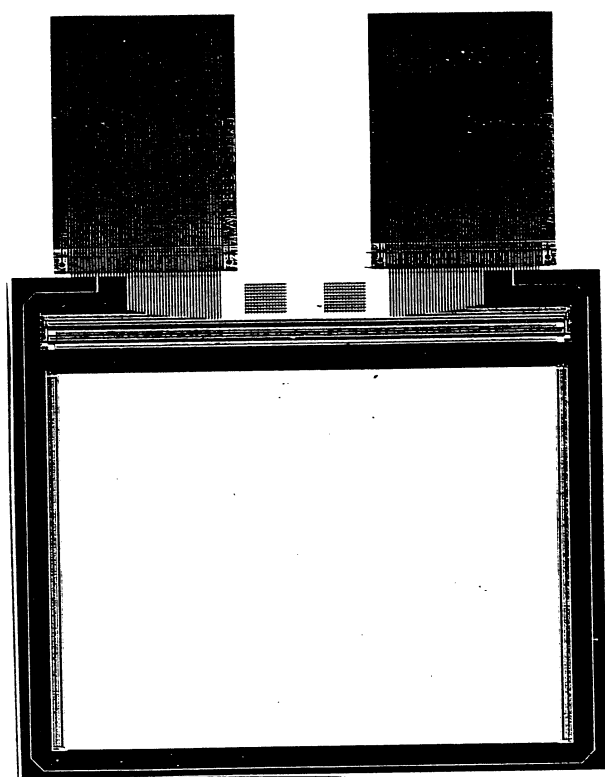
栓鎖
(2602)



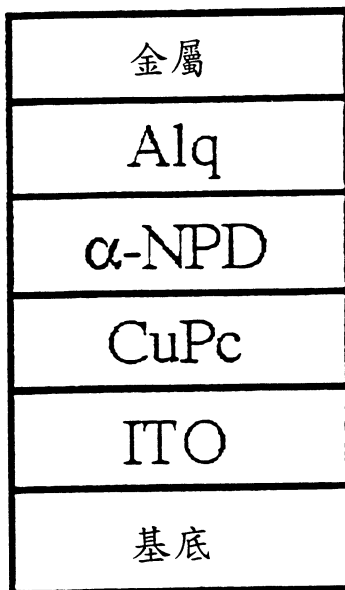
第 22A 圖



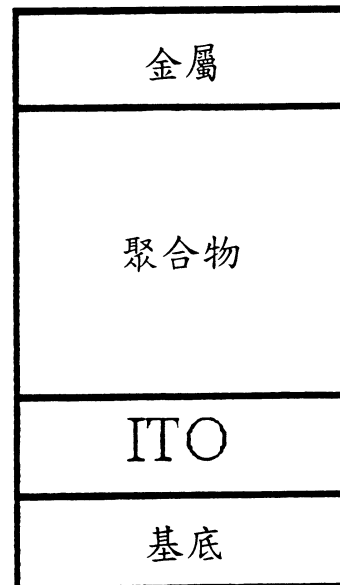
第 22B 圖



第 23 圖

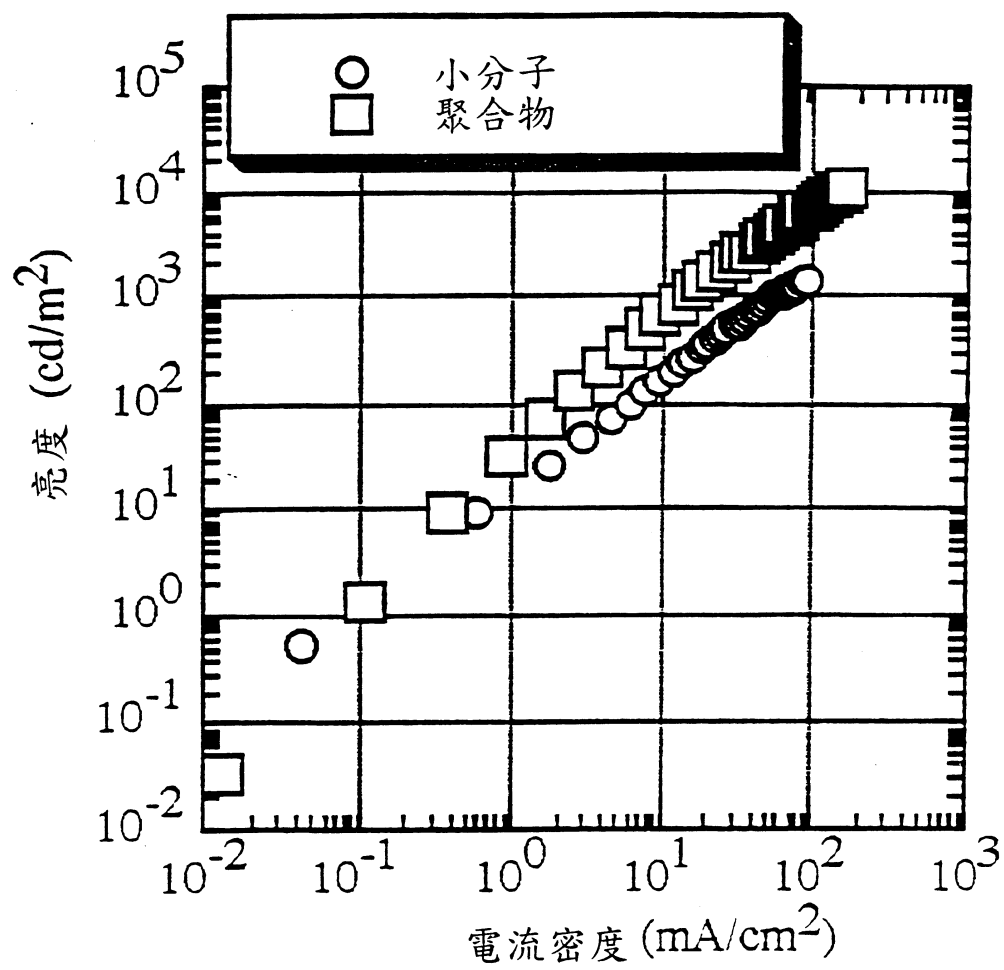


第 24A 圖



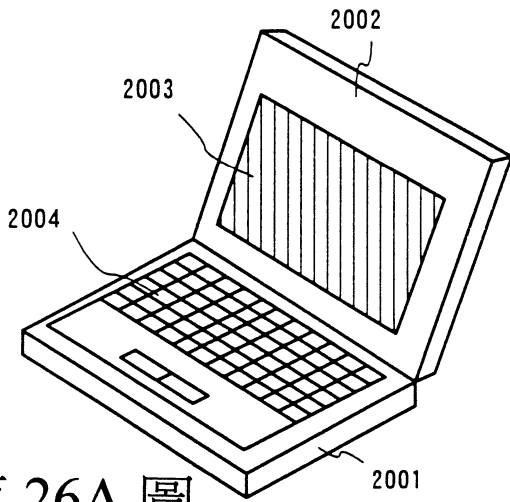
第 24B 圖

OLED 的結構

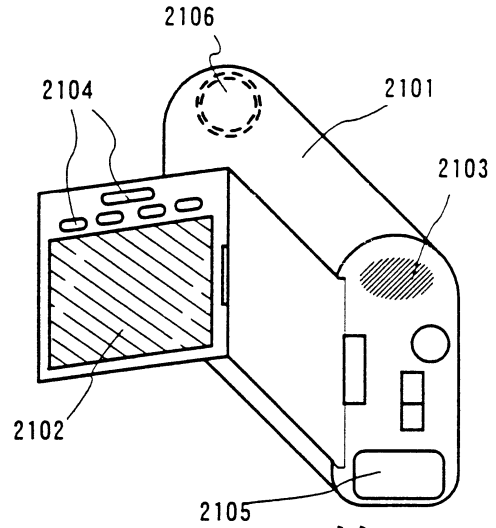


小分子及聚合物的 L-J 特性

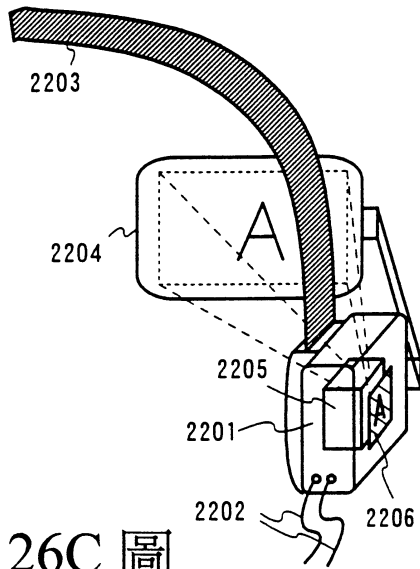
第 25 圖



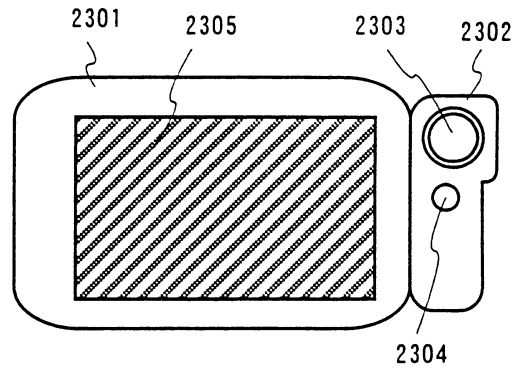
第 26A 圖



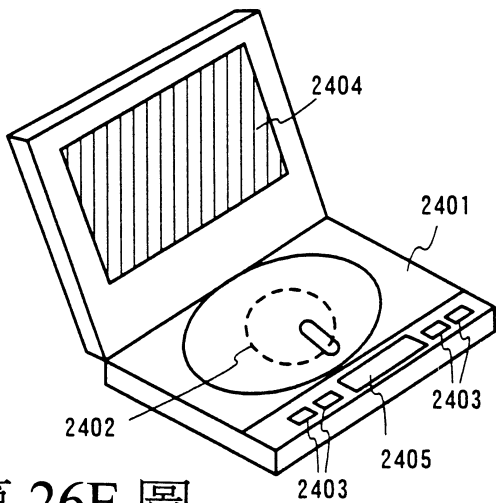
第 26B 圖



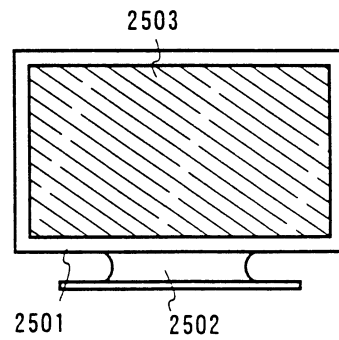
第 26C 圖



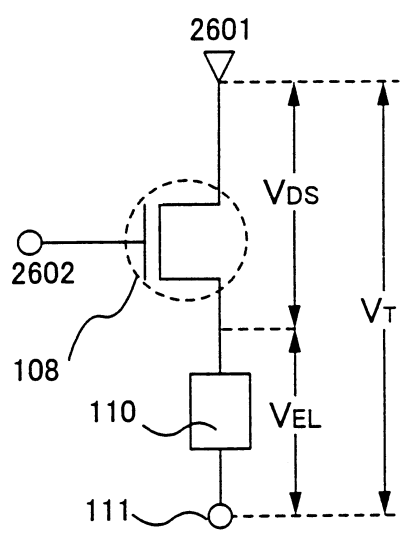
第 26D 圖



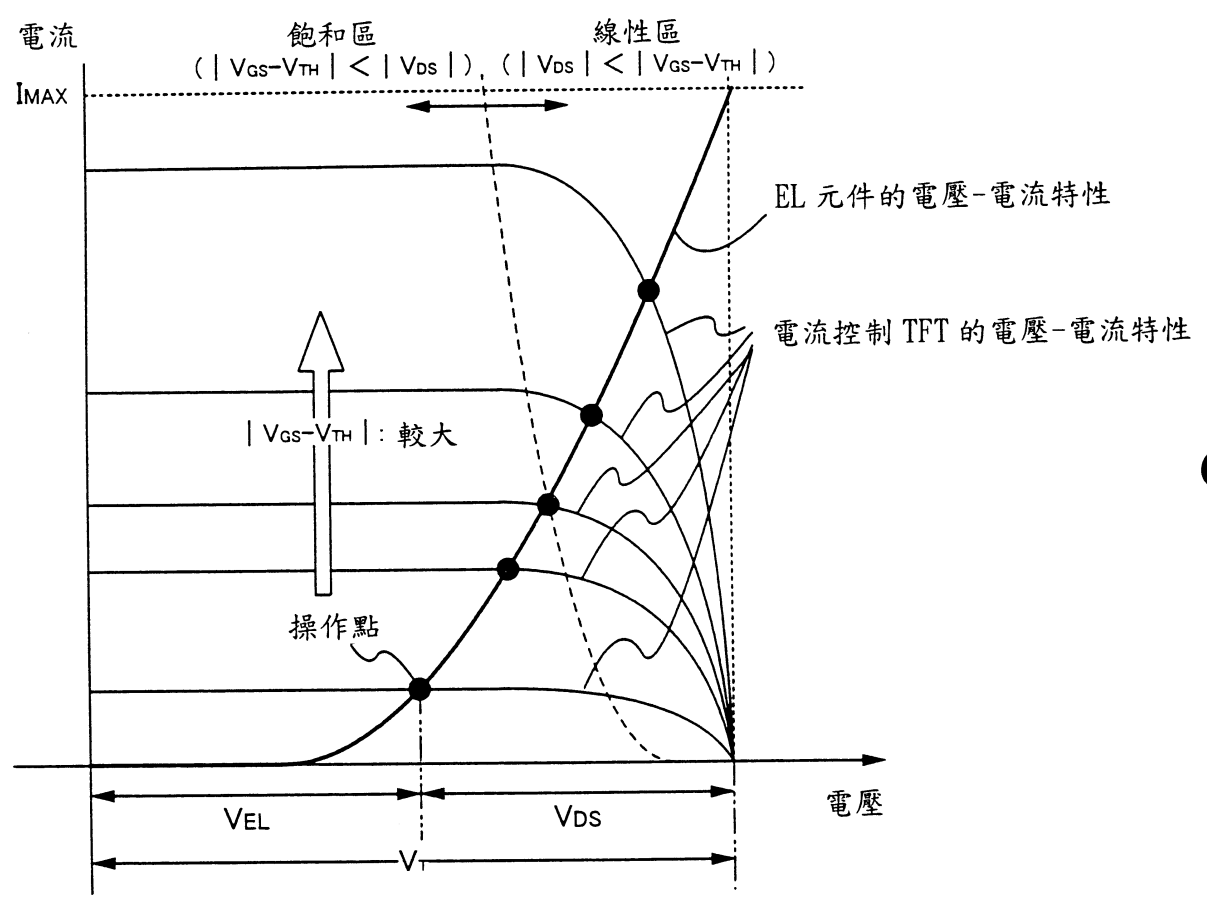
第 26E 圖



第 26F 圖



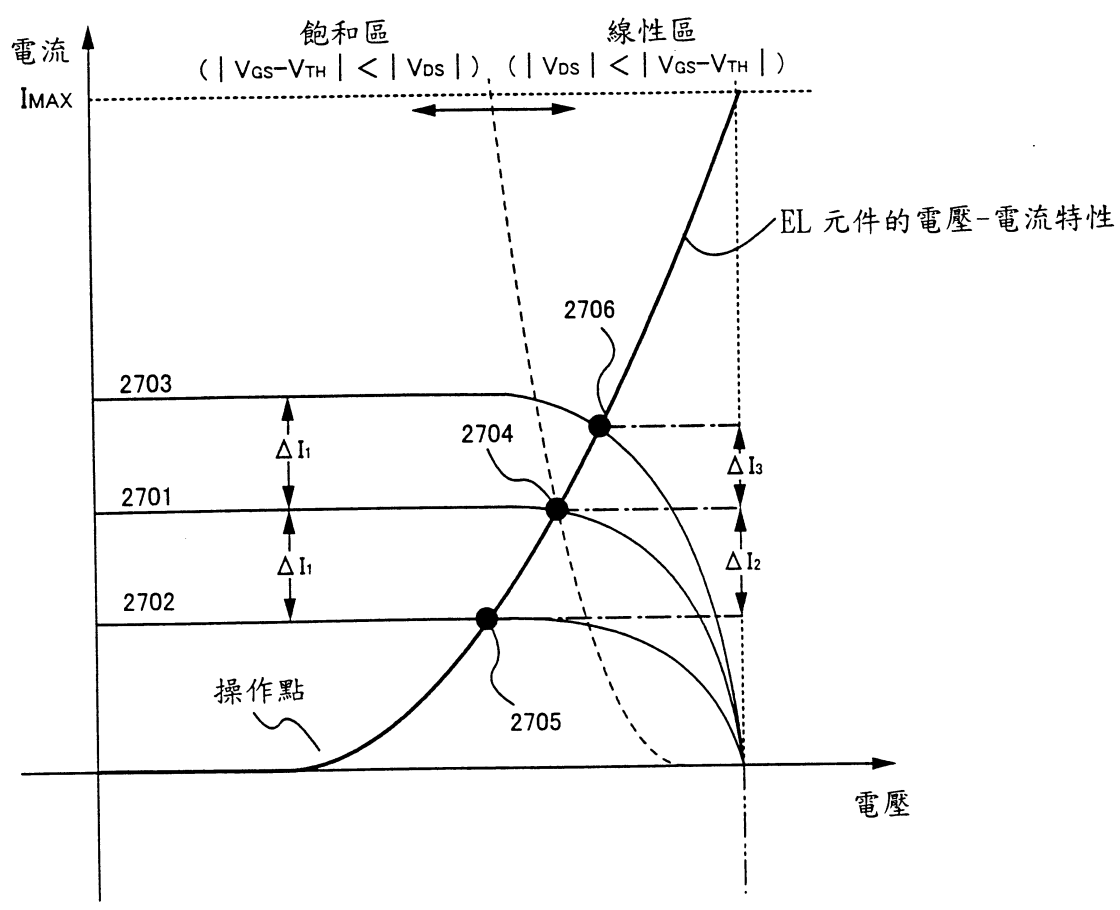
第 27A 圖



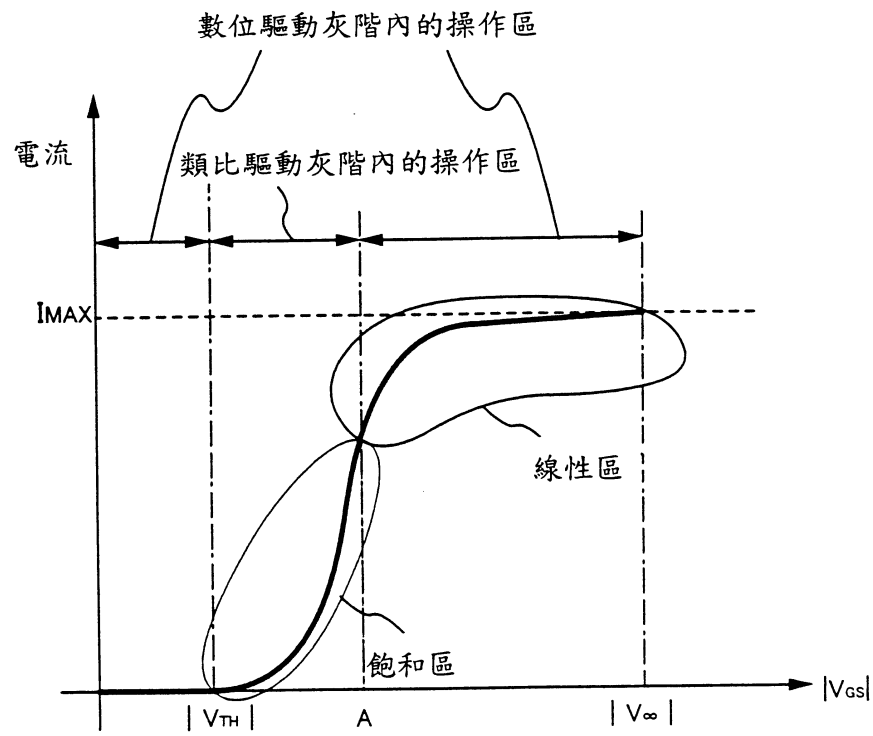
相對電極 111 的電位

電流控制 TFT108 之源極區 2601 的電位

第 27B 圖



第 28 圖



第 29 圖