



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I552150 B

(45)公告日：中華民國 105 (2016) 年 10 月 01 日

(21)申請案號：101116354

(22)申請日：中華民國 101 (2012) 年 05 月 08 日

(51)Int. Cl. : G11C11/41 (2006.01)

G11C11/4193(2006.01)

(30)優先權：2011/05/18 日本

2011-111738

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：米田誠一 YONEDA, SEIICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200713287

TW 200945359A1

US 4179751

US 5444652

US 6738281B2

US 7606988B2

US 2010/0245328A1

審查人員：賴炳成

申請專利範圍項數：16 項 圖式數：40 共 157 頁

(54)名稱

半導體儲存裝置

SEMICONDUCTOR STORAGE DEVICE

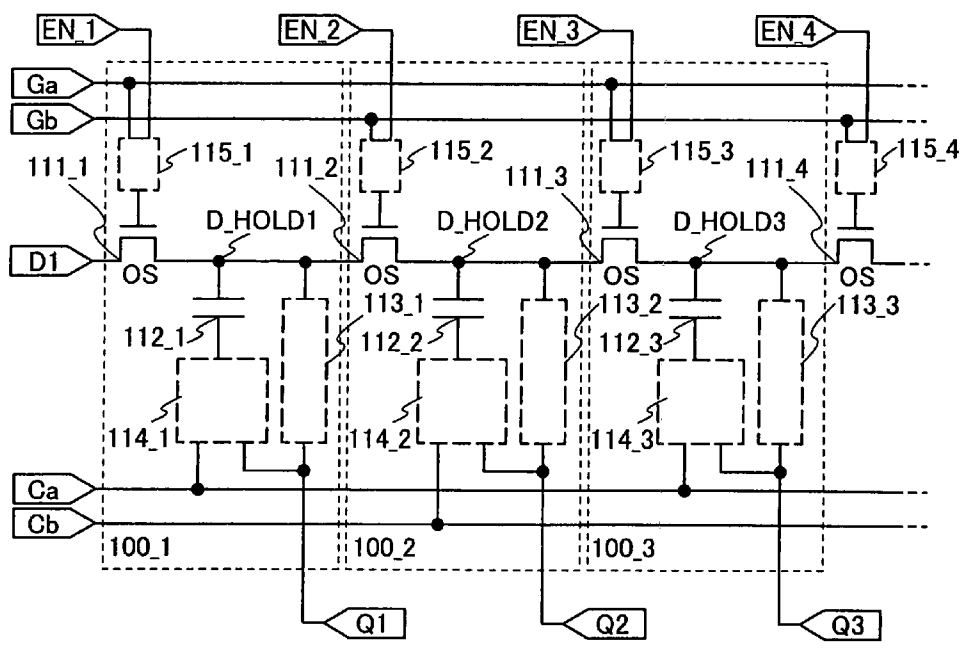
(57)摘要

一種半導體儲存裝置，其中在停止供應電源電壓並再開始供應電源電壓的結構中，不需要在揮發性儲存裝置與非揮發性儲存裝置之間轉移資料。在半導體儲存裝置中，將資料儲存在與其通道形成區包含氧化物半導體的電晶體及電容元件連接的資料儲存部中。並且，資料儲存部所儲存的電位被能夠控制儲存在佈線中的資料而不使電荷洩漏的資料電位儲存電路及能夠利用藉由電容元件的電容耦合控制資料儲存部所儲存的電位而不使電荷洩漏的資料電位控制電路控制。

A semiconductor storage device which stops and resumes the supply of power supply voltage without the necessity of saving and returning a data signal between a volatile storage device and a nonvolatile storage device is provided. In the semiconductor storage device, data is held in a data holding portion connected to a transistor including a semiconductor layer containing an oxide semiconductor and a capacitor. The potential of the data held in the data holding portion is controlled by a data potential holding circuit and a data potential control circuit. The data potential holding circuit can output data without leaking electric charge, and the data potential control circuit can control the potential of the data held in the data holding portion without leaking electric charge by capacitive coupling through the capacitor.

指定代表圖：

圖 2



符號簡單說明：

- 100_1 . . . 儲存電路
- 100_2 . . . 儲存電路
- 100_3 . . . 儲存電路
- 111_1 . . . 電晶體
- 111_2 . . . 電晶體
- 111_3 至
- 111_4 . . . 電晶體
- 112_1 . . . 電容元件
- 112_2 . . . 電容元件
- 112_3 . . . 電容元件
- 113_1 . . . 資料電位
儲存輸出電路
- 113_2 . . . 資料電位
儲存輸出電路
- 113_3 至
- 113_3 . . . 資料電位
儲存輸出電路
- 114_1 . . . 資料電位
控制電路
- 114_2 . . . 資料電位
控制電路
- 114_3 . . . 資料電位
控制電路
- 115_1 . . . 閘極選擇
信號產生電路
- 115_2 . . . 閘極選擇
信號產生電路
- 115_3 至
- 115_4 . . . 閘極選擇
信號產生電路

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101116354

※申請日：101年05月08日

※IPC分類：G11C 1/41 (2006.01)

一、發明名稱：(中文/英文)

G11C 1/4193 (2006.01)

半導體儲存裝置

Semiconductor storage device

二、中文發明摘要：

一種半導體儲存裝置，其中在停止供應電源電壓並再開始供應電源電壓的結構中，不需要在揮發性儲存裝置與非揮發性儲存裝置之間轉移資料。在半導體儲存裝置中，將資料儲存在與其通道形成區包含氧化物半導體的電晶體及電容元件連接的資料儲存部中。並且，資料儲存部所儲存的電位被能夠控制儲存在佈線中的資料而不使電荷洩漏的資料電位儲存電路及能夠利用藉由電容元件的電容耦合控制資料儲存部所儲存的電位而不使電荷洩漏的資料電位控制電路控制。

三、英文發明摘要：

A semiconductor storage device which stops and resumes the supply of power supply voltage without the necessity of saving and returning a data signal between a volatile storage device and a nonvolatile storage device is provided. In the semiconductor storage device, data is held in a data holding portion connected to a transistor including a semiconductor layer containing an oxide semiconductor and a capacitor. The potential of the data held in the data holding portion is controlled by a data potential holding circuit and a data potential control circuit. The data potential holding circuit can output data without leaking electric charge, and the data potential control circuit can control the potential of the data held in the data holding portion without leaking electric charge by capacitive coupling through the capacitor.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件代表符號簡單說明：

100_1：儲存電路

100_2：儲存電路

100_3：儲存電路

111_1：電晶體

111_2：電晶體

111_3 至 111_4：電晶體

112_1：電容元件

112_2：電容元件

112_3：電容元件

113_1：資料電位儲存輸出電路

113_2：資料電位儲存輸出電路

113_3 至 113_3：資料電位儲存輸出電路

114_1：資料電位控制電路

114_2：資料電位控制電路

114_3：資料電位控制電路

115_1：閘極選擇信號產生電路

115_2：閘極選擇信號產生電路

115_3 至 115_4：閘極選擇信號產生電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體儲存裝置。尤其是，本發明係關於一種即使關掉電源，所儲存的邏輯狀態也不消失的信號處理裝置的半導體儲存裝置。

【先前技術】

中央處理器（CPU：Central Processing Unit）等的信號處理裝置根據其用途而具有多種多樣的結構。一般來說，在信號處理裝置中，除了用來儲存資料或程式的主儲存體以外，還設置有暫存器或高速緩衝儲存體等各種儲存裝置。暫存器具有為了儲存運算處理或程式執行狀態等而暫時儲存資料信號的功能。另外，高速緩衝儲存體介於運算裝置與主儲存體之間，並為了減少對低速的主儲存體的存取數來實現運算處理的高速化而設置。

在信號處理裝置中，暫存器或高速緩衝儲存體等儲存裝置需要比主儲存體更高速地寫入資料信號。因此，通常，作為暫存器或高速緩衝儲存體，使用正反器或 SRAM（Static Random Access Memory，即靜態隨機存取儲存體）等。就是說，作為這些暫存器或高速緩衝儲存體等，使用如果停止供應電源電壓則資料信號消失的揮發性儲存裝置。

為抑制耗電量，已提出了如下方法：在不進行資料信號的輸入及輸出的期間中，暫時停止對信號處理裝置進行

電源電壓的供應（例如，參照專利文獻 1）。在專利文獻 1 的方法中，在揮發性儲存裝置的周圍配置非揮發性儲存裝置，而在停止供應電源電壓時將上述資料信號暫時儲存在該非揮發性儲存裝置中。

[專利文獻 1]日本專利申請公開第 2010-124290 號公報

在專利文獻 1 所記載的結構中，在信號處理裝置中停止供應電源電壓的期間中，可以將儲存在揮發性儲存裝置中的資料儲存在配置在揮發性儲存裝置的周圍的非揮發性儲存裝置中。

但是，在專利文獻 1 所記載的結構中，揮發性儲存裝置與非揮發性儲存裝置彼此分開而設置。因此，在停止供應電源電壓時，需要將資料從揮發性儲存裝置轉移到非揮發性儲存裝置。另外，在再開始供應電源電壓時，需要將資料從非揮發性儲存裝置轉移到揮發性儲存裝置。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是：提供一種半導體儲存裝置，其中在停止供應電源電壓並再開始供應電源電壓的結構中，不需要在揮發性儲存裝置與非揮發性儲存裝置之間轉移資料。

作為本發明的一個方式，在即使停止電源電壓的供應也能夠儲存資料信號的結構中，揮發性儲存裝置與非揮發性儲存裝置彼此不分開而構成。在具有多級儲存電路的半

導體儲存裝置中，各級儲存電路具有其半導體層具有氧化物半導體的電晶體及電容元件。並且，將資料儲存在與第奇數級儲存電路的電晶體及第偶數級儲存電路的電晶體連接的佈線中。並且，佈線所儲存的電位被資料電位儲存電路及資料電位控制電路控制，該資料電位儲存電路能夠控制佈線所儲存的電位而不使電荷洩漏，該資料電位控制電路能夠利用藉由電容元件的電容耦合控制佈線所儲存的電位而不使電荷洩漏。另外，多級儲存電路的電晶體的導通狀態被與其閘極連接的閘極選擇信號產生電路控制。

本發明的一個方式是一種對儲存電路進行了級聯的半導體儲存裝置，第 $(2m-1)$ 級（ m 是1以上的自然數）儲存電路包括：第 $(2m-1)$ 電晶體，該第 $(2m-1)$ 電晶體從其第一端子被供應資料；第 $(2m-1)$ 資料儲存部，該第 $(2m-1)$ 資料儲存部與所述第 $(2m-1)$ 電晶體的第二端子、第 $2m$ 級儲存電路所具有的第 $2m$ 電晶體的第一端子以及第 $(2m-1)$ 電容元件的第一電極電連接而儲存所述資料；第 $(2m-1)$ 資料電位儲存輸出電路，該第 $(2m-1)$ 資料電位儲存輸出電路在儲存所述第 $(2m-1)$ 資料儲存部中的電位的狀態下輸出所述資料；以及第 $(2m-1)$ 資料電位控制電路，該第 $(2m-1)$ 資料電位控制電路被輸入所述第 $(2m-1)$ 資料電位儲存輸出電路的輸出信號和第一電容元件控制信號而控制所述第 $(2m-1)$ 電容元件的第二電極的電位，第 $2m$ 級儲存電路包括：所述第 $2m$ 電晶體；第 $2m$ 資料儲存部，該第 $2m$ 資料儲存部與所述第 $2m$ 電晶體

的第二端子、第 $(2m+1)$ 級儲存電路所具有的第 $(2m+1)$ 電晶體的第一端子以及第 $2m$ 電容元件的第一電極電連接而儲存藉由所述第 $2m$ 電晶體供應的所述資料；第 $2m$ 資料電位儲存輸出電路，該第 $2m$ 資料電位儲存輸出電路在儲存所述第 $2m$ 資料儲存部中的電位的狀態下輸出所述資料；以及第 $2m$ 資料電位控制電路，該第 $2m$ 資料電位控制電路被輸入所述第 $2m$ 資料電位儲存輸出電路的輸出信號和第二電容元件控制信號而控制所述第 $2m$ 電容元件的第二電極的電位，其中，所述第 $(2m-1)$ 電晶體的閘極與被輸入第一閘極控制信號及第 $(2m-1)$ 使能信號的第 $(2m-1)$ 閘極選擇信號產生電路連接，該第 $(2m-1)$ 閘極選擇信號產生電路控制所述第 $(2m-1)$ 電晶體的導通狀態或非導通狀態，所述第 $2m$ 電晶體的閘極與被輸入第二閘極控制信號及第 $2m$ 使能信號的第 $2m$ 閘極選擇信號產生電路連接，該第 $2m$ 閘極選擇信號產生電路控制所述第 $2m$ 電晶體的導通狀態或非導通狀態，所述第 $(2m-1)$ 資料儲存部藉由使所述第 $(2m-1)$ 電晶體及所述第 $2m$ 電晶體成爲非導通狀態而儲存所述資料，所述第 $2m$ 資料儲存部藉由使所述第 $2m$ 電晶體及所述第 $(2m+1)$ 電晶體成爲非導通狀態而儲存所述資料，所述第 $(2m-1)$ 資料電位控制電路改變所述第 $(2m-1)$ 資料電位控制電路的輸出端子的電位而利用藉由所述第 $(2m-1)$ 電容元件的電容耦合控制所述第 $(2m-1)$ 資料儲存部的電位，並且，所述第 $2m$ 資料電位控制電路改變所述第 $2m$ 資料電位控制電路的輸出端

子的電位而利用藉由所述第 $2m$ 電容元件的電容耦合控制所述第 $2m$ 資料儲存部的電位。

本發明的一個方式是一種對儲存電路進行了級聯的半導體儲存裝置，第 $(2m-1)$ 級 (m 是 1 以上的自然數) 儲存電路包括：第 $(2m-1)$ 電晶體，該第 $(2m-1)$ 電晶體從其第一端子被供應資料；第 $(2m-1)$ 資料儲存部，該第 $(2m-1)$ 資料儲存部與所述第 $(2m-1)$ 電晶體的第二端子、第 $2m$ 級儲存電路所具有的第 $2m$ 電晶體的第一端子、第 $(2m-1)$ 電容元件的第一電極以及第 $(2m-1)$ 反相器電路的輸入端子電連接而儲存所述資料；以及第 $(2m-1)$ 反或閘，該第 $(2m-1)$ 反或閘被輸入所述第 $(2m-1)$ 反相器電路的輸出端子的信號和第一電容元件控制信號，並且其輸出端子與所述第 $(2m-1)$ 電容元件的第二電極電連接，第 $2m$ 級儲存電路包括：所述第 $2m$ 電晶體；第 $2m$ 資料儲存部，該第 $2m$ 資料儲存部與所述第 $2m$ 電晶體的第二端子、第 $(2m+1)$ 級儲存電路所具有的第 $(2m+1)$ 電晶體的第一端子、第 $2m$ 電容元件的第一電極以及第 $2m$ 反相器電路的輸入端子電連接而儲存藉由所述第 $2m$ 電晶體供應的所述資料；以及第 $2m$ 反或閘，該第 $2m$ 反或閘被輸入所述第 $2m$ 反相器電路的輸出端子的信號和第二電容元件控制信號，並且其輸出端子與所述第 $2m$ 電容元件的第二電極電連接，其中，所述第 $(2m-1)$ 級儲存電路中的所述第 $(2m-1)$ 電晶體的閘極與被輸入第一閘極控制信號及第 $(2m-1)$ 使能信號的第 $(2m-1)$ 閘極選擇信號產

生電路連接，該第 $(2m-1)$ 閘極選擇信號產生電路控制所述第 $(2m-1)$ 電晶體的導通狀態或非導通狀態，所述第 $2m$ 級儲存電路中的所述第 $2m$ 電晶體的閘極與被輸入第二閘極控制信號及第 $2m$ 使能信號的第 $2m$ 閘極選擇信號產生電路連接，該第 $2m$ 閘極選擇信號產生電路控制所述第 $2m$ 電晶體的導通狀態或非導通狀態，所述第 $(2m-1)$ 資料儲存部藉由使所述第 $(2m-1)$ 電晶體及所述第 $2m$ 電晶體成爲非導通狀態而儲存所述資料，所述第 $2m$ 資料儲存部藉由使所述第 $2m$ 電晶體及所述第 $(2m+1)$ 電晶體成爲非導通狀態而儲存所述資料，所述第 $(2m-1)$ 反或閘利用所述第 $(2m-1)$ 反相器電路的輸出端子的信號及所述第一電容元件控制信號改變所述第 $(2m-1)$ 反或閘的輸出端子的電位而利用藉由所述第 $(2m-1)$ 電容元件的電容耦合控制所述第 $(2m-1)$ 資料儲存部的電位，並且，所述第 $2m$ 反或閘利用所述第 $2m$ 反相器電路的輸出端子的信號及所述第二電容元件控制信號改變所述第 $2m$ 反或閘的輸出端子的電位而利用藉由所述第 $2m$ 電容元件的電容耦合控制所述第 $2m$ 資料儲存部的電位。

本發明的一個方式較佳爲一種半導體儲存裝置，其中構成所述第 $(2m-1)$ 反相器電路、所述第 $2m$ 反相器電路、所述第 $(2m-1)$ 反或閘、所述第 $2m$ 反或閘、所述第 $(2m-1)$ 閘極選擇信號產生電路以及所述第 $2m$ 閘極選擇信號產生電路的電晶體爲其半導體層包含矽的電晶體。

本發明的一個方式較佳爲一種半導體儲存裝置，其中

所述其半導體層包含矽的電晶體與所述第 $(2m-1)$ 電晶體及所述第 $2m$ 電晶體層疊而設置。

本發明的一個方式較佳為一種半導體儲存裝置，其中所述第 $(2m-1)$ 電晶體及所述第 $2m$ 電晶體為其半導體層包含氧化物半導體的電晶體。

本發明的一個方式較佳為一種半導體儲存裝置，其中所述氧化物半導體為 In-Sn-Zn 類氧化物半導體。

根據本發明的一個方式，可以提供一種半導體儲存裝置，其中在停止供應電源電壓並再開始供應電源電壓的結構中，不需要在揮發性儲存裝置與非揮發性儲存裝置之間轉移資料。

【實施方式】

以下，參照圖式說明本發明的實施方式。注意，本發明的結構可以藉由多種不同的方式來實施，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及其範圍。因此，本發明並不限定於本實施方式所記載的內容而被解釋。在以下說明的本發明的結構中，表示相同目標的元件符號在不同的圖式中共同使用。

另外，有時為了明確起見，誇大表示各實施方式的圖式等所示的各結構的尺寸、層的厚度、信號波形或區域。因此，本發明並不一定限定於其比例。

另外，當明確地記載有“A 與 B 連接”時包括如下情況

：A 與 B 電連接的情況；A 與 B 功能性地連接的情況；以及 A 與 B 直接連接的情況。

另外，在本說明書中使用的第一、第二、第三至第 N（N 為自然數）的序數詞是爲了避免結構要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施方式 1

半導體儲存裝置可以藉由對多級儲存電路進行級聯而成爲用作多位元的暫存器的電路。在本實施方式中，說明具有多級儲存電路的半導體儲存裝置的結構。另外，可以將在本實施方式中說明的半導體儲存裝置用於信號處理裝置的儲存裝置。

另外，CPU、微處理器、影像處理電路、DSP(Digital Signal Processor，即數位信號處理器)、FPGA(Field Programmable Gate Array，即現場可編程閘陣列)等的 LSI(Large Scale Integrated Circuit，即大型積體電路)等都屬於信號處理裝置的範疇。

圖 1A 示出用作 N 位元的暫存器的半導體儲存裝置 10 的方塊圖的一個例子。圖 1A 所示的本實施方式的半導體儲存裝置 10 對 N 級（N 為自然數）的儲存電路 100_1 至 100_N 進行級聯，而將依次輸入的 N 位元的資料信號作爲輸出資料 Q1 至 QN 而輸出。另外，資料 D 被輸入到第一級儲存電路 100_1 的輸入端子 D，前一級的輸出信號 OUT 被輸入到第二級以後的儲存電路 100_2 至 100_N 的輸入端

子 D。

第一閘極控制信號 G_a 和第一電容元件控制信號 C_a 被輸入到第奇數級（第 $(2m-1)$ 級： m 為 1 以上的自然數）的儲存電路。第二閘極控制信號 G_b 和第二電容元件控制信號 C_b 被輸入到第偶數級（第 $2m$ 級： m 為 1 以上的自然數）的儲存電路。另外，對各級儲存電路分別輸入使能信號。例如，第一使能信號、第二使能信號、第 $(2m-1)$ 使能信號、第 $2m$ 使能信號以及第 N 使能信號分別被輸入到第一級儲存電路、第二級儲存電路、第 $(2m-1)$ 級儲存電路、第 $2m$ 級儲存電路以及第 N 級儲存電路。

另外，在各級儲存電路中連接有用來供應電源電壓的供應高電源電位 V_{DD} 和低電源電位 V_{SS} (GND) 的佈線。另外，在本實施方式的結構中，即使在儲存資料時停止供應電源電壓，也可以在儲存電路的內部中儲存資料 D ，並且在再開始供應電源電壓時輸出資料 D 。在此情況下，只要將供應高電源電位 V_{DD} 的佈線的電位轉換成低電源電位 V_{SS} ，以轉換停止供應電源電壓的工作和再開始供應電源電壓的工作。

另外，在本說明書中，“停止供應信號或電源電壓”是指不將信號或電源電壓供應到供應信號或電源電壓的佈線。另外，在本說明書中，“再開始供應信號或電源電壓”是指經過停止供應信號或電源電壓的狀態而再開始將信號或電源電壓供應到供應信號或電源電壓的佈線。另外，在本說明書中，“固定信號”是指例如將以預定頻率振盪的交流

信號轉換成高電源電位 VDD 或低電源電位 VSS 的固定電位的直流信號。

接著，爲了說明具體的電路結構，圖 1B 示出圖 1A 的第奇數級儲存電路之一的第一級儲存電路 100_1 的電路結構。圖 1B 所示的第一級儲存電路 100_1 具有第一電晶體 111_1、第一電容元件 112_1、第一資料電位儲存輸出電路 113_1、第一資料電位控制電路 114_1 以及第一閘極選擇信號產生電路 115_1。

第一電晶體 111_1 的源極和汲極中的一方（第一端子）與供應資料 D 的資料信號線連接。第一電晶體 111_1 的源極和汲極中的另一方（第二端子）與第一電容元件 112_1 中的第一電極及輸出輸出信號 OUT 的輸出端子連接。第一電晶體 111_1 的閘極與輸出第一閘極選擇信號產生電路 115_1 的輸出信號的佈線連接。第一閘極選擇信號產生電路 115_1 被輸入第一閘極控制信號 Ga 及第一使能信號 EN_1。另外，第一電晶體 111_1、第一電容元件 112_1 的第一電極以及輸出輸出信號 OUT 的輸出端子彼此連接的佈線是儲存藉由第一電晶體 111_1 供應的資料的佈線，在以下說明中也被稱爲第一資料儲存部 D_HOLD1。

第一資料儲存部 D_HOLD1 與第一資料電位儲存輸出電路 113_1 連接。第一資料電位儲存輸出電路 113_1 是由電晶體構成並根據施加到電晶體的閘極的信號而輸出信號的電路。第一資料電位儲存輸出電路 113_1 相當於由互補型電晶體構成的反相器電路或緩衝器電路。信號的輸入及

輸出藉由利用隔著由電晶體的閘極絕緣膜構成的絕緣物的通道形成區控制電源電壓的電位的輸出而進行。

第一電容元件 112_1 的第二電極與第一資料電位控制電路 114_1 連接。第一資料電位控制電路 114_1 是根據第一電容元件控制信號 Ca 及第一資料電位儲存輸出電路 113_1 的輸出信號而控制第一電容元件 112_1 的第二電極的電位的電路。藉由利用第一資料電位控制電路 114_1 控制第一電容元件 112_1 的第二電極的電位，在第一資料儲存部 D_HOLD1 處於電浮動狀態 (floating state) 時可以利用藉由第一電容元件 112_1 的電容耦合控制第一資料儲存部 D_HOLD1 的電位而不使電荷洩漏。

接著，圖 1C 示出圖 1A 的第偶數級儲存電路之一的第二級儲存電路 100_2 的電路結構。圖 1C 所示的第二級儲存電路 100_2 具有第二電晶體 111_2、第二電容元件 112_2、第二資料電位儲存輸出電路 113_2、第二資料電位控制電路 114_2 以及第二閘極選擇信號產生電路 115_2。

第二電晶體 111_2 的源極和汲極中的一方 (第一端子) 與第一級輸出儲存電路 100_1 的輸出信號 OUT 的輸出端子，即第一資料儲存部 D_HOLD1 連接。第二電晶體 111_2 的源極和汲極中的另一方 (第二端子) 與第二電容元件 112_2 中的第一電極及輸出輸出信號 OUT 的輸出端子連接。第二電晶體 111_2 的閘極與輸出第二閘極選擇信號產生電路 115_2 的輸出信號的佈線連接。第二閘極選擇信號產生電路 115_2 被輸入第二閘極控制信號 Gb 及第二

使能信號 EN₂。另外，第二電晶體 111₂、第二電容元件 112₂ 的第一電極以及輸出輸出信號 OUT 的輸出端子彼此連接的佈線是儲存藉由第二電晶體 111₂ 供應的資料的佈線，在以下說明中也被稱為第二資料儲存部 D_HOLD2。

第二資料儲存部 D_HOLD2 與第二資料電位儲存輸出電路 113₂ 連接。第二資料電位儲存輸出電路 113₂ 是由電晶體構成並根據施加到電晶體的閘極的信號而輸出信號的電路。第二資料電位儲存輸出電路 113₂ 相當於由互補型電晶體構成的反相器電路或緩衝器電路。信號的輸入及輸出藉由利用隔著由電晶體的閘極絕緣膜構成的絕緣物的通道形成區控制電源電壓的電位的輸出而進行。

第二電容元件 112₂ 的第二電極與第二資料電位控制電路 114₂ 連接。第二資料電位控制電路 114₂ 是根據第二電容元件控制信號 C_b 及第二資料電位儲存輸出電路 113₂ 的輸出信號而控制第二電容元件 112₂ 的第二電極的電位的電路。藉由利用第二資料電位控制電路 114₂ 控制第二電容元件 112₂ 的第二電極的電位，在第二資料儲存部 D_HOLD2 處於電浮動狀態 (floating state) 時可以利用藉由第二電容元件 112₂ 的電容耦合控制第二資料儲存部 D_HOLD2 的電位而不使電荷洩漏。

另外，如圖 2 所示，可以與圖 1B 和 1C 同樣地示出第三級儲存電路 100₃ 和第四級儲存電路 100₄ (未圖示)。例如，與第奇數級儲存電路的第一級儲存電路 100₁ 同樣，圖 2 所示的第三級儲存電路 100₃ 具有第三電晶體

111_3、第三電容元件 112_3、第三資料電位儲存輸出電路 113_3、第三資料電位控制電路 114_3 以及第三閘極選擇信號產生電路 115_3。

在本說明書中，對第三級至第 N 級儲存電路 100_3 至 100_N 所具有的各元件加上“第三”至“第 N”來進行說明。另外，在本發明的一個方式中，可以對第奇數級儲存電路和第偶數級儲存電路分別進行說明。在此情況下，在以第一級儲存電路中的各元件為第奇數級儲存電路的一個例子來進行說明時，對各元件加上“第一”來進行說明，在以第二級儲存電路中的各元件為第偶數級儲存電路的一個例子來進行說明時，對各元件加上“第二”來進行說明。另外，在說明第奇數級儲存電路各元件時，可以考慮到第 $(2m-1)$ 級儲存電路的情況而對各元件加上“第一”（或“第三”）來進行說明。另外，在說明第偶數級儲存電路各元件時，可以考慮到第 $2m$ 級儲存電路的情況而對各元件加上“第二”（或“第四”）來進行說明。

另外，如圖 2 所示，第一資料儲存部 D_HOLD1 與第一電晶體 111_1、第二電晶體 111_2、第一電容元件 112_1 以及第一資料電位儲存輸出電路 113_1 的絕緣物連接，幾乎沒有藉由該絕緣物的電荷的洩漏。在第一資料儲存部 D_HOLD1 中，只藉由第一電晶體 111_1 或第二電晶體 111_2 進行電荷的輸入及輸出。因此，藉由儘量降低第一電晶體 111_1 及第二電晶體 111_2 的非導通狀態下的截止電流，可以使第一資料儲存部 D_HOLD1 儲存電位。

另外，如圖 2 所示，第二資料儲存部 D_HOLD2 與第二電晶體 111_2、第三電晶體 111_3、第二電容元件 112_2 以及第二資料電位儲存輸出電路 113_2 的絕緣物連接，幾乎沒有藉由該絕緣物的電荷的洩漏。在第二資料儲存部 D_HOLD2 中，只藉由第二電晶體 111_2 或第三電晶體 111_3 進行電荷的輸入及輸出。因此，藉由儘量降低第二電晶體 111_2 及第三電晶體 111_3 的非導通狀態下的截止電流，可以使第二資料儲存部 D_HOLD2 儲存電位。

另外，與第一資料儲存部 D_HOLD1 及第二資料儲存部 D_HOLD2 同樣，也可以在第三資料儲存部 D_HOLD3 中降低與其連接的第三電晶體 111_3 的截止電流而儲存電位。

在本實施方式中，作為用來儘量降低多級儲存電路所具有的第一電晶體 111_1 至第 N 電晶體 111_N 的非導通狀態下的截止電流的結構，採用其通道形成在氧化物半導體層中的電晶體。另外，在圖式中，如圖 2 所示，加上 OS 的符號，以表示第一電晶體 111_1 至第四電晶體 111_4 是其通道形成在氧化物半導體層中的電晶體。

作為氧化物半導體，至少含有選自 In、Ga、Sn 及 Zn 中的一種以上的元素。例如，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn 類氧化物半導體、In-Sn-Zn 類氧化物半導體、In-Al-Zn 類氧化物半導體、Sn-Ga-Zn 類氧化物半導體、Al-Ga-Zn 類氧化物半導體、Sn-Al-Zn 類氧化物半導體；二元

金屬氧化物的 In-Zn 類氧化物半導體、Sn-Zn 類氧化物半導體、Al-Zn 類氧化物半導體、Zn-Mg 類氧化物半導體、Sn-Mg 類氧化物半導體、In-Mg 類氧化物半導體、In-Ga 類氧化物半導體；以及單元金屬氧化物的 In 類氧化物半導體、Sn 類氧化物半導體、Zn 類氧化物半導體等。此外，也可以使上述氧化物半導體含有 In、Ga、Sn、Zn 以外的元素如 SiO₂。

另外，作為其他元素，也可以具有鑷系元素的鑷 (La)、鈰 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鎔 (Eu)、釷 (Gd)、錒 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、銩 (Tm)、鑛 (Yb)、鑷 (Lu) 中的任何一種或多種。

例如，In-Ga-Zn 類氧化物半導體是指具有銦 (In)、鎵 (Ga)、鋅 (Zn) 的氧化物半導體，對其成分比沒有限制。另外，尤其是，在使用 In-Sn-Zn 類氧化物半導體作為氧化物半導體膜時，可以提高電晶體的遷移率。另外，在使用 In-Sn-Zn 類氧化物半導體時，可以穩定地控制電晶體的臨界電壓。

此外，作為氧化物半導體，可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜。這裏，M 表示選自 Zn、Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

此外，當將 In-Zn 類材料用於氧化物半導體時，所使用的靶材中的金屬元素的原子數比為 In : Zn = 50 : 1 至 1 :

2 (換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 至 $1 : 4$) , 較佳為 $\text{In} : \text{Zn} = 20 : 1$ 至 $1 : 1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 至 $1 : 2$) , 更佳為 $\text{In} : \text{Zn} = 1.5 : 1$ 至 $15 : 1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3 : \text{ZnO} = 3 : 4$ 至 $15 : 2$) 。例如, 作為用於形成 In-Zn 類氧化物半導體的靶材, 當原子數比為 $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ 時, 滿足 $Z > 1.5X + Y$ 的關係。

另外, 在使用上述 In-Sn-Zn 類氧化物半導體時, 所使用的靶材中的金屬元素的原子數比可以為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 、 $2 : 1 : 3$ 、 $1 : 2 : 2$ 或 $20 : 45 : 35$ 等。

但是, 不侷限於上述材料, 根據所需要的半導體特性 (遷移率、閾值、不均勻等) 可以使用適當的組成的材料。另外, 較佳為設定適當的載子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等, 以得到所需要的半導體特性。

例如, In-Sn-Zn 類氧化物半導體比較容易得到高遷移率。但是, 即使使用 In-Ga-Zn 類氧化物半導體, 也可以藉由降低塊體內缺陷密度而提高遷移率。

氧化物半導體可以為單晶或非單晶。在氧化物半導體為非單晶的時, 較佳為可以期待比非晶的場效應遷移率高的場效應遷移率的多晶。另外, 在氧化物半導體為非單晶的時, 氧化物半導體也可以為非晶。另外, 也可以採用在非晶中包含具有結晶性的部分的結構。另外, 氧化物半導體也可以為非晶, 但是, 為了提高電晶體中的場效應遷移

率或可靠性，較佳為在氧化物半導體中包含結晶成分的不是非晶的結構。

另外，氧化物半導體的表面較佳為平坦的表面。在使用其表面平坦的氧化物半導體膜製造電晶體時，可以減少載子的介面散射，可以比較容易得到較高的遷移率。

爲了提高表面的平坦性，較佳為在平坦的表面上形成氧化物半導體。明確而言，在平均面粗糙度(Ra)爲 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B0601 中定義的中心線平均粗糙度擴大爲三維以使其能夠應用於面而得到的，可以將它表示爲“將從基準面到指定面的偏差的絕對值平均而得的值”，以如下算式 1 定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (1)$$

注意，在算式 1 中， S_0 表示測定面(用座標 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、 (x_2, y_2) 表示的 4 點所圍繞的四角形的區域)的面積， Z_0 表示測定面的平均高度。可以利用原子力顯微鏡 (AFM: Atomic Force Microscope) 來對 Ra 進行評價。

其通道形成在徹底地排除氧化物半導體層內的氫而得到高純度化的氧化物半導體層中的電晶體的截止電流密度

可以為 $100\text{zA}/\mu\text{m}$ 以下，較佳為 $10\text{zA}/\mu\text{m}$ 以下，更佳為 $1\text{zA}/\mu\text{m}$ 以下。因此，該截止電流比使用具有結晶性的矽的電晶體的截止電流低得多。結果，在第一電晶體 111_1 至第三電晶體 111_3 處於非導通狀態時，可以長期儲存第一資料儲存部 D_HOLD1 及第二資料儲存部 D_HOLD2 的電位。

另外，在本說明書中說明的截止電流是指當電晶體處於非導通狀態時流過源極與汲極之間的電流。在 n 通道型電晶體（例如，臨界電壓為 0 至 2V 左右）中，截止電流是指在施加到閘極與源極之間的電壓為負電壓時流過源極與汲極之間的電流。

另外，在上述中，也可以使用可以實現與氧化物半導體材料同等的截止電流特性的材料代替氧化物半導體材料。例如，可以應用碳化矽等的寬能隙材料（更明確地說，例如為能隙 E_g 大於 3eV 的半導體材料）等。另外，藉由使用 MEMS 開關等代替電晶體使佈線之間的連接分開，可以實現第一資料儲存部 D_HOLD1 及第二資料儲存部 D_HOLD2 的電荷的長期儲存。

接著，圖 3A 是示出圖 1B 中的第一資料電位儲存輸出電路 113_1、第一資料電位控制電路 114_1 以及第一閘極選擇信號產生電路 115_1 的具體電路的一個例子的電路圖。另外，圖 3B 是示出圖 1C 中的第二資料電位儲存輸出電路 113_2、第二資料電位控制電路 114_2 以及第二閘極選擇信號產生電路 115_2 的具體電路的一個例子的電路圖。

另外，圖 4 示出圖 3A 和 3B 所示的第一級儲存電路 100_1 和第二級儲存電路 100_2 中的兩者。

在圖 3A 中，包括在第一資料電位儲存輸出電路 113_1 中的電路是第一反相器電路 121_1。第一反相器電路 121_1 可以不使第一資料儲存部 D_HOLD1 的資料電位變動地輸出該資料的邏輯反轉的信號。另外，在以下說明中，將第一反相器電路 121_1 的輸出信號稱為“第一資料反轉信號 INV_OUT1”。另外，在圖 4 中，示出第一資料反轉信號 INV_OUT1。另外，因為利用第一反相器電路 121_1 得到使第一資料儲存部 D_HOLD1 的資料電位的邏輯反轉的信號，所以只要將該信號作為輸出資料 Q1 藉由輸出資料用反相器電路 123_1 而輸出，即可。

另外，在圖 3A 中，包括在第一資料電位控制電路 114_1 中的電路是第一反或閘（以下稱為第一 NOR 電路 122_1）。第一 NOR 電路 122_1 將對第一資料反轉信號 INV_OUT1 和第一電容元件控制信號 Ca 進行反或運算而得到的邏輯的信號輸出到第一電容元件 112_1 的第二電極。另外，在第一資料儲存部 D_HOLD1 處於電浮動狀態時，藉由改變第一電容元件 112_1 的第二電極的電位，可以改變第一資料儲存部 D_HOLD1 的資料電位，而不使第一電晶體 111_1 及第二電晶體 111_2 成為導通狀態。在以下說明中，將第一 NOR 電路 122_1 的輸出信號稱為“第一 NOR 輸出信號 NOR_OUT1”。另外，在圖 4 中，示出第一 NOR 輸出信號 NOR_OUT1。

另外，在圖 3A 中，包括在第一閘極選擇信號產生電路 115_1 中的電路是反或閘（以下稱爲第一閘極選擇 NOR 電路 124_1）。第一閘極選擇 NOR 電路 124_1 將對第一閘極控制信號 Ga 和第一使能信號 EN_1 進行反或運算而得到的邏輯的信號輸出到第一電晶體 111_1 的閘極。根據第一閘極選擇 NOR 電路 124_1 的輸出信號的電位，控制第一電晶體 111_1 的導通狀態或非導通狀態。在以下說明中，將第一閘極選擇 NOR 電路 124_1 的輸出信號稱爲“第一閘極選擇信號 Gate_1”。另外，在圖 4 中，示出第一閘極選擇信號 Gate_1。

接著，在圖 3B 中，包括在第二資料電位儲存輸出電路 113_2 中的電路是第二反相器電路 121_2。第二反相器電路 121_2 可以不使第二資料儲存部 D_HOLD2 的資料電位變動地輸出該資料的邏輯反轉的信號。另外，在以下說明中，將第二反相器電路 121_2 的輸出信號稱爲“第二資料反轉信號 INV_OUT2”。另外，在圖 4 中，示出第二資料反轉信號 INV_OUT2。另外，因爲利用第二反相器電路 121_2 得到使第二資料儲存部 D_HOLD2 的資料電位的邏輯反轉的信號，所以只要將該信號作爲輸出資料 Q2 藉由輸出資料用反相器電路 123_2 而輸出，即可。

另外，在圖 3B 中，包括在第二資料電位控制電路 114_2 中的電路是第二反或閘（以下稱爲第二 NOR 電路 122_2）。第二 NOR 電路 122_2 將對第二資料反轉信號 INV_OUT2 和第二電容元件控制信號 Cb 進行反或運算而

得到的邏輯的信號輸出到第二電容元件 112_2 的第二電極。另外，在第二資料儲存部 D_HOLD2 處於電浮動狀態時，藉由改變第二電容元件 112_2 的第二電極的電位，可以改變第二資料儲存部 D_HOLD2 的資料電位，而不使第二電晶體 111_2 及第三電晶體 111_3 成爲導通狀態。在以下說明中，將第二 NOR 電路 122_2 的輸出信號稱爲“第二 NOR 輸出信號 NOR_OUT2”。另外，在圖 4 中，示出第二 NOR 輸出信號 NOR_OUT2。

另外，在圖 3B 中，包括在第二閘極選擇信號產生電路 115_2 中的電路是反或閘（以下稱爲第二閘極選擇 NOR 電路 124_2）。第二閘極選擇 NOR 電路 124_2 將對第二閘極控制信號 Gb 和第二使能信號 EN_2 進行反或運算而得到的邏輯的信號輸出到第二電晶體 111_2 的閘極。根據第二閘極選擇 NOR 電路 124_2 的輸出信號的電位，控制第二電晶體 111_2 的導通狀態或非導通狀態。在以下說明中，將第二閘極選擇 NOR 電路 124_2 的輸出信號稱爲“第二閘極選擇信號 Gate_2”。另外，在圖 4 中，示出第二閘極選擇信號 Gate_2。

作爲圖 3A 和 3B 所示的第一反相器電路 121_1、第二反相器電路 121_2、輸出資料用反相器電路 123_1 以及輸出資料用反相器電路 123_2，例如，可以採用組合 p 通道型電晶體和 n 通道型電晶體而成的電路結構。

作爲圖 3A 和 3B 所示的第一 NOR 電路 122_1、第二 NOR 電路 122_2、第一閘極選擇 NOR 電路 124_1 以及第

二閘極選擇 NOR 電路 124_2，例如，可以採用組合 p 通道型電晶體和 n 通道型電晶體而成的電路結構。

另外，構成圖 3A 和 3B 所示的第一反相器電路 121_1、第二反相器電路 121_2、輸出資料用反相器電路 123_1、輸出資料用反相器電路 123_2、第一 NOR 電路 122_1、第二 NOR 電路 122_2、第一閘極選擇 NOR 電路 124_1 以及第二閘極選擇 NOR 電路 124_2 的電晶體可以為其通道形成在由氧化物半導體以外的半導體構成的層或基板中的電晶體。例如，可以採用其通道形成在矽層或矽基板中的電晶體。

接著，說明半導體儲存裝置儲存 N 位元的資料並輸出該資料時的工作。圖 5 示出對圖 4 所示的第一級儲存電路 100_1 及第二級儲存電路 100_2 輸入 H 信號（資料“1”）的資料信號並儲存該資料信號時的時序圖，以下參照該時序圖說明半導體儲存裝置的工作。在圖 5 的時序圖中，D、Ga、Gb、Ca、Cb、EN_1、EN_2、EN_3、D_HOLD1、INV_OUT1、NOR_OUT1、D_HOLD2、INV_OUT2、NOR_OUT2、Q1 及 Q2 對應於圖 4 所說明的輸入輸出信號、各端子以及各佈線的電位。另外，在圖 5 所示的時序圖中，為了說明第一級儲存電路 100_1 及第二級儲存電路 100_2 可能處於的多種狀態，參照圖 6A 至圖 8B 示出多個期間，即期間 t1 至期間 t6。

另外，在如下所述的圖 5 的工作說明中，採用圖 4 所示的結構作為各電晶體的導電型及邏輯電路來進行說明。

另外，如下所述的工作的說明不侷限於此，只要是各電晶體的導通狀態與此相同的工作，就可以適當地設定各電晶體的導電性、邏輯電路的組合及各控制信號的電位。另外，可以以 H 信號（高電源電位 VDD）及 L 信號（低電源電位 VSS）表示各信號。另外，在以下說明中，以“H'電位”（也稱為 2VDD）表示利用電容耦合而上升的第一資料儲存部 D_HOLD1 及第二資料儲存部 D_HOLD2 的電位來進行說明。另外，在圖 5 至圖 8B 的說明中，作為初期狀態，第一資料儲存部 D_HOLD1 及第二資料儲存部 D_HOLD2 的電位為 L 信號。

另外，在時序圖的說明中，雖然以 H 信號及 L 信號說明各信號，但是也可以採用 H 信號及 L 信號的電位根據各信號而不同的結構。例如，藉由使第一閘極控制信號 Ga、第二閘極控制信號 Gb、第一使能信號 EN_1 至第 N 使能信號 EN_N 的 H 信號及第一閘極選擇 NOR 電路 124_1 至第 N 閘極選擇 NOR 電路 124_N 的輸出信號的電位大於資料信號 D 的 H 信號的電位，可以抑制使電位降低了第一電晶體 111_1 至第 N 電晶體 111_N 中的臨界電壓。

以下說明圖 5 的期間 t1 中的工作。期間 t1 是將 H 信號的資料從資料信號線輸入到第一資料儲存部 D_HOLD1 的期間。

圖 6A 示出以虛線箭頭使期間 t1 中的第一級儲存電路 100_1 及第二級儲存電路 100_2 中的電晶體的導通狀態及電流狀態可見化的圖。另外，在圖 6A 至圖 8B 的說明中，

以 ON 表示處於導通狀態的電晶體，以 OFF 表示處於非導通狀態的電晶體。另外，在圖 6A 至圖 8B 的說明中，作為輸入輸出信號及各佈線的電位，還示出對應於 H 信號的“H”和對應於 L 信號的“L”。

在期間 t1 中，藉由將第一閘極控制信號 Ga 及第一使能信號 EN_1 設定為 L 信號，使第一閘極選擇信號 Gate_1 成為 H 信號，而使第一電晶體 111_1 成為導通狀態。由此，將 H 信號從資料信號線輸入到第一資料儲存部 D_HOLD1。另外，藉由將第二閘極控制信號 Gb 設定為 H 信號並將第二使能信號 EN_2 設定為 L 信號，使第二閘極選擇信號 Gate_2 成為 L 信號，而使第二電晶體 111_2 成為非導通狀態。由此，第二資料儲存部 D_HOLD2 的電位繼續為 L 信號。另外，藉由將第一閘極控制信號 Ga 設定為 L 信號並將第三使能信號 EN_3 設定為 L 信號，使第三閘極選擇信號 Gate_3 成為 H 信號，而使第三電晶體 111_3 成為導通狀態。

在期間 t1 中，在第一資料儲存部 D_HOLD1 為 H 信號時，第一資料反轉信號 INV_OUT1 成為 L 信號。由此，從輸出資料用反相器電路 123_1 輸出的輸出資料 Q1 成為 H 信號。另外，在第二資料儲存部 D_HOLD2 為 L 信號時，第二資料反轉信號 INV_OUT2 成為 H 信號。由此，從輸出資料用反相器電路 123_2 輸出的輸出資料 Q2 成為 L 信號。

在期間 t1 中，藉由將第一電容元件控制信號 Ca 設定

為 H 信號，將 H 信號和 L 信號輸入到第一 NOR 電路 122_1。結果，第一 NOR 輸出信號 NOR_OUT1 成為 L 信號。另外，在期間 t1 中，藉由將第二電容元件控制信號 Cb 設定為 L 信號，將 L 信號和 H 信號輸入到第二 NOR 電路 122_2。結果，第二 NOR 輸出信號 NOR_OUT2 成為 L 信號。

接著，說明圖 5 的期間 t2 中的工作。期間 t2 是第一資料儲存部 D_HOLD1 儲存 H 信號的資料的期間。

圖 6B 示出期間 t2 中的第一級儲存電路 100_1 及第二級儲存電路 100_2 中的電晶體的導通狀態。

在期間 t2 中，藉由將第一閘極控制信號 Ga 設定為 H 信號並將第一使能信號 EN_1 設定為 L 信號，使第一閘極選擇信號 Gate_1 成為 L 信號，而使第一電晶體 111_1 成為非導通狀態。此時，第一資料儲存部 D_HOLD1 和資料信號線的電位繼續為 H 信號。另外，藉由將第二閘極控制信號 Gb 設定為 H 信號並將第二使能信號 EN_2 設定為 L 信號，使第二閘極選擇信號 Gate_2 成為 L 信號，而使第二電晶體 111_2 成為非導通狀態。此時，第二資料儲存部 D_HOLD2 的電位繼續為 L 信號。另外，藉由將第一閘極控制信號 Ga 設定為 H 信號並將第三使能信號 EN_3 設定為 L 信號，使第三閘極選擇信號 Gate_3 成為 L 信號，而使第三電晶體 111_3 成為非導通狀態。

在期間 t2 中，在第一資料儲存部 D_HOLD1 為 H 信號時，第一資料反轉信號 INV_OUT1 成為 L 信號。由此，從

輸出資料用反相器電路 123_1 輸出的輸出資料 Q1 成爲 H 信號。另外，在第二資料儲存部 D_HOLD2 爲 L 信號時，第二資料反轉信號 INV_OUT2 成爲 H 信號。由此，從輸出資料用反相器電路 123_2 輸出的輸出資料 Q2 成爲 L 信號。

在期間 t2 中，藉由將第一電容元件控制信號 Ca 設定爲 H 信號，將 H 信號和 L 信號輸入到第一 NOR 電路 122_1。結果，第一 NOR 輸出信號 NOR_OUT1 成爲 L 信號。另外，在期間 t2 中，藉由將第二電容元件控制信號 Cb 從 L 信號轉換成 H 信號，將 H 信號及 L 信號或者 H 信號及 H 信號輸入到第二 NOR 電路 122_2。結果，第二 NOR 輸出信號 NOR_OUT2 成爲 L 信號。

接著，說明圖 5 的期間 t3 中的工作。期間 t3 是將第一資料儲存部 D_HOLD1 的 H 信號輸入到第二資料儲存部 D_HOLD2 的期間。

圖 7A 示出以虛線箭頭使期間 t3 中的第一級儲存電路 100_1 及第二級儲存電路 100_2 中的電晶體的導通狀態及電流狀態可見化的圖。

在期間 t3 中，首先，藉由將第一閘極控制信號 Ga 設定爲 H 信號並將第一使能信號 EN_1 設定爲 L 信號，使第一閘極選擇信號 Gate_1 成爲 L 信號，並且將第二閘極控制信號 Gb 設定爲 H 信號並將第二使能信號 EN_2 設定爲 L 信號，使第二閘極選擇信號 Gate_2 成爲 L 信號，使第一電晶體 111_1 及第二電晶體 111_2 成爲非導通狀態，以

使第一資料儲存部 D_HOLD1 成爲電浮動狀態。此時，利用藉由第一電容元件 112_1 的電容耦合使第一資料儲存部 D_HOLD1 的電位上升到 H'信號。接著，在期間 t3 中，藉由將第二閘極控制信號 Gb 從 H 信號轉換成 L 信號並將第二使能信號 EN_2 設定爲 L 信號，使第二閘極選擇信號 Gate_2 從 L 信號轉換成 H 信號，以將第二電晶體 111_2 從非導通狀態轉換成導通狀態。此時，第一資料儲存部 D_HOLD1 的電荷轉移到第二資料儲存部 D_HOLD2，第一資料儲存部 D_HOLD1 從 H'信號轉換成 H 信號，而第二資料儲存部 D_HOLD2 從 L 信號轉換成 H 信號。

在期間 t3 中，藉由將第一閘極控制信號 Ga 設定爲 H 信號並將第三使能信號 EN_3 設定爲 L 信號，使第三閘極選擇信號 Gate_3 成爲 L 信號，以使第三電晶體 111_3 成爲非導通狀態。

在期間 t3 中，在第一資料儲存部 D_HOLD1 爲 H 信號或 H'信號時，第一資料反轉信號 INV_OUT1 成爲 L 信號。由此，從輸出資料用反相器電路 123_1 輸出的輸出資料 Q1 成爲 H 信號。另外，在第二資料儲存部 D_HOLD2 從 L 信號轉換成 H 信號時，第二資料反轉信號 INV_OUT2 從 H 信號轉換成 L 信號。由此，從輸出資料用反相器電路 123_2 輸出的輸出資料 Q2 從 L 信號轉換成 H 信號。

在期間 t3 中，藉由將第一電容元件控制信號 Ca 設定爲 L 信號，將該 L 信號和 L 信號輸入到第一 NOR 電路 122_1。結果，第一 NOR 輸出信號 NOR_OUT1 從 L 信號

轉換成 H 信號。因此，如上所述，利用藉由第一電容元件 112_1 的電容耦合使處於電浮動狀態的第一資料儲存部 D_HOLD1 的電位上升到 H'信號。另外，在期間 t3 中，藉由將第二電容元件控制信號 Cb 設定為 H 信號，將 L 信號及 H 信號或者 H 信號及 H 信號輸入到第二 NOR 電路 122_2。結果，第二 NOR 輸出信號 NOR_OUT2 成為 L 信號。

接著，說明圖 5 的期間 t4 中的工作。期間 t4 是第二資料儲存部 D_HOLD2 儲存 H 信號的資料的期間。

圖 7B 示出期間 t4 中的第一級儲存電路 100_1 及第二級儲存電路 100_2 中的電晶體的導通狀態。

在期間 t4 中，藉由將第一閘極控制信號 Ga 設定為 H 信號並將第一使能信號 EN_1 設定為 L 信號，使第一閘極選擇信號 Gate_1 成為 L 信號，而使第一電晶體 111_1 成為非導通狀態。此時，第一資料儲存部 D_HOLD1 的電位繼續為 H 信號。另外，藉由將第二閘極控制信號 Gb 從 L 信號轉換成 H 信號並將第二使能信號 EN_2 設定為 L 信號，使第二閘極選擇信號 Gate_2 從 H 信號轉換成 L 信號，以將第二電晶體 111_2 從導通狀態轉換成非導通狀態。此時，第二資料儲存部 D_HOLD2 的電位繼續為 H 信號。另外，藉由將第一閘極控制信號 Ga 設定為 H 信號並將第三使能信號 EN_3 設定為 L 信號，使第三閘極選擇信號 Gate_3 成為 L 信號，而使第三電晶體 111_3 成為非導通狀態。

在期間 t4 中，在第一資料儲存部 D_HOLD1 為 H 信號時，第一資料反轉信號 INV_OUT1 成為 L 信號。由此，從輸出資料用反相器電路 123_1 輸出的輸出資料 Q1 成為 H 信號。另外，在第二資料儲存部 D_HOLD2 為 H 信號時，第二資料反轉信號 INV_OUT2 成為 L 信號。由此，從輸出資料用反相器電路 123_2 輸出的輸出資料 Q2 成為 H 信號。

在期間 t4 中，藉由將第一電容元件控制信號 Ca 設定為 L 信號，將該 L 信號和 L 信號輸入到第一 NOR 電路 122_1。結果，第一 NOR 輸出信號 NOR_OUT1 成為 H 信號。另外，在期間 t4 中，藉由將第二電容元件控制信號 Cb 設定為 H 信號，將 H 信號和 L 信號輸入到第二 NOR 電路 122_2。結果，第二 NOR 輸出信號 NOR_OUT2 成為 L 信號。

接著，說明圖 5 的期間 t5 中的工作。期間 t5 是利用藉由第一電容元件 112_1 的電容耦合使第一資料儲存部 D_HOLD1 的 H 信號的資料下降到 L 信號的期間。

圖 8A 示出使期間 t5 中的第一級儲存電路 100_1 及第二級儲存電路 100_2 中的電晶體的導通狀態。

在期間 t5 中，藉由將第一閘極控制信號 Ga 設定為 H 信號並將第一使能信號 EN_1 設定為 L 信號，使第一閘極選擇信號 Gate_1 成為 L 信號，並且將第二閘極控制信號 Gb 設定為 H 信號並將第二使能信號 EN_2 設定為 L 信號，使第二閘極選擇信號 Gate_2 成為 L 信號，使第一電晶

體 111_1 及第二電晶體 111_2 成爲非導通狀態，以使第一資料儲存部 D_HOLD1 成爲電浮動狀態。此時，利用藉由第一電容元件 112_1 的電容耦合使第一資料儲存部 D_HOLD1 的電位下降到 L 信號。

在期間 t5 中，藉由將第二閘極控制信號 Gb 設定爲 H 信號並將第二使能信號 EN_2 設定爲 L 信號，使第二閘極選擇信號 Gate_2 成爲 L 信號，並且將第一閘極控制信號 Ga 設定爲 H 信號並將第三使能信號 EN_3 設定爲 L 信號，使第三閘極選擇信號 Gate_3 成爲 L 信號，使第二電晶體 111_2 及第三電晶體 111_3 成爲非導通狀態，以使第二資料儲存部 D_HOLD2 成爲電浮動狀態。此時，利用藉由第二電容元件 112_2 的電容耦合使第二資料儲存部 D_HOLD2 的電位上升到 H' 信號。

在期間 t5 中，在第一資料儲存部 D_HOLD1 爲 L 信號時，第一資料反轉信號 INV_OUT1 成爲 H 信號。由此，從輸出資料用反相器電路 123_1 輸出的輸出資料 Q1 成爲 L 信號。另外，在第二資料儲存部 D_HOLD2 從 H 信號轉換成 H' 信號時，第二資料反轉信號 INV_OUT2 成爲 L 信號。由此，從輸出資料用反相器電路 123_2 輸出的輸出資料 Q2 成爲 H 信號。

在期間 t5 中，藉由將第一電容元件控制信號 Ca 設定爲 H 信號，將該 H 信號和 H 信號輸入到第一 NOR 電路 122_1。結果，第一 NOR 輸出信號 NOR_OUT1 從期間 t4 中的 H 信號轉換成 L 信號。因此，如上所述，利用藉由第

一 電容元件 112_1 的電容耦合使處於電浮動狀態的第一資料儲存部 D_HOLD1 的電位下降到 L 信號。另外，在期間 t5 中，第二電容元件控制信號 Cb 從 H 信號轉換成 L 信號。結果，從將 L 信號和 H 信號輸入到第二 NOR 電路 122_2 的狀態轉換成將 L 信號和 L 信號輸入到第二 NOR 電路 122_2 的狀態。因此，如上所述，利用藉由第二電容元件 112_2 的電容耦合使處於電浮動狀態的第二資料儲存部 D_HOLD2 的電位上升到 H' 信號。

接著，說明圖 5 的期間 t6 中的工作。期間 t6 是將第二資料儲存部 D_HOLD2 的 H 信號從輸出信號 OUT 輸出的期間。

圖 8B 示出以虛線箭頭使期間 t6 中的第一級儲存電路 100_1 及第二級儲存電路 100_2 中的電晶體的導通狀態及電流狀態可見化的圖。

在期間 t6 中，藉由將第一閘極控制信號 Ga 設定為 L 信號並將第一使能信號 EN_1 設定為 L 信號，使第一閘極選擇信號 Gate_1 成為 H 信號，而使第一電晶體 111_1 成為導通狀態。由此，將 L 信號從資料信號線輸入到第一資料儲存部 D_HOLD1。另外，藉由將第二閘極控制信號 Gb 設定為 H 信號並將第二使能信號 EN_2 設定為 L 信號，使第二閘極選擇信號 Gate_2 成為 L 信號，而使第二電晶體 111_2 成為非導通狀態。另外，藉由將第一閘極控制信號 Ga 設定為 L 信號並將第三使能信號 EN_3 設定為 L 信號，使第三閘極選擇信號 Gate_3 成為 H 信號，而使第三電晶

體 111_3 成爲導通狀態。另外，在從期間 t5 轉換成期間 t6 時，第二資料儲存部 D_HOLD2 的電荷轉移到第三電晶體 111_3 一側，從而第二資料儲存部 D_HOLD2 的電位從 H' 信號轉換成 H 信號。

在期間 t6 中，在第一資料儲存部 D_HOLD1 爲 L 信號時，第一資料反轉信號 INV_OUT1 成爲 H 信號。由此，從輸出資料用反相器電路 123_1 輸出的輸出資料 Q1 成爲 L 信號。另外，在第二資料儲存部 D_HOLD2 從 H' 信號轉換成 H 信號時，第二資料反轉信號 INV_OUT2 成爲 L 信號。由此，從輸出資料用反相器電路 123_2 輸出的輸出資料 Q2 成爲 H 信號。

在期間 t6 中，藉由將第一電容元件控制信號 Ca 設定爲 H 信號，將該 H 信號和 H 信號輸入到第一 NOR 電路 122_1。結果，第一 NOR 輸出信號 NOR_OUT1 成爲 L 信號。另外，在期間 t6 中，將第二電容元件控制信號 Cb 設定爲 L 信號。結果，成爲將該 L 信號和 L 信號都輸入到第二 NOR 電路 122_2 的狀態。結果，第二 NOR 輸出信號 NOR_OUT2 成爲 H 信號。

以上描述是第一級儲存電路 100_1 及第二級儲存電路 100_2 儲存資料信號並輸出該資料信號時的工作的說明。

作爲本發明的一個方式，在製造非揮發性半導體儲存裝置時，揮發性儲存裝置與非揮發性儲存裝置彼此不分開而構成。並且，半導體儲存裝置可以採用將資料信號儲存在與其半導體層具有氧化物半導體的電晶體及電容元件連

接的資料儲存部中的結構。結果，資料儲存部所儲存的電位可以被資料電位儲存電路及資料電位控制電路控制，該資料電位儲存電路能夠控制儲存在佈線中的資料信號而不使電荷洩漏，該資料電位控制電路能夠利用藉由電容元件的電容耦合控制資料儲存部所儲存的電位而不使電荷洩漏，來可以實現資料信號的儲存及輸出。

另外，圖 4 所示的儲存電路 100_1 及儲存電路 100_2 可以進行與圖 5 不同的工作。例如，也可以使儲存電路 100_1 如圖 9 所示的時序圖那樣進行工作。如圖 9 所示，即使第一閘極控制信號 Ga、第二閘極控制信號 Gb、第一電容元件控制信號 Ca 以及第二電容元件控制信號 Cb 的開關工作與圖 5 不同，也可以儲存資料信號並輸出該資料信號。

接著，參照圖 10 至圖 13 說明在使本實施方式中的半導體儲存裝置工作時停止供應電源電壓並再開始供應電源電壓時的工作。明確地說，說明圖 1A 的具有 N 級儲存電路的半導體儲存裝置由圖 10 所示的四級的級聯連接的儲存電路 100_1 至 100_4 構成的情況。另外，雖然在圖 10 中示出對第四級儲存電路 100_4 的輸出端子設置有用來儲存資料信號的其通道形成在氧化物半導體層中的電晶體 400 的結構，但是也可以採用還設置有另一級儲存電路，即第五級儲存電路的結構。另外，在圖 10 所示的結構中，對用來供應高電源電位 VDD 的佈線設置與高電源電位 VDD 及低電源電位 VSS 連接的反相器電路 401，藉由反相

器電路 401 利用選擇信號 SigA 轉換高電源電位 VDD 和低電源電位 VSS，來對各儲存電路 100_1 至 100_4 施加高電源電位 VDD 和低電源電位 VSS，即可。

接著，參照圖 12 的時序圖說明使圖 10 所示的具有四級的級聯連接的儲存電路 100_1 至 100_4 的半導體儲存裝置儲存四位元的資料時的工作。另外，參照圖 13 的時序圖說明對圖 10 所示的具有四級的級聯連接的儲存電路 100_1 至 100_4 的半導體儲存裝置停止供應電源電壓並再開始供應電源電壓時的工作。

另外，在用來說明停止供應電源電壓並再開始供應電源電壓時的工作的圖 12 及圖 13 的時序圖中，以圖 11 所示的 D_HOLD1 表示儲存電路 100_1 中的第一資料儲存部 D_HOLD1 的電位，以圖 11 所示的 D_HOLD2 表示儲存電路 100_2 中的第二資料儲存部 D_HOLD2 的電位，以圖 11 所示的 D_HOLD3 表示儲存電路 100_3 中的第三資料儲存部 D_HOLD3 的電位，並且以圖 11 所示的 D_HOLD4 表示儲存電路 100_4 中的第四資料儲存部 D_HOLD4 的電位。另外，圖 11 示出對圖 10 所示的電晶體 400 的閘極設置 NOR 電路而控制電晶體 400 的結構。

另外，在圖 12 及圖 13 所示的時序圖中，作為使四位元的暫存器儲存的資料，採用“1，1，0，1”的資料信號。在本實施方式的說明中，將相當於第一位的資料“1”的 H 信號儲存在儲存電路 100_1 中的第一資料儲存部 D_HOLD1 中。另外，將相當於第二位元的資料“1”的 H 信

號儲存在儲存電路 100_2 中的第二資料儲存部 D_HOLD2 中。另外，將相當於第三位元的資料“0”的 L 信號儲存在儲存電路 100_3 中的第三資料儲存部 D_HOLD3 中。另外，將相當於第四位元的資料“1”的 H 信號儲存在儲存電路 100_4 中的第四資料儲存部 D_HOLD4 中。

在圖 12 所示的時序圖中，使由四級儲存電路構成的四位元暫存器儲存藉由反復進行圖 5 至圖 8B 所示的工作而輸入的資料“1，1，0，1”。關於儲存有資料的資料儲存部，爲了不重新輸入資料信號，藉由將輸入到與被輸入了資料信號之後的儲存電路連接的電晶體中的使能信號轉換成 H 信號，控制電晶體的導通狀態。

例如，爲了使電晶體 400 成爲非導通狀態而在第四資料儲存部 D_HOLD4 中儲存資料信號的電位，將第五使能信號 EN_5 設定爲 H 信號。在第五使能信號 EN_5 爲 H 信號的期間中，可以使電晶體 400 處於非導通狀態。

另外，在將相當於第四位元的資料“1”的 H 信號儲存在第四資料儲存部 D_HOLD4 中之後，將第四使能信號 EN_4 設定爲 H 信號。由此，使第四電晶體 111_4 處於非導通狀態。結果，不管有沒有電源電壓的供應，都能夠在第四資料儲存部 D_HOLD4 中儲存資料信號。

另外，在將相當於第三位元的資料“0”的 L 信號儲存在第三資料儲存部 D_HOLD3 中之後，將第三使能信號 EN_3 設定爲 H 信號。由此，使第三電晶體 111_3 處於非導通狀態。結果，不管有沒有電源電壓的供應，都能夠在

第三資料儲存部 D_HOLD3 中儲存資料信號。

另外，在將相當於第二位元的資料“1”的 H 信號儲存在第二資料儲存部 D_HOLD2 中之後，將第二使能信號 EN_2 設定為 H 信號。由此，使第二電晶體 111_2 處於非導通狀態。結果，不管有沒有電源電壓的供應，都能夠在第二資料儲存部 D_HOLD2 中儲存資料信號。

另外，在將相當於第一位的資料“1”的 H 信號儲存在第一資料儲存部 D_HOLD1 中之後，將第一使能信號 EN_1 設定為 H 信號。由此，使第一電晶體 111_1 處於非導通狀態。結果，不管有沒有電源電壓的供應，都能夠在第一資料儲存部 D_HOLD1 中儲存資料信號。

在圖 12 中，示出與第一閘極控制信號 Ga 成為 L 信號的時序同步地從資料信號線依次輸入第四位元的 H 信號、第三位元的 L 信號、第二位元的 H 信號以及第一位的 H 信號的例子。

以上描述是使由四級儲存電路構成的四位元的暫存器儲存資料的工作的說明。另外，如圖 12 所示，將既不停止供應電源電壓也不再開始供應電源電壓的有關資料信號的儲存的期間稱為通常工作期間 T_ON。

接著，參照圖 13 的時序圖說明停止供應電源電壓時的工作及沒有電源電壓供應時的工作。在圖 13 中，將供應電源電壓的通常工作期間稱為 T_ON，將停止供應電源電壓的期間稱為 T_OFF，並且將再開始供應電源電壓直到再成為通常工作期間 T_ON 為止的期間稱為 T_SET 來進行

說明。

圖 13 所示的期間 T_{ON} 的工作與圖 12 所示的工作同樣，因此省略其說明。

接著，說明圖 13 所示的期間 T_{OFF} 的工作。

在期間 T_{OFF} 中，首先，將第一閘極控制信號 G_a 和第二閘極控制信號 G_b 固定於 H 信號。結果，使各級儲存電路中的閘極選擇信號產生電路的輸出信號成爲 L 信號，而使各級儲存電路中的第一電晶體 111_1 至第四電晶體 111_4 一齊成爲非導通狀態，以儲存第一資料儲存部 D_HOLD1 至第四資料儲存部 D_HOLD4 的電位。另外，在將第一閘極控制信號 G_a 和第二閘極控制信號 G_b 固定於 H 信號的同時，將第一電容元件控制信號 C_a 和第一電容元件控制信號 C_b 固定於 H 信號。結果，使各級儲存電路中的第一資料電位控制電路 114_1 至第四資料電位控制電路 114_4 的輸出信號一齊被固定於 L 信號，以固定第一資料儲存部 D_HOLD1 至第四資料儲存部 D_HOLD4 的電位。接著，爲了停止供應電源電壓，將用來供應高電源電位 VDD 的佈線的電位設定爲低電源電位 VSS 。然後，將第一電容元件控制信號 C_a 及第二電容元件控制信號 C_b 設定爲不定狀態。另外，輸出電位 $Q1$ 至 $Q4$ 成爲不定狀態。

根據上述工作，可以在期間 T_{OFF} 中無故障地停止供應電源電壓。另外，在停止供應電源電壓的期間中，較佳爲將第一閘極控制信號 G_a 及第二閘極控制信號 G_b 繼續固定於 H 信號。

另外，在圖 13 的說明中，以陰影線表示的“X”的期間是不供應基於 H 信號或 L 信號的電源電壓的信號的不定狀態的期間。

接著，說明圖 13 所示的期間 T_{SET} 中的工作。

在期間 T_{SET} 中，首先，將第一電容元件控制信號 C_a 及第二電容元件控制信號 C_b 設定為 H 信號。結果，儲存第一資料儲存部 D_HOLD1 至第四資料儲存部 D_HOLD4 的 H 信號或 L 信號的電位。接著，為了再開始供應高電源電位 V_{DD} ，將供應高電源電位的佈線的電位設定為高電源電位 V_{DD} 。然後，開始進行第一閘極控制信號 G_a 、第二閘極控制信號 G_b 、第一電容元件控制信號 C_a 以及第二電容元件控制信號 C_b 的開關工作，而返回到與圖 12 所示的工作同樣的工作的期間 T_{ON} 。

以上是具有多級儲存電路的半導體儲存裝置停止供應電源電壓並再開始供應電源電壓時的工作的說明。因為本發明的一個方式即使停止供應電源電壓也可以儲存資料信號，所以在再開始供應電源電壓時可以繼續進行停止供應電源電壓之前的資料信號儲存的工作。

如上所述，作為本發明的一個方式，在製造非揮發性半導體儲存裝置時，揮發性儲存裝置與非揮發性儲存裝置彼此不分開而構成。並且，構成半導體儲存裝置的多級儲存電路採用將資料信號儲存在與其半導體層具有氧化物半導體的電晶體及電容元件連接的資料儲存部中的結構。結果，資料儲存部所儲存的電位可以被資料電位儲存電路及

資料電位控制電路控制，該資料電位儲存電路能夠控制儲存在佈線中的資料信號而不使電荷洩漏，該資料電位控制電路能夠利用藉由電容元件的電容耦合控制資料儲存部所儲存的電位而不使電荷洩漏，來可以輸出脈衝信號。再者，本發明的一個方式即使停止供應電源電壓也可以儲存資料信號，所以在再開始供應電源電壓時可以繼續進行停止供應電源電壓之前的資料信號儲存的工作。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中，說明上述實施方式 1 所述的半導體儲存裝置中的儲存電路的變形例子。

作為儲存電路的變形例子，可以舉出設置用來使第一資料儲存部 D_HOLD1 至第 N 資料儲存部 D_HOLDN 的電位初始化的重設電路的結構。圖 14A 示出具體的電路結構。圖 14A 示出對圖 1A 所示的電路圖中的儲存電路 100_1 至 100_N 從供應重設信號 RES 的佈線供應了重設信號的儲存電路 130_1 至 130_N。

圖 14B 示出儲存電路 130_1 的具體的電路結構的一個例子。在圖 14B 所示的電路圖中，除了圖 3A 所示的電路結構以外，還示出具有復位電晶體 125_1 的結構。

復位電晶體 125_1 的第一端子與第一資料儲存部 D_HOLD1 連接。復位電晶體 125_1 的第二端子與供應低電源電位 VSS 的佈線連接。重設電晶體 125_1 的閘極與供

應重設信號 RES 的佈線連接。另外，重設電晶體 125_1 設置在各級儲存電路中，也可以被稱為第一復位電晶體 125_1 至第 N 復位電晶體 125_N。

另外，作為用來儘量降低第一復位電晶體 125_1 至第 N 復位電晶體 125_N 的非導通狀態下的截止電流的結構，使用與儲存電路 130_1 所具有的第一電晶體 111_1 同樣的其通道形成在氧化物半導體層中的電晶體。另外，在圖式中，加上 OS 的符號，以表示重設電晶體 125_1 是其通道形成在氧化物半導體層中的電晶體。

另外，在將第一資料儲存部 D_HOLD1 至第 N 資料儲存部 D_HOLDN 的電位設定為 L 信號的初始化工作時以外，使重設信號 RES 在非導通狀態下工作。藉由使用其通道形成在氧化物半導體層中的電晶體作為第一復位電晶體 125_1 至第 N 復位電晶體 125_N，可以防止電荷從第一資料儲存部 D_HOLD1 至第 N 資料儲存部 D_HOLDN 洩漏。

作為儲存電路的另一變形例子，圖 15 示出作為設置在第一級儲存電路中的第一閘極選擇信號產生電路設置反相器電路的結構的例子。藉由使用被輸入第一閘極控制信號 Ga 的反相器電路 135，也可以進行與上述實施方式 1 同樣的工作。藉由設置反相器電路 135，與設置 NOR 電路時相比可以減少用於電路的電晶體個數。

另外，作為儲存電路的另一變形例子，示出對第一電晶體的閘極、第二電晶體的閘極以及第三電晶體的閘極設置邏輯電路而進行與圖 4 所示的電路結構同樣的工作的電

路結構。

圖 16A 示出具體的儲存電路 140_1 至儲存電路 140_N 的電路結構。在圖 16A 中，對於與第二電晶體 111_2 至第 N 電晶體 111_N 的閘極連接的作為閘極選擇信號產生電路的 NOR 電路，除了輸入第一閘極控制信號 Ga 或第二閘極控制信號 Gb 以及與各級相應的使能信號以外，還輸入各級儲存電路所具有的資料電位儲存輸出電路的輸出信號。另外，在圖 16A 中，在第奇數級儲存電路中，第一電容元件控制信號 Ca 與第一電容元件 112_1 的第二電極連接，而在第偶數級儲存電路中，第二電容元件控制信號 Cb 與第二電容元件 112_2 的第二電極連接。

在圖 16A 的結構中，藉由使資料 D、第一閘極控制信號 Ga、第二閘極控制信號 Gb、第一電容元件控制信號 Ca 以及第二電容元件控制信號 Cb 進行與圖 5 相同的開關工作，可以得到與圖 5 所示的工作同樣的輸出資料 Q。另外，如圖 16B 所示，也可以在各級儲存電路中分別設置位於資料電位儲存輸出電路與閘極選擇信號產生電路之間的電平轉移電路 143_1 至 143_N。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

在本實施方式中，說明使用實施方式 1 所示的半導體儲存裝置的信號處理裝置的結構。

圖 17 示出根據本發明的一個方式的信號處理裝置的

一個例子。信號處理裝置至少具有一個或多個運算裝置和一個或多個半導體儲存裝置。明確地說，圖 17 所示的信號處理裝置 150 具有運算裝置 151、運算裝置 152、半導體儲存裝置 153、半導體儲存裝置 154、半導體儲存裝置 155、控制裝置 156 以及電源控制電路 157。

運算裝置 151 及運算裝置 152 包括進行簡單的邏輯運算的邏輯電路、加法器、乘法器以及各種運算裝置等。另外，半導體儲存裝置 153 被用作當在運算裝置 151 中進行運算處理時暫時儲存資料信號的暫存器。半導體儲存裝置 154 被用作當在運算裝置 152 中進行運算處理時暫時儲存資料信號的暫存器。

另外，半導體儲存裝置 155 可以被用作主儲存體，而可以將控制裝置 156 所執行的程式以資料信號的形式儲存，或者，可以儲存來自運算裝置 151 和運算裝置 152 的資料信號。

控制裝置 156 是對信號處理裝置 150 所具有的運算裝置 151、運算裝置 152、半導體儲存裝置 153、半導體儲存裝置 154 以及半導體儲存裝置 155 的工作進行總括控制的電路。另外，在圖 17 中示出控制裝置 156 為信號處理裝置 150 的一部分的結構，但是也可以將控制裝置 156 設置在信號處理裝置 150 的外部。

藉由將實施方式 1 所示的半導體儲存裝置用於半導體儲存裝置 153、半導體儲存裝置 154 以及半導體儲存裝置 155，即使停止對半導體儲存裝置 153、半導體儲存裝置

154 以及半導體儲存裝置 155 進行電源電壓的供應也可以儲存資料信號而不增加所控制的信號數。因此，可以停止對信號處理裝置 150 整體進行電源電壓的供應，以抑制耗電量。或者，可以停止對半導體儲存裝置 153、半導體儲存裝置 154 以及半導體儲存裝置 155 中的任何一個或多個進行電源電壓的供應，以抑制信號處理裝置 150 的耗電量。另外，在再次開始電源電壓的供應之後，可以在短時間內恢復到電源供應停止之前的狀態。

另外，也可以在停止對半導體儲存裝置進行電源電壓的供應的同時，停止對在與該半導體儲存裝置之間進行資料信號的交換的運算裝置或控制電路進行電源電壓的供應。例如，也可以在運算裝置 151 和半導體儲存裝置 153 不進行工作時停止對運算裝置 151 及半導體儲存裝置 153 進行電源電壓的供應。

另外，電源控制電路 157 控制被供應到信號處理裝置 150 所具有的運算裝置 151、運算裝置 152、半導體儲存裝置 153、半導體儲存裝置 154、半導體儲存裝置 155 以及控制裝置 156 的電源電壓的大小。另外，在停止電源電壓的供應時，既可在電源控制電路 157 中停止電源電壓的供應，又可在運算裝置 151、運算裝置 152、半導體儲存裝置 153、半導體儲存裝置 154、半導體儲存裝置 155 以及控制裝置 156 中分別停止電源電壓的供應。

另外，也可以在作為主儲存體的半導體儲存裝置 155 與運算裝置 151、運算裝置 152 以及控制裝置 156 之間設

置用作高速緩衝儲存體的半導體儲存裝置。藉由設置高速緩衝儲存體，可以減少低速主儲存體被存取的次數，以實現運算處理等的信號處理的高速化。藉由還在用作高速緩衝儲存體的半導體儲存裝置中使用上述半導體儲存裝置，可以抑制信號處理裝置 150 的耗電量而不增加所控制的信號數。

本實施方式可以與上述實施方式適當地組合而實施。

實施方式 4

在本實施方式中，說明根據本發明的一個方式的信號處理裝置之一的 CPU 的結構。

圖 18 示出本實施方式的 CPU 的結構。圖 18 所示的 CPU 在基板 9900 上主要包括：ALU 9901；ALU 控制器 9902；指令解碼器 9903；中斷控制器 9904；時序控制器 9905；暫存器 9906；暫存器控制器 9907；Bus·I/F 9908；可重寫的 ROM 9909；以及 ROM·I/F 9920。注意，ALU 是指 Arithmetic logic unit，即算術邏輯單元，Bus·I/F 是指匯流排界面，並且 ROM·I/F 是指 ROM 介面。ROM 9909 和 ROM·I/F 9920 可以設置在另一晶片上。當然，圖 18 只是示出使其結構簡化了的一例，並且實際上的 CPU 根據其用途具有多種多樣的結構。

藉由 Bus·I/F 9908 輸入到 CPU 的指令輸入到指令解碼器 9903 且在進行解碼之後，輸入到 ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907 和時序控制器 9905。

根據被解碼的指令，ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、時序控制器 9905 進行各種控制。明確地說，ALU 控制器 9902 產生用來控制 ALU 9901 的工作的信號。另外，當 CPU 在執行程式時，中斷控制器 9904 根據其優先度或掩模狀態而判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求，並處理所述要求。暫存器控制器 9907 產生暫存器 9906 的位址，並根據 CPU 的狀態進行從暫存器 9906 的讀出或對暫存器 9906 的寫入。

另外，時序控制器 9905 產生控制 ALU 9901、ALU 控制器 9902、指令解碼器 9903、中斷控制器 9904、暫存器控制器 9907 的工作時序的信號。例如，時序控制器 9905 具備根據基準時脈信號 CLK1 產生內部時脈信號 CLK2 的內部時脈產生部，將時脈信號 CLK2 輸入到上述各種電路。

在本實施方式的 CPU 中，在暫存器 9906 中設置有具有上述實施方式所示的結構的半導體儲存裝置。暫存器控制器 9907 可以根據來自 ALU 9901 的指令在暫存器 9906 所具有的半導體儲存裝置中停止供應電源電壓而不需要轉移資料。

如此，當暫時停止 CPU 的工作而停止電源電壓的供應時也可以儲存資料信號，且可以降低耗電量。明確地說，例如，在個人電腦的使用者停止對鍵盤等輸入裝置的資訊輸入的期間中也可以停止 CPU，由此可以降低耗電量。

在本實施方式中，以 CPU 為例子進行了說明，但是

本發明的信號處理裝置不侷限於 CPU，也可以應用於微處理器、影像處理電路、DSP、FPGA 等的 LSI。

本實施方式可以與上述實施方式組合而實施。

實施方式 5

在圖 3A 所示的半導體儲存裝置中，舉出其通道形成在矽中的構成第一反相器電路 121_1 的電晶體（以下稱為電晶體 191）、其通道形成在氧化物半導體層中的第一電晶體 111_1 以及第一電容元件 112_1 的例子來說明半導體儲存裝置 10 的製造方法。

如圖 19A 所示，在基板 700 上形成絕緣膜 701 和從單晶半導體基板分離的半導體膜 702。

對可以用作基板 700 的材料沒有大的限制，但是需要至少具有能夠承受後面的加熱處理的程度的耐熱性。例如，作為基板 700，可以使用藉由熔融法或浮法而製造的玻璃基板、石英基板、半導體基板、陶瓷基板等。另外，當後面的加熱處理的溫度較高時，較佳為使用應變點為 730°C 以上的玻璃基板。

在本實施方式中，以下，以半導體膜 702 為單晶矽的情況為例子來說明電晶體 191 的製造方法。另外，簡單說明具體的單晶半導體膜 702 的製造方法的一個例子。首先，將由利用電場進行加速的離子構成的離子束注入到單晶半導體基板的接合基板，以在離接合基板的表面有預定深度的區域中形成因使結晶結構錯亂而局部性地被脆弱化的

脆化層。可以根據離子束的加速能和離子束的入射角調節形成脆化層的區域的深度。然後，貼合接合基板與形成有絕緣膜 701 的基板 700，其中間夾有該絕緣膜 701。至於貼合，在使接合基板與基板 700 重疊之後，對接合基板和基板 700 的一部分施加大約 $1\text{N}/\text{cm}^2$ 以上 $500\text{N}/\text{cm}^2$ 以下的壓力，較佳為施加大約 $11\text{N}/\text{cm}^2$ 以上 $20\text{N}/\text{cm}^2$ 以下的壓力。當施加壓力時，從該部分起開始接合基板和絕緣膜 701 的接合，該接合最終擴展於貼緊的面整體。接著，藉由進行加熱處理，存在於脆化層中的極小空隙彼此結合起來，使得極小空隙的體積增大。結果，在脆化層中，接合基板的一部分的單晶半導體膜從接合基板分離。上述加熱處理的溫度為不超過基板 700 的應變點的溫度。然後，藉由利用蝕刻等將上述單晶半導體膜加工為所希望的形狀，可以形成半導體膜 702。

為了控制臨界電壓，也可以對半導體膜 702 添加賦予 p 型導電性的雜質元素諸如硼、鋁、鎵等或賦予 n 型導電性的雜質元素諸如磷、砷等。用來控制臨界電壓的雜質元素添加，既可對被進行構圖之前的半導體膜進行，又可對被進行構圖之後的半導體膜 702 進行。另外，也可以將用於控制臨界電壓的雜質元素添加到接合基板。或者，也可以首先將雜質元素添加到接合基板，以便粗略地調節臨界電壓，然後，再添加到被進行構圖之前的半導體膜或被進行構圖之後的半導體膜 702，以便精細地調節臨界電壓。

另外，雖然在本實施方式中說明使用單晶半導體膜的

例子，但是本發明不侷限於該結構。例如，既可利用在絕緣膜 701 上利用氣相沉積法而形成的多晶、微晶或非晶半導體膜，又可利用已知的技術使上述半導體膜結晶化。作為已知的晶化法，有利用雷射的雷射晶化法、使用催化元素的晶化法。或者，也可以採用組合了使用催化元素的晶化法和雷射晶化法的方法。另外，在使用石英等具有優良的耐熱性的基板時，也可以採用組合如下方法的晶化法：使用電熱爐的熱晶化法；利用紅外光的燈退火晶化法；使用催化元素的晶化法；950°C 左右的高溫退火法。

接著，如圖 19B 所示，使用半導體膜 702 形成半導體膜 704。然後，在半導體膜 704 上形成閘極絕緣膜 703。

例如，閘極絕緣膜 703 也可以使用電漿 CVD 法或濺射法等形成包含如下材料的膜的單層或疊層而形成：氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鋇、氧化釷、矽酸鈺 ($\text{HfSi}_x\text{O}_y(x>0, y>0)$)、添加有氮的矽酸鈺 ($\text{HfSi}_x\text{O}_y(x>0, y>0)$)、添加有氮的鋁酸鈺 ($\text{HfAl}_x\text{O}_y(x>0, y>0)$) 等。

另外，在本說明書中，氧氮化物是指在其組成中含氧量多於含氮量的物質。另外，氮氧化物是指在其組成中含氮量多於含氧量的物質。

例如，可以將閘極絕緣膜 703 的厚度設定為 1nm 以上 100nm 以下，較佳為 10nm 以上 50nm 以下。在本實施方式中，作為閘極絕緣膜 703，使用電漿 CVD 法形成包含氧化矽的單層的絕緣膜。

接著，如圖 19C 所示，形成閘極電極 707。

在形成導電膜之後，藉由將該導電膜加工（構圖）為預定形狀，可以形成閘極電極 707。在形成上述導電膜時，可以使用 CVD 法、濺射法、蒸鍍法、旋塗法等。另外，作為導電膜，可以使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、釷（Nb）等。既可使用含上述金屬作為其主要成分的合金，又可使用含上述金屬的化合物。或者，也可以使用對半導體膜摻雜了賦予導電性的雜質元素如磷等而成的多晶矽等半導體來形成。

另外，雖然在本實施方式中由單層導電膜形成閘極電極 707，但是本實施方式不侷限於該結構。閘極電極 707 也可以由層疊的多個導電膜形成。

作為兩個導電膜的組合，可以使用氮化鉭或鉭作為第一層，並且使用鎢作為第二層。另外，作為兩個導電膜的組合，除了上述以外，還可以舉出：氮化鎢和鎢、氮化鉭和鉭、鋁和鉭、鋁和鈦等。因為鎢和氮化鉭具有高耐熱性，所以在形成兩層導電膜之後可以進行用於熱活化的加熱處理。另外，作為兩層導電膜的搭配，例如可以使用摻雜有賦予 n 型導電性的雜質元素的矽和鎳矽化物；摻雜有賦予 n 型導電性的雜質元素的矽和鎢矽化物等。

在採用層疊三層的導電膜的三層結構的情況下，較佳為採用鉭膜、鋁膜和鉭膜的疊層結構。

另外，作為閘極電極 707，也可以使用氧化銮、氧化

銻氧化錫、氧化銻氧化鋅、氧化鋅、氧化鋅鋁、氧氮化鋅鋁或氧化鋅鎵等的具有透光性的氧化物導電膜。

另外，也可以使用液滴噴射法選擇性地形成閘極電極 707，而不使用掩模。液滴噴射法是指從細孔噴射或噴出包含預定組分的液滴來形成預定圖案的方法，噴墨法等包括在其範疇內。

另外，藉由在形成導電膜之後使用 ICP (Inductively Coupled Plasma: 感應耦合電漿) 蝕刻法並對蝕刻條件 (施加到線圈型電極層的電力量、施加到基板側電極層的電力量和基板側的電極溫度等) 進行適當調整，可以將閘極電極 707 蝕刻為具有所希望的錐形形狀。另外，還可以根據掩模的形狀控制錐形形狀的角度等。另外，作為蝕刻氣體，可以適當地使用：氯類氣體如氯、氯化硼、氯化矽、四氯化碳等；氟類氣體如四氟化碳、氟化硫或氟化氮；或氧。

接著，如圖 19D 所示，藉由以閘極電極 707 為掩模將賦予一導電性的雜質元素添加到半導體膜 704，在半導體膜 704 中形成與閘極電極 707 重疊的通道形成區 710、夾有通道形成區 710 的一對雜質區域 709。

在本實施方式中，以將賦予 p 型的雜質元素 (如硼) 添加到半導體膜 704 的情況為例子。

接著，如圖 20A 所示，覆蓋閘極絕緣膜 703 和閘極電極 707 地形成絕緣膜 712 和絕緣膜 713。明確地說，絕緣膜 712 和絕緣膜 713 可以使用氧化矽、氮化矽、氮氧化矽

、氮化矽、氮化鋁、氮氧化鋁等的無機絕緣膜。特別是，藉由作為絕緣膜 712 和絕緣膜 713 使用低介電常數 (low-k) 材料，可以充分地減少起因於各種電極或佈線的重疊的電容，所以較佳為使用低介電常數 (low-k) 材料。另外，作為絕緣膜 712 和絕緣膜 713，也可以應用使用上述材料的多孔絕緣膜。在多孔絕緣膜中，因為與密度高的絕緣膜相比，其介電常數降低，所以可以進一步減少起因於電極或佈線的寄生電容。

在本實施方式中，以使用氮化矽作為絕緣膜 712 並使用氮氧化矽作為絕緣膜 713 的情況為例子。另外，雖然在本實施方式中可以在閘極電極 707 上形成絕緣膜 712 和絕緣膜 713 的情況為例子，但是在本發明中，既可在閘極電極 707 上只形成一層的絕緣膜，又可在閘極電極 707 上形成三層以上的多個絕緣膜的疊層。

接著，如圖 20B 所示，藉由對絕緣膜 713 進行 CMP (化學機械拋光) 處理或蝕刻處理，使絕緣膜 713 的露出頂面平坦化。另外，為了提高之後形成的第一電晶體 111_1 的特性，較佳為使絕緣膜 713 的表面盡可能地為平坦。

藉由上述製程，可以形成電晶體 191。

接著，說明第一電晶體 111_1 的製造方法。首先，如圖 20C 所示，在絕緣膜 713 上形成氧化物半導體層 716。

藉由將形成在絕緣膜 713 上的氧化物半導體膜加工為所希望的形狀，可以形成氧化物半導體層 716。上述氧化物半導體膜的厚度為 2nm 以上 200nm 以下，較佳為 3nm

以上 50nm 以下，更佳為 3nm 以上 20nm 以下。藉由使用氧化物半導體作為靶材，利用濺射法形成氧化物半導體膜。另外，氧化物半導體膜可以藉由在稀有氣體（如氬）氛圍下、在氧氛圍下或在稀有氣體（如氬）和氧的混合氛圍下利用濺射法而形成。

另外，較佳為在使用濺射法形成氧化物半導體膜之前，進行引入氬氣體來產生電漿的反濺射，而去除附著在絕緣膜 713 的表面的灰塵。反濺射是指不對靶材一側施加電壓而使用 RF 電源在氬氛圍中對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦等代替氬氛圍。另外，也可以在對氬氛圍添加了氧、一氧化二氮等的氛圍下進行反濺射。另外，也可以在對氬氛圍添加了氯、四氟化碳等的氛圍下進行反濺射。

如上所述，作為氧化物半導體膜，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn 類氧化物半導體、In-Sn-Zn 類氧化物半導體、In-Al-Zn 類氧化物半導體、Sn-Ga-Zn 類氧化物半導體、Al-Ga-Zn 類氧化物半導體、Sn-Al-Zn 類氧化物半導體、Hf-In-Zn 類氧化物半導體；二元金屬氧化物的 In-Zn 類氧化物半導體、Sn-Zn 類氧化物半導體、Al-Zn 類氧化物半導體、Zn-Mg 類氧化物半導體、Sn-Mg 類氧化物半導體、In-Mg 類氧化物半導體、In-Ga 類氧化物半導體；單元金屬氧化物的 In 類氧化物半導體、Sn 類氧化物半導體、Zn 類氧化物半導體等。

另外，尤其是在使用 In-Sn-Zn 類氧化物半導體作為氧化物半導體膜時，可以提高電晶體的遷移率。另外，在使用 In-Sn-Zn 類氧化物半導體時，可以穩定地控制電晶體的臨界電壓。另外，在使用 In-Sn-Zn 類氧化物半導體時，可以將所使用的靶材中的金屬元素的原子數比設定為 In : Sn : Zn=1 : 2 : 2、In : Sn : Zn=2 : 1 : 3、In : Sn : Zn=1 : 1 : 1 等。

在本實施方式中，將藉由使用包含 In（銦）、Ga（鎵）及 Zn（鋅）的靶材的濺射法而得到的厚度為 30nm 的 In-Ga-Zn 類氧化物半導體的薄膜用作氧化物半導體膜。作為上述靶材，例如可以使用各金屬的成分比為 In : Ga : Zn=1 : 1 : 0.5、In : Ga : Zn=1 : 1 : 1 或 In : Ga : Zn=1 : 1 : 2 的靶材。另外，包含 In、Ga 及 Zn 的靶材的填充率為 90% 以上 100% 以下，較佳為 95% 以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

在本實施方式中，將基板放置在保持為減壓狀態的處理室內，去除處理室內的殘留水分並引入被去除了氫及水分的濺射氣體，使用上述靶材形成氧化物半導體膜。在進行成膜時，也可以將基板溫度設定為 100°C 以上 600°C 以下，較佳為 200°C 以上 400°C 以下。藉由邊加熱基板邊進行成膜，可以降低形成的氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分，較佳為使用吸附型真空泵。例如，較佳為使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單

元，也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時，例如排出氫原子、水（ H_2O ）等的包含氫原子的化合物（更佳地，還有包含碳原子的化合物）等，由此可降低在該處理室中形成的氧化物半導體膜所包含的雜質濃度。

作為成膜條件的一例，可以應用如下條件：基板與靶材之間的距離為 100mm，壓力為 0.6Pa，直流（DC）電源功率為 0.5kW，採用氧（氧流量比率為 100%）氛圍。另外，脈衝直流（DC）電源是較佳的，因為可以減少在成膜時發生的灰塵並可以實現均勻的膜厚度分佈。

另外，藉由將濺射裝置的處理室的洩漏率設定為 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下，可以減少當藉由濺射法形成膜時混入到氧化物半導體膜中的鹼金屬、氫化物等雜質。另外，藉由作為排氣系統使用上述吸附型真空泵，可以減少鹼金屬、氫原子、氫分子、水、羥基或氫化物等雜質從排氣系統倒流。

另外，藉由將靶材的純度設定為 99.99% 以上，可以減少混入到氧化物半導體膜中的鹼金屬、氫原子、氫分子、水、羥基或氫化物等。另外，藉由使用該靶材，在氧化物半導體膜中可以降低鋰、鈉、鉀等的鹼金屬的濃度。

另外，為了使氧化物半導體膜儘量不包含氫、羥基及水分，作為成膜的預處理，較佳為在濺射裝置的預熱室中對形成了絕緣膜 712 及絕緣膜 713 的基板 700 進行預熱，使吸附到基板 700 的水分或氫等雜質脫離並排放。注意，

預熱的溫度是 100°C 以上 400°C 以下，較佳是 150°C 以上 300°C 以下。另外，設置在預熱室中的排氣單元較佳是低溫泵。另外，還可以省略該預熱處理。另外，該預熱也可以在後面進行的閘極絕緣膜 721 的成膜之前，對形成了導電膜 719 及導電膜 720 的基板 700 同樣地進行。

另外，作為用來形成氧化物半導體層 716 的蝕刻，可以採用乾蝕刻和濕蝕刻中的一者或兩者。作為用於乾蝕刻的蝕刻氣體，較佳為使用含有氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（Reactive Ion Etching：反應離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法。為了能夠蝕刻為所希望的形狀，適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等）。

作為用於濕蝕刻的蝕刻劑，可以使用將磷酸、醋酸及硝酸混合而成的溶液、檸檬酸或草酸等的有機酸。在本實施方式中，使用 ITO-07N（日本關東化學株式會社製造）。

另外，也可以利用噴墨法形成用來形成氧化物半導體層 716 的光阻掩罩。當利用噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。

另外，較佳為在下一個製程中形成導電膜之前進行反濺射，以去除附著在氧化物半導體層 716、絕緣膜 712 以及絕緣膜 713 的表面的抗蝕劑殘渣等。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含多量的作為雜質的水分或氫（包括羥基）。因為水分或氫容易形成施體能階，所以它們對於氧化物半導體來說是雜質。因此，在本發明的一個方式中，為了減少氧化物半導體膜中的水分或氫等雜質（實現脫水化或脫氫化），在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣體氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）氛圍下對氧化物半導體層 716 進行加熱處理。

藉由對氧化物半導體層 716 進行加熱處理，可以使氧化物半導體層 716 中的水分或氫脫離。明確地說，可以在 250°C 以上 750°C 以下的溫度下，較佳為在 400°C 以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500°C 進行 3 分鐘以上 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作為加熱處理，可以在短時間內進行脫水化或脫氫化，由此即使在超過玻璃基板的應變點的溫度

下也可以進行處理。

在本實施方式中，使用加熱處理裝置之一的電爐。

另外，加熱處理裝置不侷限於電爐，也可以具備利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置。例如，可以使用 GRTA (Gas Rapid Thermal Anneal : 氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal : 燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal : 快速熱退火) 裝置。LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光 (電磁波) 的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的惰性氣體如氬等的稀有氣體或者氮等。

另外，在加熱處理中，較佳為在氮或氦、氖、氬等的稀有氣體中不包含水分或氫等。或者，較佳的是，引入到加熱處理裝置的氮或稀有氣體如氦、氖或氬的純度為 6N(99.9999%) 以上，較佳為 7N(99.99999%) 以上 (即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下) 。

另外，有人指出：由於氧化物半導體對雜質不敏感，因此即使在膜中包含多量金屬雜質也沒有問題，而也可以使用包含多量的鹼金屬諸如鈉等的廉價的鈉鈣玻璃 (神谷、野村以及細野，“アモルファス酸化物半導体の物性とデバイス開発の現状 (Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors

：The present status：非晶氧化物半導體的物性及裝置開發的現狀）”，固體物理，2009年9月号，Vol.44，pp.621-633）。但是，這種指出是不適當的。鹼金屬由於不是構成氧化物半導體的元素，所以是雜質。鹼土金屬在它不是構成氧化物半導體的元素時也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體層接觸的絕緣膜為氧化物時擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體層中，Na 將構成氧化物半導體的金屬與氧的接合斷開或擠進該接合之中。結果，例如，發生因臨界電壓向負一側漂移而導致的常導通化、遷移率的降低等電晶體特性的劣化，而且，也發生特性的不均勻。在氧化物半導體層中的氫濃度十分低時顯著地出現上述雜質所引起的電晶體的特性劣化及特性不均勻。因此，在氧化物半導體層中的氫濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下時，較佳為減少上述雜質的濃度。明確地說，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。與此同樣，Li 濃度的測定值較佳為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。與此同樣，K 濃度的測定值較佳為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。

藉由上述製程可以降低氧化物半導體層 716 中的氫濃度，從而實現高純度化。由此，可以實現氧化物半導體層的穩定化。另外，藉由進行玻璃轉變溫度以下的加熱處理

，可以形成載子密度極低且能隙寬的氧化物半導體層。由此，可以使用大面積基板製造電晶體，而可以提高量產性。另外，藉由使用上述氫濃度被降低的被高純度化的氧化物半導體層，可以製造耐壓性高且截止電流顯著低的電晶體。只要在形成氧化物半導體層之後，就可以在任何時候進行上述加熱處理。

另外，氧化物半導體層也可以為非晶，但是也可以具有結晶性。作為具有結晶性的氧化物半導體層，具有 c 軸配向的結晶氧化物半導體 (C Axis Aligned Crystalline Oxide Semiconductor: 也稱為 CAAC-OS) 也可以提高電晶體的可靠性，所以是較佳的。

明確地說，CAAC-OS 為非單晶，並在從垂直於其 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列。並且，CAAC-OS 包括如下相：在 c 軸方向上，金屬原子排列為層狀的相，或者，金屬原子和氧原子排列為層狀的相。

在 CAAC-OS 中，與非晶氧化物半導體中相比，金屬與氧的接合序列化。換言之，在氧化物半導體為非晶時，配位數也有可能根據各金屬原子而不同，但是在 CAAC-OS 中，配位於金屬原子的氧原子數大致一定。由此，微觀的氧缺陷減少，而有減少因氫原子（包括氫離子）或鹼金屬原子的脫附而導致的電荷遷移或不穩定性的效果。

因此，藉由使用由 CAAC-OS 構成的氧化物半導體膜形成電晶體，可以降低在對電晶體照射光或施加偏壓-熱

壓力 (BT) 之後產生的電晶體的臨界電壓的變化量。由此，可以形成具有穩定的電特性的電晶體。

由 CAAC-OS 構成的氧化物半導體膜也可以藉由濺射法形成。爲了藉由濺射法得到 CAAC-OS，重要的是在氧化物半導體膜的沉積初期階段中形成六方晶的結晶且以該結晶爲晶種使結晶生長。爲此，較佳爲將靶材與基板之間的距離設定爲長（例如，150mm 至 200mm 左右），並且將加熱基板的溫度設定爲 100°C 至 500°C，更佳爲設定爲 200°C 至 400°C，進一步較佳爲設定爲 250°C 至 300°C。

另外，較佳的是，在利用濺射法形成由 CAAC-OS 構成的氧化物半導體膜時，氛圍中的氧氣比較高。例如，當在氫和氧的混合氣體氛圍中使用濺射法時，氧氣比較佳爲 30% 以上，更佳爲 40% 以上。這是因爲從氛圍中補充氧來促進 CAAC-OS 的結晶化的緣故。

另外，較佳的是，在利用濺射法形成由 CAAC-OS 構成的氧化物半導體膜時，由 CAAC-OS 構成的氧化物半導體膜將形成在其上的基板被加熱到 150°C 以上，更佳爲被加熱到 170°C 以上。這是因爲隨著基板溫度的上升 CAAC-OS 的結晶化被促進的緣故。

另外，較佳的是，在對由 CAAC-OS 構成的氧化物半導體膜進行氮氣分中或真空中的熱處理之後，在氧氣分中或在氧和其他氣體的混合氛圍中進行熱處理。這是因爲如下緣故：藉由從後一者的熱處理的氛圍中供應氧，可以補償在前一者的熱處理中發生的氧缺損。

另外，由 CAAC-OS 構成的氧化物半導體膜將形成在其上的膜表面（被形成面）較佳為平坦。這是因為如下緣故：因為由 CAAC-OS 構成的氧化物半導體膜具有大致垂直於該被形成面的 c 軸，所以存在於該被形成面的凹凸會引發由 CAAC-OS 構成的氧化物半導體膜中的晶界的發生。因此，較佳為在形成由 CAAC-OS 構成的氧化物半導體膜之前對上述被形成面進行化學機械拋光（CMP，即 Chemical Mechanical Polishing）等平坦化處理。另外，上述被形成面的平均粗糙度較佳為 0.5nm 以下，更佳為 0.3nm 以下。

接著，如圖 21A 所示，形成與閘極電極 707 接觸且與氧化物半導體層 716 接觸的導電膜 719 及與氧化物半導體層 716 接觸的導電膜 720。導電膜 719 及導電膜 720 被用作源極電極或汲極電極。

明確地說，藉由濺射法或真空蒸鍍法形成覆蓋閘極電極 707 及絕緣膜 713 上的導電膜，然後將該導電膜加工（構圖）為所希望的形狀，來可以形成導電膜 719 及導電膜 720。

作為成為導電膜 719 及導電膜 720 的導電膜，可以舉出選自鋁、鉻、銅、鈹、鈦、鉬、鎢中的元素、以上述元素為成分的合金或組合上述元素而成的合金膜等。此外，還可以採用在鋁、銅等的金屬膜的下側或上側層疊鉻、鈹、鈦、鉬、鎢等的高熔點金屬膜的結構。另外，作為鋁或銅，為了避免耐熱性或腐蝕性的問題，較佳為將鋁或銅與

高熔點金屬材料組合而使用。作為高熔點金屬材料，可以使用鉬、鈦、鉻、鉭、鎢、釹、鈦、鈳等。

另外，成為導電膜 719 及導電膜 720 的導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；以及鈦膜、層疊在該鈦膜上的鋁膜、還在其上層疊的鈦膜的三層結構等。另外，Cu-Mg-Al 合金、Mo-Ti 合金、Ti、Mo 具有與氧化膜的高密接性。因此，藉由作為下層層疊包括 Cu-Mg-Al 合金、Mo-Ti 合金、Ti 或 Mo 的導電膜，作為上層層疊包括 Cu 的導電膜，且將該層疊的導電膜用於導電膜 719 及導電膜 720，可以提高作為氧化膜的絕緣膜與導電膜 719 及導電膜 720 的密接性。

此外，也可以使用導電金屬氧化物形成成為導電膜 719 及導電膜 720 的導電膜。作為導電金屬氧化物，可以使用氧化銮、氧化錫、氧化鋅、氧化銮氧化錫、氧化銮氧化鋅或使上述金屬氧化物材料包含矽或氧化矽的材料。

在形成導電膜之後進行加熱處理的情況下，較佳為使導電膜具有承受該加熱處理的耐熱性。

另外，在對導電膜進行蝕刻時，以儘量不去除氧化物半導體層 716 的方式適當地調節各個材料及蝕刻條件。根據蝕刻條件，有時由於氧化物半導體層 716 的露出的部分被部分地蝕刻，形成槽部（凹部）。

在本實施方式中，作為導電膜，使用鈦膜。因此，可以使用包含氨和過氧化氫水的溶液（過氧化氫氨水）對導

電膜選擇性地進行濕蝕刻。明確地說，使用以 5 : 2 : 2 的體積比混合有 31wt.%的過氧化氫水、28wt.%的氨水和水的水溶液。或者，也可以使用包含氯 (Cl_2) 或氯化硼 (BCl_3) 等的氣體對導電膜進行乾蝕刻。

另外，爲了縮減在光微影製程中使用的光掩模數及製程數，還可以使用藉由多色調掩模形成的光阻掩罩進行蝕刻製程，該多色調掩模是使透過光具有多種強度的掩模。由於使用多色調掩模形成的光阻掩罩成爲具有多種厚度的形狀，且藉由進行蝕刻可以進一步改變其形狀，因此可以將使用多色調掩模形成的光阻掩罩用於加工爲不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至少對應於兩種以上的不同圖案的光阻掩罩。因此，可以縮減曝光掩模數，還可以縮減所對應的光微影製程，從而可以簡化製程。

另外，也可以在氧化物半導體層 716 與用作源極電極或汲極電極的導電膜 719 及導電膜 720 之間設置用作源極區或汲極區的氧化物導電膜。作爲氧化物導電膜的材料，較佳爲使用以氧化鋅爲成分的材料，且較佳爲使用不含有氧化銮的材料。作爲這種氧化物導電膜，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎳等。

例如，在形成氧化物導電膜時，也可以一同進行用來形成氧化物導電膜的構圖和用來形成導電膜 719 及導電膜 720 的構圖。

藉由設置用作源極區及汲極區的氧化物導電膜，可以

降低氧化物半導體層 716 與導電膜 719 及導電膜 720 之間的電阻，所以可以實現電晶體的高速工作。另外，藉由設置用作源極區及汲極區的氧化物導電膜，可以提高電晶體的耐壓。

接著，也可以進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理。藉由該電漿處理去除附著到露出的氧化物半導體層表面的水等。另外，也可以使用氧和氫的混合氣體進行電漿處理。

另外，在進行電漿處理之後，如圖 21B 所示，以覆蓋導電膜 719、導電膜 720 以及氧化物半導體層 716 的方式形成閘極絕緣膜 721。並且，在閘極絕緣膜 721 上，在與氧化物半導體層 716 重疊的位置形成閘極電極 722，而在與導電膜 719 重疊的位置形成導電膜 723。

閘極絕緣膜 721 可以使用與閘極絕緣膜 703 相同的材料、相同的疊層結構形成。並且，閘極絕緣膜 721 較佳為儘量不包含水分、氫等的雜質，並可以為單層的絕緣膜或多個絕緣膜的疊層。當在閘極絕緣膜 721 中包含氫時，該氫侵入到氧化物半導體層 716 或者該氫抽出氧化物半導體層 716 中的氧，而使氧化物半導體層 716 低電阻化（n 型化），因此有可能形成寄生通道。因此，為了使閘極絕緣膜 721 儘量不含有氫，當形成膜時不使用氫是重要的。上述閘極絕緣膜 721 較佳為使用阻擋性高的材料。例如，作為阻擋性高的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。當使用多個層疊的絕緣膜時，

將氮的含有比率低的氧化矽膜、氮化矽膜等的絕緣膜形成在與上述阻擋性高的絕緣膜相比接近於氧化物半導體層 716 的一側。然後，以在其間夾著氮含有比率低的絕緣膜且與導電膜 719、導電膜 720 以及氧化物半導體層 716 重疊的方式形成阻擋性高的絕緣膜。藉由使用阻擋性高的絕緣膜，可以防止水分或氫等雜質侵入到氧化物半導體層 716 內、閘極絕緣膜 721 內或者氧化物半導體層 716 與其他絕緣膜的介面及其近旁。另外，藉由以與氧化物半導體層 716 接觸的方式形成氮比率低的氧化矽膜、氮化矽膜等的絕緣膜，可以防止使用阻擋性高的材料的絕緣膜直接接觸於氧化物半導體層 716。

在本實施方式中，形成如下閘極絕緣膜 721，該閘極絕緣膜 721 在藉由濺射法形成的厚度為 200nm 的氧化矽膜上層疊有藉由濺射法形成的厚度為 100nm 的氮化矽膜。將進行成膜時的基板溫度設定為室溫以上 300°C 以下即可，在本實施方式中採用 100°C。

另外，也可以在形成閘極絕緣膜 721 之後進行加熱處理。該加熱處理在氮、超乾燥空氣或稀有氣體（氫、氦等）的氛圍下較佳為以 200°C 以上 400°C 以下，例如 250°C 以上 350°C 以下的溫度進行。上述氣體的含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下。在本實施方式中，例如在氮氛圍下以 250°C 進行 1 小時的加熱處理。或者，與在形成導電膜 719 及導電膜 720 之前為了減少水分或氫對氧化物半導體層進行的上述加熱處理同樣，也

可以在短時間進行高溫的 RTA 處理。藉由在設置包含氧的閘極絕緣膜 721 之後進行加熱處理，即使因對氧化物半導體層 716 進行的上述加熱處理而在氧化物半導體層 716 中產生氧缺陷，氧也從閘極絕緣膜 721 被供應到氧化物半導體層 716。並且，藉由將氧供應到氧化物半導體層 716，可以在氧化物半導體層 716 中降低成為施體的氧缺陷，並滿足化學計量成分比。氧化物半導體層 716 較佳為含有超過化學計量成分比的氧。結果，可以使氧化物半導體層 716 趨近於 i 型，降低因氧缺陷而導致的電晶體的電特性的偏差，從而實現電特性的提高。進行該加熱處理的時序只要是形成閘極絕緣膜 721 之後就沒有特別的限制，並且藉由將該加熱處理兼用作其他製程例如形成樹脂膜時的加熱處理、用來使透明導電膜低電阻化的加熱處理，可以在不增加製程數的條件下使氧化物半導體層 716 趨近於 i 型。

另外，也可以藉由在氧氛圍下對氧化物半導體層 716 進行加熱處理，對氧化物半導體添加氧，而減少在氧化物半導體層 716 中成為施體的氧缺陷。加熱處理的溫度例如是 100°C 以上且低於 350°C ，較佳是 150°C 以上且低於 250°C 。上述用於氧氛圍下的加熱處理的氧氣體較佳為不包含水、氫等。或者，較佳為將引入到加熱處理裝置中的氧氣體的純度設定為 6N (99.9999%) 以上，更佳為設定為 7N (99.99999%) 以上 (也就是說，氧中的雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下)。

或者，也可以藉由採用離子植入法或離子摻雜法等對氧化物半導體層 716 添加氧，來減少成爲施體的氧缺陷。例如，將以 2.45GHz 的微波電漿化了的氧添加到氧化物半導體層 716 中，即可。

另外，藉由在閘極絕緣膜 721 上形成導電膜之後，對該導電膜進行構圖，來可以形成閘極電極 722 及導電膜 723。閘極電極 722 及導電膜 723 可以使用與閘極電極 707 或導電膜 719 及導電膜 720 相同的材料來形成。

閘極電極 722 及導電膜 723 的厚度爲 10nm 至 400nm，較佳爲 100nm 至 200nm。在本實施方式中，在藉由使用鎢靶材的濺射法形成 150nm 的用於閘極電極的導電膜之後，藉由蝕刻將該導電膜加工（構圖）爲所希望的形狀，來形成閘極電極 722 及導電膜 723。另外，也可以使用噴墨法形成光阻掩罩。當藉由噴墨法形成光阻掩罩時不使用光掩模，因此可以縮減製造成本。

藉由上述製程，形成第一電晶體 111_1。

另外，導電膜 719 與導電膜 723 隔著閘極絕緣膜 721 重疊的部分相當於第一電容元件 112_1。

另外，雖然使用單閘結構的電晶體說明第一電晶體 111_1，但是也可以根據需要形成藉由具有電連接的多個閘極電極來具有多個通道形成區的雙閘結構或多閘結構的電晶體。

接觸於氧化物半導體層 716 的絕緣膜（在本實施方式中，相當於閘極絕緣膜 721）也可以使用包含第 13 族元素

及氧的絕緣材料。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，因此藉由將包含第 13 族元素的絕緣材料用於與氧化物半導體層接觸的絕緣膜，可以保持與氧化物半導體層的良好介面狀態。

包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量 (at.%) 多於含鎵量 (at.%) 的物質，並且氧化鎵鋁是指含鎵量 (at.%) 等於或多於含鋁量 (at.%) 的物質。

例如，當以接觸於包含鎵的氧化物半導體層的方式形成絕緣膜時，藉由將包含氧化鎵的材料用於絕緣膜，可以保持氧化物半導體層和絕緣膜之間的良好介面特性。例如，藉由以彼此接觸的方式設置氧化物半導體層和包含氧化鎵的絕緣膜，可以減少產生在氧化物半導體層與絕緣膜的介面的氫的沉積 (pileup)。另外，在作為絕緣膜使用屬於與氧化物半導體的成分元素相同的族的元素時，可以獲得同樣的效果。例如，使用包含氧化鋁的材料形成絕緣膜也是有效的。另外，由於氧化鋁具有不容易透過水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

此外，作為與氧化物半導體層 716 接觸的絕緣膜，較佳為採用藉由進行氧氛圍下的熱處理或氧摻雜等包含多於

化學計量成分比的氧的絕緣材料。氧摻雜是指對塊體（bulk）添加氧的處理。爲了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該術語“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以使用離子植入法或離子摻雜法進行氧摻雜。

例如，當作爲與氧化物半導體層 716 接觸的絕緣膜使用氧化鎵時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定爲 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

此外，作爲與氧化物半導體層 716 接觸的絕緣膜使用氧化鋁時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定爲 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

此外，作爲與氧化物半導體層 716 接觸的絕緣膜使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定爲 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

藉由進行氧摻雜處理，可以形成具有包含多於化學計量成分比的氧的區域的絕緣膜。藉由使具備這種區域的絕緣膜與氧化物半導體層接觸，絕緣膜中的過剩的氧被供應到氧化物半導體層中，可以減少氧化物半導體層中或氧化物半導體層與絕緣膜的介面中的氧缺陷，來可以使氧化物半導體層成爲 i 型化或無限趨近於 i 型。

藉由供應絕緣膜中的過剩的氧而使其氧缺陷減少的氧化物半導體層可以爲氫濃度被充分降低而被高純度化，並

藉由被供應充分的氧來降低起因於氧缺損的能隙中的缺陷能階的氧化物半導體層。因此，可以得到載子濃度極小的氧化物半導體層，而可以得到截止電流顯著低的電晶體。藉由將該截止電流顯著低的電晶體應用於上述實施方式的第一電晶體，在使第一電晶體成為非導通狀態時可以將該電晶體幾乎看作絕緣體。因此，藉由將該電晶體用作第一電晶體 111_1 及第二電晶體 111_2，可以將保持在第一資料保持部 D_HOLD1 中的電位的降低抑制為極小的水準。結果，即使在電源電壓的供應停止時，也可以減小第一資料保持部 D_HOLD1 的電位的變動，而可以防止所儲存的資料的消失。

也可以將具有包含多於化學計量成分比的氧的區域的絕緣膜僅用於與氧化物半導體層 716 接觸的絕緣膜中的位於上層的絕緣膜和位於下層的絕緣膜中的一方，但是較佳為用於兩者的絕緣膜。藉由採用將具有包含多於化學計量成分比的氧的區域的絕緣膜用於與氧化物半導體層 716 接觸的絕緣膜中的位於上層及下層的絕緣膜，其間夾著氧化物半導體層 716 的結構，可以進一步提高上述效果。

此外，用於氧化物半導體層 716 的上層或下層的絕緣膜既可以是使用具有相同的構成元素的絕緣膜，又可以是使用具有不同的構成元素的絕緣膜。例如，既可以採用上層和下層都是其組成為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鎵的結構，又可以採用上層和下層中的一方是其組成為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鎵，另一方是其組成為

Al_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鋁的結構。

另外，與氧化物半導體層 716 接觸的絕緣膜也可以是具有包含多於化學計量成分比的氧的區域的絕緣膜的疊層。例如，也可以作為氧化物半導體層 716 的上層形成組成為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鎵，且在其上形成組成為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$) 的氧化鎵鋁（氧化鋁鎵）。此外，既可以採用作為氧化物半導體層 716 的下層形成具有包含多於化學計量成分比的氧的區域的絕緣膜的疊層的結構，又可以採用作為氧化物半導體層 716 的上層及下層形成具有包含多於化學計量成分比的氧的區域的絕緣膜的疊層。

接著，如圖 21C 所示，以覆蓋閘極絕緣膜 721 及閘極電極 722 的方式形成絕緣膜 724。絕緣膜 724 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣膜 724 較佳為使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣膜 724 的介電常數降低，可以降低產生在佈線、電極等之間的寄生電容，從而實現工作的高速化的緣故。另外，在本實施方式中，採用單層結構的絕緣膜 724，但是，本發明的一個方式不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣膜 721 和絕緣膜 724 中形成開口部 725，使導電膜 720 的一部分露出。然後，在絕緣膜 724

上形成在上述開口部 725 中與導電膜 720 接觸的佈線 726。

在使用 PVD 法或 CVD 法形成導電膜之後，對該導電膜進行構圖來形成佈線 726。另外，作為導電膜的材料，可以使用選自鋁、鉻、銅、鉍、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。也可以使用選自錳、鎂、銦、銻、釷中的一種或多種材料。

更明確地說，例如，可以使用如下方法：在包括絕緣膜 724 的開口的區域中，在藉由 PVD 法形成薄（5nm 左右）的鈦膜之後埋入開口部 725 形成鋁膜。這裏，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此，導電膜 720）的接觸電阻的功能。另外，可以防止在鋁膜上產生小丘。另外，也可以在使用鈦或氮化鈦等形成障壁膜之後藉由鍍敷法形成銅膜。

這裏，說明使導電膜 720-佈線 726 間的連接重疊的情況。在此情況下，在形成導電膜 720 之後，在閘極絕緣膜 721 及絕緣膜 724 中的與下部的開口部重疊的區域中形成開口部，並且形成佈線 726。

接著，覆蓋佈線 726 形成絕緣膜 727。藉由上述一系列的製程可以製造半導體儲存裝置。

另外，在上述製造方法中，在形成氧化物半導體層 716 之後形成用作源極電極及汲極電極的導電膜 719 及導電膜 720。因此，如圖 21B 所示，在藉由上述製造方法得

到的第一電晶體 111_1 中，導電膜 719 及導電膜 720 形成在氧化物半導體層 716 上。但是，在第一電晶體 111_1 中，用作源極電極及汲極電極的導電膜也可以設置在氧化物半導體層 716 的下面，即氧化物半導體層 716 和絕緣膜 712 及絕緣膜 713 之間。

圖 22 是示出第一電晶體 111_1 的剖面圖，其中用作源極電極及汲極電極的導電膜 719 及導電膜 720 設置在氧化物半導體層 716 與絕緣膜 712 及絕緣膜 713 之間。在形成絕緣膜 713 之後形成導電膜 719 及導電膜 720，然後形成氧化物半導體層 716，來可以得到圖 22 所示的第一電晶體 111_1。

另外，第一電晶體 111_1 不侷限於圖 22 所示的方式，而可以採用適合微型化的平面型結構。圖 23A 和 23B 示出其一個例子。在圖 23A 和 23B 中，說明將 In-Sn-Zn-O 膜用於氧化物半導體膜的電晶體。

圖 23A 及 23B 是共面型的頂閘極頂接觸結構的電晶體的俯視圖以及剖面圖。圖 23A 示出電晶體的俯視圖。另外，圖 23B 示出對應於沿圖 23A 的鏈式線 A-B 的剖面 A-B。

圖 23B 所示的電晶體包括：設置在絕緣膜 1113 上的具有高電阻區 1102a 及低電阻區 1102b 的氧化物半導體膜 1102；設置在氧化物半導體膜 1102 上的閘極絕緣膜 1103；以隔著閘極絕緣膜 1103 與氧化物半導體膜 1102 重疊的方式設置的閘極電極 1107；以與閘極電極 1107 的側面接

觸的方式設置的側壁絕緣膜 1114；以至少與低電阻區 1102b 接觸的方式設置的導電膜 1119 及導電膜 1120；以至少覆蓋氧化物半導體膜 1102、閘極電極 1107、導電膜 1119 以及導電膜 1120 的方式設置的絕緣膜 1124；以及以藉由設置在絕緣膜 1124 中的開口部與導電膜 1119 及導電膜 1120 連接的方式設置的佈線 1128。

另外，雖然未圖示，但是還可以包括以覆蓋絕緣膜 1124 及佈線 1128 的方式設置的保護膜。藉由設置該保護膜，可以降低由於絕緣膜 1124 的表面傳導而產生的微小洩漏電流，而可以降低電晶體的截止電流。

圖 24A 及 24B 是示出其他電晶體的結構的俯視圖以及剖面圖。圖 24A 是電晶體的俯視圖。此外，圖 24B 是對應於圖 24A 的鏈式線 A-B 的剖面圖。

圖 24B 所示的電晶體包括：設置在絕緣膜 1113 上的氧化物半導體膜 1102；與氧化物半導體膜 1102 接觸的導電膜 1119 及導電膜 1120；設置在氧化物半導體膜 1102、導電膜 1119 以及導電膜 1120 上的閘極絕緣膜 1103；以隔著閘極絕緣膜 1103 與氧化物半導體膜 1102 重疊的方式設置的閘極電極 1107；以覆蓋閘極絕緣膜 1103 及閘極電極 1107 的方式設置的絕緣膜 1124；藉由設置在絕緣膜 1124 中的開口部與導電膜 1119 及導電膜 1120 連接的佈線 1128；以及以覆蓋絕緣膜 1124 及佈線 1128 的方式設置的保護膜 1129。

作為絕緣膜 1113，使用氧化矽膜，作為氧化物半導體

膜 1102 使用 In-Sn-Zn-O 膜，作為導電膜 1119 及導電膜 1120 使用鎢膜，作為閘極絕緣膜 1103 使用氧化矽膜，作為閘極電極 1107 使用氮化鉭膜和鎢膜的疊層結構，作為絕緣膜 1124 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作為佈線 1128 使用按順序層疊有鈦膜、鋁膜、鈦膜的疊層結構，作為保護膜 1129 使用聚醯亞胺膜。

另外，在具有圖 24A 所示的結構的電晶體中，將閘極電極 1107 與導電膜 1119 及導電膜 1120 重疊的寬度稱為 L_{ov} 。與此同樣，將導電膜 1119 及導電膜 1120 從氧化物半導體膜 1102 超出的部分稱為 dW 。

這裏，對其通道由氧化物半導體形成的電晶體的場效應遷移率進行考察。實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低，這種情況不侷限於氧化物半導體。作為使遷移率降低的原因，有半導體內部的缺陷或半導體與絕緣膜之間的介面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述公式 2 表示其關係。

[公式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (2)$$

在此， E 是位能障壁的高度， k 是玻爾茲曼常數， T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述公式 3 表示其關係。

[公式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (3)$$

在此， e 是基本電荷， N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數， n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘極電壓， t 是通道的厚度。注意，在採用厚度為 30 nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。

線性區中的汲極電流 I_d 可以由下述公式 4 表示。

[公式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (4)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10\mu\text{m}$ 。此外， V_d 是汲極電壓。當將上述公式的雙邊用 V_g 除，且對雙邊取對數時，成為下述公式 5。

[公式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (5)$$

公式 5 的右邊是 V_g 的函數。由上述公式可知，根據以縱軸為 $\ln(I_d/V_g)$ 並以橫軸為 $1/V_g$ 的直線的傾斜度可以求得缺陷密度 N 。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦 (In)、錫 (Sn)、鋅 (Zn) 的比率為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/\text{cm}^2$ 左右。

基於如上所述那樣求得的缺陷密度等且根據公式 2 及公式 3 可以導出 $\mu_0=120\text{cm}^2/\text{Vs}$ 。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為 $35\text{cm}^2/\text{Vs}$ 左右。但是，可以估計在半導體內部及在半導體與絕緣膜之間的介面沒有缺陷的氧化物半導體的遷移率 μ_0 成爲 $120\text{cm}^2/\text{Vs}$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道與閘極絕緣膜之間的介面中的散射的影響。換言之，離閘極絕緣膜介面有 x 的距離的位置上的遷移率 μ_1 可以由下述公式 6 表示。

[公式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right) \quad (6)$$

在此， D 是閘極方向上的電場，且 B 、 G 是常數。 B 及 G 可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{cm/s}$ ， $G=10 \text{nm}$ （介面散射到達的深度）。可知當 D 增加（即，閘極電壓得到提高）時，公式 6 的第二項

也增加，所以遷移率 μ_1 降低。

圖 25 示出對一種電晶體的遷移率 μ_2 進行計算而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且將氧化物半導體的能隙、電子親和力、相對介電常數以及厚度分別設定為 2.8 電子伏特、4.7 電子伏特、15 以及 15nm。上述值藉由測量利用濺射法形成的薄膜而得到。

再者，將閘極的功函數、源極的功函數以及汲極的功函數分別設定為 5.5 電子伏特、4.6 電子伏特以及 4.6 電子伏特。此外，將閘極絕緣膜的厚度及相對介電常數分別設定為 100nm 及 4.1。通道長度和通道寬度都為 $10\mu\text{m}$ ，而汲極電壓 V_d 為 0.1V。

如圖 25 所示，當閘極電壓為 1V 多時遷移率示出 $100\text{cm}^2/\text{Vs}$ 以上的峰值，但是當閘極電壓更高時，介面散射變大，所以遷移率下降。另外，為了降低介面散射，較佳為使半導體層的表面在原子級上具有平坦性 (Atomic Layer Flatness)。

圖 26A 至圖 28C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 29A 及 29B 示出用於計算的電晶體的剖面結構。圖 29A 及 29B 所示的電晶體在氧化物半導體層中具有呈現 n^+ 導電型的低電阻區 1102b。低電阻區 1102b 的電阻率為 $2 \times 10^{-3} \Omega\text{cm}$ 。

圖 29A 所示的電晶體形成在絕緣膜 1113 及以埋入在絕緣膜 1113 中的方式形成的由氧化鋁形成的埋入絕緣物 1115 上。電晶體包括由氧化物半導體構成的低電阻區 1102b、夾在它們之間且成爲通道形成區的高電阻區 1102a 以及閘極電極 1107。閘極電極 1107 的寬度爲 33nm。

電晶體在閘極電極 1107 和高電阻區 1102a 之間具有閘極絕緣膜 1103，在閘極電極 1107 的雙側面具有側壁絕緣膜 1114，並且在閘極電極 1107 的上部具有用來防止閘極電極 1107 與其他佈線的短路的絕緣層 1117。側壁絕緣膜 1114 的寬度爲 5nm。此外，以接觸於低電阻區 1102b 的方式具有成爲源極電極及汲極電極的導電膜 1119 及導電膜 1120。另外，該電晶體的通道寬度爲 40nm。

圖 29B 所示的電晶體與圖 29A 所示的電晶體的相同之處爲：形成在絕緣膜 1113 及由氧化鋁形成的埋入絕緣物 1115 上；包括由氧化物半導體構成的低電阻區 1102b、夾在它們之間的由氧化物半導體構成的高電阻區 1102a、寬度爲 33nm 的閘極電極 1107、閘極絕緣膜 1103、側壁絕緣膜 1114、絕緣層 1117 以及成爲源極電極及汲極電極的導電膜 1119 及導電膜 1120。

圖 29A 所示的電晶體與圖 29B 所示的電晶體的不同之處爲側壁絕緣膜 1114 下的半導體區的導電型。雖然在圖 29A 所示的電晶體中側壁絕緣膜 1114 下的半導體區爲呈現 n^+ 導電型的低電阻區 1102b，但是在圖 29B 所示的電晶體中側壁絕緣膜 1114 下的半導體區爲高電阻區 1102a。換

言之，設置有既不與低電阻區 1102b 也不與閘極電極 1107 重疊的具有 L_{off} 的寬度的區域。將該區域稱為偏置 (offset) 區，並且將其寬度 L_{off} 稱為偏置長度。如圖式所示，偏置長度與側壁絕緣膜 1114 的寬度相同。

用於計算的其他參數為上述參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 26A 至 26C 示出圖 29A 所示的結構的電晶體的汲極電流 (I_d ，實線) 及遷移率 (μ ，虛線) 的閘極電壓 (V_g ，閘極與源極的電位差) 依賴性。將汲極電壓 (汲極與源極的電位差) 設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。

圖 26A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 26B 為閘極絕緣膜的厚度為 10nm 時的圖，並且圖 26C 為閘極絕緣膜的厚度為 5nm 時的圖。閘極絕緣膜越薄，尤其是截止狀態下的汲極電流 I_d (截止電流) 越顯著降低。另一方面，遷移率 μ 的峰值或導通狀態下的汲極電流 I_d (導通電流) 沒有顯著的變化。

圖 27A 至 27C 示出在圖 29B 所示的結構的電晶體中當偏置長度 L_{off} 為 5nm 時的汲極電流 I_d (實線) 及遷移率 μ (虛線) 的閘極電壓 V_g 依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 27A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 27B 為閘極絕緣膜的厚度為 10nm 時的圖，並且圖 27C 為閘極絕緣膜的厚度為 5nm 時的圖。

另外，圖 28A 至 28C 示出在圖 29B 所示的結構的電晶體中當偏置長度 L_{off} 為 15nm 時的汲極電流 I_d (實線) 及遷移率 μ (虛線) 的閘極電壓依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 28A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 28B 為閘極絕緣膜的厚度為 10nm 時的圖，並且圖 28C 為閘極絕緣膜的厚度為 5nm 時的圖。

無論是哪一種結構，閘極絕緣膜越薄，截止電流越顯著降低，但是遷移率 μ 的峰值以及導通電流沒有顯著的變化。

另外，偏置長度 L_{off} 越增加，遷移率 μ 的峰值越降低，即在圖 26A 至 26C 中遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$ 左右，在圖 27A 至 27C 中遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，並且在圖 28A 至 28C 中遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ 左右。此外，截止電流也有同樣的趨勢。另一方面，雖然導通電流也隨著偏置長度 L_{off} 的增加而降低，但是其降低比截止電流的降低平緩得多。

以上，詳細描述了電晶體的場效應遷移率，但是，本實施方式可以與上述實施方式適當地組合而實施。

實施方式 6

在本實施方式中，說明 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: C 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85°以上且 95°以下的範圍。另外，在只記載“平行”時，也包括 -5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產

生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。藉由進行成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

另外，也可以用氮取代構成 CAAC-OS 膜的氧的一部分。

參照圖 30A 至圖 32C 詳細地說明 CAAC-OS 膜所包括的晶體結構的一個例子。另外，在沒有特別的說明時，在圖 30A 至圖 32C 中，以上方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 30A 至 30E 中，使用圓圈圈上的 O 示出四配位 O ，而使用雙重圓圈圈上的 O 示出三配位 O 。

圖 30A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖

然圖 30A 所示的結構採用八面體結構，但是爲了容易理解示出平面結構。在圖 30A 的上一半及下一半分別具有三個四配位 O。圖 30A 所示的小組的電荷爲 0。

圖 30B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱爲三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 30B 的上一半及下一半分別具有有一個四配位 O。另外，因爲 In 也採用五配位，所以也有可能採用圖 30B 所示的結構。圖 30B 所示的小組的電荷爲 0。

圖 30C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 30C 的上一半具有有一個四配位 O，並且在下一半具有三個四配位 O。或者，也可以在圖 30C 的上一半具有三個四配位 O，並且在下一半具有有一個四配位 O。圖 30C 所示的小組的電荷爲 0。

圖 30D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 30D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 30D 所示的小組的電荷爲 +1。

圖 30E 示出包括兩個 Zn 的小組。在圖 30E 的上一半具有有一個四配位 O，並且在下一半具有有一個四配位 O。圖 30E 所示的小組的電荷爲 -1。

在此，將多個小組的集合體稱爲中組，而將多個中組的集合體稱爲大組（也稱爲單元元件）。

這裏，說明這些小組彼此接合的規則。圖 30A 所示的

六配位 In 的上半的三個 O 在下方向上分別具有三個靠近的 In ，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In 。圖 30B 所示的五配位 Ga 的上半的一個 O 在下方向上具有一個靠近的 Ga ，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga 。圖 30C 所示的四配位 Zn 的上半的一個 O 在下方向上具有一個靠近的 Zn ，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn 。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子 (In 或 Sn) 藉由下一半的四配位 O 接合時，因為四配位 O 的個數爲 3，所以其與五配位金屬原子 (Ga 或 In) 和四配位金屬原子 (Zn) 中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成爲 0 的方式使多個小組接合構成中組。

圖 31A 示出構成 In-Sn-Zn 類氧化物的層結構的中組的模型圖。圖 31B 示出由三個中組構成的大組。另外，圖

31C 示出從 c 軸方向上觀察圖 31B 的層結構時的原子排列。

在圖 31A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 31A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 31A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 31A 中，構成 In-Sn-Zn 類氧化物的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認爲是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別爲 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷爲 $+1$ 。因此，爲了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電

荷 -1。作為具有電荷 -1 的結構，可以舉出圖 30E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 31B 所示的大組來可以得到 In-Sn-Zn 類氧化物的結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn 類氧化物的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，除此之外，當採用四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等時也同樣。

例如，圖 32A 示出構成 In-Ga-Zn 類氧化物的層結構的中組的模型圖。

在圖 32A 中，構成 In-Ga-Zn 類氧化物的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一

半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 32B 示出由三個中組構成的大組。另外，圖 32C 示出從 c 軸方向觀察到圖 32B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn 類氧化物的層結構的中組不侷限於圖 32A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

明確而言，藉由反復圖 32B 所示的大組來可以得到 In-Ga-Zn 類氧化物的結晶。注意，可以得到的 In-Ga-Zn 類氧化物的層結構可以由組成式 $\text{InGaO}_3(\text{ZnO})_n$ （n 是自然數）表示。

在 $n=1$ （ InGaZnO_4 ）時，例如，可以得到圖 40A 所示的結晶結構。另外，在圖 40A 所示的結晶結構中，如圖 30B 所說明，因為 Ga 及 In 採用五配位，所以也可以得到 In 取代 Ga 的結構。

此外，當 $n=2$ （ $\text{InGaZn}_2\text{O}_5$ ）時，例如有可能具有圖

40B 所示的結晶結構。注意，在圖 40B 所示的結晶結構中，因為如圖 30B 所說明，Ga 及 In 採用五配位，所以也可以得到 In 取代 Ga 的結構。

本實施方式可以與上述實施方式適當地組合來實施。

實施方式 7

將以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體膜之後進行熱處理來可以得到良好的特性。另外，主要成分是指在成分比上有 5atomic% 以上的元素。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。此外，藉由使電晶體的臨界電壓向正方向漂移來可以實現常關閉化。

例如，圖 33A 至 33C 示出使用以 In、Sn、Zn 為主要成分的通道長度 L 為 $3\mu\text{m}$ 且通道寬度 W 為 $10\mu\text{m}$ 的氧化物半導體膜及厚度為 100nm 的閘極絕緣膜的電晶體的特性。另外， V_d 為 10V 。

圖 33A 示出不意圖性地加熱基板藉由濺射法形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時場效應遷移率為 $18.8\text{cm}^2/\text{Vs}$ 。另一方面，當藉由意圖性地加熱基板形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時，可以提高場效應遷移率。圖 33B 示出將基板

加熱到 200°C 來形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vs}$ 。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行熱處理，可以進一步提高場效應遷移率。圖 33C 示出在 200°C 下藉由濺射形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行 650°C 的熱處理時的電晶體特性。此時的場效應遷移率為 $34.5\text{cm}^2/\text{Vs}$ 。

藉由意圖性地加熱基板，可以期待減少在進行濺射成膜時引入到氧化物半導體膜中的水分的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體膜中釋放氫、羥基或水分而去除它們，由此，可以如上述那樣提高場效應遷移率。上述場效應遷移率的提高可以估計不僅是因為藉由脫水化或脫氫化去除雜質，而且是因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。像這樣被高純度化的非單晶氧化物半導體可以估計實現理想的超過 $100\text{cm}^2/\text{Vs}$ 的場效應遷移率。

也可以對以 In、Sn、Zn 為主要成分的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或水分，在該熱處理的同時或者藉由在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行

熱處理，不僅可以提高場效應遷移率，而且還可以有助於實現電晶體的常關閉化。將不意圖性地加熱基板來形成的以 In、Sn、Zn 為主要成分的氧化物半導體膜用作通道形成區的電晶體有臨界電壓漂移到負一側的傾向。然而，在採用意圖性地加熱基板來形成的氧化物半導體膜時，可以解決該臨界電壓的負漂移化的問題。換言之，臨界電壓向電晶體成爲常關閉的方向漂移，並且從圖 33A 和圖 33B 的對比也可以確認到該傾向。

另外，也可以藉由改變 In、Sn 及 Zn 的比率來控制臨界電壓，作爲成分比採用 In : Sn : Zn=2 : 1 : 3 來可以實現電晶體的常關閉化。此外，藉由作爲靶材的成分比採用 In : Sn : Zn=2 : 1 : 3，可以獲得結晶性高的氧化物半導體膜。

將意圖性的基板加熱溫度或熱處理溫度設定爲 150°C 以上，較佳爲設定爲 200°C 以上，更佳爲設定爲 400°C 以上。藉由在更高的溫度下進行成膜或進行熱處理，可以實現電晶體的常關閉化。

此外，藉由意圖性地加熱基板來形成膜及 / 或在成膜後進行熱處理，可以提高穩定性，而不受閘極偏壓 - 應力的影響。例如，在 2MV/cm，150°C 且一小時施加的條件下，可以使漂移分別爲小於 ±1.5V，較佳爲小於 1.0V。

實際上，對在形成氧化物半導體膜後不進行加熱處理的樣品 1 和進行了 650°C 的加熱處理的樣品 2 的電晶體進行 BT 測試。

首先，將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，而對電晶體的 $V_{gs}-I_{ds}$ 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_{ds} 設定為 0.1V 。然後，以使施加到閘極絕緣膜的電場強度成為 $2\text{MV}/\text{cm}$ 的方式將 V_{gs} 設定為 20V ，並保持該狀態一個小時。接著，將 V_{gs} 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，對電晶體的 $V_{gs}-I_{ds}$ 進行測量。將該測試稱為正 BT 測試。

與此同樣，首先將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，對電晶體的 $V_{gs}-I_{ds}$ 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_{ds} 設定為 0.1V 。然後，以使施加到閘極絕緣膜的電場強度成為 $-2\text{MV}/\text{cm}$ 的方式將 V_{gs} 設定為 -20V ，並保持該狀態一個小時。接著，將 V_{gs} 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_{ds} 設定為 10V ，對電晶體的 $V_{gs}-I_{ds}$ 進行測量。將該測試稱為負 BT 測試。

圖 34A 示出樣品 1 的正 BT 測試的結果，而圖 34B 示出負 BT 測試的結果。另外，圖 35A 示出樣品 2 的正 BT 測試的結果，而圖 35B 示出負 BT 測試的結果。

樣品 1 的因正 BT 測試及負 BT 測試而發生的臨界電壓變動分別為 1.80V 及 -0.42V 。此外，樣品 2 的因正 BT 測試及負 BT 測試而發生的臨界電壓變動分別為 0.79V 及 0.76V 。樣品 1 及樣品 2 的 BT 測試前後的臨界電壓變動都小，由此可知其可靠性高。

熱處理可以在氧氛圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理，然後在含氧的氛圍中進行

熱處理。藉由在首先進行脫水化或脫氫化之後將氧添加到氧化物半導體，可以進一步提高熱處理的效果。此外，作為在完成脫水化或脫氫化之後添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

雖然在氧化物半導體中及該氧化物半導體與層疊的膜的介面容易產生起因於氧缺損的缺陷，但是藉由上述熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺損。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上且 $2 \times 10^{20}/\text{cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化物半導體中含有氧。

此外，藉由熱處理至少使氧化物半導體的一部分含有結晶，可以獲得更穩定的氧化物半導體膜。例如，在使用成分比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 的靶材，不意圖性地加熱基板而進行濺射成膜來形成的氧化物半導體膜中，藉由利用 X 線繞射 (XRD: X-Ray Diffraction) 觀察到光暈圖案 (halo pattern)。藉由對該所形成的氧化物半導體膜進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行 650°C 的熱處理，可以利用 X 線繞射觀察到明確的繞射峰值。

實際上，進行了 In-Sn-Zn-O 膜的 XRD 分析。作為 XRD 分析，使用 Bruker AXS 公司製造的 X 線繞射裝置 D8 ADVANCE 並利用平面外 (Out-of-Plane) 法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。
以下說明樣品 A 及樣品 B 的製造方法。

在已受過脫氫化處理的石英基板上形成厚度為 100nm 的 In-Sn-Zn-O 膜。

在氧氛圍下使用濺射裝置並利用 100W (DC) 的功率來形成 In-Sn-Zn-O 膜。作為靶材使用 In : Sn : Zn=1 : 1 : 1 [原子數比] 的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為 200°C。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 同樣的方法製造的樣品以 650°C 的溫度進行加熱處理。首先，在氮氛圍下進行一個小時的加熱處理，然後不降低溫度地在氧氛圍下繼續進行一個小時的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 36 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀察到起因於結晶的峰值，但是在樣品 B 中當 2θ 為 35deg 附近及 37deg 至 38deg 時觀察到起因於結晶的峰值。

像這樣，藉由對以 In、Sn、Zn 為主要成分的氧化物半導體進行成膜時的意圖性的加熱及 / 或成膜後的熱處理，可以提高電晶體特性。

上述基板加熱或熱處理起到不使膜含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來可以實現高純度化，由此可以實現電晶體的常關閉

化，並且藉由使氧化物半導體實現高純度化來可以使截止電流為 $1\text{aA}/\mu\text{m}$ 以下。在此，作為上述截止電流值的單位，示出每通道寬度 $1\mu\text{m}$ 的電流值。

圖 37 示出電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

明確而言，如圖 37 所示那樣，當基板溫度為 125°C 時，截止電流為 $0.1\text{aA}/\mu\text{m}$ （ $1\times 10^{-19}\text{A}/\mu\text{m}$ ）以下，當基板溫度為 85°C 時，截止電流為 $10\text{zA}/\mu\text{m}$ （ $1\times 10^{-20}\text{A}/\mu\text{m}$ ）以下。因為電流值的對數與溫度的倒數成比例，所以被預測為：在基板溫度為室溫（ 27°C ）時，截止電流為 $0.1\text{zA}/\mu\text{m}$ （ $1\times 10^{-22}\text{A}/\mu\text{m}$ ）以下。因此，當基板溫度為 125°C 時，截止電流可以為 $1\text{aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{A}/\mu\text{m}$ ）以下，當基板溫度為 85°C 時，截止電流可以為 $100\text{zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{A}/\mu\text{m}$ ）以下，當基板溫度為室溫時，截止電流可以為 $1\text{zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{A}/\mu\text{m}$ ）以下。

當然，為了防止當形成氧化物半導體膜時氫或水分混入到膜中，較佳為充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止在膜中含有水分，作為濺射氣體較佳為使用其露點為 -70°C 以下的氣體。另外，較佳為使用靶材本身不含有氫或水分等雜質的高純度化的靶材。以 In、Sn、Zn 為主要成分的氧化物半導體可以藉由熱處理去除膜中的水分，

但是與以 In、Ga、Zn 為主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳為預先形成不含有水分的膜。

此外，在藉由在形成氧化物半導體膜之後進行 650°C 的加熱處理而得到的樣品的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $10\mu\text{m}$ ， L_{ov} 為 $0\mu\text{m}$ ， dW 為 $0\mu\text{m}$ 。另外，將 V_{ds} 設定為 10V。另外，在基板溫度為 -40°C ， -25°C ， 25°C ， 75°C ， 125°C 及 150°C 下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的寬度稱為 L_{ov} ，並且將一對電極的從氧化物半導體膜超出的部分稱為 dW 。

圖 38 示出 I_{ds} （實線）及場效應遷移率（虛線）的 V_{gs} 依賴性。另外，圖 39A 示出基板溫度與臨界電壓的關係，而圖 39B 示出基板溫度與場效應遷移率的關係。

根據圖 39A 可知基板溫度越高臨界電壓越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，臨界電壓為 1.09V 至 -0.23V。

此外，根據圖 39B 可知基板溫度越高場效應遷移率越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，場效應遷移率為 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體中，可以在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，將場效應遷移率設定為

• $30\text{cm}^2/\text{Vs}$ 以上，較佳為設定為 $40\text{cm}^2/\text{Vs}$ 以上，更佳為設定為 $60\text{cm}^2/\text{Vs}$ 以上，而滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V ，汲極電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。此外，在電晶體的工作所需要的溫度範圍內也可以確保足夠的電特性。如果具有該特性，則可以在積體電路中使由 Si 半導體形成的電晶體和由氧化物半導體形成的電晶體一起工作。結果，可以提供不需要在揮發性儲存裝置與非揮發性儲存裝置之間轉移資料的半導體儲存裝置。

一般而言，作為用於非揮發性儲存裝置的儲存元件，已知有磁隧道結元件（MTJ 元件）。如果隔著絕緣膜配置在其上下的鐵磁物質膜的磁化的方向為平行，則 MTJ 元件成為低電阻狀態，來儲存資訊。如果隔著絕緣膜配置在其上下的膜中的自旋方向為反平行，則 MTJ 元件成為高電阻狀態，來儲存資訊。因此，本實施方式所示的使用氧化物半導體的半導體儲存裝置的原理與 MTJ 元件完全不同。表 1 示出 MTJ 元件與根據本實施方式的半導體儲存裝置（在表中，以“OS/Si”表示）的對比。

[表 1]

	自旋電子學(MTJ 元件)	OS/Si
1)耐熱性	居裏溫度 (Curie Temperature)	製程溫度 500°C (可靠性 150°C)
2)驅動方式	電流驅動	電壓驅動
3)寫入原理	改變磁性體膜的磁化的 方向	FET 的導通/截止
4)Si LSI	適合於雙極 LSI (由於雙極裝置不適合於 高集體化,所以在高集體 化電路中較佳為使用 MOSLSI。但是,W 變大 。)	適合於 MOSLSI
5)系統開銷 (Overhead)	大 (起因於大焦耳熱)	比 MTJ 元件小 2 位至 3 位以上 (起因於寄生電容的充電和放電)
6)非揮發性	利用自旋	利用小截止電流
7)電荷保持可能次數	沒有限制	沒有限制
8)3D 化	困難(至多兩層)	容易(對層的個數沒有限制)
9)集體化度(F^2)	$4F^2$ 至 $15F^2$	根據 3D 化的疊層數決定
10)材料	具有磁性的稀土材料	氧化物半導體材料
11)每位成本	昂貴	低廉 (根據構成 OS 的材料(In 等),成 本有可能稍微昂貴)
12)磁場耐受性	弱	強

MTJ 元件有如下缺點：由於使用磁性材料，所以在居裏溫度 (Curie Temperature) 以上的溫度下，失掉鐵磁性。另外，MTJ 元件由於利用電流而驅動，所以與使用矽的雙極性裝置搭配良好，但是雙極性裝置不適用於高集體化。而且，有如下問題：雖然 MTJ 元件的寫入電流微少，但是因儲存體的大電容化而使耗電量增大。

在原理上 MTJ 元件的磁場耐受性弱，所以在暴露於強磁場時，磁化方向容易失常。另外，需要控制因用於 MTJ 元件的磁性體的奈米尺寸化而發生的磁漲落 (magnetic fluctuation) 。

再者，由於 MTJ 元件使用稀土元素，所以在將形成 MTJ 元件的製程合併到形成對金屬污染敏感的矽半導體的製程時，需要相當注意。MTJ 元件從每位的材料成本的觀點來看也被認為昂貴。

另一方面，除了形成通道形成區的半導體材料由金屬氧化物構成之外，本實施方式所示的半導體儲存裝置中的使用氧化物半導體的電晶體的元件結構或工作原理與矽 MOSFET 同樣。另外，使用氧化物半導體的電晶體具有如下特徵：不受到磁場的影響，且軟差錯也不會發生。從此可知，其通道形成在氧化物半導體層中的電晶體與矽積體電路的匹配性非常好。

【圖式簡單說明】

在圖式中：

圖 1A 至 1C 是示出半導體儲存裝置的電路圖；

圖 2 是半導體儲存裝置的電路圖；

圖 3A 和 3B 是半導體儲存裝置的電路圖；

圖 4 是半導體儲存裝置的電路圖；

圖 5 是半導體儲存裝置的工作的時序圖；

圖 6A 和 6B 是說明半導體儲存裝置的工作的圖；

- 圖 7A 和 7B 是說明半導體儲存裝置的工作的圖；
- 圖 8A 和 8B 是說明半導體儲存裝置的工作的圖；
- 圖 9 是半導體儲存裝置的工作的時序圖；
- 圖 10 是半導體儲存裝置的電路圖；
- 圖 11 是半導體儲存裝置的電路圖；
- 圖 12 是半導體儲存裝置的工作的時序圖；
- 圖 13 是半導體儲存裝置的工作的時序圖；
- 圖 14A 和 14B 是半導體儲存裝置的電路圖；
- 圖 15 是半導體儲存裝置的電路圖；
- 圖 16A 和 16B 是半導體儲存裝置的電路圖；
- 圖 17 是信號處理裝置的方塊圖；
- 圖 18 是使用半導體儲存裝置的 CPU 的方塊圖；
- 圖 19A 至 19D 是示出半導體儲存裝置的製程的圖；
- 圖 20A 至 20C 是示出半導體儲存裝置的製程的圖；
- 圖 21A 至 21C 是示出半導體儲存裝置的製程的圖；
- 圖 22 是示出半導體儲存裝置的結構的剖面圖；
- 圖 23A 和 23B 是示出電晶體的結構的圖；
- 圖 24A 和 24B 是示出電晶體的結構的圖；
- 圖 25 是說明藉由計算得到的遷移率的閘極電壓依賴性的圖；
- 圖 26A 至 26C 是說明藉由計算得到的汲電流及遷移率的閘極電壓依賴性的圖；
- 圖 27A 至 27C 是說明藉由計算得到的汲電流及遷移率的閘極電壓依賴性的圖；

圖 28A 至 28C 是說明藉由計算得到的汲電流及遷移率的閘極電壓依賴性的圖；

圖 29A 和 29B 是說明用於計算的電晶體的剖面結構的圖；

圖 30A 至 30E 是說明根據本發明的一個方式的氧化物材料的結構的圖；

圖 31A 至 31C 是說明根據本發明的一個方式的氧化物材料的結構的圖；

圖 32A 至 32C 是說明根據本發明的一個方式的氧化物材料的結構的圖；

圖 33A 至 33C 是示出使用氧化物半導體膜的電晶體的特性的圖；

圖 34A 和 34B 是示出樣品 1 的電晶體的 BT 測試後的 $V_{gs}-I_{ds}$ 特性的圖；

圖 35A 和 35B 是示出樣品 2 的電晶體的 BT 測試後的 $V_{gs}-I_{ds}$ 特性的圖；

圖 36 是示出樣品 A 及樣品 B 的 XRD 光譜的圖；

圖 37 是示出電晶體的截止電流和測定時基板溫度的關係的圖；

圖 38 是示出 I_{ds} 及場效應遷移率的 V_{gs} 依賴性的圖；

圖 39A 和 39B 是示出基板溫度與臨界電壓的關係及基板溫度與場效應遷移率的關係的圖；

圖 40A 和 40B 是說明氧化物材料的結晶結構的圖。

【主要元件符號說明】

10：半導體儲存裝置

100_1：儲存電路

100_2：儲存電路

100_3 至 100_N：儲存電路

111_1：電晶體

111_2：電晶體

111_3 至 111_N：電晶體

112_1：電容元件

112_2：電容元件

112_3 至 112_N：電容元件

113_1：資料電位儲存輸出電路

113_2：資料電位儲存輸出電路

113_3 至 113_N：資料電位儲存輸出電路

114_1：資料電位控制電路

114_2：資料電位控制電路

114_3 至 114_N：資料電位控制電路

115_1：閘極選擇信號產生電路

115_2：閘極選擇信號產生電路

115_3 至 115_N：閘極選擇信號產生電路

121_1：反相器電路

121_2：反相器電路

121_3 至 121_N：反相器電路

122_1：NOR 電路



- 122_2 : NOR 電路
- 122_3 至 122_N : NOR 電路
- 123_1 : 輸出資料用反相器電路
- 123_2 : 輸出資料用反相器電路
- 123_3 至 123_N : 輸出資料用反相器電路
- 124_1 : 閘極選擇 NOR 電路
- 124_2 : 閘極選擇 NOR 電路
- 124_3 至 124_N : 閘極選擇 NOR 電路
- 125_1 : 復位電晶體
- 125_2 : 復位電晶體
- 125_3 至 125_N : 復位電晶體
- 130_1 : 儲存電路
- 130_2 : 儲存電路
- 130_3 至 130_N : 儲存電路
- 135 : 反相器電路
- 140_1 : 儲存電路
- 140_2 : 儲存電路
- 140_3 至 140_N : 儲存電路
- 141_1 : 儲存電路
- 141_2 : 儲存電路
- 141_3 至 141_N : 儲存電路
- 143_1 : 電平轉移電路
- 143_2 : 電平轉移電路
- 143_3 至 143_N : 電平轉移電路

- 150 : 信號處理裝置
- 151 : 運算裝置
- 152 : 運算裝置
- 153 : 半導體儲存裝置
- 154 : 半導體儲存裝置
- 155 : 半導體儲存裝置
- 156 : 控制裝置
- 157 : 電源控制電路
- 191 : 電晶體
- 400 : 電晶體
- 401 : 反相器電路
- 700 : 基板
- 701 : 絕緣膜
- 702 : 半導體膜
- 703 : 閘極絕緣膜
- 704 : 半導體膜
- 707 : 閘極電極
- 709 : 雜質區
- 710 : 通道形成區
- 712 : 絕緣膜
- 713 : 絕緣膜
- 716 : 氧化物半導體層
- 719 : 導電膜
- 720 : 導電膜

721 : 閘極絕緣膜
722 : 閘極電極
723 : 導電膜
724 : 絕緣膜
725 : 開口部
726 : 佈線
727 : 絕緣膜
1102 : 氧化物半導體膜
1102a : 高電阻區
1102b : 低電阻區
1103 : 閘極絕緣膜
1107 : 閘極電極
1108 : 閘極絕緣膜
1113 : 絕緣膜
1114 : 側壁絕緣膜
1115 : 絕緣物
1117 : 絕緣層
1119 : 導電膜
1120 : 導電膜
1124 : 絕緣膜
1128 : 佈線
1129 : 保護膜
9900 : 基板
9901 : ALU

- 9902 : ALU 控制器
- 9903 : 指令解碼器
- 9904 : 中斷控制器
- 9905 : 時序控制器
- 9906 : 暫存器
- 9907 : 暫存器控制器
- 9908 : Bus·I/F
- 9909 : ROM
- 9920 : ROM·I/F



七、申請專利範圍：

1.一種半導體儲存裝置，包括：

佈線；

第一儲存電路，該第一儲存電路包括第一電晶體、第一電容元件、第一資料儲存部、第一電路以及第一控制電路；

第二儲存電路，該第二儲存電路包括第二電晶體、第二電容元件、第二資料儲存部、第二電路以及第二控制電路；以及

第三電晶體，

其中，該第一儲存電路與該第二儲存電路彼此相鄰，該第一電晶體的源極和汲極中的一方與該佈線電連接

，
在該第一電晶體及該第二電晶體處於截止狀態時，該第一資料儲存部儲存從該佈線供應的資料，

該第一資料儲存部與該第一電晶體的源極和汲極中的另一方、該第一電容元件的第一電極、該第一電路的輸入端子以及該第二電晶體的源極和汲極中的一方電連接，

該第一電路將第一信號輸出到該第一控制電路及資料輸出部，該第一信號的電位取決於該第一資料儲存部中的該資料的電位，

該第一控制電路將第二信號輸出到該第一電容元件的第二電極，以利用該第二信號控制該第一資料儲存部中的該資料的電位，

該第二資料儲存部與該第二電晶體的源極和汲極中的另一方、該第二電容元件的第一電極、該第二電路的輸入端子以及該第三電晶體電連接，

並且，在該第二電晶體及該第三電晶體處於截止狀態時，該第二資料儲存部儲存從該第一資料儲存部供應的該資料。

2.根據申請專利範圍第 1 項之半導體儲存裝置，其中該第一電路、該第一控制電路、該第二電路以及該第二控制電路中的至少一個包括其半導體包含矽的電晶體。

3.根據申請專利範圍第 2 項之半導體儲存裝置，其中該電晶體與該第一電晶體或該第二電晶體層疊。

4.根據申請專利範圍第 1 項之半導體儲存裝置，其中該第一至第三電晶體都是其半導體層包含氧化物半導體的電晶體。

5.根據申請專利範圍第 4 項之半導體儲存裝置，其中該氧化物半導體為 In-Sn-Zn 類氧化物半導體。

6.根據申請專利範圍第 1 項之半導體儲存裝置，還包括第一閘極選擇信號產生電路及第二閘極選擇信號產生電路，該第一閘極選擇信號產生電路與該第一電晶體的閘極電連接，而該第二閘極選擇信號產生電路與該第二電晶體的閘極電連接。

7.一種半導體儲存裝置，包括：

佈線；

第 $(2m-1)$ 級儲存電路 (m 是 1 以上的自然數)；

第 $2m$ 級儲存電路；

第 $(2m+1)$ 級儲存電路；

第 $(2m-1)$ 閘極選擇信號產生電路；以及

第 $2m$ 閘極選擇信號產生電路，

其中，該第 $(2m-1)$ 級儲存電路，包括：

第 $(2m-1)$ 電晶體，該第 $(2m-1)$ 電晶體包括與該佈線電連接的第一端子；

第 $(2m-1)$ 資料儲存部，該第 $(2m-1)$ 資料儲存部與該第 $(2m-1)$ 電晶體的第二端子、該第 $2m$ 級儲存電路所包括的第 $2m$ 電晶體的第一端子、第 $(2m-1)$ 電容元件的第一電極以及第 $(2m-1)$ 反相器電路的輸入端子電連接，並儲存從該佈線供應的資料；以及

第 $(2m-1)$ 反或閘，該第 $(2m-1)$ 反或閘接收該第 $(2m-1)$ 反相器電路的輸出端子的信號和第一電容元件控制信號，並包括與該第 $(2m-1)$ 電容元件的第二電極電連接的輸出端子，

該第 $2m$ 級儲存電路，包括：

該第 $2m$ 電晶體；

第 $2m$ 資料儲存部，該第 $2m$ 資料儲存部與該第 $2m$ 電晶體的第二端子、該第 $(2m+1)$ 級儲存電路所包括的第 $(2m+1)$ 電晶體的第一端子、第 $2m$ 電容元件的第一電極以及第 $2m$ 反相器電路的輸入端子電連接，並儲存從該第 $(2m-1)$ 資料儲存部供應的資料；以及

第 $2m$ 反或閘，該第 $2m$ 反或閘接收該第 $2m$ 反相

器電路的輸出端子的信號和第二電容元件控制信號，並包括與該第 $2m$ 電容元件的第二電極電連接的輸出端子，

該第 $(2m-1)$ 電晶體的閘極與第 $(2m-1)$ 閘極選擇信號產生電路電連接，該第 $(2m-1)$ 閘極選擇信號產生電路接收第一閘極控制信號及第 $(2m-1)$ 使能信號，並控制該第 $(2m-1)$ 電晶體的導通狀態或非導通狀態，

該第 $2m$ 電晶體的閘極與第 $2m$ 閘極選擇信號產生電路電連接，該第 $2m$ 閘極選擇信號產生電路接收第二閘極控制信號及第 $2m$ 使能信號，並控制該第 $2m$ 電晶體的導通狀態或非導通狀態，

該第 $(2m-1)$ 資料儲存部藉由使該第 $(2m-1)$ 電晶體及該第 $2m$ 電晶體成爲截止狀態而儲存該資料，

該第 $2m$ 資料儲存部藉由使該第 $2m$ 電晶體及該第 $(2m+1)$ 電晶體成爲截止狀態而儲存該資料，

該第 $(2m-1)$ 反或閘根據該第 $(2m-1)$ 反相器電路的輸出端子的信號及該第一電容元件控制信號輸出第一信號，以利用藉由該第 $(2m-1)$ 電容元件的電容耦合控制該第 $(2m-1)$ 資料儲存部的電位，

並且，該第 $2m$ 反或閘根據該第 $2m$ 反相器電路的輸出端子的信號及該第二電容元件控制信號輸出第二信號，以利用藉由該第 $2m$ 電容元件的電容耦合控制該第 $2m$ 資料儲存部的電位。

8. 根據申請專利範圍第 7 項之半導體儲存裝置，其中該第 $(2m-1)$ 反相器電路、該第 $2m$ 反相器電路、該第 $($

2m-1) 反或閘、該第 2m 反或閘、該第 (2m-1) 閘極選擇信號產生電路以及該第 2m 閘極選擇信號產生電路中的至少一個包括其半導體包含矽的電晶體。

9. 根據申請專利範圍第 8 項之半導體儲存裝置，其中該電晶體與該第 (2m-1) 電晶體或該第 2m 電晶體層疊。

10. 根據申請專利範圍第 7 項之半導體儲存裝置，其中該第 (2m-1) 電晶體和該第 2m 電晶體都是其半導體層包含氧化物半導體的電晶體。

11. 根據申請專利範圍第 10 項之半導體儲存裝置，其中該氧化物半導體為 In-Sn-Zn 類氧化物半導體。

12. 一種半導體儲存裝置，包括：

佈線；

第一佈線；

第二佈線；

第一儲存電路，該第一儲存電路包括第一電晶體、第一電容元件、第一資料儲存部、第一反相器、第二反相器以及第一反或閘；

第二儲存電路，該第二儲存電路包括第二電晶體、第二電容元件、第二資料儲存部、第三反相器、第四反相器以及第二反或閘；

第一選擇電路；

第二選擇電路；以及

第三電晶體，

其中，該第一儲存電路與該第二儲存電路彼此相鄰，

該第一電晶體的源極和汲極中的一方與該佈線電連接

該第一電晶體的閘極與該第一選擇電路電連接，

該第二電晶體的閘極與該第二選擇電路電連接，

該第一資料儲存部與該第一電晶體的源極和汲極中的另一方、該第一電容元件的第一電極、該第一反相器的輸入端子以及該第二電晶體的源極和汲極中的一方電連接，

該第一反相器的輸出端子與該第一反或閘的第一輸入端子以及該第二反相器的輸入端子電連接，

該第一反或閘的輸出端子與該第一電容元件的第二電極電連接，

該第一反或閘的第二輸入端子與該第一佈線電連接，

該第二資料儲存部與該第二電晶體的源極和汲極中的另一方、該第二電容元件的第一電極、該第三反相器的輸入端子以及該第三電晶體的源極和汲極中的一方電連接，

該第三反相器的輸出端子與該第二反或閘的第一輸入端子以及該第四反相器的輸入端子電連接，

該第二反或閘的輸出端子與該第二電容元件的第二電極電連接，

並且，該第二反或閘的第二輸入端子與該第二佈線電連接。

13. 根據申請專利範圍第 12 項之半導體儲存裝置，其中該第一至第四反相器、該第一反或閘以及該第二反或閘中的至少一個包括其半導體包含矽的電晶體。

14. 根據申請專利範圍第 13 項之半導體儲存裝置，其中該電晶體與該第一電晶體或該第二電晶體層疊。

15. 根據申請專利範圍第 12 項之半導體儲存裝置，其中該第一至第三電晶體都是其半導體層包含氧化物半導體的電晶體。

16. 根據申請專利範圍第 15 項之半導體儲存裝置，其中該氧化物半導體為 In-Sn-Zn 類氧化物半導體。

圖 1A

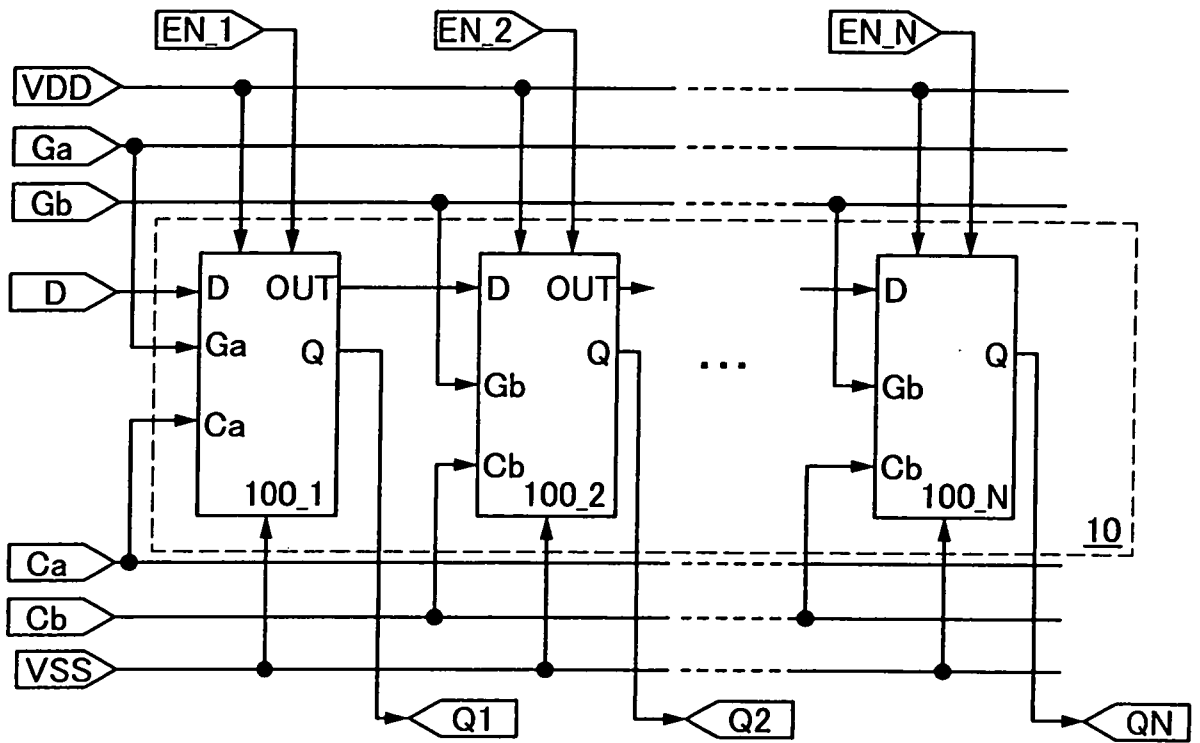


圖 1B

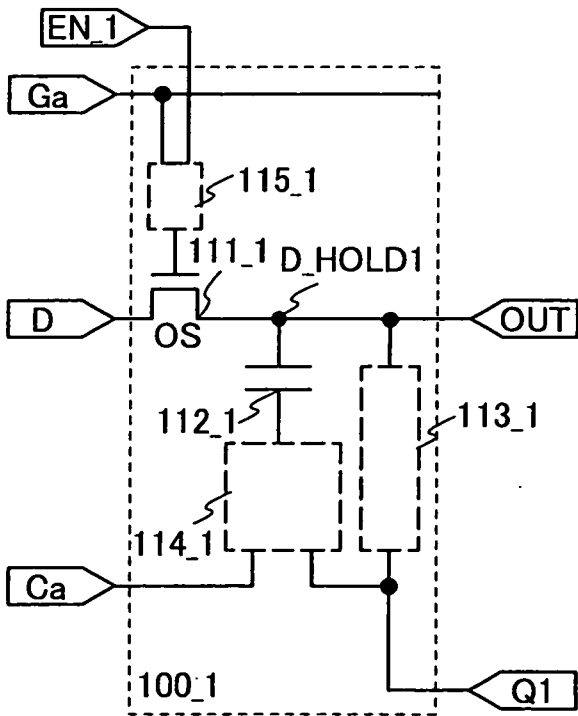


圖 1C

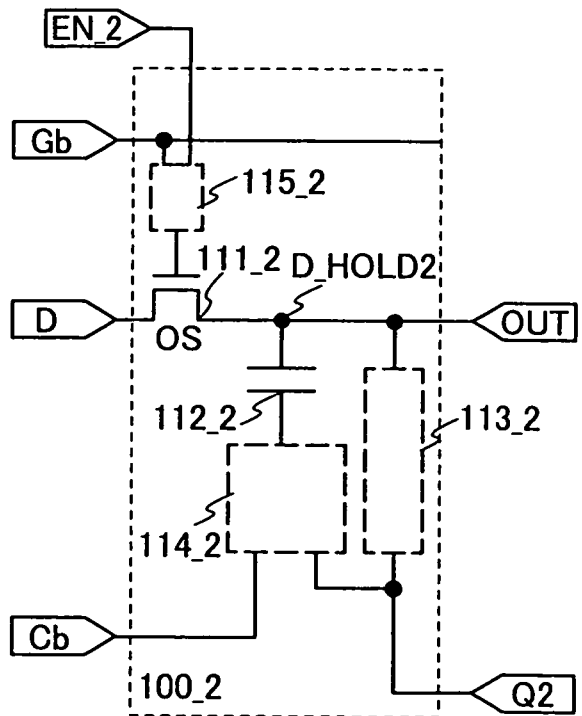


圖 2

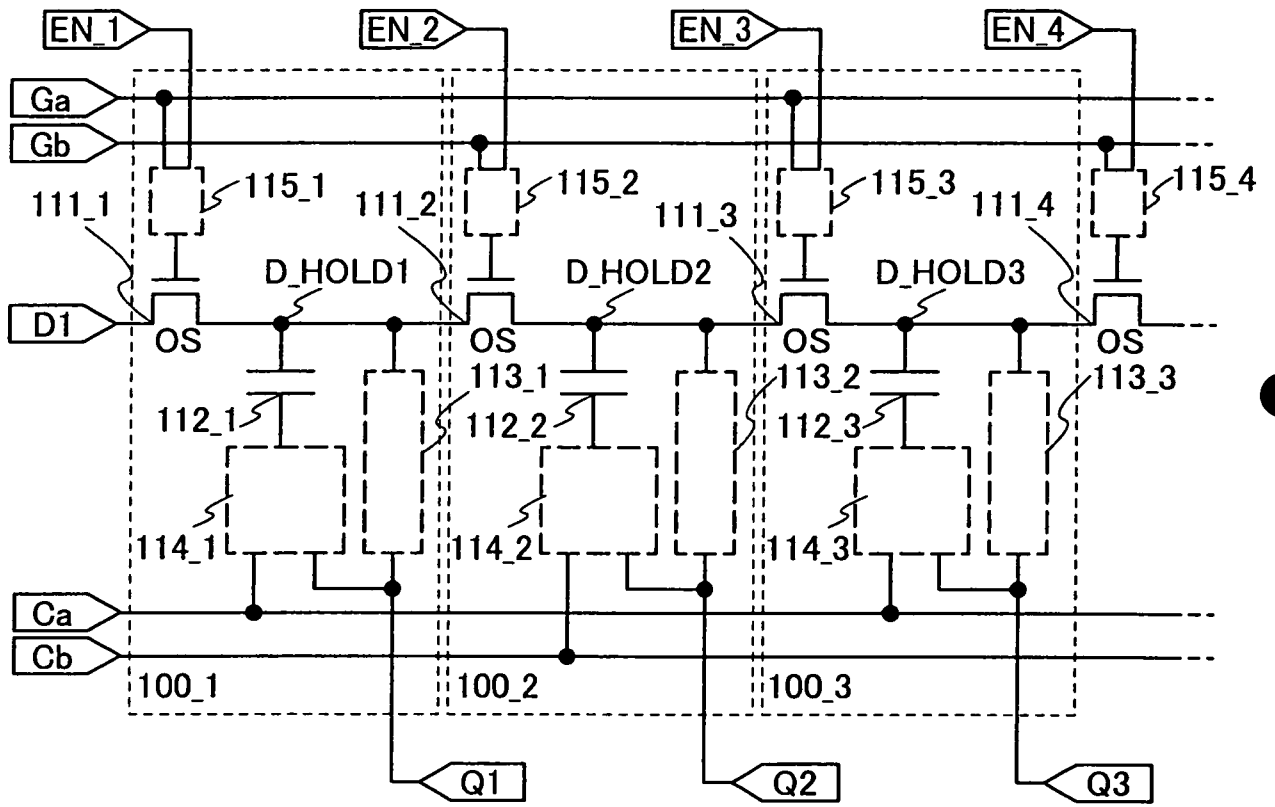


圖 3A

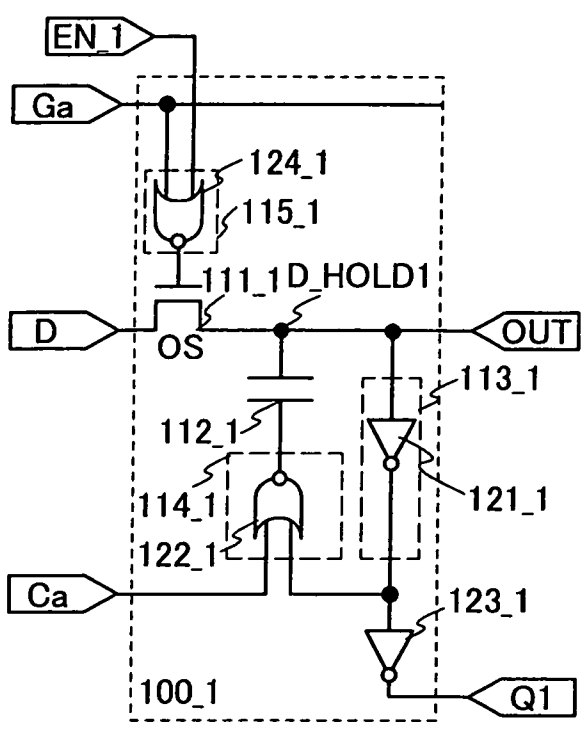


圖 3B

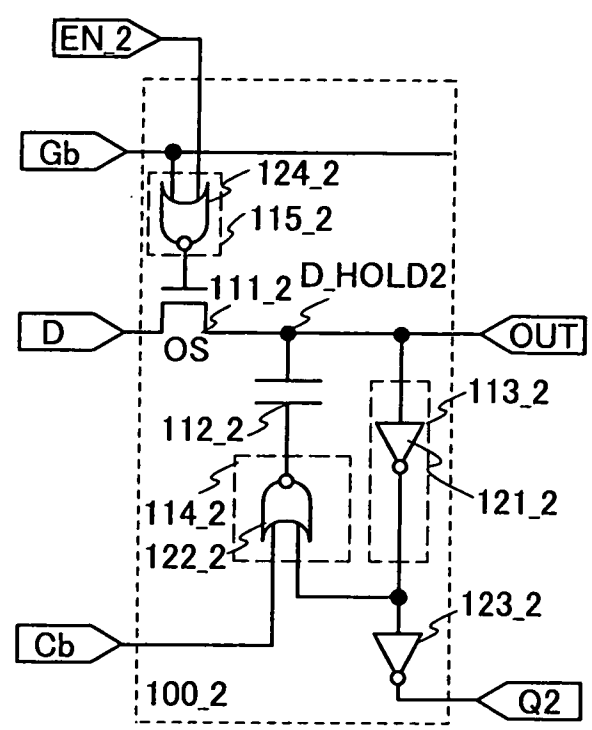


圖 4

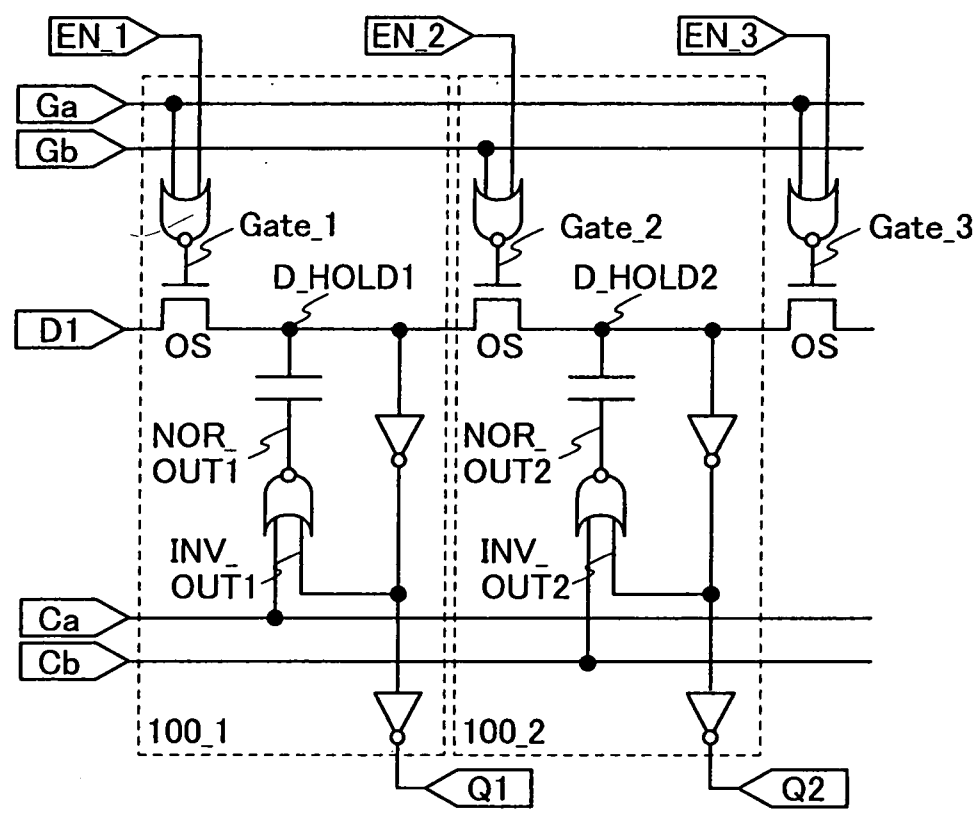


圖 5

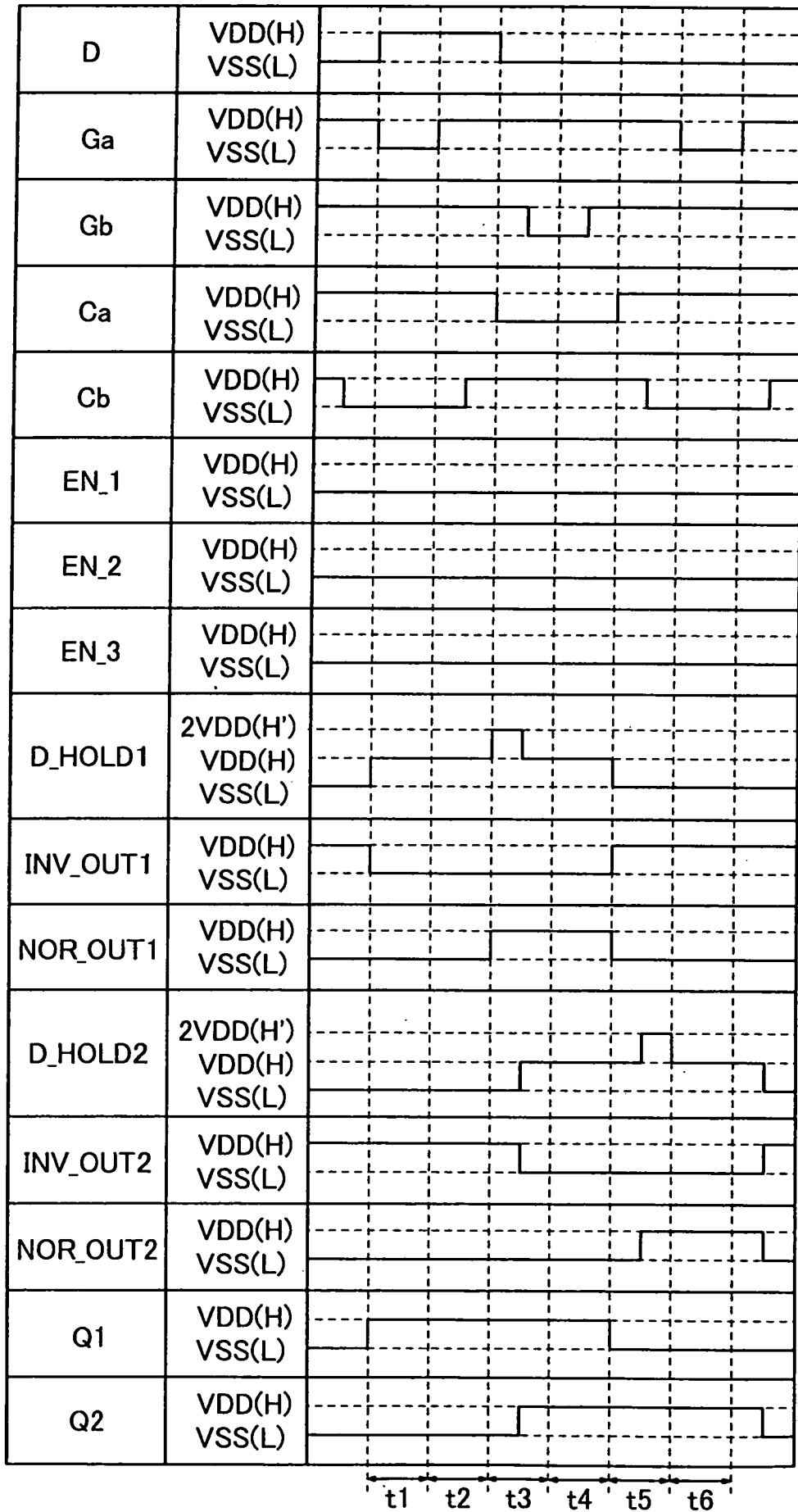


圖 6A

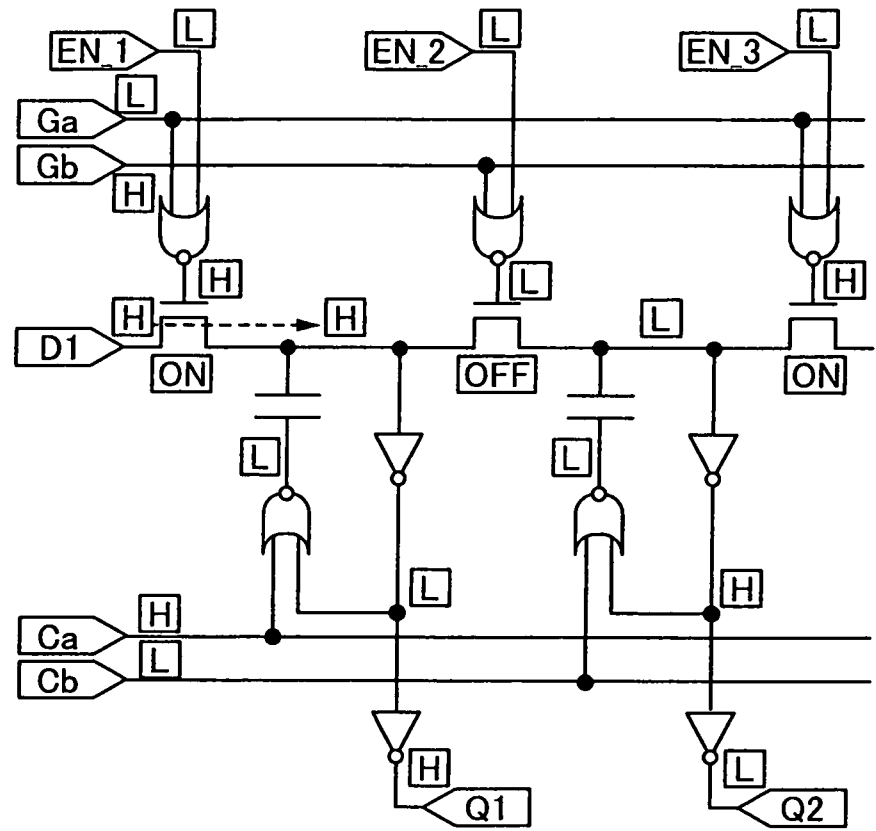


圖 6B

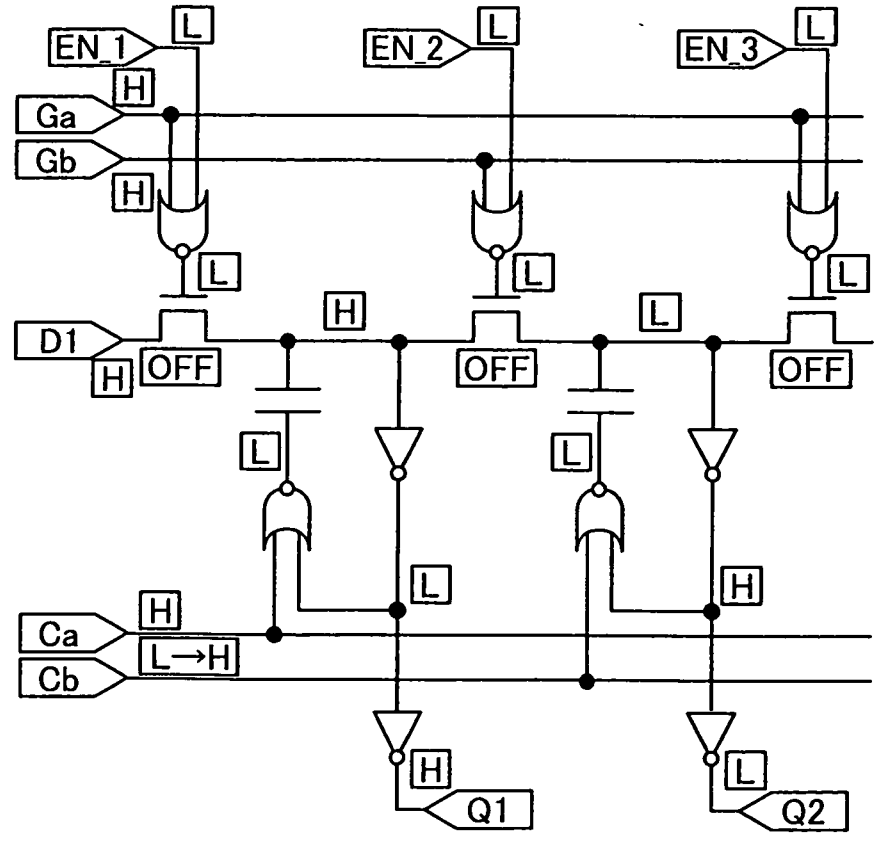


圖 7A

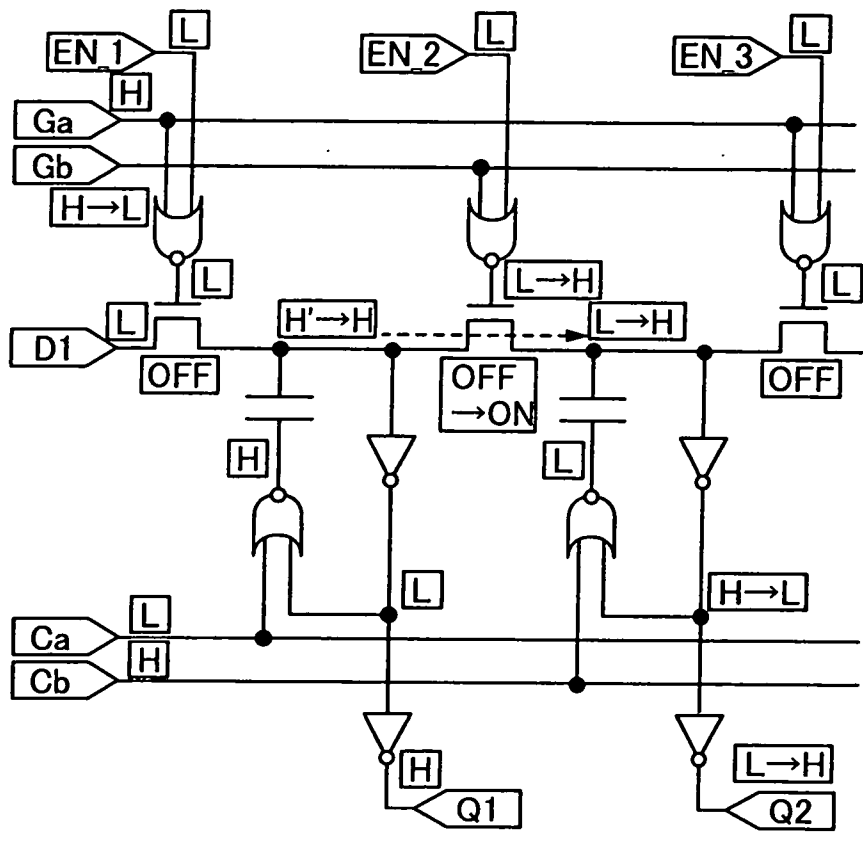


圖 7B

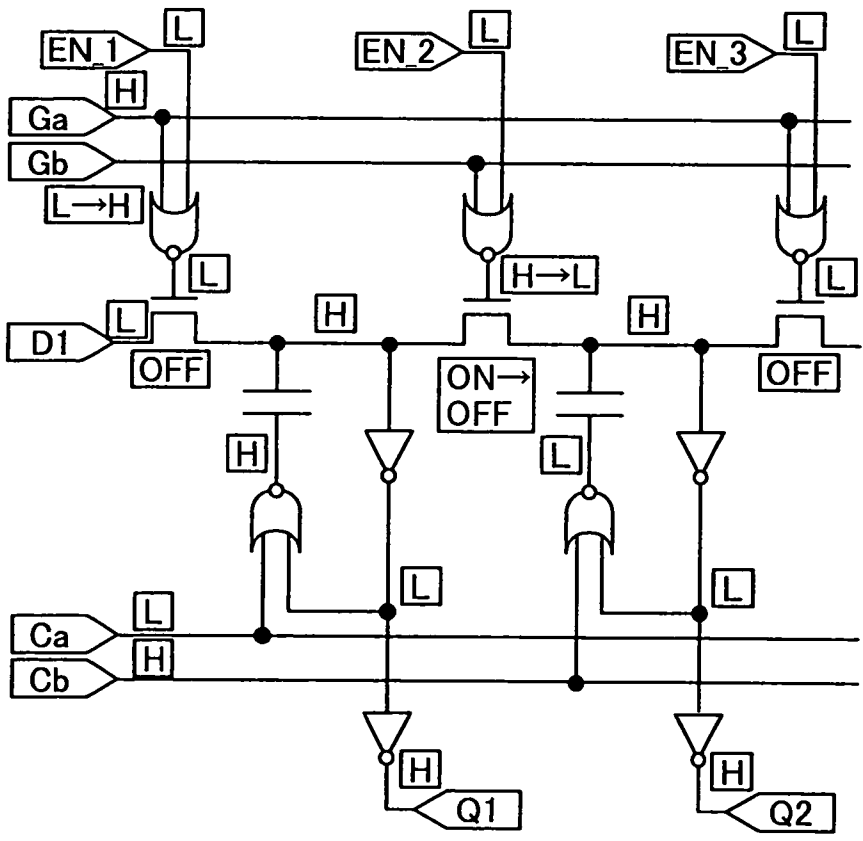


圖 8A

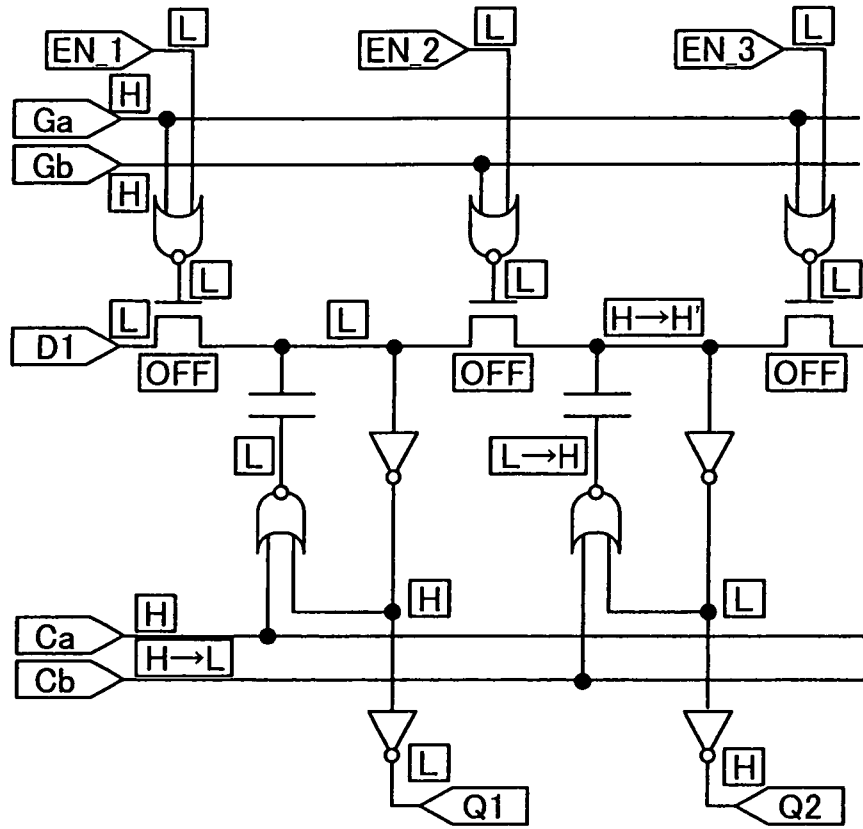


圖 8B

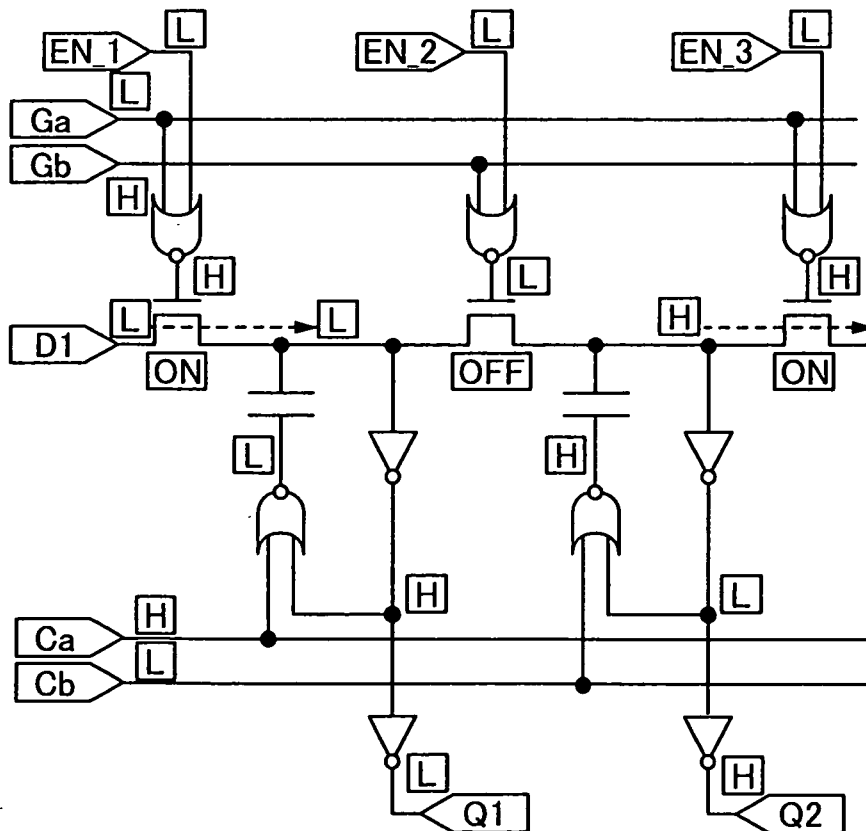


圖 9

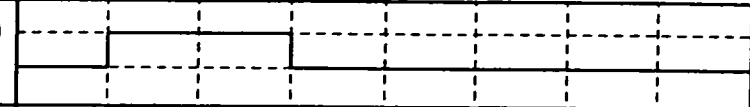


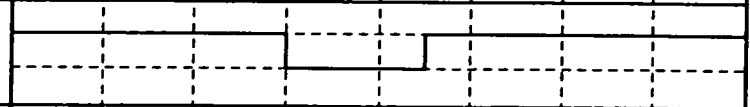
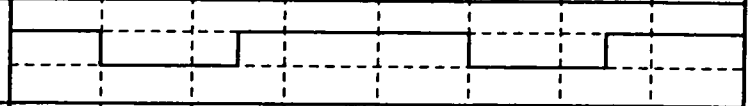
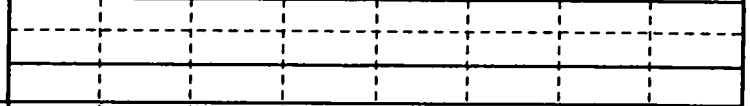

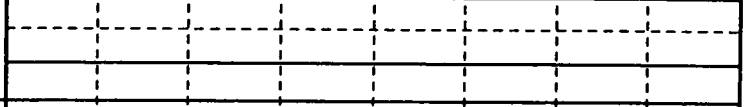
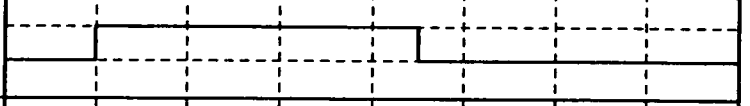
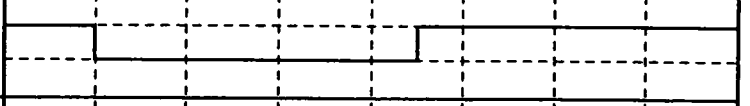
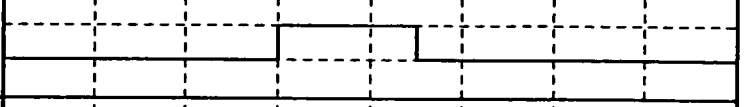
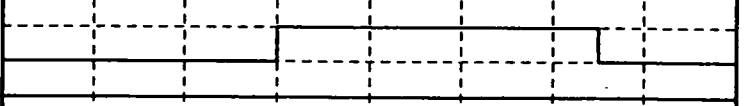
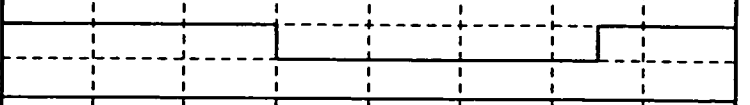
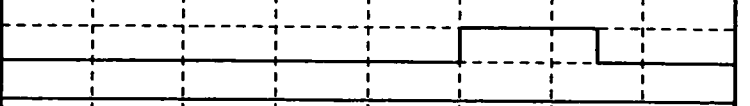
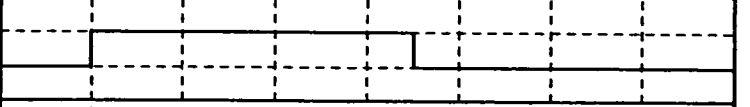

D1	VDD(H) VSS(L)	
Ga	VDD(H) VSS(L)	
Gb	VDD(H) VSS(L)	
Ca	VDD(H) VSS(L)	
Cb	VDD(H) VSS(L)	
EN_1	VDD(H) VSS(L)	
EN_2	VDD(H) VSS(L)	
EN_3	VDD(H) VSS(L)	
D_HOLD1	VDD(H) VSS(L)	
INV_OUT1	VDD(H) VSS(L)	
NOR_OUT1	VDD(H) VSS(L)	
D_HOLD2	VDD(H) VSS(L)	
INV_OUT2	VDD(H) VSS(L)	
NOR_OUT2	VDD(H) VSS(L)	
Q1	VDD(H) VSS(L)	
Q2	VDD(H) VSS(L)	

圖10

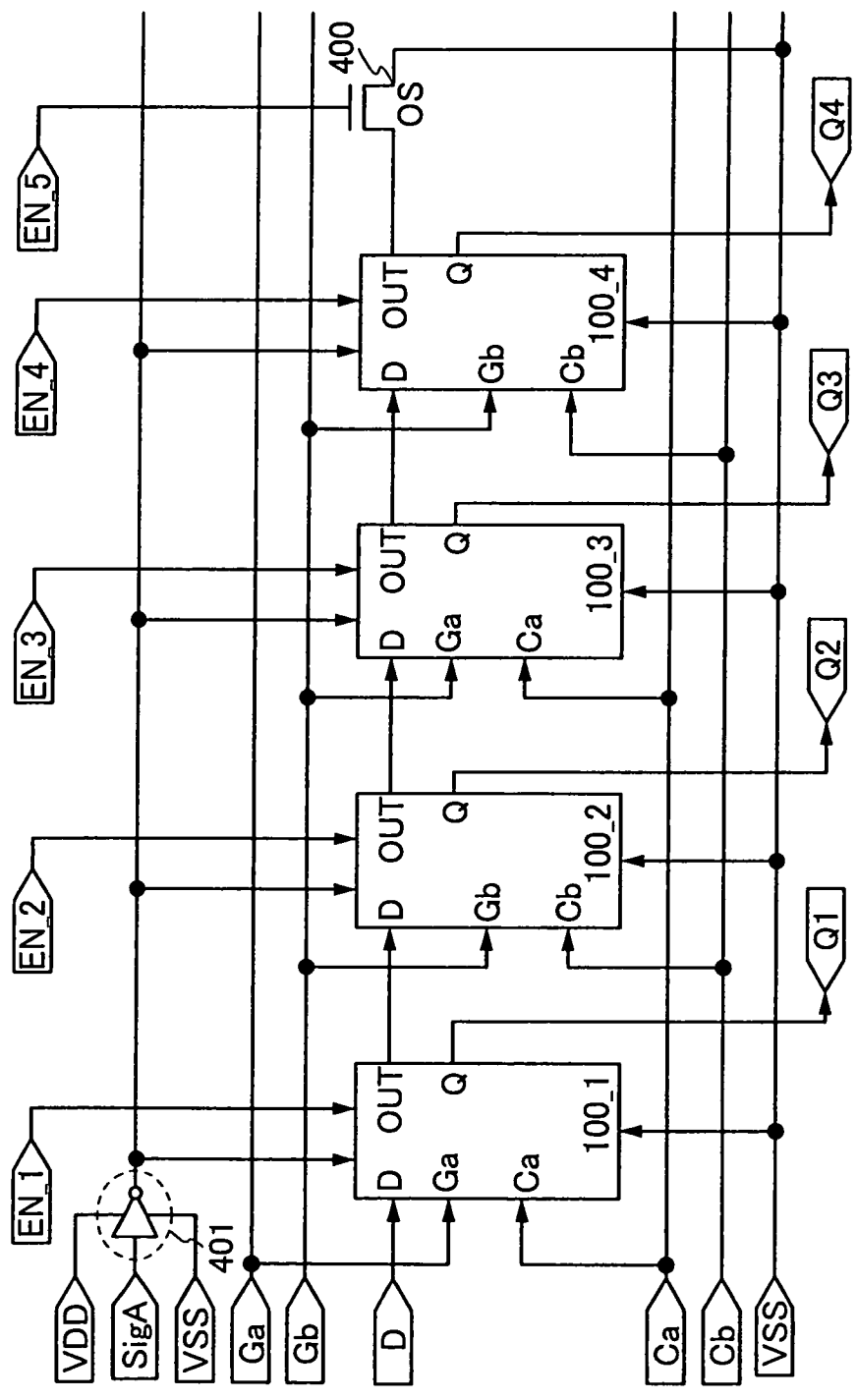


圖 11

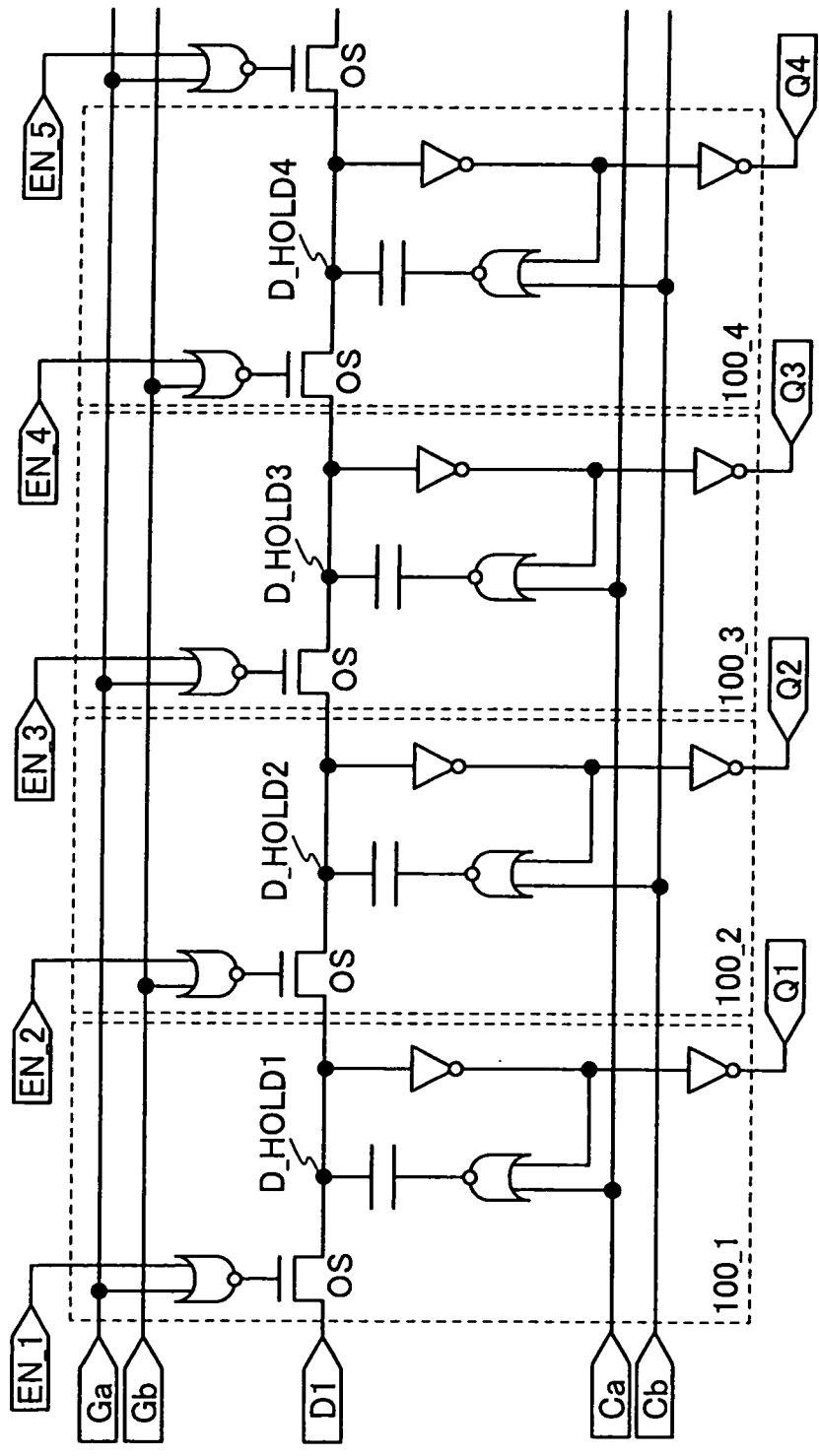


圖 12

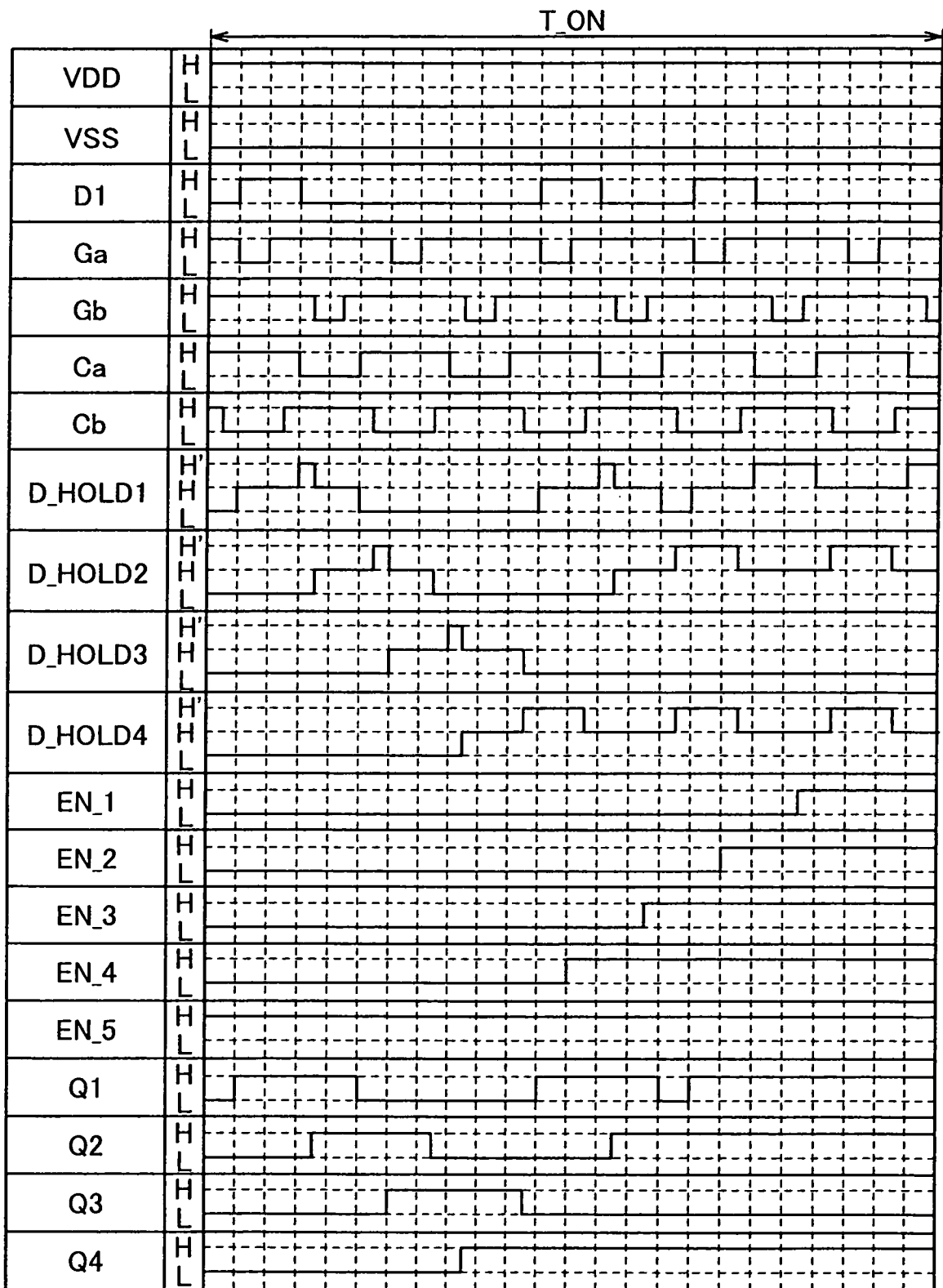


圖 13

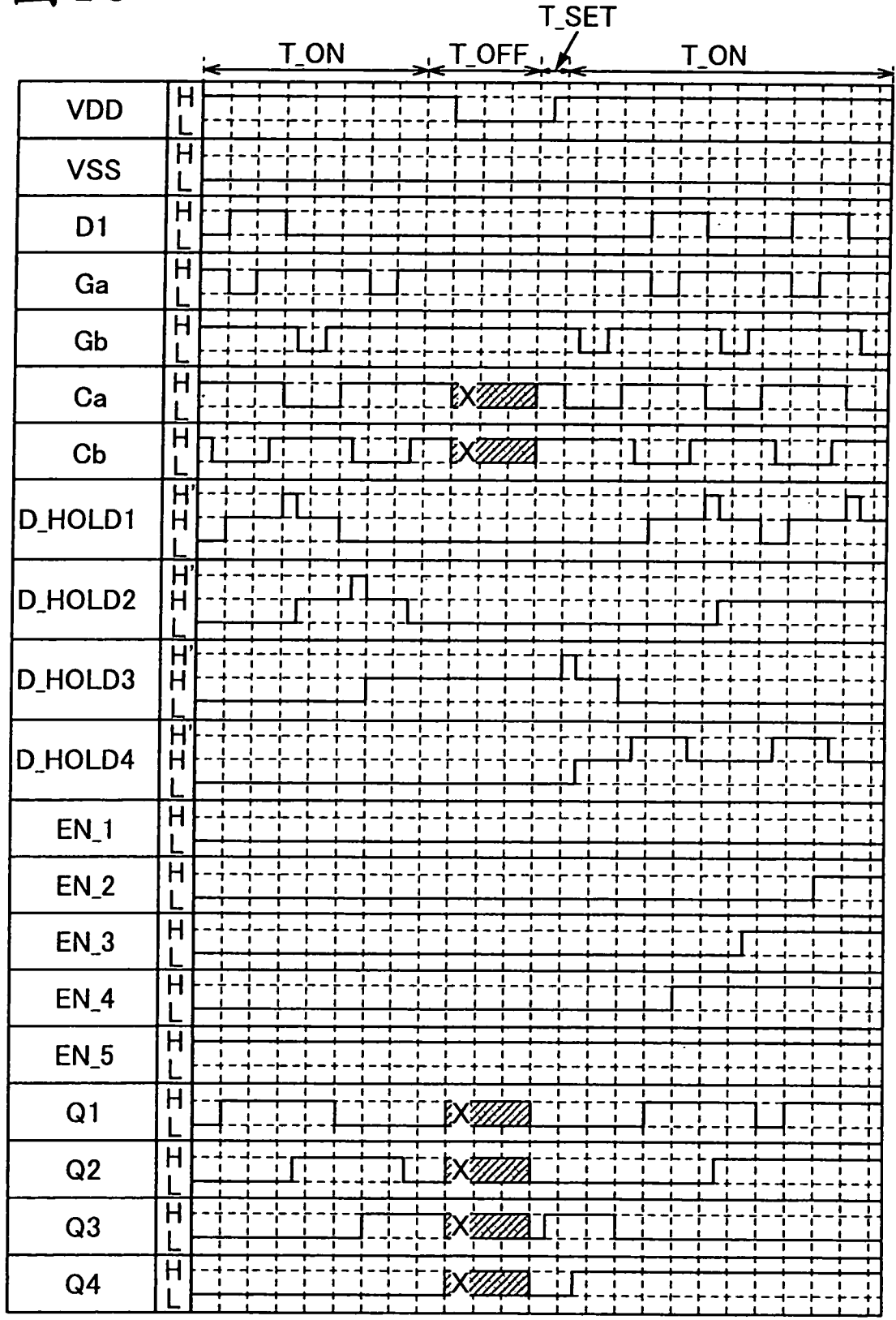


圖 14A

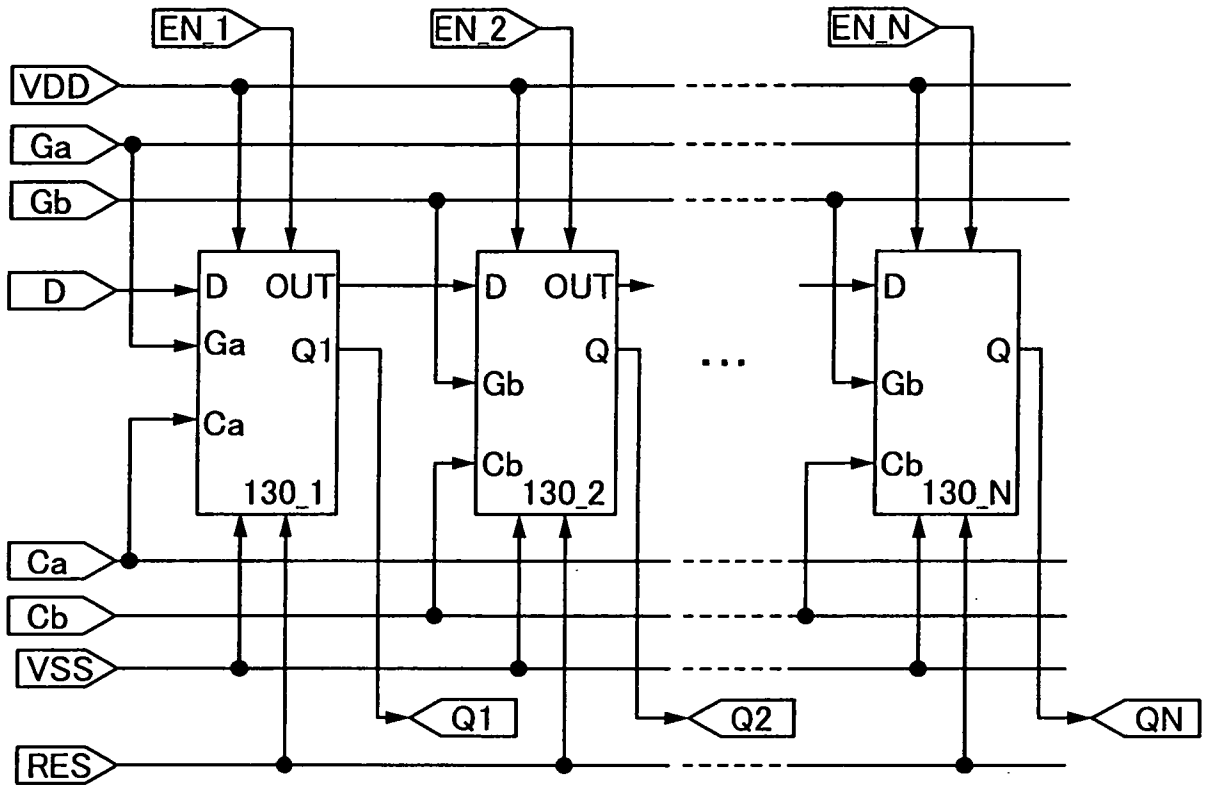


圖 14B

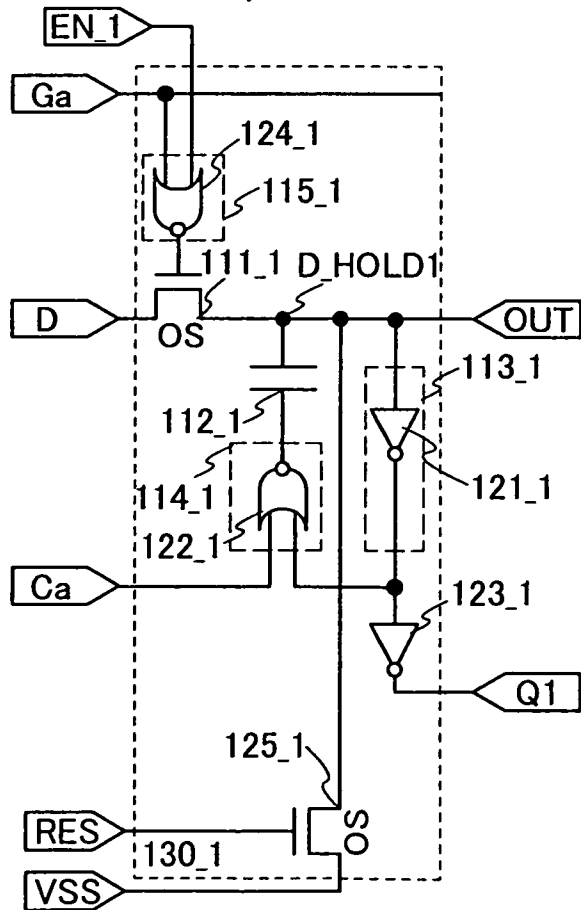


圖 15

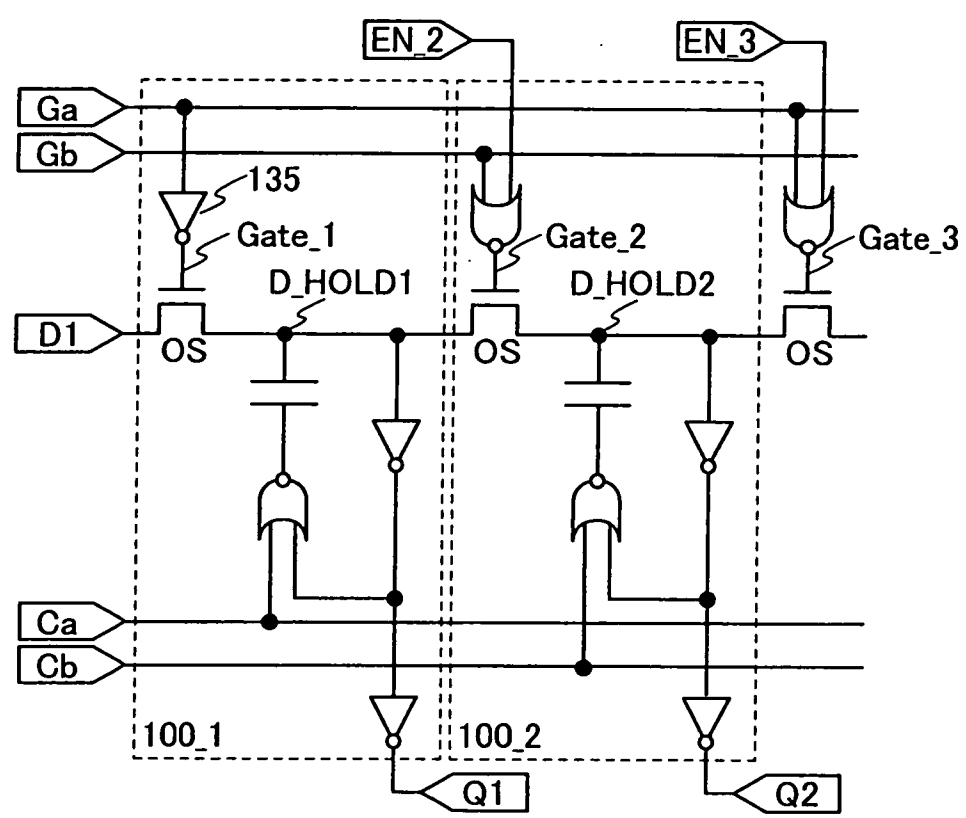


圖 16A

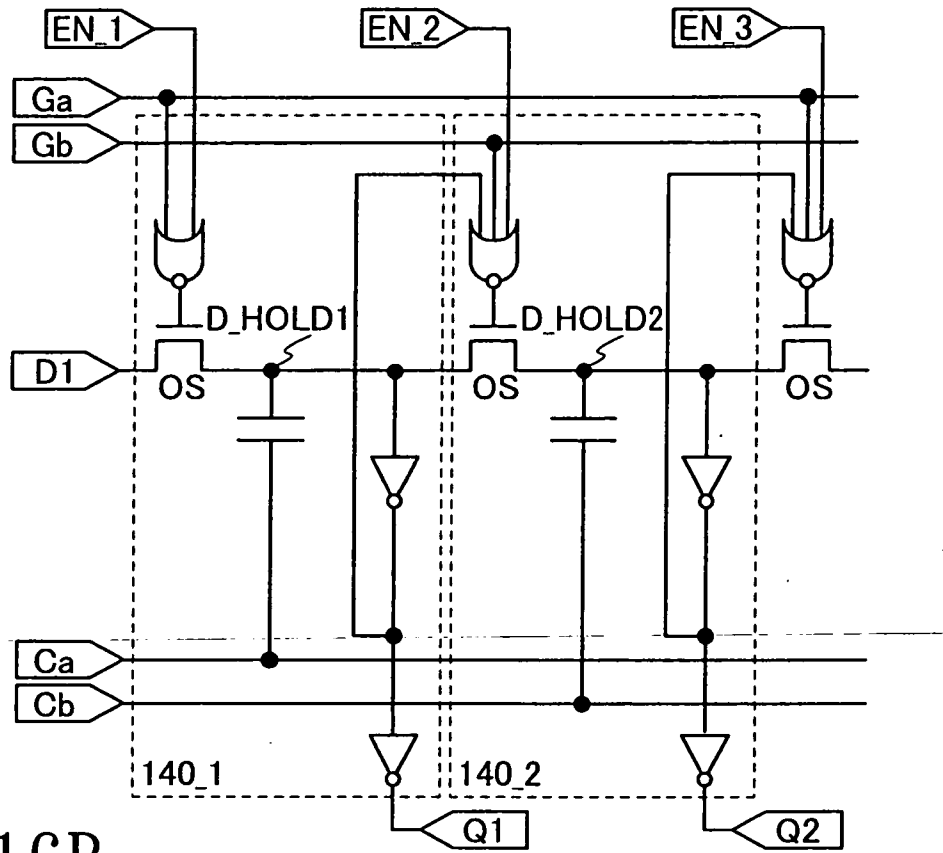


圖 16B

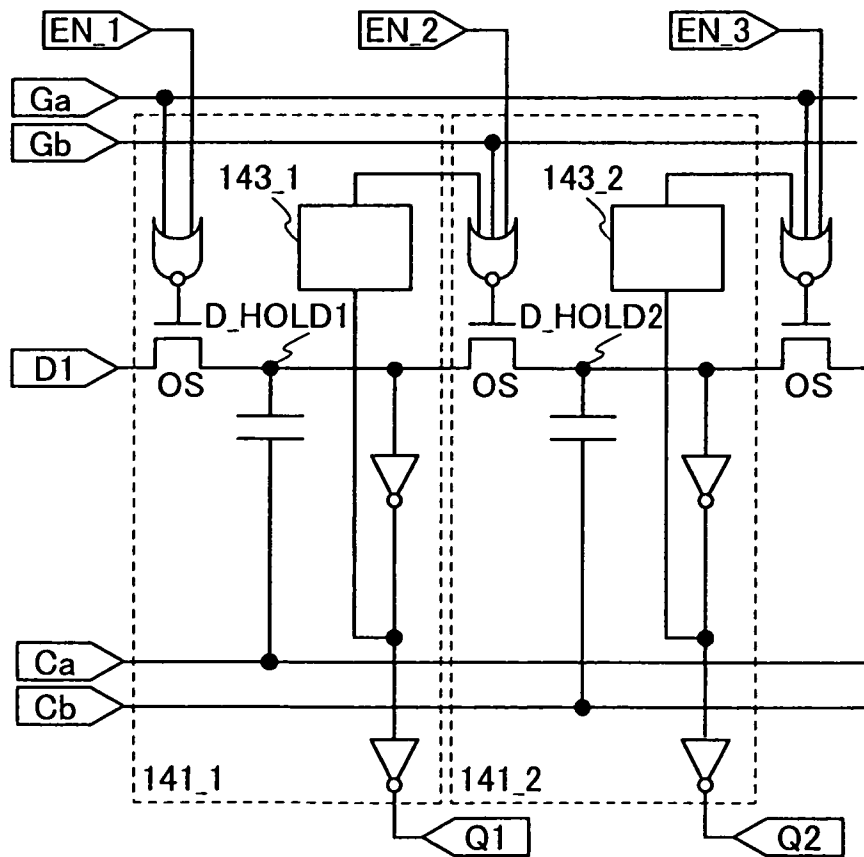


圖 17

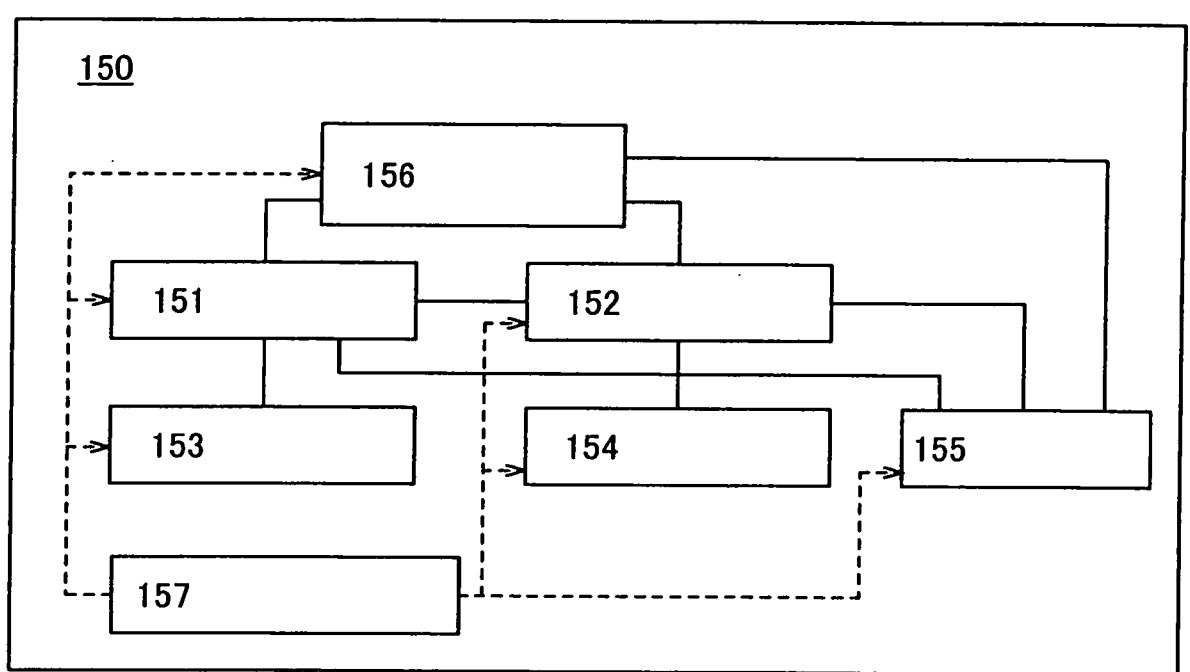


圖 18

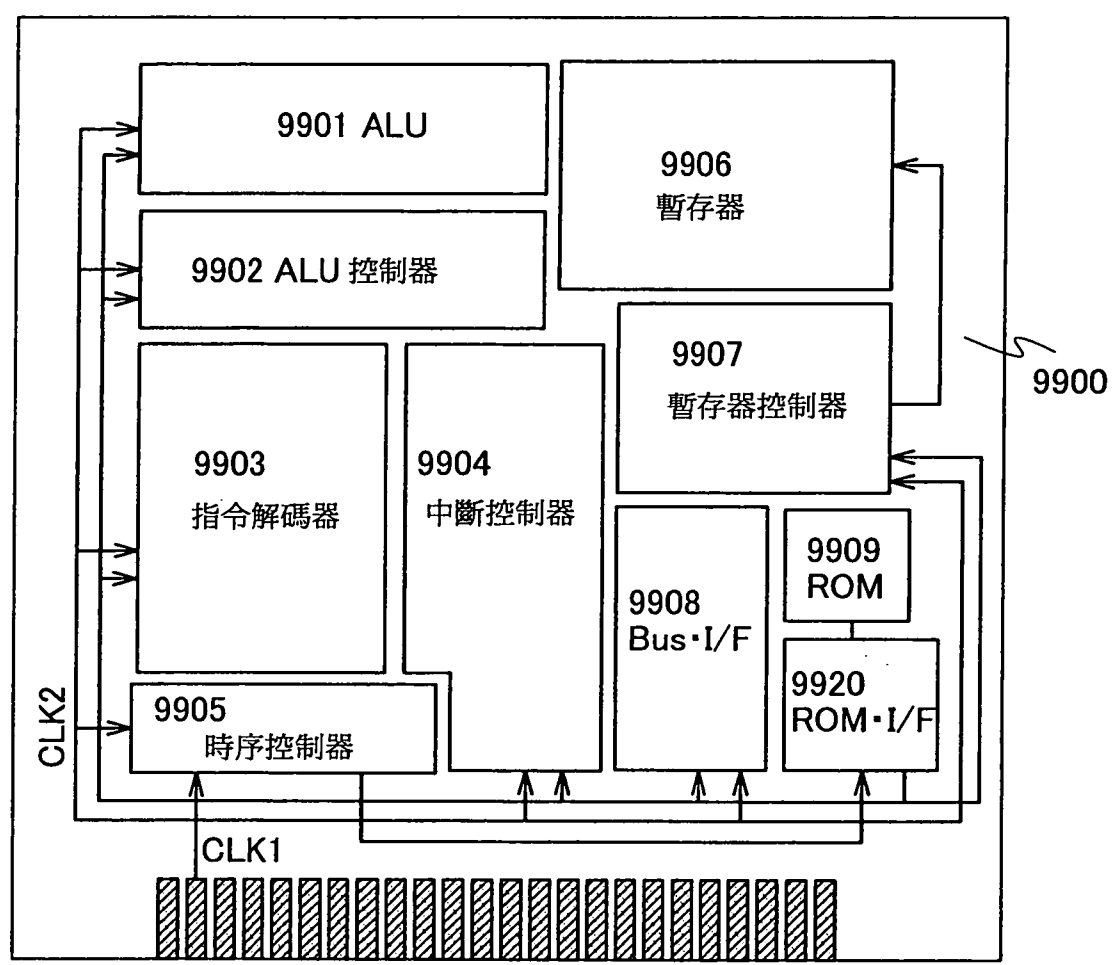


圖 19A

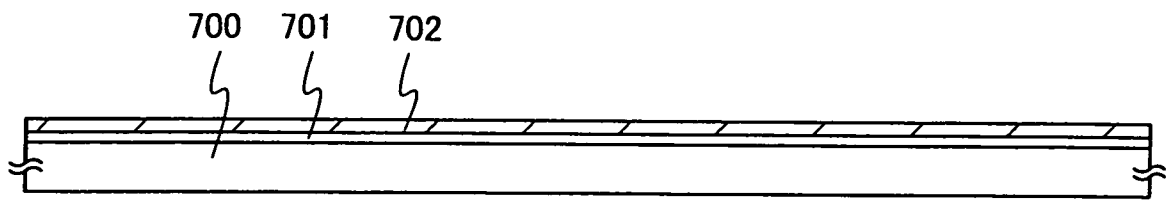


圖 19B

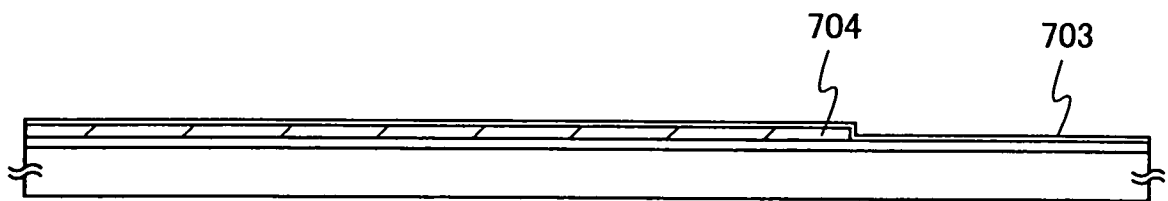


圖 19C

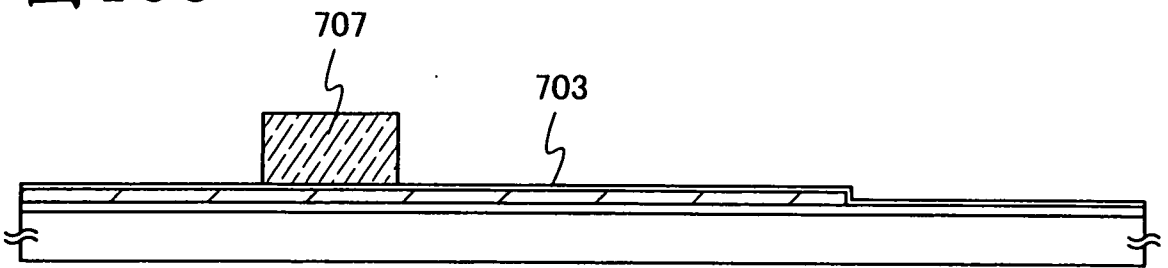


圖 19D

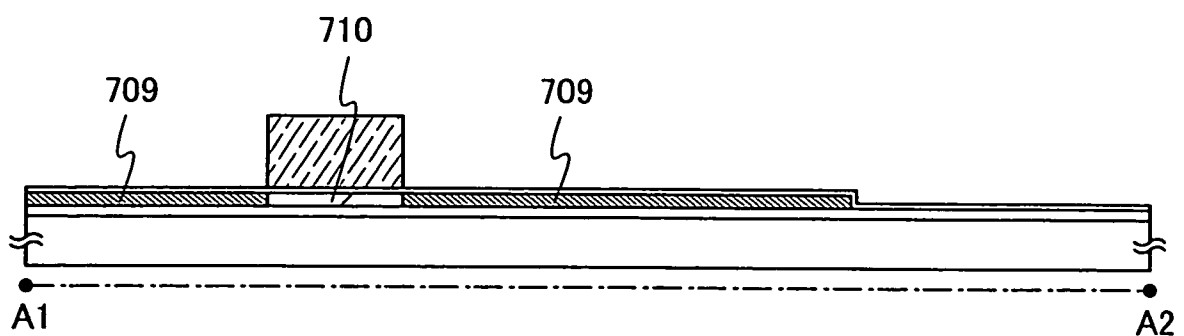


圖 20A

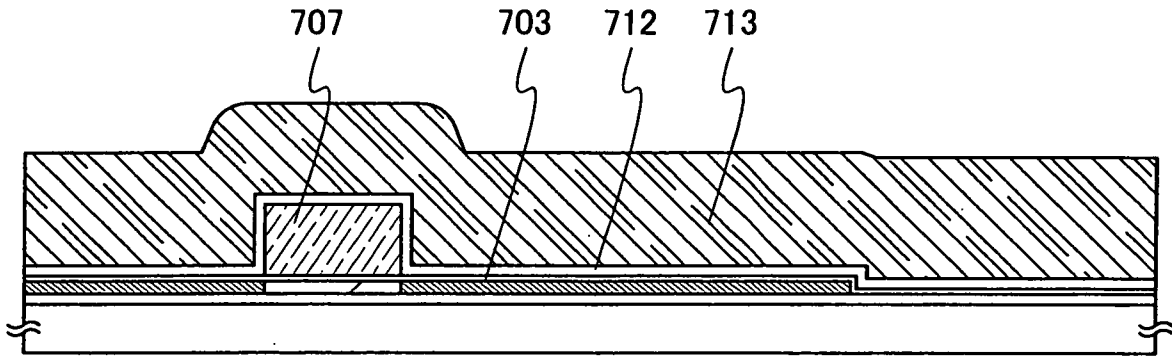


圖 20B

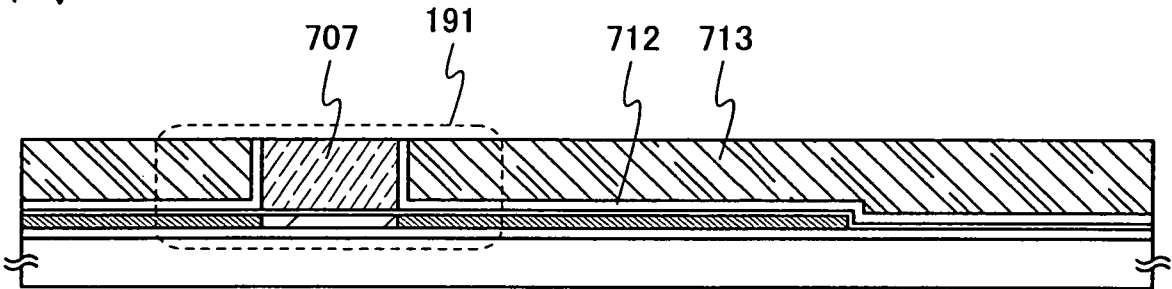


圖 20C

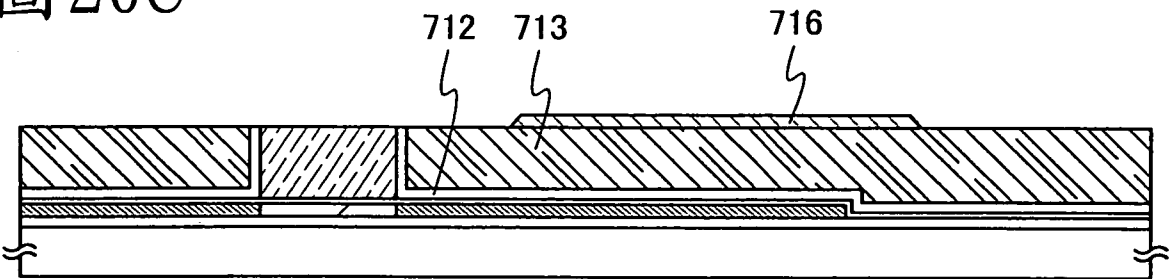


圖 21A

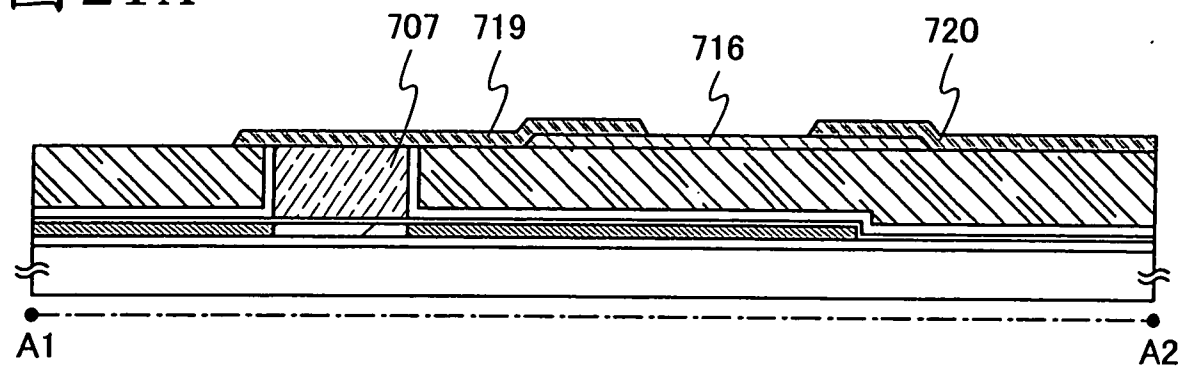


圖 21B

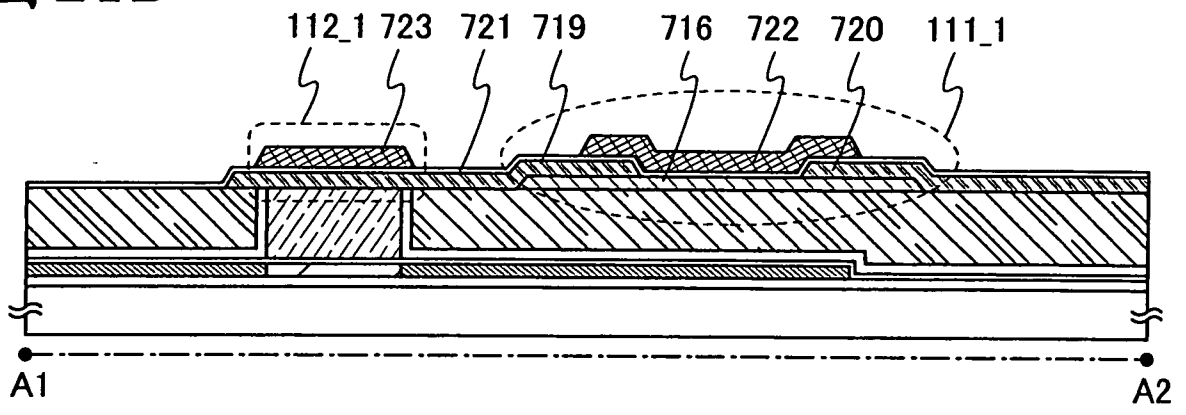


圖 21C

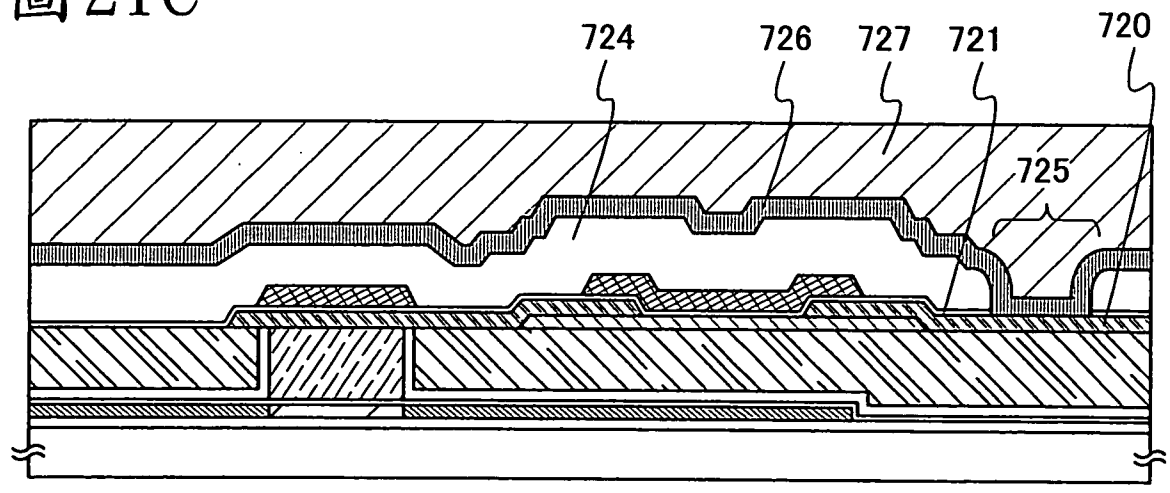


圖 22

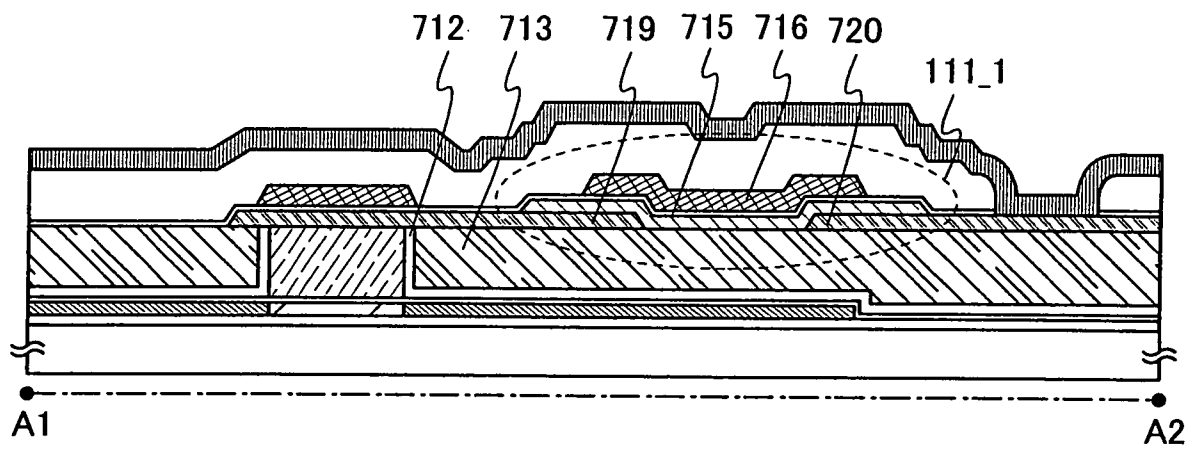


圖 23A

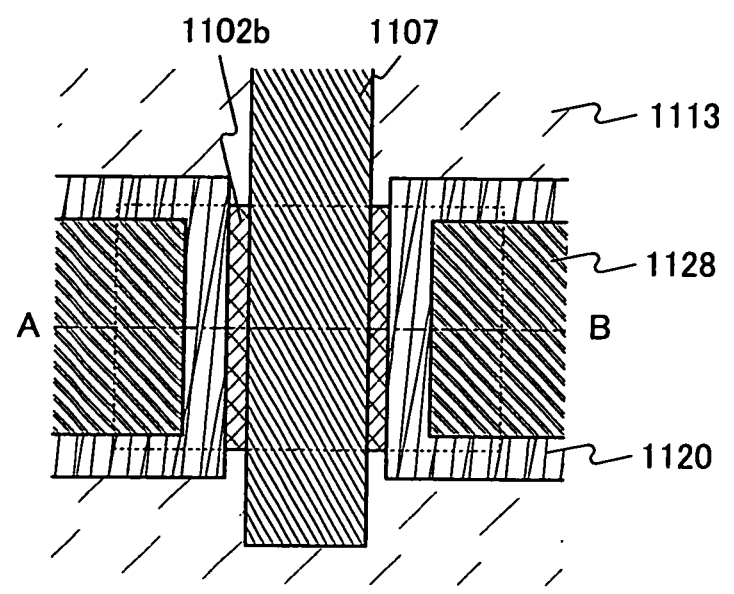


圖 23B

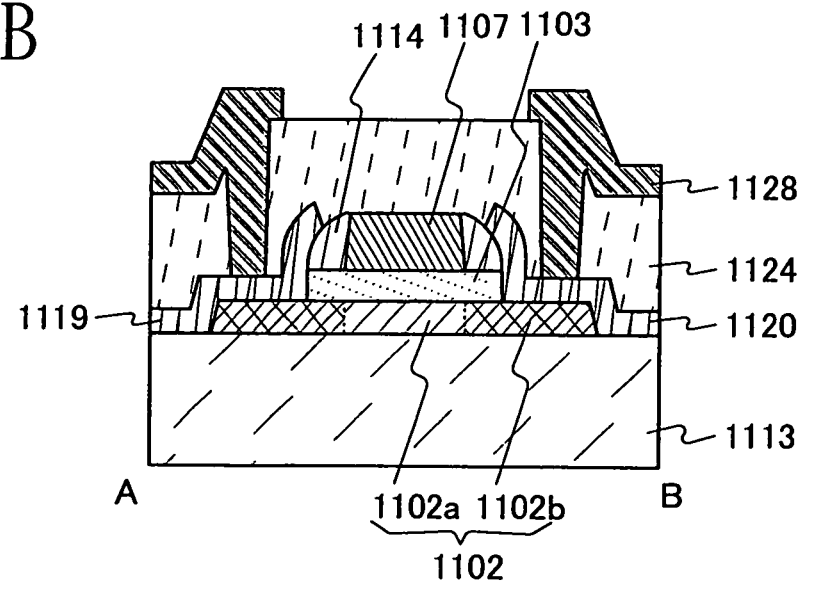


圖 24A

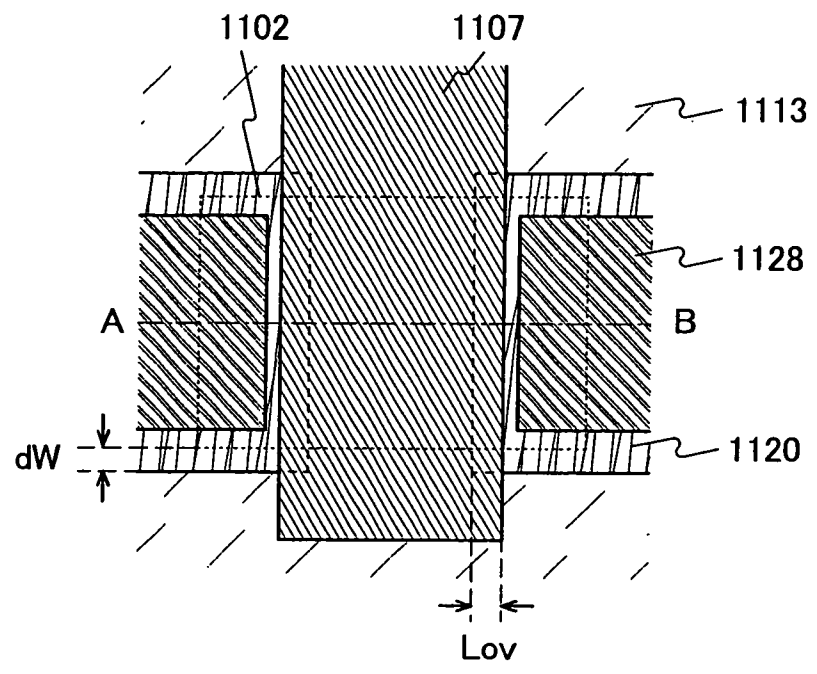


圖 24B

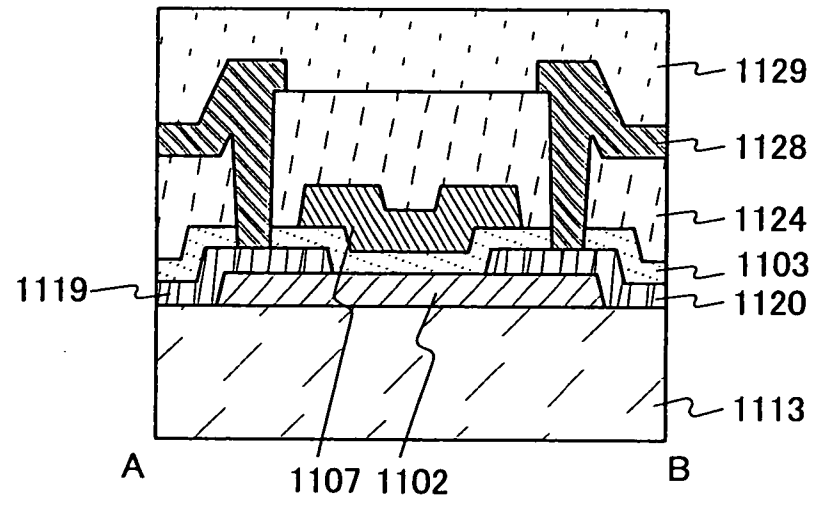


圖 25

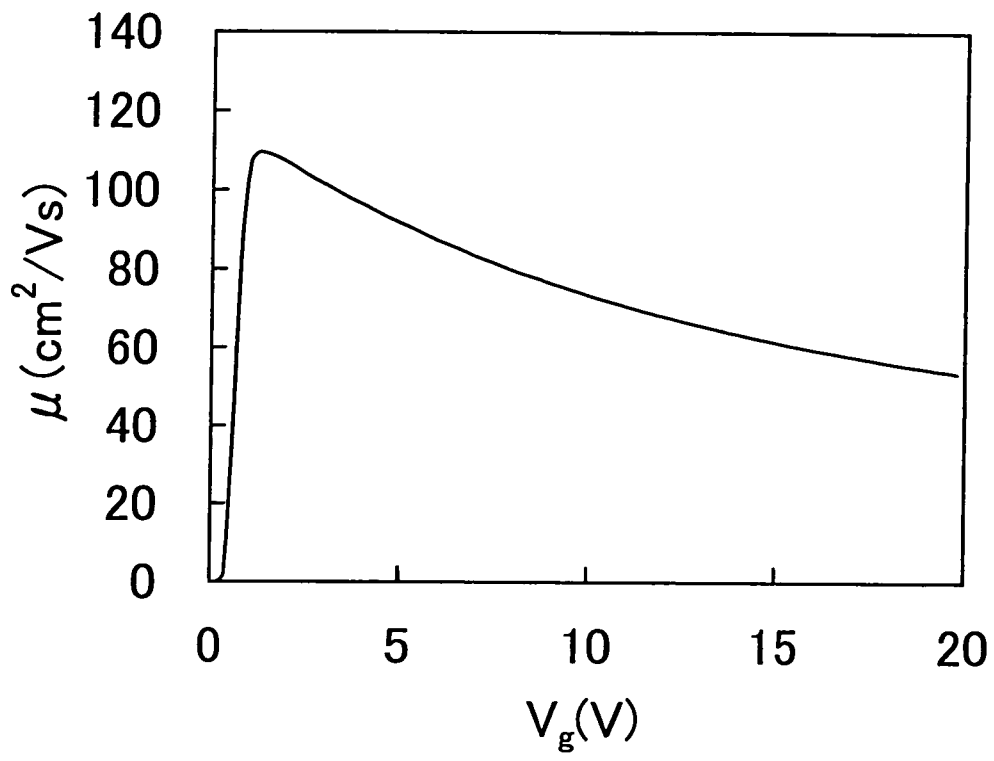


圖 26A

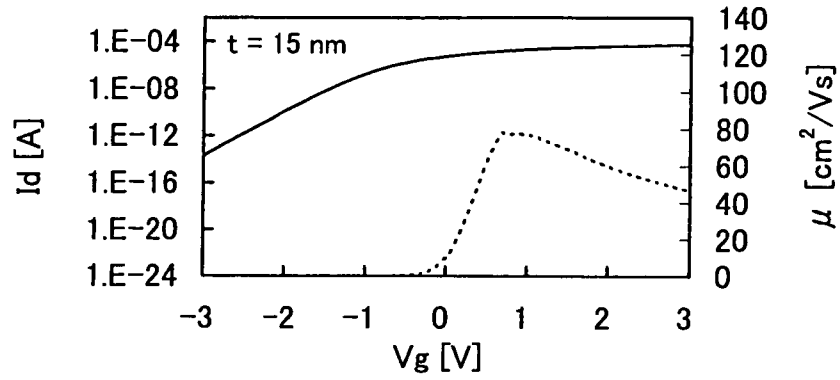


圖 26B

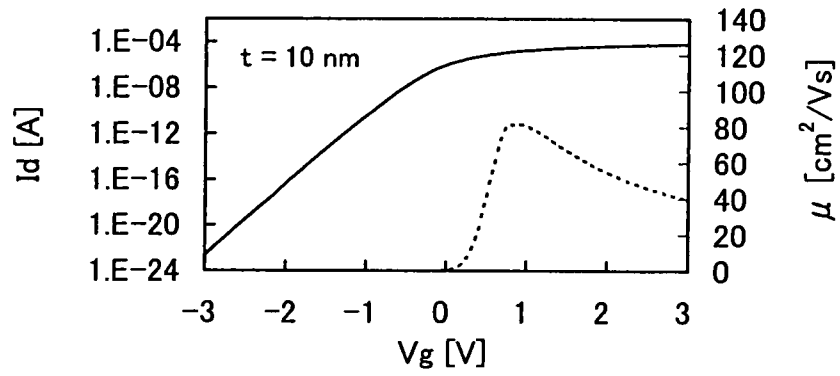


圖 26C

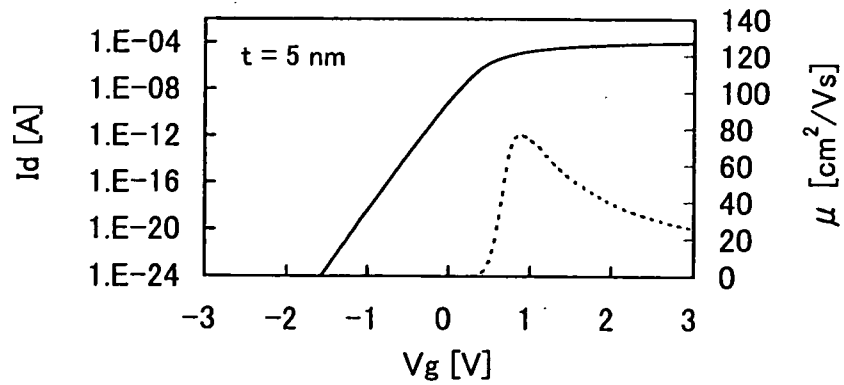


圖 27A

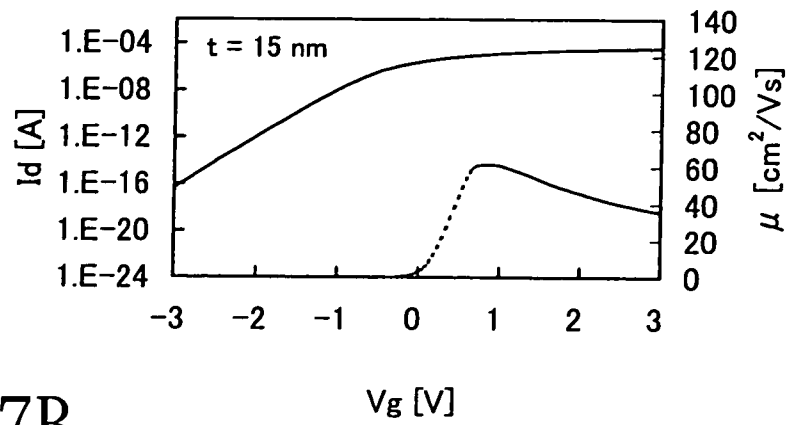


圖 27B

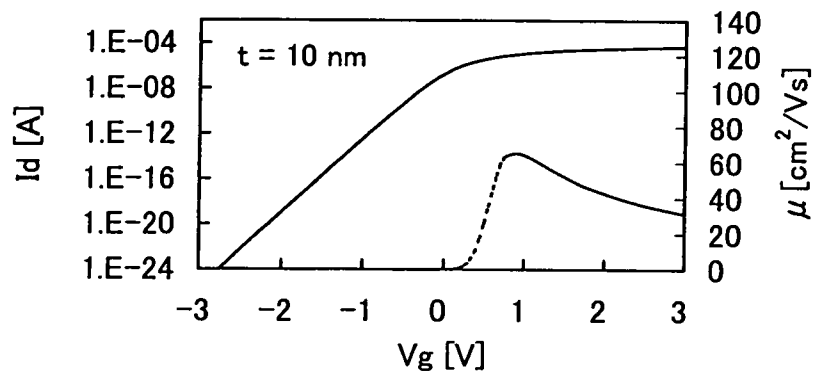


圖 27C

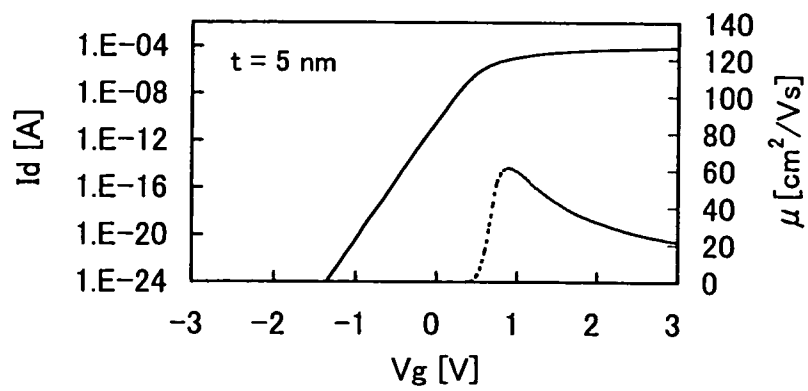


圖 28A

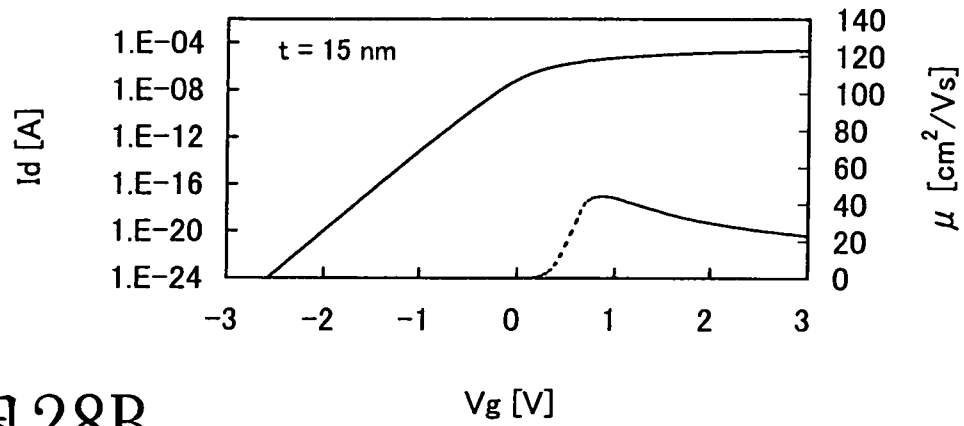


圖 28B

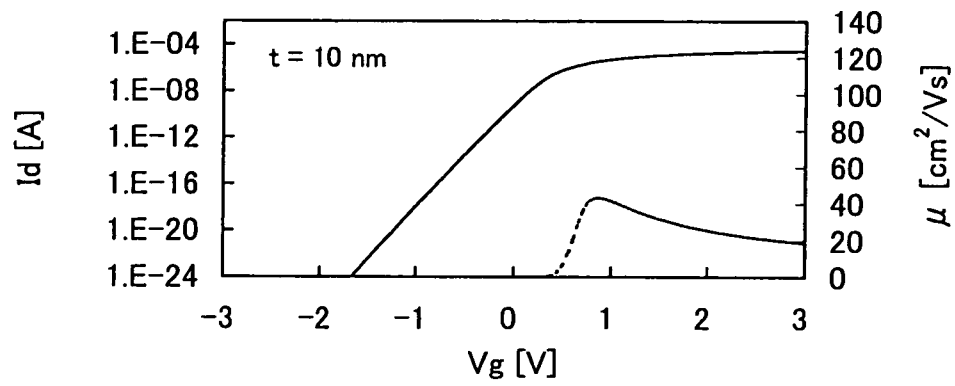


圖 28C

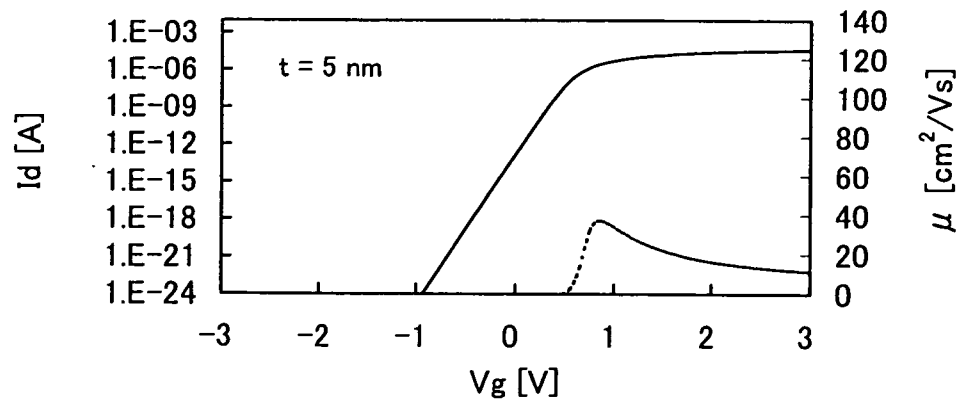


圖 29A

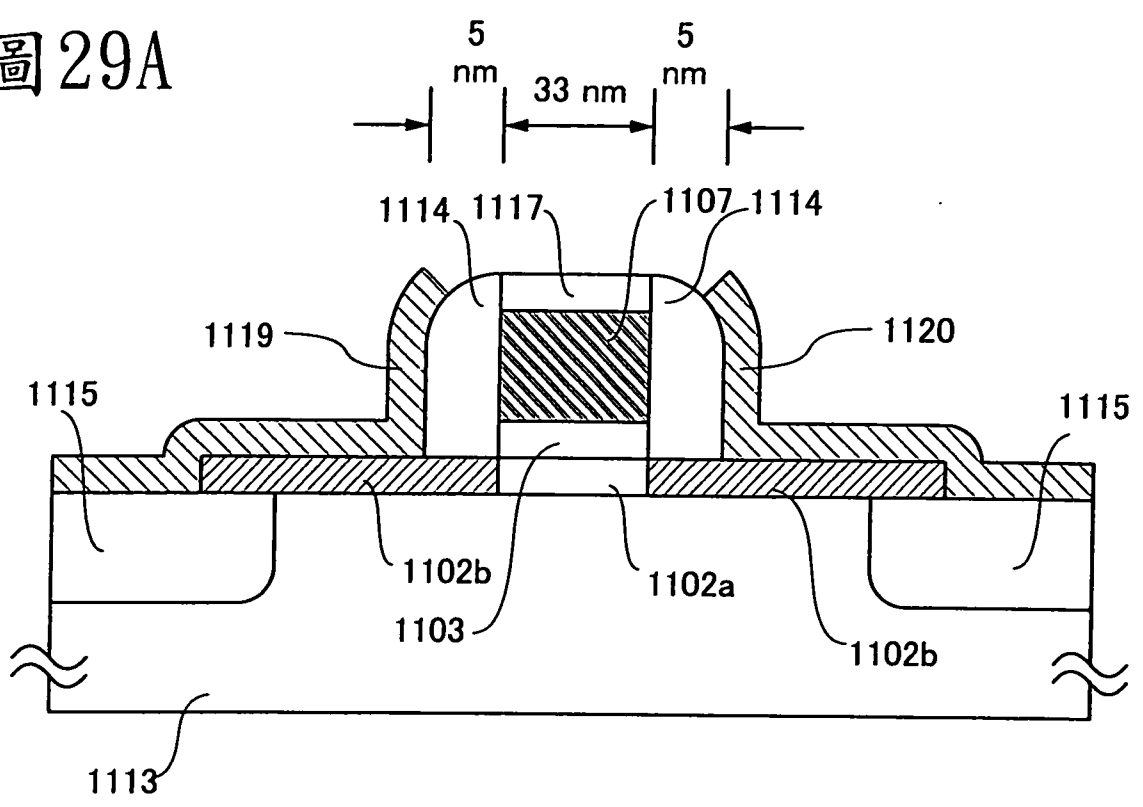


圖 29B

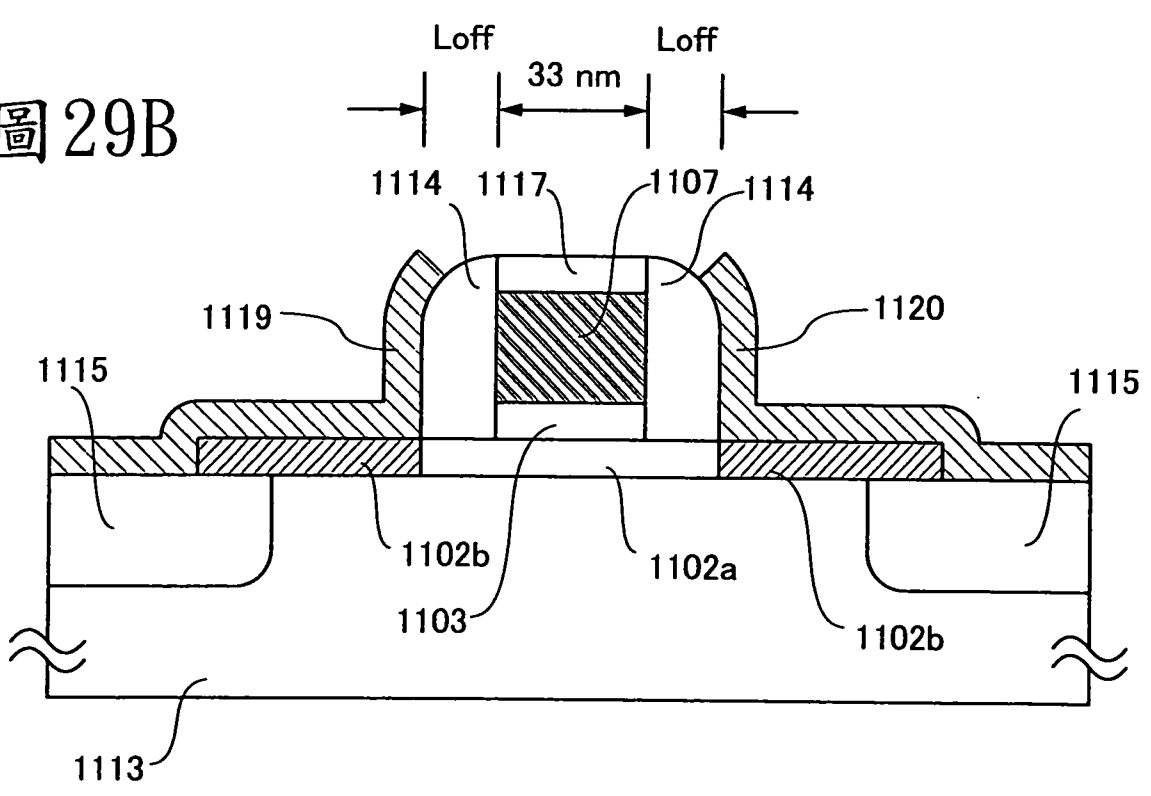
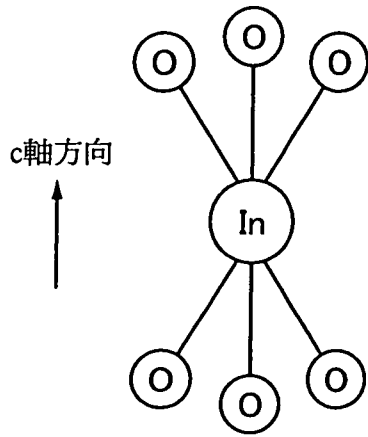
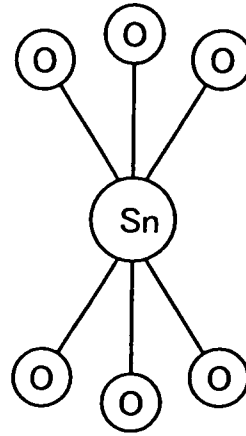


圖 30A



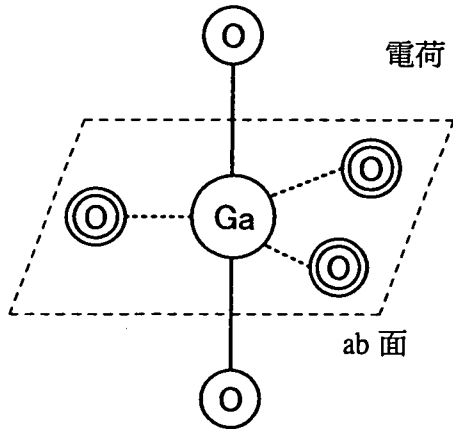
電荷 0

圖 30D



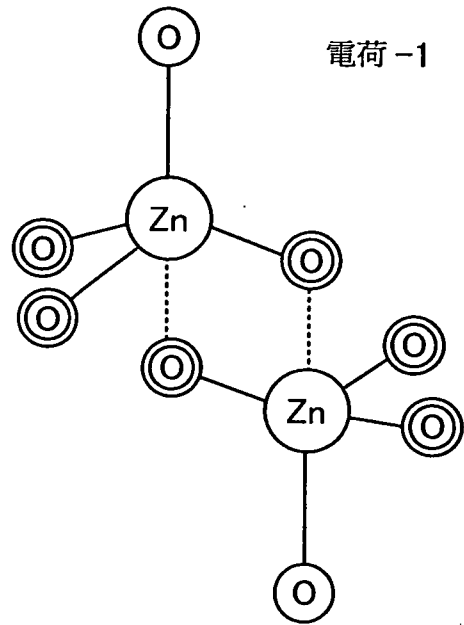
電荷 +1

圖 30B



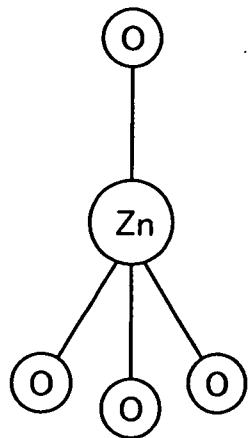
電荷 0

圖 30E



電荷 -1

圖 30C



電荷 0

圖 31A

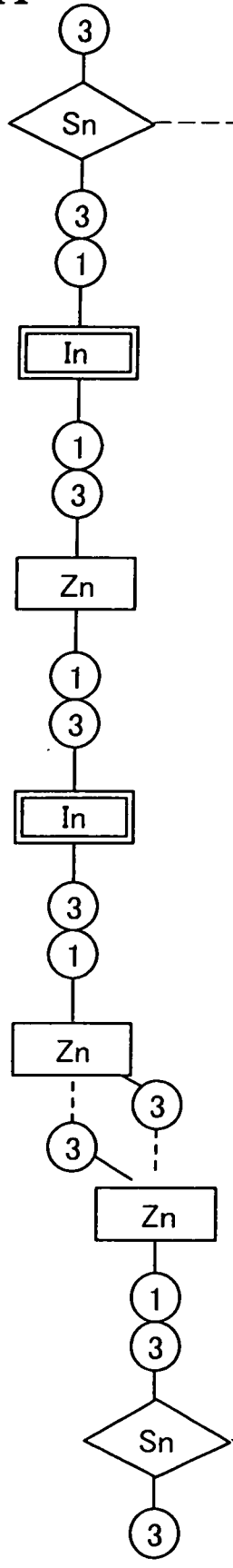
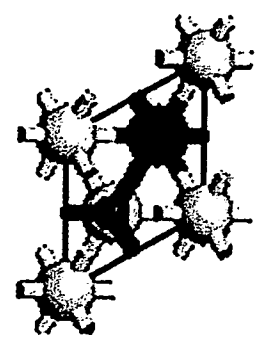


圖 31B



圖 31C

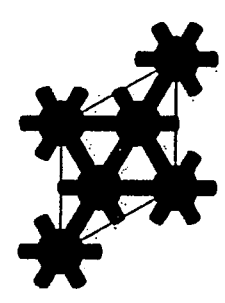
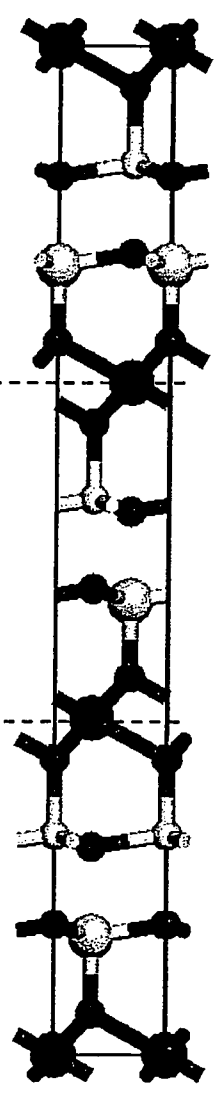
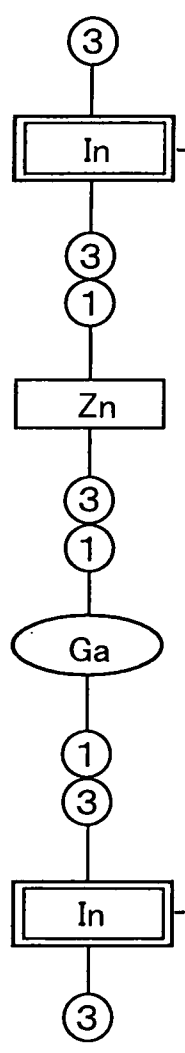


- In
- Sn
- ◐ Zn
- O

圖 32A

圖 32B

圖 32C







-  In
-  Ga
-  Zn
-  O

圖 33A

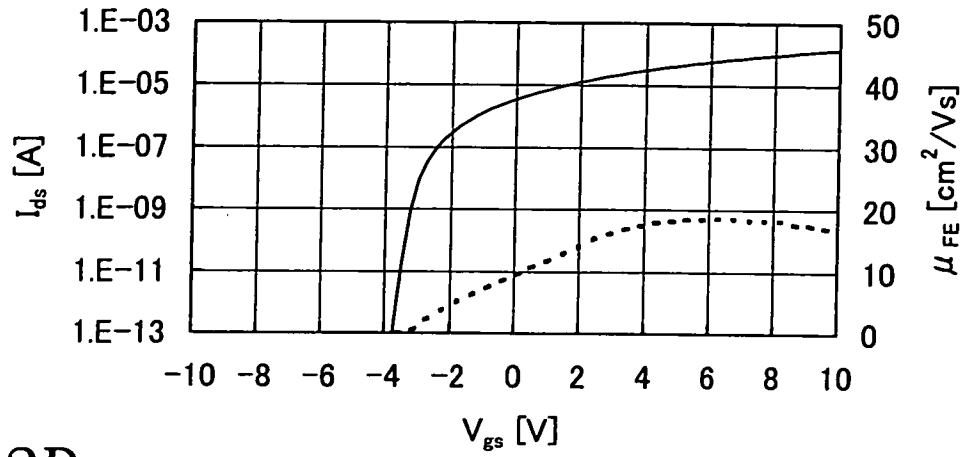


圖 33B

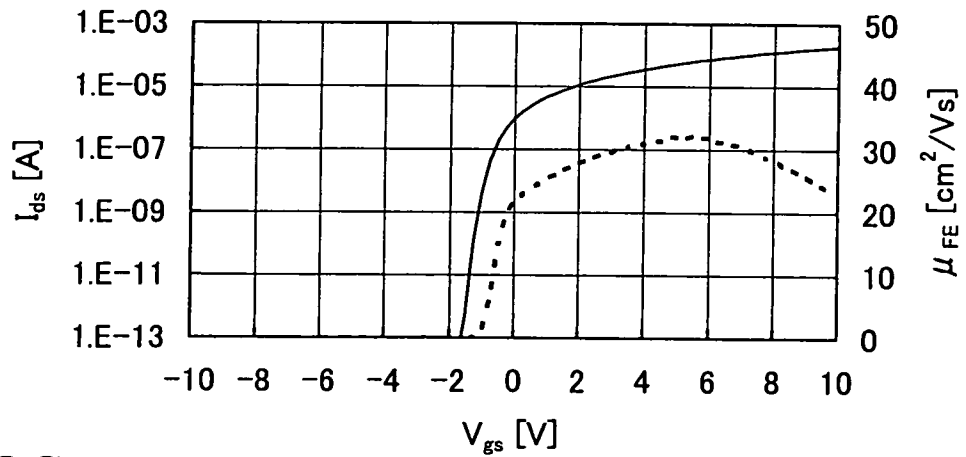


圖 33C

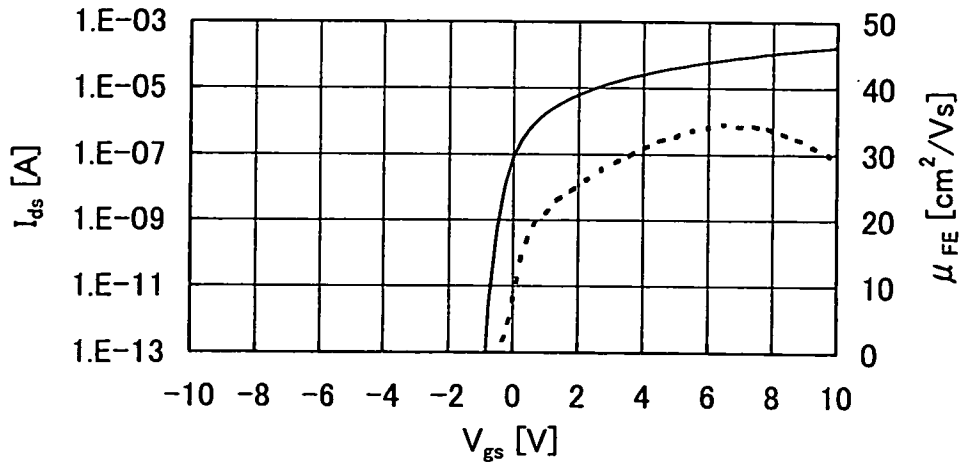


圖 34A

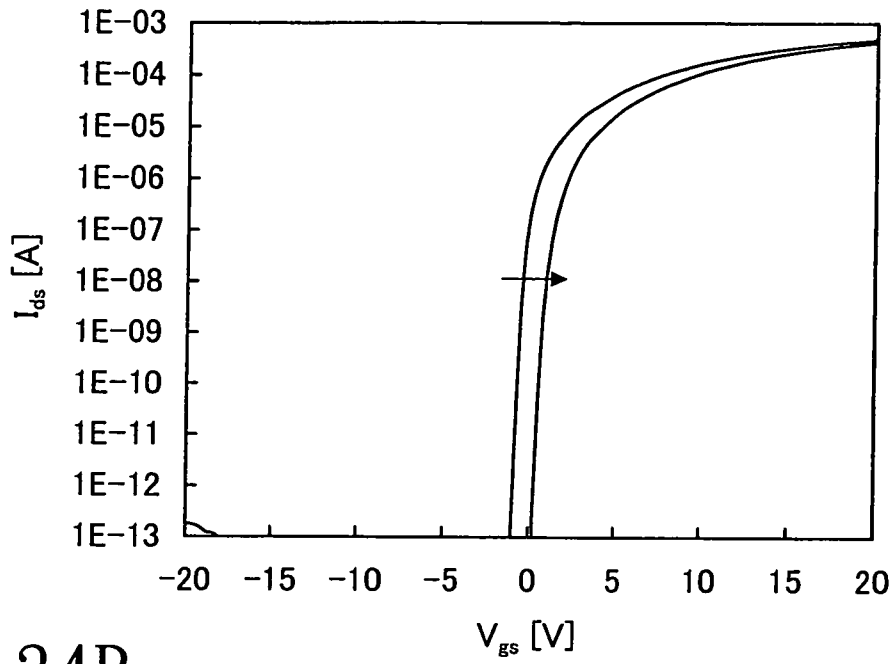


圖 34B

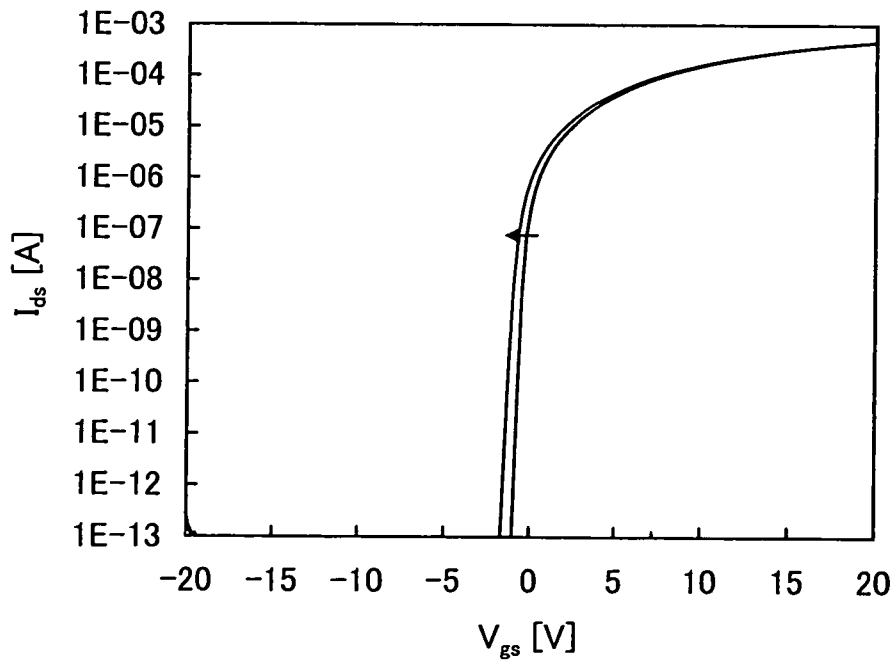


圖 35A

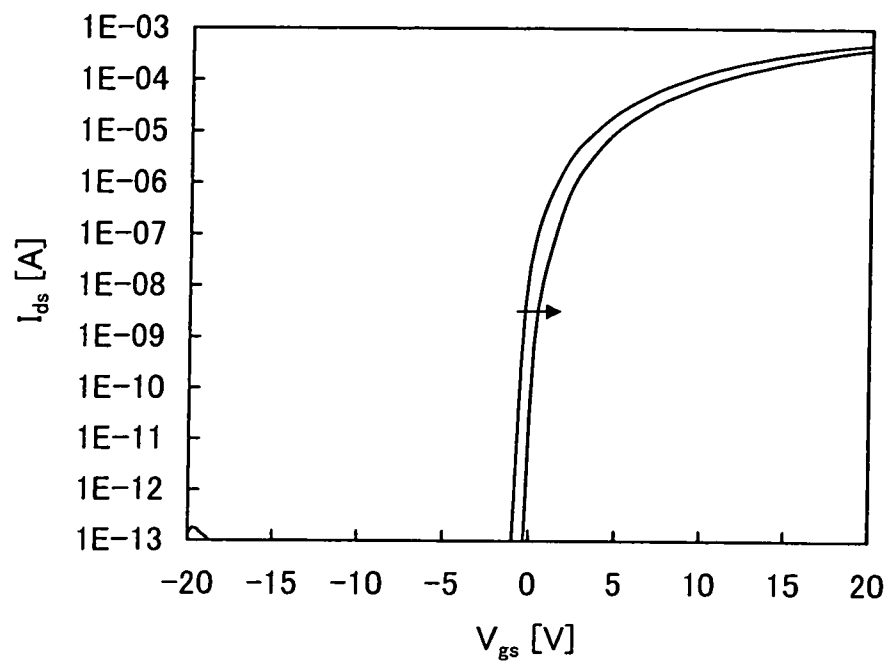


圖 35B

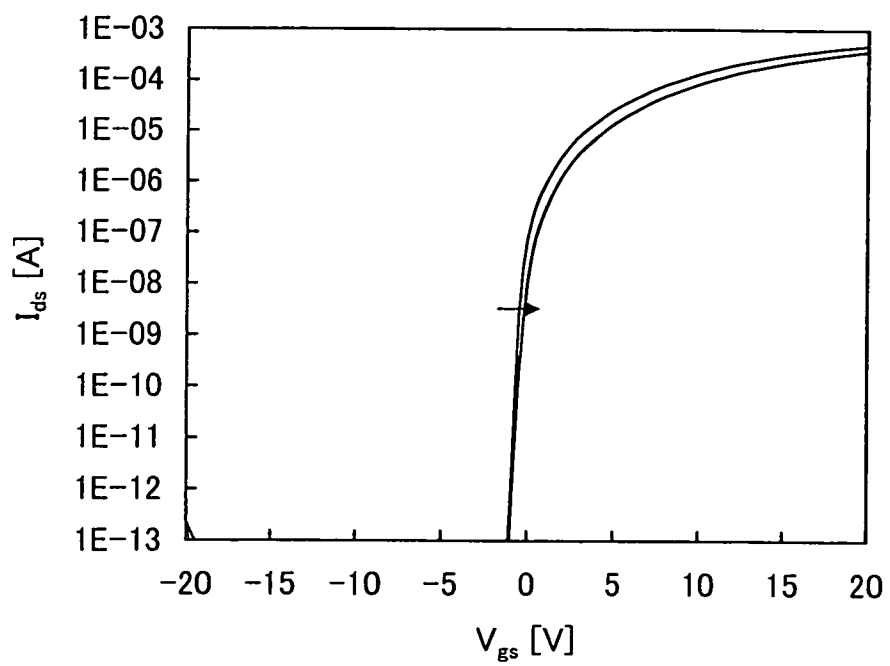


圖 36

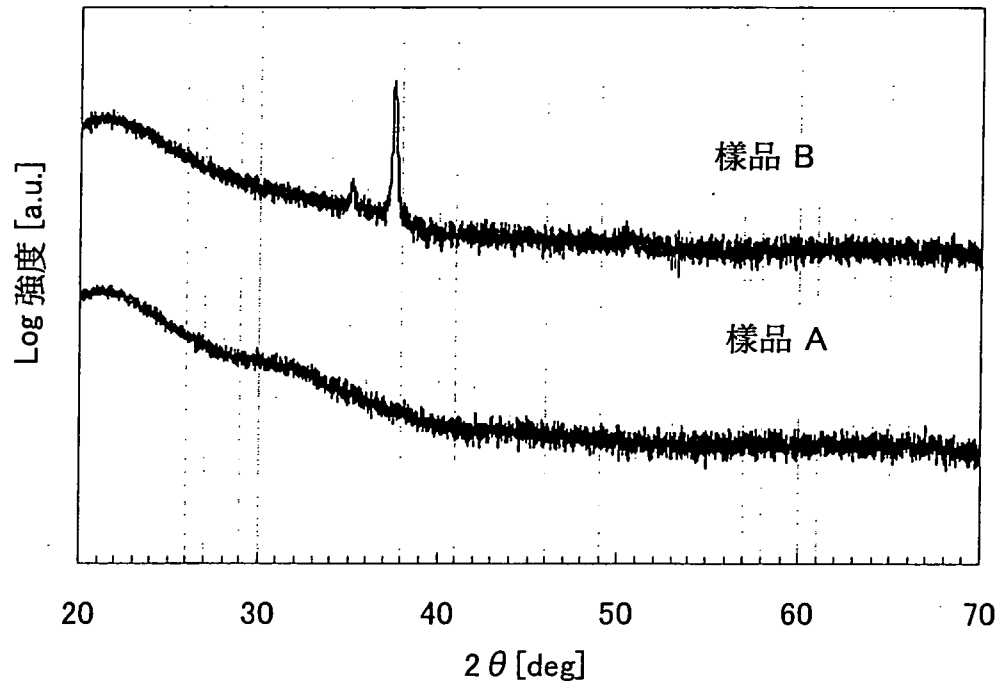


圖37

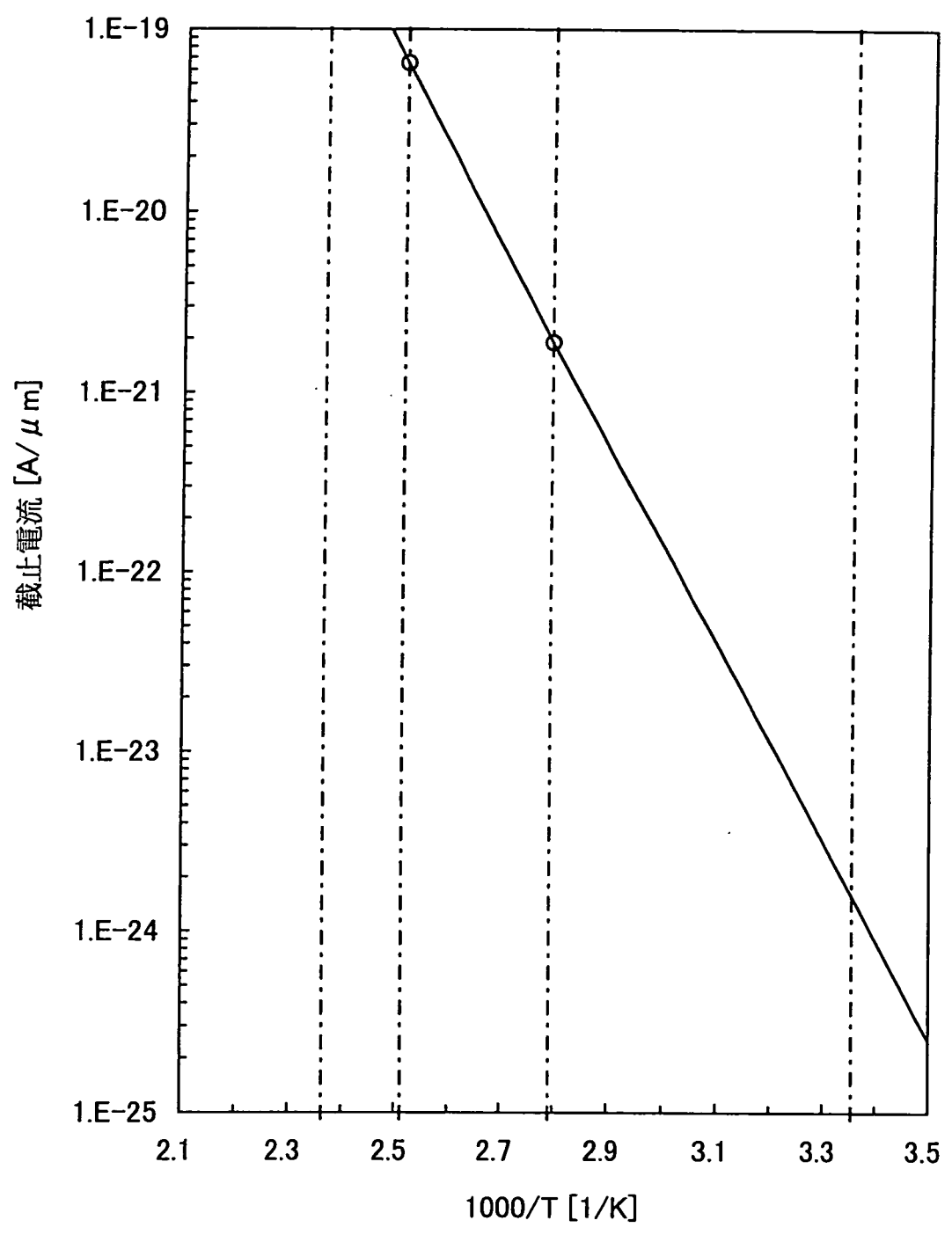


圖 38

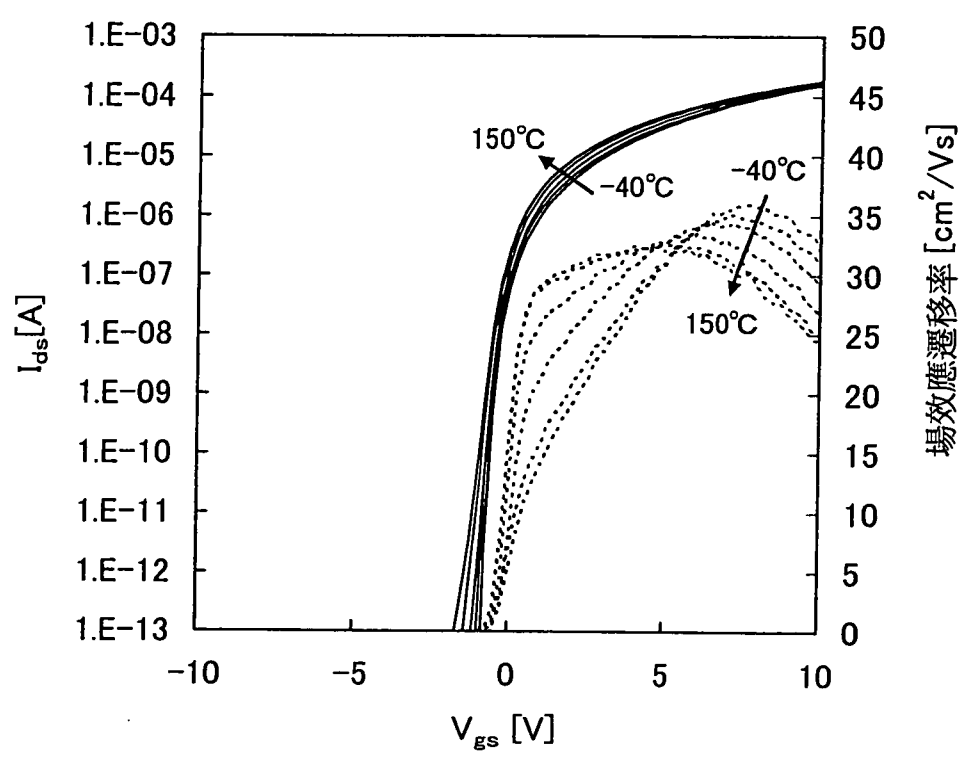


圖 39A

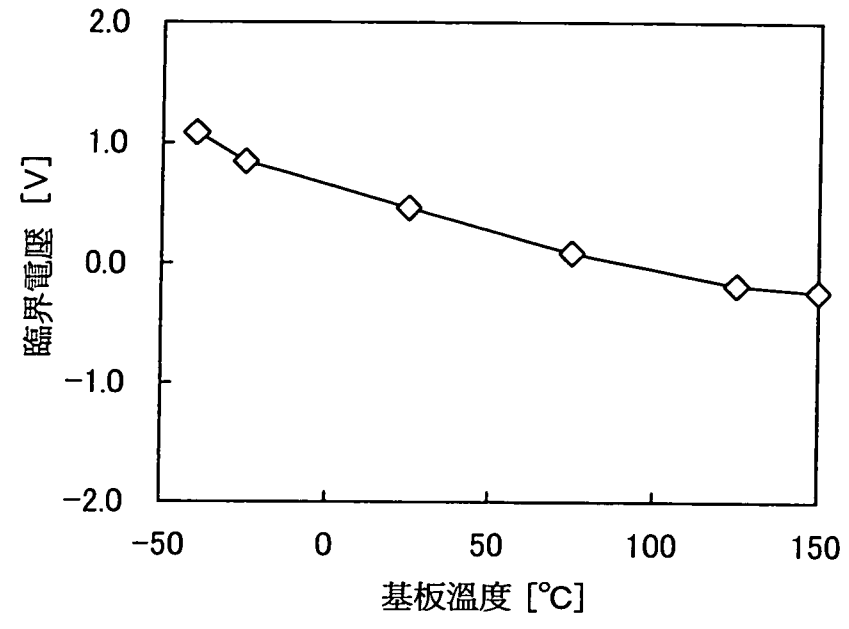


圖 39B

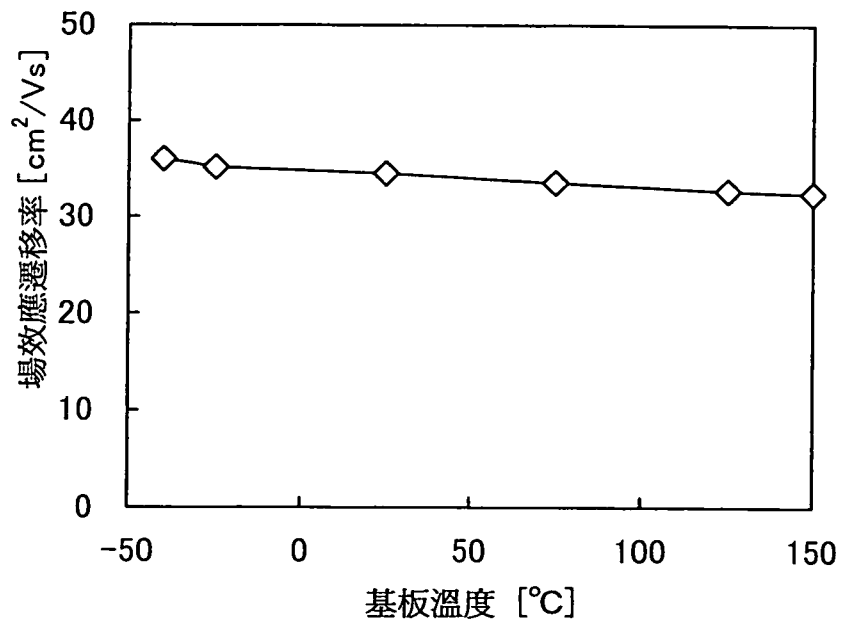
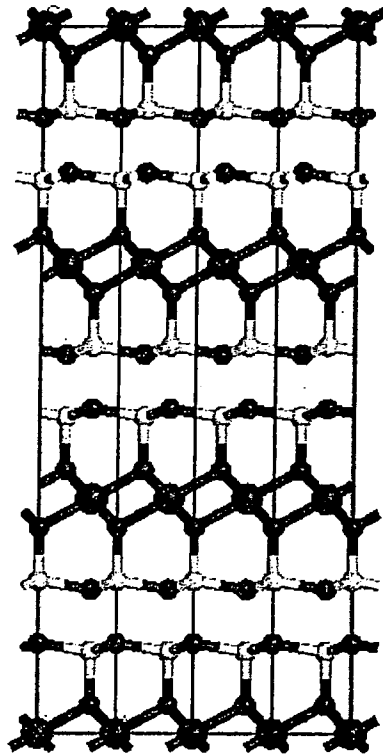
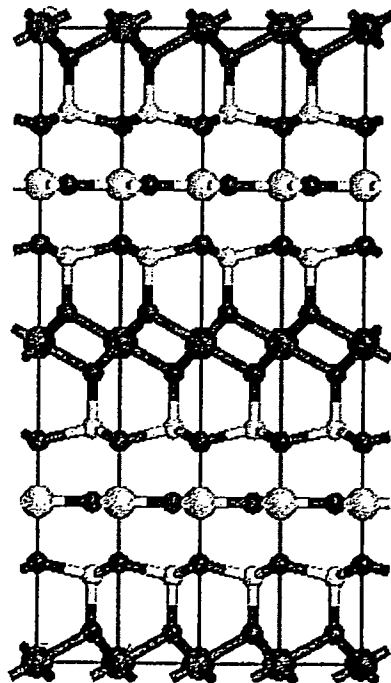


圖 40A



- : In
- ⊙ : Ga or Zn
- : O

圖 40B



- : In
- ⊙ : Ga
- : Zn
- : O