

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3879618号
(P3879618)

(45) 発行日 平成19年2月14日(2007.2.14)

(24) 登録日 平成18年11月17日(2006.11.17)

(51) Int. Cl.	F I
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 Y
GO 1 R 31/3183 (2006.01)	GO 1 R 31/28 Q
G 1 1 C 29/10 (2006.01)	G 1 1 C 29/00 6 5 7 B
G 1 1 C 29/56 (2006.01)	G 1 1 C 29/00 6 5 1 P
GO 6 F 11/14 (2006.01)	GO 6 F 11/14 3 1 O G

請求項の数 5 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2002-221754 (P2002-221754)	(73) 特許権者 000006507 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
(22) 出願日 平成14年7月30日(2002.7.30)	
(65) 公開番号 特開2004-61368 (P2004-61368A)	(74) 代理人 100064908 弁理士 志賀 正武
(43) 公開日 平成16年2月26日(2004.2.26)	(74) 代理人 100108578 弁理士 高橋 詔男
審査請求日 平成17年3月1日(2005.3.1)	(74) 代理人 100089037 弁理士 渡邊 隆
	(74) 代理人 100101465 弁理士 青山 正和
	(74) 代理人 100094400 弁理士 鈴木 三義
	(74) 代理人 100107836 弁理士 西 和哉

最終頁に続く

(54) 【発明の名称】 半導体集積回路試験装置及び方法

(57) 【特許請求の範囲】

【請求項1】

並列に設けられた被試験対象に試験パターンを印加して試験を行う半導体集積回路試験装置であって、

前記被試験対象に対して同一の第1試験パターンを同時に印加して得られる試験結果に応じて生成された第2試験パターンを、前記被試験対象毎に記憶する記憶部と、

前記記憶部に対し、記憶されている前記被試験対象毎の第2試験パターンを同時に出力させる読出信号を出力する読出信号出力部と、

前記第1試験パターン又は第2試験パターンの何れか一方を選択して前記被試験対象に印加する選択部と

を備えることを特徴とする半導体集積回路試験装置。

【請求項2】

前記第1試験パターンの元となるパターンを発生するパターン発生器と、

前記第1パターンのタイミングを規定するタイミング信号を発生するタイミング信号発生器と、

前記タイミング信号発生器から出力されるタイミング信号に基づいて前記パターン発生器から出力されるパターンを整形する波形整形器と、

前記波形整形器で整形されたパターンを前記被試験対象の分だけ分配して前記第1試験パターンとする分配器と

を備えることを特徴とする請求項1記載の半導体集積回路試験装置。

【請求項 3】

前記記憶部から出力される第 2 試験パターンと前記分配器の出力とを入力とし、前記分配器から出力される信号に基づいて前記第 2 試験パターンを整形して前記選択部に出力する整形器を備えることを特徴とする請求項 2 記載の半導体集積回路試験装置。

【請求項 4】

前記パターン発生器は、前記第 2 試験パターンを前記被試験対象に印加する場合には、値が一定のパターンを発生することを特徴とする請求項 3 記載の半導体集積回路試験装置。

【請求項 5】

並列に設けられた被試験対象に試験パターンを印加して試験を行う半導体集積回路試験方法であって、

前記被試験対象に対して同一の第 1 試験パターンを同時に印加して試験を行う第 1 試験ステップと、

前記第 1 試験ステップで得られる試験結果に応じた第 2 試験パターンを生成する生成ステップと、

前記生成ステップで生成された第 2 試験パターンを、前記被試験対象毎に記憶する記憶ステップと、

前記被試験対象毎の第 2 試験パターンを前記被試験対象毎に個別且つ同時に印加して試験を行う第 2 試験ステップと

を含むことを特徴とする半導体集積回路試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の被試験対象を並列して試験することができるように構成された半導体集積回路試験装置及び方法に関する。

【0002】

【従来の技術】

半導体集積回路試験装置（いわゆる IC テスタ）は、周知の通り、被試験対象としての半導体集積回路に試験パターンを印加して得られる信号と予め定められている期待値とが一致している（パス）か否か（フェイル）を判定することにより、半導体集積回路の良品又は不良品を試験するものである。半導体集積回路の試験においては、試験効率を向上させるために並列して複数の半導体集積回路に対する試験が行われる。

【0003】

複数の半導体集積回路を並列して試験するには、複数の半導体集積回路各々に対して同一の試験パターンを分配して同時に印加し、各々の半導体集積回路から得られる信号と予め定められた期待値を各半導体集積回路毎に比較し、この比較結果に応じてパス・フェイルを判定して、半導体集積回路各々の良品又は不良品を試験している。このように、被試験対象の半導体集積回路の並列数を増加させればさせるほど、試験効率の向上を図ることができる。

【0004】

【発明が解決しようとする課題】

ところで、半導体集積回路の試験において、全ての半導体集積回路に与える試験パターンが同一であることが予め分かっている場合には、上述のように並列に設けられた半導体集積回路に対して同一の試験パターンを分配して同時に印加することができる。

【0005】

しかしながら、半導体集積回路の試験には、半導体集積回路に対して一度行った試験の試験結果を考慮して、その試験結果をフィードバックする試験がある。例えば、フラッシュメモリ等の半導体集積回路は、歩留まり向上のために一定量までの不良を認めており、不良エリアに関する情報を不良情報データとして同じ半導体集積回路内の正常エリアに書き込み、実使用時に、この不良情報データを読み出して不良エリアを使用しないようにする

10

20

30

40

50

運用がなされる。

【0006】

しかしながら、半導体集積回路毎に不良情報データは異なり、また、不良情報データが書き込まれる正常エリアも異なるため、半導体集積回路毎の試験結果をフィードバックして試験する必要がある、並列に設けられた半導体集積回路全てに対して同一のパターンを同時に印加する上述した試験を行うことはできない。

【0007】

このために、従来は試験パターンを印加する半導体集積回路を一時に1つだけ選択し、選択した半導体集積回路に対して以前行った試験結果に応じた試験パターンを印加してパス・フェイルを判断する動作を、並列に設けられた半導体集積回路の分だけ行う必要があった。つまり、半導体集積回路を選択して試験を行う試験方法においては、個々の半導体集積回路に対して順番に試験する必要がある、試験に長時間を要し、極めて効率が悪いという問題があった。

10

【0008】

上記の問題を解決するために、並列的に設けられた半導体集積回路に対応させて試験パターンを発生する回路を設ければ、複数の半導体集積回路に対して同時に異なる試験パターンを印加することができるが、装置規模が大きくなり、コストが上昇してしまうという問題があった。

【0009】

本発明は上記事情に鑑みてなされたものであり、大幅な装置のコスト上昇を招かずに、並列に設けられた被試験対象に対して異なる試験パターンを印加することができ、効率的に半導体集積回路の試験を行うことができる半導体集積回路試験装置及び方法を提供することを目的とする。

20

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体集積回路試験装置は、並列に設けられた被試験対象(30a~30n)に試験パターンを印加して試験を行う半導体集積回路試験装置であって、前記被試験対象に対して同一の第1試験パターンを同時に印加して得られる試験結果に応じて生成された第2試験パターンを、前記被試験対象毎に記憶する記憶部(19)と、前記記憶部に対し、記憶されている前記被試験対象毎の第2試験パターンを同時に出力させる読出信号を出力する読出信号出力部(20)と、前記第1試験パターン又は第2試験パターンの何れか一方を選択して前記被試験対象に印加する選択部(15a~15n)とを備えることを特徴としている。

30

この発明によれば、並列に設けられた被試験対象に対して同一の第1試験パターンを同時に印加して得られる試験結果に応じた第2試験パターンを、被試験対象毎に記憶する記憶部を備え、この記憶部から第2試験パターンを読み出して同時に被試験対象に印加するようにしているため、大幅な装置のコスト上昇を招かずに、並列に設けられた被試験対象に対して異なる試験パターンを印加することができ、効率的に半導体集積回路の試験を行うことができる。

また、本発明の半導体集積回路試験装置は、前記第1試験パターンの元となるパターンを発生するパターン発生器(10)と、前記第1パターンのタイミングを規定するタイミング信号を発生するタイミング信号発生器(11)と、前記タイミング信号発生器から出力されるタイミング信号に基づいて前記パターン発生器から出力されるパターンを整形する波形整形器(12)と、前記波形整形器で整形されたパターンを前記被試験対象の分だけ分配して前記第1試験パターンとする分配器(13)とを備えることを特徴としている。

40

また、本発明の半導体集積回路試験装置は、前記記憶部から出力される第2試験パターンと前記分配器の出力とを入力とし、前記分配器から出力される信号に基づいて前記第2試験パターンを整形して前記選択部に出力する整形器(14a~14n)を備えることを特徴としている。

50

更に、本発明の半導体集積回路試験装置は、前記パターン発生器が、前記第2試験パターンを前記被試験対象に印加する場合には、値が一定のパターンを発生することを特徴としている。

上記課題を解決するために、本発明の半導体集積回路試験方法は、並列に設けられた被試験対象に試験パターンを印加して試験を行う半導体集積回路試験方法であって、前記被試験対象に対して同一の第1試験パターンを同時に印加して試験を行う第1試験ステップと、前記第1試験ステップで得られる試験結果に応じた第2試験パターンを生成する生成ステップと、前記生成ステップで生成された第2試験パターンを、前記被試験対象毎に記憶する記憶ステップと、前記被試験対象毎の第2試験パターンを前記被試験対象毎に個別且つ同時に印加して試験を行う第2試験ステップとを含むことを特徴としている。

10

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の一実施形態による半導体集積回路試験装置及び方法について詳細に説明する。図1は、本発明の一実施形態による半導体集積回路試験装置の構成を示すブロック図である。図1に示すように、本発明の一実施形態による半導体集積回路試験装置は、各構成回路が低速のバスBに接続され、並列データの受け渡しが可能に構成されている。尚、バスBには半導体集積回路試験装置の動作を制御する不図示の制御装置が接続されており、この制御装置からバスBを介して出力されてくる制御信号に基づいて、各部の動作が設定・制御される。

【0012】

20

図1において、パターン発生器10は、被試験対象としての半導体集積回路30a~30nに印加する共通のパターン(第1試験パターン)S1を発生する。尚、本明細書及び図面において、変数nは半導体集積回路30a~30nの数であるとする。タイミング信号発生器11は、パターン発生器10から出力されるパターンのタイミングを規定するタイミング信号S2を発生する。パターン発生器10から出力されるパターンは複数ビットからなるパターンであるため、各ビット間でのタイミングを規定するためにタイミング信号S2が必要となる。尚、タイミング信号発生器11が出力するタイミング信号の種類は、不図示の制御装置から出力される制御信号に応じて設定される。

【0013】

波形整形器12はタイミング信号発生器11から出力されるタイミング信号S2に基づいて、パターン発生器10から出力されるパターンS1を整形し、パターンS3を出力する。この波形整形器12は、例えばフリップフロップを用いて構成されている。尚、波形整形器12は、不図示の制御装置から出力される制御信号に応じて、タイミング信号が入力される度にNRZ(ノン・リターン・ゼロ)信号を出力するように波形整形を行うか、又は、タイミング信号が入力される度にRZ(リターン・ゼロ)信号を出力するように波形整形を行う。

30

【0014】

分配器13は、波形整形器12で整形されたパターンをnだけ分配したパターンS4a~S4nを出力する。また、波形整形器14a~14nは、後述するメモリ19から出力されるパターン(第2試験パターン)S5a~S5nを、分配器13から出力される信号に基づいて波形整形し、パターンS6a~S6nを出力する。尚、波形整形器14a~14nは、本発明にいう整形器に相当するものである。この波形整形器14a~14nは、例えばフリップフロップを用いて構成されている。

40

【0015】

選択回路15a~15nは、分配器13で分配されたパターン(第1試験パターン)S4a~S4n又は波形整形器14a~14nから出力されるパターン(第2試験パターン)S6a~S6nの何れか一方を選択して出力するものであり、本発明にいう選択部に相当する。ドライバ回路16a~16nは、選択回路15a~15nからそれぞれ出力されるパターンを被試験対象としての半導体集積回路30a~30nに対してそれぞれ印加する

【0016】

50

判定回路17a~17nは、試験パターンを半導体集積回路30a~30nに印加したときに得られる信号と、予め定められた期待値とを比較し、半導体集積回路30a~30n各々のパス・フェイル判定を行う。デバイスデータ検出器18は判定回路17a~17nの判定結果に基づいて、半導体集積回路30a~30nの不良情報を収集する。また、この不良情報に基づいて、半導体集積回路30a~30nに対して個別に試験を行う際に用いる試験パターン(第2試験パターン)を生成する。

【0017】

メモリ19はデバイスデータ検出器18が生成した試験パターンを、各半導体集積回路毎に記憶する。つまり、メモリ19には、半導体集積回路30a~30nに対して同一の試験パターン(第1試験パターン)を同時に印加して得られる試験結果に応じた試験パターンが記憶される。尚、メモリ19は、少なくともnビット分の試験パターンを記憶するだけの容量を有している。カウンタ20は、メモリ19に記憶された試験パターンを読み出すためのアドレス(読出信号)及びメモリ19に対して試験パターンを書き込むためのアドレスを出力する。尚、上記メモリ19は、本発明にいう記憶部に相当し、カウンタ20は、本発明にいう読出信号出力部に相当する。以上の構成の半導体集積回路試験装置は、不図示のシステムクロックに同期して動作する。

10

【0018】

次に、本発明の一実施形態による半導体集積回路の動作について説明する。まず、半導体集積回路30a~30nに対して同一の試験パターンを同時に印加して試験する場合の動作について説明する。図2は、半導体集積回路30a~30nに対して同一の試験パターンを同時に印加して試験するときの半導体集積回路試験装置内における波形パターンの一例を示すタイミングチャートである。尚、図2中におけるTは、システムクロックの1周期を示している。

20

【0019】

この試験を行う場合には、不図示の制御装置が、タイミング信号発生器11に対してシステムクロックの1周期に一度だけタイミング信号を発生するように設定するとともに、波形整形器12に対してタイミング信号S2が入力される度にNRZ(ノン・リターン・ゼロ)信号を出力するように設定している。また、選択回路15a~15nは、パターンS4a~S4nを選択して出力するように設定されている。

【0020】

パターン発生器10から図2に示すパターンS1が出力され、タイミング信号発生器11から図2に示すタイミング信号S2が出力されると、波形整形器12はパターンS1を波形整形したパターンS3を出力する。尚、不図示の制御装置は、パターン発生器10から出力されるパターンに応じて予め定められた期待値を判定回路17a~17nに対して出力しておく。図2を参照すると、パターンS3は、タイミング信号S2が入力された時点におけるパターンS1のレベルを、システムクロックの1周期分だけ維持した波形であることが分かる。

30

【0021】

波形整形器12から出力されたパターンS3は分配器13に出力されてn分配される。分配されたパターンはパターンS4a~S4nとして分配器13から出力され、選択回路15a~15n及びドライバ回路16a~16nをそれぞれ介して半導体集積回路30a~30nにそれぞれ同時に印加される。半導体集積回路30a~30nに試験パターンを印加すると、印加した試験パターンに応じた信号が半導体集積回路30a~30nからそれぞれ出力される。

40

【0022】

半導体集積回路30a~30nから出力された信号は、判定回路17a~17nへそれぞれ入力される。判定回路17a~17nは、半導体集積回路30a~30nから出力された信号と、予め不図示の制御装置から出力された期待値とを比較し、パス・フェイルを判定する。この判定結果は、デバイスデータ検出器18へ出力される。尚、以上説明した同一の試験パターンを半導体集積回路30a~30nに同時に印加して試験を行うステップ

50

は、本発明にいう第1試験ステップに相当する。

【0023】

以上の動作を終了すると、デバイスデータ検出器18は、得られた試験結果に基づいて半導体集積回路30a~30nの不良情報を収集し、この不良情報に基づいて、半導体集積回路30a~30nに対して個別に試験を行う際に用いる試験パターン(第2試験パターン)を生成する(生成ステップ)。そして、この試験パターンをバスBを介してメモリ19に転送して記憶させる。尚、デバイスデータ検出器18からメモリ19へのバスBを介したデータ転送は低速で行われるため、カウンタ20はバスBの転送速度に応じたタイミング(システムクロックよりも低速なタイミング)で書き込みアドレスを出力する。メモリ19に試験パターンを記憶させる動作は、本発明にいう記憶ステップに相当する。

10

【0024】

次に、以上の試験結果をフィードバックして試験する場合の動作について説明する。図3は、半導体集積回路30a~30n毎に異なる試験パターンを同時に印加して試験するときの半導体集積回路試験装置内における波形パターンの一例を示すタイミングチャートである。尚、図3中におけるTは、システムクロックの1周期を示している。

【0025】

この試験を行う場合には、不図示の制御装置が、パターン発生器10に対して値が一定のパターンS1を出力するように設定し、タイミング信号発生器11に対してシステムクロックの1周期に2度タイミング信号を発生するように設定するとともに、波形整形器12に対してタイミング信号S2が入力される度にRZ(リターン・ゼロ)信号を出力するよう

20

【0026】

パターン発生器10から図3に示す値が一定のパターンS1が出力され、タイミング信号発生器11から図3に示すタイミング信号S2が出力されると、波形整形器12はパターンS1を波形整形したパターンS3を出力する。尚、半導体集積回路30a~30n毎に試験パターンを同時に印加する試験を行う場合であっても、不図示の制御装置は、パターン発生器10から出力されるパターンに応じて予め定められた期待値を判定回路17a~17nに対して出力しておく。

【0027】

図3を参照すると、波形整形器12から出力されるパターンS3はタイミング信号S2が入力される度に値が変わるパターンであることが分かる。このパターンS3は分配器13に出力されてn分配される。分配されたパターンはパターンS4a~S4nとして波形整形器14a~14nに出力される。また、パターン発生器10及びタイミング信号発生器11の動作と並行して、カウンタ20はシステムクロックに同期してメモリ19に記憶された試験パターンを読み出すためのアドレスを出力する。

30

【0028】

カウンタ20からアドレスが出力されると、メモリ19からはカウンタ20から出力されたアドレスに記憶されているパターンS5a~S5nが同時に出力される。尚、図3においては、パターンS5a及びパターンS5nを代表させて図示しており、これらは互いに異なるパターンであるとしている。波形整形器14a~14nは、分配器13から出力されるパターンS4a~S4nに基づいてメモリ19から出力されるパターンS5a~S5nを整形し、パターンS6a~S6nとして選択回路15a~15nにそれぞれ出力する。

40

【0029】

波形整形器14a~14nから出力されたパターンS6a~S6nは、選択回路15a~15n及びドライバ回路16a~16nをそれぞれ介して半導体集積回路30a~30nにそれぞれ同時に印加される。半導体集積回路30a~30nに試験パターンを印加すると、印加した試験パターンに応じた信号が半導体集積回路30a~30nからそれぞれ出力される。

50

【0030】

半導体集積回路30a～30nから出力された信号は、判定回路17a～17nへそれぞれ入力される。判定回路17a～17nは、半導体集積回路30a～30nから出力された信号と、予め不図示の制御装置から出力された期待値とを比較し、パス・フェイルを判定する。この判定結果は、デバイスデータ検出器18へ出力される。尚、以上説明した異なる試験パターンを半導体集積回路30a～30nに同時に印加して試験を行うステップは、本発明にいう第2試験ステップに相当する。

【0031】

以上説明したように、半導体集積回路30a～30nに印加する試験パターンが同一である場合であっても、相互に異なる場合であっても、各々の試験パターンが半導体集積回路30a～30nにほぼ同時に印加されて試験が行われるため、並列に設けられた被試験対象に対して効率的に試験を行うことができる。また、図1に示したように、本実施形態においては、さほど装置構成を複雑化、高コスト化せずに半導体集積回路30a～30nに対して同一の試験パターン及び異なる試験パターンを同時に印加することができる。

10

【0032】

以上、本発明の一実施形態による半導体集積回路試験装置及び方法について説明したが、本発明は上記実施形態に制限されることなく、本発明の範囲内で自由に変更が可能である。例えば、上記実施形態では試験パターン(第2試験パターン)を記憶するためにメモリ19を備えていたが、メモリに限らず、レジスタ、ハードディスク等の記憶装置を備える構成であっても良い。

20

【0033】

【発明の効果】

以上説明したように、本発明によれば、並列に設けられた被試験対象に対して同一の第1試験パターンを同時に印加して得られる試験結果に応じた第2試験パターンを、被試験対象毎に記憶する記憶部を備え、この記憶部から第2試験パターンを読み出して同時に被試験対象に印加するようにしているため、大幅な装置のコスト上昇を招かずに、並列に設けられた被試験対象に対して異なる試験パターンを印加することができ、効率的に半導体集積回路の試験を行うことができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施形態による半導体集積回路試験装置の構成を示すブロック図である。

30

【図2】 半導体集積回路30a～30nに対して同一の試験パターンを同時に印加して試験するときの半導体集積回路試験装置内における波形パターンの一例を示すタイミングチャートである。

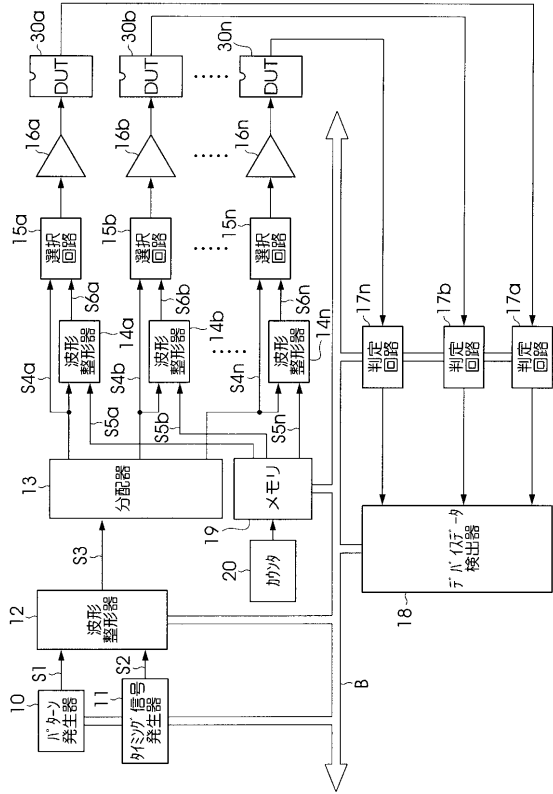
【図3】 半導体集積回路30a～30n毎に異なる試験パターンを同時に印加して試験するときの半導体集積回路試験装置内における波形パターンの一例を示すタイミングチャートである。

【符号の説明】

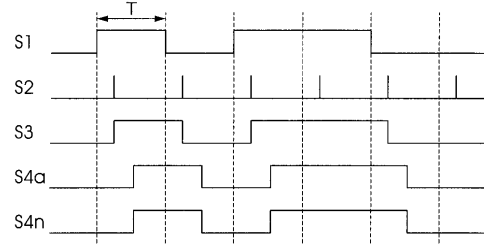
10	パターン発生器	
11	タイミング信号発生器	
12	波形整形器	
13	分配器	
15a～15n	選択回路(選択部)	
19	メモリ(記憶部)	
20	カウンタ(読出信号出力部)	
30a～30n	半導体集積回路(被試験対象)	

40

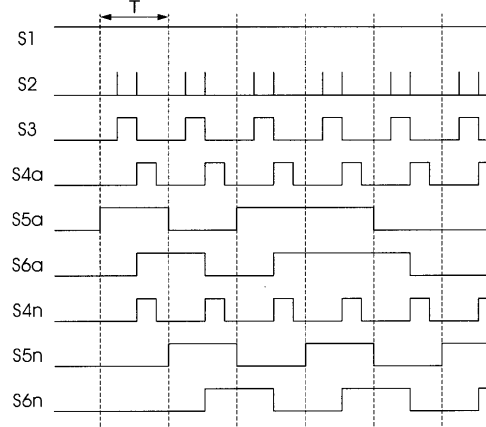
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 21/66 (2006.01) G 0 6 F 11/14 3 1 0 M
H 0 1 L 21/66 W

(74)代理人 100108453

弁理士 村山 靖彦

(72)発明者 水野 清豪

東京都大田区蒲田五丁目29番3号 安藤電気株式会社内

審査官 森 雅之

(56)参考文献 特開平11-316259(JP,A)

特許第3232588(JP,B2)

(58)調査した分野(Int.Cl., DB名)

工業所有権協力センターが調査した主分野

G01R 31/28

G11C 29/00

特許審査官は技術用語検索により追加調査した。