

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3980731号

(P3980731)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 4 1

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 3 4 B

請求項の数 7 (全 27 頁)

(21) 出願番号	特願平9-346521	(73) 特許権者	503121103 株式会社ルネサステクノロジ
(22) 出願日	平成9年12月16日(1997.12.16)		東京都千代田区大手町二丁目6番2号
(65) 公開番号	特開平10-233096	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成10年9月2日(1998.9.2)		
審査請求日	平成16年3月31日(2004.3.31)	(72) 発明者	佐藤 弘 東京都青梅市今井2326番地 株式会社 日立製作所デバイス開発センター内
(31) 優先権主張番号	特願平8-341426	(72) 発明者	久保 埜 昌次 東京都国分寺市東恋ヶ窪三丁目1番地1 日立超エル・エス・アイ・エンジニアリン グ株式会社内
(32) 優先日	平成8年12月20日(1996.12.20)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置および読出し方法

(57) 【特許請求の範囲】

【請求項1】

複数のワード線、複数のデータ線、コントロールゲート及びフローティングゲートをそれぞれ有し複数のビットのデータをしきい値として格納する複数のメモリセル、上記複数のメモリセルの各々は対応する1本のワード線及び1本のデータ線に結合され、上記複数のワード線に結合され、選択されたワード線に結合されたメモリセルに格納された複数ビットのデータを読み出すための読み出し動作において、上記選択されたワード線に読み出し電圧を複数回供給するワードドライバ回路、上記読み出し動作において、一番低いしきい値に対応するデータから一番高いしきい値に対応するデータまで低い方から順番にデータを読み出すために、読出し対象のメモリセルが接続される複数のデータ線全てにプリチャージを行い、上記選択されたワード線は、最初に第1読み出し電圧が供給されて当該第1読み出し電圧よりも低いしきい値電圧のメモリセルに格納された情報の読出しを完了し、上記第1読み出し電圧よりも高い読み出し電圧が順番に供給される際には情報の読出しが完了したメモリセルに接続されるデータ線へのプリチャージは行わない制御を行う不揮発性半導体記憶装置の読み出し方法。

【請求項2】

上記複数のデータ線に対応して複数のセンスラッチ回路及びプリチャージ回路が結合され、上記複数のデータ線は複数のセンスラッチ回路の入出力ノードに結合されるようにしたことを特徴とする請求項1に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項3】

10

20

上記複数のデータ線に結合されたプリチャージ回路は、上記読み出し動作中、情報の読み出しが完了したメモリセルを除く他のメモリセルに結合されたデータ線をプリチャージするようにしたことを特徴とする請求項2に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項4】

上記複数のメモリセルは2ビットデータを格納し、上記複数のセンスラッチ回路の他方の入出力ノードに結合される他の複数のデータ線には第2プリチャージ回路が結合され、上記複数のデータ線は第1データラッチ回路が結合され、上記他の複数のデータ線は第2データラッチ回路が結合されるようにしたことを特徴とする請求項2または3に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項5】

上記読み出し動作において、一番低いしきい値に対応するデータを読み出す時上記ワードドライバ回路は上記第1読み出し電圧を選択されたワード線に供給し、2番目に低いしきい値に対応するデータを読み出す時上記ワードドライバ回路は上記第1読み出し電圧より高い第2読み出し電圧を選択されたワード線に供給し、3番目に低いしきい値に対応するデータを読み出す時上記ワードドライバ回路は上記第2読み出し電圧より高い第3読み出し電圧を選択されたワード線に供給し、一番低いしきい値に対応するデータを読み出す時上記プリチャージ回路は上記複数のデータ線にプリチャージ電位を供給し、2番目に低いしきい値に対応するデータを読み出す時上記プリチャージ回路は上記第1読み出し電圧よりも高いデータが格納されたセンスラッチに結合されたデータ線をプリチャージし、3番目に低いしきい値に対応するデータを読み出す時上記プリチャージ回路は上記第2読み出し電圧よりも高いデータが格納されたセンスラッチ回路に結合されたデータ線をプリチャージするようにしたことを特徴とする請求項2、3または4に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項6】

上記第1読み出し電圧が選択されたワード線に供給されたことによって読み出された第1読み出しデータは上記センスラッチ回路に格納された後、上記選択されたワード線に上記第2読み出し電圧が供給される前もしくは供給中に上記第2データラッチ回路に転送及び格納され、上記第2読み出し電圧が選択されたワード線に供給されたことによって読み出された第2読み出しデータは上記センスラッチ回路に格納された後、上記選択されたワード線に上記第3読み出し電圧が供給される前もしくは供給中に上記第1データラッチ回路に転送及び格納され、上記第3読み出し電圧が選択されたワード線に供給されたことによって読み出された第3読み出しデータは上記センスラッチ回路に格納され、上記第2読み出しデータと上記第3読み出しデータとで所定演算処理が実行され、上記所定演算処理の実行結果データは上記第2データラッチ回路に格納されるようにしたことを特徴とする請求項4に記載の不揮発性半導体記憶装置の読み出し方法。

【請求項7】

上記ワード線に読み出し電圧を印加してメモリセルからの情報の読み出しを行った後、次に高い読み出し電圧を印加するまでの間において、読み出し対象のメモリセルが接続される複数のデータ線はディスチャージが行われる請求項1乃至5に記載の不揮発性半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置さらには不揮発性半導体記憶装置における多値情報の記憶読み出し方式に適用して特に有効な技術に関し、例えば複数の記憶情報を電氣的に一括消去可能な不揮発性記憶装置（以下、単にフラッシュメモリという）に利用して有効な技術に関するものである。

【0002】

【従来の技術】

フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性

10

20

30

40

50

記憶素子をメモリセルに使用しており、1個のトランジスタでメモリセルを構成することができる。かかるフラッシュメモリにおいては、書き込み動作では、図16に示すように不揮発性記憶素子のドレイン領域を例えば5V(ボルト)程度にし、コントロールゲートCGが接続されたワード線を-11V程度にすることにより、トンネル電流によりフローティングゲートFGから電荷を引き抜いて、しきい値電圧が低い状態(論理“0”)にする。消去動作では、図17に示すように、ウェル領域, ドレイン領域, ソース領域を0V程度にし、コントロールゲートCGを16Vのような高電圧にしてトンネル電流を発生させてフローティングゲートFGに負電荷を注入してしきい値を高い状態(論理“1”)にする。読み出し時にはコントロールゲートを高いしきい値と低いしきい値の中間の電圧に設定して電流が流れるか流れないかを検出して、例えば電流が流れるメモリセルの記憶データは“0”、電流が流れないメモリセルの記憶データは“1”と判定する。これにより1つのメモリセルに1ビットのデータを記憶させるようにしている。

10

**【0003】**

ところで、記憶容量を増大させるために1メモリセル中に2ビット以上のデータを記憶させる、いわゆる「多値」メモリに関する技術が提案されている。この多値メモリに関する発明としては、特願平7-14031号などがある。

**【0004】**

かかる多値メモリは、フローティングゲートに注入する電荷の量を制御することにより、しきい値を例えば1V, 2V, 3Vのように段階的に変化させ、それぞれのしきい値に複数ビットの情報を対応させて記憶するというものである。図18に1つのメモリセルを4つのしきい値状態に分けて記憶を行なう(本明細書ではこれを4値と称する)場合のしきい値の分布状態を示す。書き込みによってメモリセルのしきい値を正確に所定の値に制御することは困難であり、同図に示すように、それぞれ目標とするしきい値電圧を中心とする正規分布をなす。データを読み出すときには、各しきい値の分布の谷の部分に相当する電圧を読み出し電圧VRW1, VRW2, VRW3として設定しワード線を介してコントロールゲートに印加して行なう。このときドレインは1V、ソースは0Vのような電位に設定される。ドレイン電圧の設定には、ビット線プリチャージ方式が適用できる。

20

**【0005】**

表1に、上記読み出し電圧VRW1, VRW2, VRW3( $VRW1 < VRW2 < VRW3$ )を用いて、しきい値分布A, B, C, Dに属するメモリセルの読み出しを行なった結果を示す。しきい値分布Aに属するメモリセルはしきい値が最も高いためVRW1, VRW2, VRW3のいずれが印加されても電流が流れないので読み出し結果は“1”となる。しきい値分布Bに属するメモリセルはVRW1, VRW2が印加されても電流は流れず読み出し結果は“1”となるが、VRW3が印加されると電流が流れるため読み出し結果は“0”となる。しきい値分布Cに属するメモリセルはVRW1が印加されても電流は流れず読み出し結果は“1”となるが、VRW2, VRW3が印加されると電流が流れるため読み出し結果は“0”となる。しきい値分布Dに属するメモリセルはVRW1, VRW2, VRW3のいずれが印加されても電流は流れるため読み出し結果はすべての場合に“0”となる。なお、以上、4値メモリの場合について説明したが、原理的には8値や16値も可能である。

30

**【0006】****【表1】**

40

	メモリA	メモリB	メモリC	メモリD
VRW3	1	0	0	0
VRW2	1	1	0	0
VRW1	1	1	1	0

10

## 【0007】

## 【発明が解決しようとする課題】

上記4値メモリにおいては、1つのメモリセルに4つのしきい値のいずれかを設定できるため2ビットの情報を記憶させることができる。ところで、1つのメモリセルに1ビットの情報の記憶を行なう従来の2値メモリにおいては1ビットの情報を得るのに2つのしきい値の判定を行うため1回の読み出しが行われる。これに対し、上記4値メモリにおいては、2ビットの情報を得るのにワード線の電位を変えて3回の読み出しを行なう必要がある。そのため、単純に考えても読み出し時間が2値メモリの3倍になってしまうとともに、読み出し時の消費電流も3倍に増加してしまうという問題点がある。

## 【0008】

20

しかも、フローティングゲートを有するMOSFETをメモリセルとした不揮発性メモリでは、読み出し動作が繰り返されると読み出し時に発生する僅かなホットエレクトロンがフローティングゲートに注入されてしきい値が上昇する現象（以下、リードディスタープと称する）があるので、読み出し回数が多いほどメモリセルのしきい値の変動が大きくなり最悪の場合には読み出しレベルを越えてしまい記憶データ化けを起こすおそれがあるという不都合がある。

## 【0009】

また、前述したように、読み出し時にはメモリセルのソースに接地電位 $V_{SS}$ （0V）を印加する必要があり、そのための電源ライン（グラウンドライン）GLが図19のようにチップの外部端子（グラウンドピン）GNDからメモリアレイM-ARY内の各メモリセルMC 30までは配設される。かかる電源ラインは一般にアルミ等のメタル配線層によって構成されるが、アルミ配線がビット線等の他の信号線に使用されている部位では抵抗値の高い拡散層を介してメモリセルMCに接地電位が印加されることもある。そのような場合、図19に示すように、グラウンドピンGNDに近いメモリセルと最も遠いメモリセルとでは、グラウンドラインの長さがかなり異なることになる。例えば、拡散層の配線は $1\mu\text{m}$ 当たり数百m程度の抵抗値があり、メタル配線でも100程度の抵抗値があり、グラウンドピンから遠いメモリセル迄には数百～数千の抵抗がつくこととなる。そのため、読み出し時にメモリセルより電流が流れ出るとソース電位が浮き上がることとなるが、グラウンドピンに近いメモリセルと遠いメモリセルとではソース電位が大きく異なってしまう。仮に読み出し電流が3mAでグラウンド抵抗が100異なっているとすると、ソース電位には0.3Vの 40差が生じることとなる。

## 【0010】

一方、メモリセルはMOSFETの特性から知られているように、ドレイン電流がしきい値の近傍では対数的に変化するので、ソース電位が浮き上がってゲート・ソース間電圧が減少すると1桁ないしは2桁も電流が減少してしまう。ここで、図18のB、Dの分布に属するメモリセルの特性が図20にb、dで示すような特性を有していると仮定すると、各々のゲートに5Vの電圧を印加したときに、メモリセルDは完全な飽和領域にあるため多少ソース電位が上がっても十分な電流量を確保できるのに対し、メモリセルBは飽和が浅いので僅かなソース電位の浮き上がりで電流が大幅に減少して読み出しが不能もしくは誤ったデータの読み出しが行なわれるおそれがあることが分かる。

50

## 【0011】

この発明の目的は、読出し時間が短くかつ消費電流の少ない多値記憶型不揮発性半導体記憶装置を提供することにある。

## 【0012】

この発明の他の目的は、必要な読出し回数を減らして記憶データ化けの生じにくい多値記憶型不揮発性半導体記憶装置を提供することにある。

## 【0013】

この発明のさらに他の目的は、読出し時のソース電位の浮き上がりを抑え、読出し不能あるいはデータ誤読出しを防止可能な多値記憶型不揮発性半導体記憶装置を提供することにある。

10

## 【0014】

この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

## 【0015】

## 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

## 【0016】

すなわち、複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、ワード線読出しレベルを低い方から高い方へと変えながら順次読出しを行なっていくとともに、読み出されたデータを保持するラッチ手段を設けてその保持データに基づいて次の読み出し動作におけるビット線プリチャージを選択的に行なうようにしたものである。

20

## 【0017】

表1を参照すれば明らかのように、ワード線読出しレベルを低い方から高い方へと順次行なっていくと、1度“0”が読み出されたメモリセルはその後レベルを高くして読出しを行なっても“0”が読み出されるので、読出しを行なわないのと同じ結果になる。つまり、ビット線のプリチャージを省略することができる。そして、プリチャージの省略によって消費電流を減らすことができるので、読出し時にメモリアレイからグラウンドラインに流れ出す電流を減らすことができ、これによってメモリセルのソース電位の浮き上がり量を小さくできる。そのため、読出し不能あるいはデータ誤読出しを防止することができる。しかも、プリチャージの省略によって読出し回数を少なくすることができるため、リードディスタ urbによるしきい値の変動すなわち記憶データ化けを抑制することができる。

30

## 【0018】

さらに、上記読出し方式によれば、選択ワード線に接続されているメモリセルがしきい値の低いメモリセルのみであれば最後まで読出しを行なう前に全ての読出しデータが“0”になるので、オール“0”判定手段を設けることにより、途中で読出し動作を終了することができ、消費電流の低減に加えデータ読出し時間の短縮を図ることができるようになる。

## 【0019】

さらに、メモリセルのしきい値と記憶データとの対応を、隣り合うしきい値同士では記憶データのコードが1ビットのみ異なる並びとなるように決定するのが望ましい。具体的には、4値メモリの場合には、図18のしきい値分布A、B、C、Dを2ビットデータ“11”、“10”、“00”、“01”に対応させる。このようにすることによって、リードディスタ urbがあった場合に、これを訂正するエラー訂正回路の負担が少なく回路規模も小さくて済むという利点がある。例えば、図18のしきい値分布Bにあるメモリセルのしきい値がディスタ urbによりしきい値分布Cに移った場合を考えると、上記対応の場合には本来の記憶データ“10”が“00”と誤って読み出されることになるので、エラーは1ビットで済む。ところが、図18のしきい値分布A、B、C、Dを2ビットデータ“11”、“10”、“01”、“00”のように対応させた場合には、メモリセルのしき

40

50

い値がBからCに移ると、“10”が“01”と誤って読み出され2ビットエラーとなるので、これを訂正しようとするエラー訂正回路の負担および回路規模が非常に大きくなってしまふ。

【0020】

【発明の実施の形態】

以下、本発明を1つのメモリセルに4値を記憶可能なフラッシュメモリに適用した場合についてその実施例を図面を用いて説明する。

【0021】

先ず、図1を用いて本実施例のフラッシュメモリのデータ読出し順序を簡単に説明する。なお、本実施例では、メモリアレイが2つのマットで構成され、2つのマット間に各マット内のビット線BLに接続され読出し信号の増幅およびラッチを行なうセンス&ラッチ回路(以下センスラッチと称し、図にはSLと記す)が配置され、マットの外側すなわちビット線BLを挟んで反対側にそれぞれ読出しデータを一時保持するためのラッチ回路が配置されている。以下、このラッチ回路をデータラッチと称し、図にはDLと記すとともに、2つのマットのうち上マット側と下マット側とでそれぞれU、Dを付して区別する。なお、WLはワード線、MCはメモリセルである。

10

【0022】

この実施例では、読出しに先立って選択側のマット(ここでは上側マット内のメモリセルを選択する場合を考える)のすべてのビット線BLを例えば1.0Vのような電位にプリチャージする。このプリチャージは、センスラッチSLに、選択マット側の入出力ノードが“1”レベルとなるようなデータを設定することにより行なう。センスラッチSLへのデータの設定は、非選択側のノードをMOSFETを介してグラウンドに接地し、センスラッチの選択側の入出力ノードをハイレベルにさせることで行なう。非選択側ビット線は0.5Vのような電位にハーフプリチャージされ、選択側のビット線電位と非選択側ビット線電位との比較でデータが検出されるようになっている。

20

【0023】

次に、選択マット側のいずれかのワード線を、最初に最も低い読出しレベルVRW1(=1.5V)に立ち上げる。すると、当該ワード線に接続された1行分のメモリセルの読出しが行なわれる。これによって、しきい値が最も高いメモリセル(記憶データが“11”)としきい値が2番目に高いメモリセル(記憶データ“10”)としきい値が3番目のメモリセル(記憶データ“00”)から対応するセンスラッチSLに読み出されたデータは“1”となり、しきい値が最も低いメモリセル(記憶データ“01”)から対応するセンスラッチSLに読み出されたデータのみ“0”となる(ステップS1)。

30

【0024】

ステップ2では、上記センスラッチSLに読み出されて保持されているデータを非選択側のマットのビット線BLを介してデータラッチDLへ転送する。このデータ転送についても後述するが、概念的には図2に示すように、ビット線BLとセンスラッチSLとの間およびビット線BLとデータラッチDL(DLUおよびDL D)との間にそれぞれ設けられている転送用MOSFET Q t1とQ t2をオンさせることで行なう。なお、このときセンスラッチSLの非選択マット側の入出力ノードには上記保持データとは逆のデータが現れているので、データラッチDLに転送され、保持されるデータはセンスラッチSLの保持データを反転したデータとなる。このデータ転送が終了すると、各ビット線BL上に設けられているディスチャージ用MOSFET(後述)をすべてオンさせることで、全部のビット線の電位を接地電位(0V)に落とす(以下、これをビット線のリセットと称する)。

40

【0025】

ステップ3では、先ず上記センスラッチSLに保持されているデータを用いて上記選択側のマット内のビット線BLのプリチャージを行なう。これによって、データ“0”を保持しているセンスラッチに接続されたビット線にはプリチャージが行われないうこととなり、その分消費電力を減らすことができる。プリチャージ終了後に、ステップ1で選択レベ

50

ルにしたワード線と同一のワード線を、例えば2.5Vのような2番目の読出しレベルV<sub>RW2</sub>に立ち上げ、当該ワード線に接続された1行分のメモリセルの読出しを行なう。これによって、しきい値が最も高いメモリセル（記憶データが“11”）としきい値が2番目に高いメモリセル（記憶データ“10”）から対応するセンスラッチS<sub>L</sub>に読み出されたデータは“1”となり、しきい値が3番目のメモリセル（記憶データ“00”）としきい値が最も低いメモリセル（記憶データ“01”）から対応するセンスラッチS<sub>L</sub>に読み出されたデータは“0”となる。

#### 【0026】

ステップ4では、上記センスラッチS<sub>L</sub>に読み出されて保持されているデータを選択側のマットのビット線B<sub>L</sub>を介してデータラッチD<sub>LU</sub>へ転送する。このデータ転送についても、ビット線B<sub>L</sub>とセンスラッチS<sub>L</sub>、データラッチD<sub>L</sub>との間にそれぞれ設けられている転送用MOSFET Q<sub>t1</sub>, Q<sub>t2</sub>をオンさせることで行なう。なお、このときセンスラッチS<sub>L</sub>の選択マット側の入出力ノードには上記保持データと同じデータが現れているので、データラッチD<sub>LU</sub>に転送され、保持されるデータは、ステップ2とは異なりセンスラッチS<sub>L</sub>の保持データと同じデータとなる。このデータ転送が終了すると、各ビット線上に設けられているディスチャージ用MOSFET（後述）をすべてオンさせることで、ビット線をリセットする。

#### 【0027】

ステップ5では、先ず上記センスラッチS<sub>L</sub>に保持されているデータを用いて上記選択側のマット内のビット線B<sub>L</sub>のプリチャージを行なう。プリチャージ終了後に、ステップ1で選択レベルにしたワード線と同一のワード線を例えば3.5Vのような3番目の読出しレベルV<sub>RW3</sub>に立ち上げ、当該ワード線に接続された1行分のメモリセルの読出しを行なう。これによって、しきい値が最も高いメモリセル（記憶データが“11”）から対応するセンスラッチS<sub>L</sub>に読み出されたデータのみ“1”となり、しきい値が2番目に高いメモリセル（記憶データ“10”）としきい値が3番目のメモリセル（記憶データ“00”）としきい値が最も低いメモリセル（記憶データ“01”）から対応するセンスラッチS<sub>L</sub>に読み出されたデータは“0”となる。

#### 【0028】

ステップ6では、上記センスラッチS<sub>L</sub>に読み出されて保持されている反転データと非選択側のデータラッチD<sub>LD</sub>に保持されているデータ（選択されたメモリセルの反転データ）とのイクスクループOR論理演算を、ビット線B<sub>L</sub>を利用したワイヤード論理演算にて行なう。すなわち、図2（B）に示されているように、この実施例では上記ビット線B<sub>L</sub>とデータラッチD<sub>LD</sub>との間に設けられている転送用MOSFET Q<sub>t2</sub>を迂回するように直列形態のMOSFET Q<sub>e1</sub>, Q<sub>e2</sub>がビット線B<sub>L</sub>と接地点との間に設けられており、これらのMOSFETのうちQ<sub>t2</sub>をオフ、またQ<sub>e1</sub>をオンさせた状態でセンスラッチS<sub>L</sub>側の転送用MOSFET Q<sub>t2</sub>を一時的にオンさせて保持データをビット線に出力させる。そして、Q<sub>e2</sub>をデータラッチD<sub>LD</sub>に保持されているデータに応じてオンまたはオフさせる。すると、このときデータラッチD<sub>LD</sub>の保持データが“0”ならばQ<sub>e2</sub>がオフとなるため、ビット線はセンスラッチS<sub>L</sub>から出力されたデータをそのまま維持する。一方、データラッチD<sub>LD</sub>の保持データが“1”ならばQ<sub>e2</sub>がオンされるため、ビット線B<sub>L</sub>は接地電位に下げられる。

#### 【0029】

上記のようなMOSFET Q<sub>t1</sub>, Q<sub>t2</sub>, Q<sub>e1</sub>, Q<sub>e2</sub>の動作制御により、同図の真理値表に示すような論理演算結果がビット線B<sub>L</sub>上に残ることとなる。なお、上記真理値表において、センスラッチS<sub>L</sub>の保持データが“0”でデータラッチD<sub>LD</sub>の保持データが“1”の場合の論理演算結果が示されていないのは、1度読出しデータが“0”となったメモリセルはその後必ず読出しデータが“0”となる（読出しワード線レベルが低い方から行なっているため）ので、上記のごとく非選択側に於いて、センスラッチS<sub>L</sub>の保持データが“0”でデータラッチD<sub>LD</sub>の保持データが“1”となる場合が生じ得ないためである。

10

20

30

40

50

## 【0030】

ステップ7では、上記データラッチDL Dを一旦リセットしてから上記転送用M O S F E T Q t2をオンさせることで、上記ビット線上の論理演算結果はデータラッチDL Dに転送され、保持される。そして、このデータラッチDL Dに保持されたデータは反転されて出力回路へ、また選択側のデータラッチDL Uの保持データはそのまま出力回路へ供給されて、所定のタイミングで外部へ出力される。その結果、読出しが行なわれたメモリセルのしきい値に応じた記憶データが外部へ出力されることとなる。

## 【0031】

図3にはメモリアレイ10と周辺回路の具体例を示す。この実施例のメモリアレイ10は2つのマット構成されており、図3にはそのうち片方(上側)のメモリマットの具体例が示されている。同図に示すように、各メモリマットは、列方向に配列され各々ソースおよびドレインが共通接続された並列形態のn個のメモリセル(フローティングゲートを有するM O S F E T) M C 1 ~ M C nからなるメモリ列M C Cが行方向(ワード線W L方向)および列方向(ビット線B L方向)にそれぞれ複数個配設されている。各メモリ列M C Cは、n個のメモリセルM C 1 ~ M C nのドレインおよびソースがそれぞれ共通のローカルドレイン線L D Lおよび共通のローカルソース線L S Lに接続され、ローカルドレイン線L D Lは選択スイッチM O S F E T Q s1を介してビット線B Lに、またローカルソース線L S Lは選択スイッチM O S F E T Q s2を介して接地点または負電圧に接続可能にされた構成にされている。

ワードドライブ回路W - D R I V E Rはドライバ回路D R 1 ~ D R 4を有する。各ドライバ回路D R 1 ~ D R 4は電源端子t 1及びt 2を有し、対応するワード線W L 1 1, W L 1 n, W L 2 1, W L 2 nに結合される。消去電圧E、書込み防止電圧P P、読み出し電圧V R W 1 ~ V R W 3、書き込みベリファイ電圧V W W 1 ~ V W W 3、消去ベリファイ電圧W E W、書込み電圧P及び接地電位V s sは図14で示される電源切り替え回路によって生成され、アドレスデコーダX - D E Cに供給される。アドレスデコーダX - D E Cは供給された前記電圧を選択し、各ドライバ回路D R 1 ~ D R 4の電源端子t 1及び電源端子t 2に供給する。電源端子t 1には消去電圧E、書込み防止電圧P P、読み出し電圧V R W 1 ~ V R W 3、書き込みベリファイ電圧V W W 1 ~ V W W 3及び消去ベリファイ電圧W E Wが選択的に供給される。また、電源端子t 2には書き込み電圧P及び接地電位V s sが選択的に供給される。

## 【0032】

メモリ列M C C及び選択スイッチM O S F E T Q s1, Q s2は半導体基板上の同一のウェル領域W E L L内に形成され、データ消去時にはワード線に消去電圧(= 16 V)のような電圧を印加することで、ワード線単位で一括消去が可能にされている。なお、データ消去時には消去ワード線を含むブロックのスイッチM O S F E T Q s1, Q s2がオン状態にされて選択ブロック、メモリセルのソースおよびドレインに0 Vの電圧が印加されるように構成されている。

## 【0033】

一方、データ書込み時には、選択されるメモリセルが接続されたワード線に書き込み電圧P(= - 11 V)のような負電圧が印加されるとともに、選択されるメモリセルに対応したビット線B Lが5 Vのような電位にされかつ選択メモリセルが接続されたローカルドレイン線L D L上のスイッチM O S F E T Q s1がオン状態にされ、ドレインに5 Vが印加される。ただし、このときローカルソース線L S L上の選択スイッチM O S F E T Q s2はオフ状態とされている。また、データ読出し時には、選択されるメモリセルが接続されたワード線に読み出し電圧V R W 1(= 1.5 V), V R W 2(= 2.5 V), V R W 3(= 3.5 V)のような電圧が印加されるとともに、選択されるメモリセルに対応したビット線B Lが1 Vのような電位にプリチャージされかつ選択メモリセルが接続されたローカルドレイン線L D L上の選択スイッチM O S F E T Q s1がオン状態とされる。そして、このときローカルソース線L S L上の選択スイッチM O S F E T Q s2はオン状態とされ、接地電位が印加される。

10

20

30

40

50

## 【 0 0 3 4 】

上記ビット線 B L の一端（メモリアレイの中央側）には読出し時にビット線のレベルを検出するとともに書込み時に書込みデータに応じた電位を与えるセンスアンプや転送用 M O S F E T ( Q t 1 )、プリチャージ M O S F E T 等からなるセンスラッチ回路 S L がそれぞれ接続され、ビット線 B L の他端には書込みデータおよびリードデータを保持可能なラッチ回路、転送用 M O S F E T ( Q t 2 )、演算時に使用する付加回路 ( Q e 1 , Q e 2 ) 等からなるデータラッチ回路 D L V がそれぞれ接続されている。この実施例のメモリアレイは 2 つのマットで構成されているため、センスラッチ回路 S L の反対側すなわち図の下側にも上記と同様のメモリマットが配置されており、そのメモリアレイ内の各ビット線 B L が対応するセンスラッチ回路 S L の他方の入出力端子に接続されている。

10

## 【 0 0 3 5 】

なお、上記実施例では、全てのビット線上の対応する制御用 M O S F E T ( 転送用 M O S F E T Q t 1 , Q t 2 等 ) を各メモリマットごとに共通の制御信号で制御するように構成した場合について説明したが、奇数列のビット線と偶数列のビット線の 2 つのグループに分けてそれぞれのグループごとに対応する制御用 M O S F E T 同士を共通の制御信号で制御するように構成して、制御信号を形成する側の回路の負荷の軽減を図ることも可能である。

## 【 0 0 3 6 】

図 4 には上記センスラッチ回路 S L およびデータラッチ回路 D L U の具体的回路例を示す。回路はセンスラッチ回路を挟んで対称であるため、一方のメモリマット内の 1 本のビット線に関してのみ図示するとともに、便宜上、ビット線に接続されているメモリ列のうち 1 つのメモリ列 M C C のみ示したが、実際には複数のメモリ列 M C C が接続されるものである。

20

## 【 0 0 3 7 】

図 4 に示すごとく、センスラッチ回路 S L は P チャンネル M O S F E T と N チャンネル M O S F E T からなる 2 つの C M O S インバータの入出力端子が交差結合されたフリップフロップ回路 F F 1 を備えている。そして、上記センスラッチ回路 S L の一方の入出力端子 N a に一方のメモリマット内のビット線 B L u がデータ転送 M O S F E T Q t 1 を介して接続されている。また、センスラッチ回路 S L の他方の入出力端子 N b には他方のメモリマット内のビット線 B L d がデータ転送 M O S F E T Q t 1 ' を介して接続されている。

30

## 【 0 0 3 8 】

さらに、上記センスラッチ回路 S L の入出力端子 N a , N b にはそれぞれディスチャージ用の M O S F E T Q d 1 , Q d 1 ' が接続され、ビット線 B L u の他端にもディスチャージ用 M O S F E T Q d 2 が接続されている。また、各ビット線 B L u にはプリチャージ用の M O S F E T Q p 1 , Q p 2 が接続され、このうち Q p 1 は M O S F E T Q c 1 を介して電源電圧 V c c が供給される端子に接続され、Q c 1 のゲートはフリップフロップ F F 1 の入出力ノード N a に接続されその保持データに応じてオン、オフされ、P C U が  $1 V + V_{t h}$  (しきい値電圧) のような電位にされることにより、F F 1 の保持データが “ 1 ” のときに対応するビット線が  $1 V$  にプリチャージされる。また、このとき非選択側のプリチャージ M O S F E T Q p 2 ' ( Q p 2 に相当 ) はそのゲート制御信号 P R D ( P R U に相当 ) が  $0 . 5 V + V_{t h}$  のような電位にされることにより  $0 . 5 V$  にプリチャージされるようになっている。

40

## 【 0 0 3 9 】

なお、上記センスラッチ回路 S L の入出力端子 N a , N b にはカラムスイッチ M O S F E T ( Y ゲート ) Q y を介して、他端がデータ切り替え回路に接続されたコモン入出力線 C I / O に接続可能にされている。また、上記センスラッチ回路 S L の入出力端子 N a , N b にはそれぞれオール “ 0 ” 判定用の M O S F E T Q a のゲートが接続されている。このオール “ 0 ” 判定用の M O S F E T Q a のソースは接地点に、またドレインは予めプリチャージされる共通出力線 I C O に接続されており、1 つでもセンスラッチ S L の保持データが “ 1 ” であるに対応する M O S F E T Q a がオンされて共通出力線 I C O の電位

50

が引き抜かれるため、この共通出力線 I C O の電位がハイレベルであれば全てのセンスラッチ S L の保持データが “ 0 ” であると判定することができる。

【 0 0 4 0 】

一方、上記データラッチ回路 D L U はセンスラッチ回路 S L と同様に P チャンネル M O S F E T と N チャンネル M O S F E T からなる 2 つの C M O S インバータの入出力端子が交差結合されたフリップフロップ回路 F F 2 を備えている。そして、上記データラッチ回路 D L U の一方の入出力端子 N c にメモリマット内のビット線 B L u がデータ転送用 M O S F E T Q t2 を介して接続されている。また、データラッチ回路 D L U の入出力端子 N c にはディスチャージ用の M O S F E T Q d3 が接続され、ビット線 B L u と接地点との間にはプリチャージ信号 D P \_ U および上記入出力端子 N c の電位によってオン、オフされる M O S F E T Q e1 および Q e2 が直列形態に接続されている。

10

【 0 0 4 1 】

さらに、データラッチ回路 D L U の入出力端子 N c には、M O S F E T Q g を介してデータ切り替え回路に接続可能にされている。また、図 4 には示されていないが、上記センスラッチ回路 S L の入出力端子 N b に接続されたビット線 B L d の他端にもフリップフロップ回路等からなるデータラッチ回路 D L D が配置されている。

【 0 0 4 2 】

図 2 1 には、データ読み出しのフローチャートが示されている。ステップ 1 ( S T 1 ) にて読み出しコマンドが入力されることによりフラッシュメモリは読み出しモードに設定される。ステップ 2 ( S T 2 ) にて読み出しアドレスの入力がされる。読み出しアドレスはアドレスデコーダによってデコードされ、ワード線が選択される。ステップ 3 ( S T 3 ) にて選択されたワード線に読み出し電圧 V R W 1 が印加され、選択されたワード線を有するメモリマット ( 選択側メモリマット ) 内のデータ線はプリチャージ用の M O S F E T Q p1 によってプリチャージ動作が実行され、全データ線は 1 V にプリチャージされる。もう一方のメモリマット ( 非選択側メモリマット ) 内の全データ線はプリチャージ用の M O S F E T Q p2 によって 0 . 5 V にプリチャージされる。

20

【 0 0 4 3 】

ステップ 4 ( S T 4 ) にて、選択されたワード線から読み出されたデータがセンスラッチ回路 S L に格納される。ステップ 5 ( S T 5 ) にてセンスラッチ回路 S L に格納されたデータはデータラッチ回路 D L D に転送され、格納される。ステップ 6 ( S T 6 ) にて上記選択されたワード線に読み出し電圧 V R W 2 が印加され、選択側メモリマット内の全データ線はプリチャージ用の M O S F E T Q p1 によってプリチャージ動作が実行される。しかし、ステップ 4 において、「 0 」データ ( 読み出し電圧 V R W 1 より低いしきい値 ) を格納したセンスラッチ回路 S L に結合されるデータ線は、M O S F E T Q c1 がオン状態とならないので 1 V にはプリチャージされない。つまり、ステップ 6 において 1 V にプリチャージされるデータ線は、ステップ 3 のデータ読み出しにおいて「 1 」データ ( 読み出し電圧 V R W 1 より高いしきい値 ) を格納したセンスラッチ回路 S L に結合されるデータ線のみである。非選択側のメモリマット内の全データ線はプリチャージ用の M O S F E T Q p2 によって 0 . 5 V にプリチャージされる。

30

【 0 0 4 4 】

ステップ 7 ( S T 7 ) にて選択されたワード線から読み出されたデータがセンスラッチ回路 S L に格納される。ステップ 8 ( S T 8 ) にてセンスラッチ回路 S L に格納されたデータはデータラッチ回路 D L U に転送され、格納される。ステップ 9 ( S T 9 ) にて上記選択されたワード線に読み出し電圧 V R W 3 が印加され、選択側メモリマット内の全データ線はプリチャージ用の M O S F E T Q p1 によってプリチャージ動作が実行される。しかし、ステップ 4 及びステップ 7 において、「 0 」データ ( 読み出し電圧 V R W 2 より低いしきい値 ) を格納したセンスラッチ回路 S L に結合されるデータ線は、M O S F E T Q c1 がオン状態とならないので 1 V にはプリチャージされない。つまり、ステップ 9 において 1 V にプリチャージされるデータ線は、ステップ 7 のデータ読み出しにおいて「 1 」データ ( 読み出し電圧 V R W 2 より高いしきい値 ) を格納したセンスラッチ回路 S L に結合

40

50

されるデータ線のみである。非選択側メモリマット内の全データ線はプリチャージ用の M O S F E T Qp2によって 0.5V にプリチャージされる。ステップ 10 ( S T 1 0 ) にて選択されたワード線から読み出されたデータがセンスラッチ回路 S L に格納される。

【 0 0 4 5 】

ステップ 11 ( S T 1 1 ) において、ステップ 5 にてデータラッチ回路 D L D に格納されたデータとステップ 10 にてセンスラッチ回路 S L に格納されたデータとのイクスクルーシブ O R 論理演算が行われる。ステップ 12 ( S T 1 2 ) にてステップ 10 の演算結果がセンスラッチ回路に格納される。ステップ 13 ( S T 1 3 ) にてセンスラッチ回路に格納された演算結果データがデータレジスタ D L D に転送され、格納される。ステップ 14 ( S T 1 4 ) にてデータレジスタ D L U , D L D に格納されたデータが図 14 に示される外部端子 I / O から出力される。

10

【 0 0 4 6 】

読み出し動作において、データ線を奇数列及び偶数列に分けて読み出しを実行する場合、奇数列のデータ線に対しプリチャージ動作が実行された後、奇数列のデータ線に結合されるセンスラッチ回路にデータが読み出され、次に偶数列のデータ線に対しプリチャージ動作が実行された後、偶数列のデータ線に結合されるセンスラッチ回路にデータが読み出される。

なお、同図において、ステップ 3 ( S T 3 ) 及びステップ 4 ( S T 4 ) は図 1 のステップ ( S t e p 1 ) に対応し、ステップ 5 ( S T 5 ) は図 1 のステップ 2 ( S t e p 2 ) に対応し、ステップ 6 ( S T 6 ) 及びステップ 7 ( S T 7 ) は図 1 のステップ 3 ( S t e p 3 ) に対応し、ステップ 8 ( S T 8 ) は図 1 のステップ 4 ( S t e p 4 ) に対応し、ステップ 9 ( S T 9 ) 及びステップ 10 ( S T 1 0 ) は図 1 のステップ 5 ( S t e p 5 ) に対応し、ステップ 11 ( S T 1 1 ) 及びステップ 12 ( S T 1 2 ) は図 1 のステップ 6 ( S t e p 6 ) に対応し、ステップ 13 ( S T 1 3 ) は図 1 のステップ 7 ( S t e p 7 ) に対応し、ステップ 14 ( S T 1 4 ) は図 1 のステップ 8 ( S t e p 8 ) に対応する。

20

【 0 0 4 7 】

図 22 はデータ読み出し動作における選択側メモリマット内のデータ線の電位変化を示す図である。同図ではわかりやすくするためにワード線 W L には、しきい値分布 A に属するメモリセル a、しきい値分布 B に属するメモリセル b、しきい値 C に属するメモリセル c 及びしきい値 D に属するメモリセル d のみが結合されている。各メモリセル a、b、c 及び d には対応するデータ線 B L 0 ~ B L 3 が結合されている。ワード線 W L に読み出し電圧 V R W 1 が印加されるときデータ線 B L 0 ~ B L 3 はすべて 1V にプリチャージされる。メモリセル a はオン状態となるので、データ線 B L 0 のみロウレベルとなる。次にワード線 W L に読み出し電圧 V R W 2 が印加されるときデータ線 B L 0 はロウレベルのままであり、データ線 B L 1 ~ B L 3 は 1V にプリチャージされる。メモリセル b はオン状態となるので、データ線 B L 1 はロウレベルとなる。さらにワード線 W L に読み出し電圧 V R W 3 が印加されるときデータ線 B L 0 及び B L 1 はロウレベルのままであり、データ線 B L 2 及び B L 3 は 1V にプリチャージされる。メモリセル c はオン状態となるので、データ線 B L 2 はロウレベルとなる。このように一度「0」が読み出されたデータ線はプリチャージ動作が実行されたとしてもプリチャージはされない。

30

40

【 0 0 4 8 】

図 5 には、データ読出し時のタイミングが示されている。図 5 において、T 1 は 1 回目のデータ読出し期間、T 2 は 2 回目のデータ読出し期間、T 3 は 3 回目のデータ読出し期間である。各読出し期間は、ほぼ同じような手順で読出し動作を行なうようになっており、それぞれワード線切替え期間 t 1、ビット線プリチャージ期間 t 2、メモリによるディスチャージ期間 t 3、センスラッチ S L による増幅期間 t 4、センスラッチからデータラッチへのデータ転送期間 t 5、ビット線リセット期間 t 6 に細分される。なお、2 回目のデータ読出し期間におけるデータ転送方向は、1 回目のデータ読出し期間におけるデータ転送方向とは逆となる。また、3 回目の読出し期間 T 3 においては増幅期間 t 4 とデータ転送期間 t 5 との間に演算期間 t 4' が入るとともに、データ転送はセンスラッチ S L にあ

50

る3番目のリードデータおよびデータラッチDLU, DLDに保持されている最初と2番目のリードデータを出力バッファ回路へ転送する点で、1回目や2回目の読出し期間と若干異なっている。

#### 【0049】

なお、図5において、W.L.は選択ワード線の電位、B.L.はビット線の電位、PCUはプリチャージMOSFET Qp1のゲート制御信号、PCDは反対側のマットのプリチャージMOSFET Qp1のゲート制御信号、n(SU), n(SD)はセンスラッチSLの入出力ノードNa, Nbの電位、TRU/Dは転送用MOSFET Qt1のゲート制御信号、DTUは転送用MOSFET Qt2のゲート制御信号、n(DUS)はデータラッチの入力ノードNcの電位、SSi, SDiは選択スイッチQs1, Qs2の制御信号、DPUはデータラッチDLU側のMOSFET Qe1のゲート制御信号である。

10

#### 【0050】

WL切り替え動作において、ワード線WLに読み出し電圧VRW1(1.5V)を印加し、選択側メモリマット内のプリチャージ用のMOSFET Qp1のゲートに $1V + V_{th}$ の電圧が印加されることにより、データ線BL(S)は1Vにプリチャージされる。センスラッチ回路には「1」データが格納されていたとして、MOSFET Qd1のゲートにハイレベルの信号RSAUが印加されることによりセンスラッチ回路の入出力ノードNaの電位はロウレベルとされる。メモリディスチャージ動作において、センスラッチ回路の入出力ノードNaの電位はロウレベルとされたことにより、センスラッチ回路の入出力ノードNbの電位はハイレベルとなる。非選択側メモリマット内のプリチャージ用のMOSFET Qp2のゲートに $0.5V + V_{th}$ の電圧が印加されることにより、データ線BL(R)は0.5Vにプリチャージされる。非選択側メモリマット内データ線のプリチャージはWL切り替え動作の時に実行しても良い。

20

#### 【0051】

選択されたワード線WLに結合されたメモリセルのしきい値が読み出し電圧VRW1より低い場合、スイッチMOSFET Qs1及びQs2のゲートにハイレベルの信号SDi及びSSiが印加されることによりデータ線BL(S)の電位はプリチャージレベルの1Vから徐々に下がっていく。増幅動作において、転送用MOSFET Qt1及びQt1'をオンさせるために転送用MOSFET Qt1及びQt1'のゲートにハイレベルの信号TRU及びTRDが印加される。この時、センスラッチ回路とデータ線は結合され、センスラッチ回路はデータ線上のデータの増幅をする。転送動作において、データレジスタDLUとデータ線BL(S)の間に設けられた転送用MOSFET Qt2のゲートにハイレベルの信号DTUが印加されることによってセンスラッチ回路によって増幅されたデータがデータレジスタDLUに転送・格納される。リセット動作において、MOSFET Qd1及びQd1'のゲートにハイレベルの信号RSAU及びRSADが印加されることによりデータ線BL(S)及びBL(R)は0Vにリセットされる。

30

#### 【0052】

演算動作において、転送用MOSFET Qt1及びQt1'をオンさせるために転送用MOSFET Qt1及びQt1'のゲートにハイレベルの信号TRU及びTRDが印加される。括弧内の数値はデータレジスタDLU及びDLDに格納されているデータを示す。付加回路Qe1のゲートにハイレベルの信号DPUを付加することにより図1に示した演算が実行され、転送用MOSFET Qt2のゲートにハイレベルの信号DTUを付加することにより演算結果がデータレジスタ内に格納される。

40

#### 【0053】

図6は、外部から入力される記憶すべきデータをメモリセルに記憶される多値データへ変換するデータ変換回路20の構成およびこのデータ変換回路20とメモリアレイ10内のセンスラッチ列11およびデータラッチ列12a, 12bとの関係を示す。データ変換回路20は、入力バッファ部21とデータ変換部22とからなり、8ビットのデータが2ビットずつペアにして並列に入力可能にされている。図6には、そのうち1組の入力バッファ部とデータ変換部の詳細が示されている。以下、そのうち1組のデータ変換回路につい

50

て説明する。

【 0 0 5 4 】

1組のデータ変換回路内の入力バッファ部21は2つのクロックインバータINV1, INV2およびラッチ回路LT1, LT2から構成され、データ変換部22は上記各組のラッチ回路LT1, LT2に接続されたインバータINV11, INV12と、この2つのインバータINV11, INV12の出力と上記各組のラッチ回路LT1, LT2の出力とを入力信号とする3個のNANDゲート回路G1, G2, G3と、これらのゲート回路の出力を反転するインバータINV21, INV22, INV23と、これらのインバータに接続されたMOSFETからなる伝送ゲートTG1, TG2, TG3とによって構成され、入力された2ビットのデータを3ビットのデータに変換し、全体として3ビット

10

【 0 0 5 5 】

表2には、上記データ変換回路20におけるデータ変換例を示す。

【表2】

書込データ	I/O 0	I/O 1	DLU [1]	SL [1]	DLD [1]
01	0	1	0	1	0
00	0	0	1	0	0
10	1	0	0	0	1
11	1	1	0	0	0

20

【 0 0 5 6 】

表2に示されているように、書込みデータ“01”は3ビットのデータ“010”に変換され、書込みデータ“00”は3ビットのデータ“100”に変換され、書込みデータ“10”は3ビットのデータ“001”に変換され、書込みデータ“11”は3ビットのデータ“000”に変換される。そして、変換後“1”に相当するビットに対応するメモリセルにのみ書込みがなされ、変換後“0”に相当するビットに対応するメモリセルには書込みがなされないこととなる。

30

【 0 0 5 7 】

外部端子I/O0及びI/O1を介して上記データ変換回路20に最初に入力された8ビットの書込みデータは3ビットのデータに変換される。変換されたデータはメモリアレイ10の両端(図では上と下)に配置されているデータラッチ列12a(前記DLUに相当), 12b(前記DLDに相当)とメモリアレイの中央に配置されているセンスラッチ列11(前記SLに相当)の1番目のラッチ回路にそれぞれ転送され、保持される。また、外部端子I/O2及びI/O3を介して供給された書込みデータもまた3ビットのデータ

40

【 0 0 5 8 】

以下同様に、外部端子I/O4及びI/O5を介して供給された書込みデータもまた3ビットのデータに変換され、データラッチ列12a, 12bセンスラッチ列11の3番目のラッチ回路にそれぞれ転送され、保持される。外部端子I/O6及びI/O7を介して供給された書込みデータもまた3ビットのデータに変換され、データラッチ列12a, 12bとセンスラッチ列11の4番目のラッチ回路にそれぞれ転送され、保持される。次に入力された8ビットの書込みデータは、データ変換回路20で変換されてデータラッチ回路

50

12a, 12bとセンスラッチ回路11の5～8番目のビットにそれぞれ転送され、保持される。

【0059】

上記動作を繰り返してデータラッチ列12a, 12bとセンスラッチ列11の全てのラッチ回路にデータが格納された時点で、メモリ内部に設けられている後述の制御回路が書込みシーケンスを起動して、最初にセンスラッチ列11に保持されているデータ、次にセンスラッチ列12aのデータ、その後12bのデータの順で書込みを実行する。なお、制御回路は外部のCPU等から入力されるコマンドに従って制御を行なうように構成されている。

【0060】

図7には、データ書込み時のタイミングが示されている。同図から分かるように、書込み時には、先ず書込みコマンドが入力され、続いて、書込み先のセクタアドレスadd1, add2が入力されてそれぞれライトイネーブル信号/W<sub>E</sub>の立下がりに同期して取り込まれる。このとき、コマンドとアドレスの識別は同時に入力される制御信号(コマンド・データ・イネーブル信号)/CDEによって区別される。すなわち、/CDEがロウレベルのときはコマンドまたはデータが入力されていると判別し、/CDEがハイレベルのときはアドレスが入力されていると判別する。

【0061】

アドレスの次に、1セクタ(1つのワード線に接続されているメモリセル)に記憶すべき最初の8ビットの書込みデータD1が入力され、クロックSCに同期して上記入力バッファ部21に取り込まれる。そして、データ変換回路20におけるデータ変換後にゲート制御信号YGによって上記伝送ゲートTG1～TG3がONされて、3ビット×4の書込みデータがデータラッチ列12a, 12bとセンスラッチ列11に順次転送され、保持される。その後、8ビット単位で入力される書込みデータD2, D3, …, D528が逐次データ変換されてセンスラッチ列11とデータラッチ列12a, 12bに格納されて行く。1セクタ分の書込みデータの転送が終了すると、外部から書込み開始コマンドが入力されて取り込まれ、このコマンドを解釈し前記書込みシーケンスを実行することで1セクタ分のデータの書込みが同時に行なわれる。

【0062】

メモリアレイ10では、上記センスラッチ列11とデータラッチ列12a, 12bに格納されたデータが“1”になっているビット線に接続されている記憶素子に対して書込み動作すなわち書込みパルスの印加が行なわれて、各記憶素子のしきい値が図18に示されている分布のいずれかにシフトされて4値のデータを1メモリセルに書き込むことができる。図8に書込み制御手順を示す。なお、このデータ書き込みに先立って、すべてのメモリセルのしきい値を最も高い状態(データ“11”に相当する状態)にする消去が行われているものとする。

【0063】

図8における第1ステップS1(書込みデータをラッチ1～3に転送)が上記データ変換回路20からセンスラッチ列11とデータラッチ列12a, 12bへのデータ転送であり、第2ステップS2以降が上記書込み開始コマンドが入力されることで開始される制御シーケンスである。

【0064】

この制御シーケンスでは、先ず最初に、既に取り込まれている書込みアドレスをデコードすることによって選択されたワード線を-1.1Vのような電位に設定する(ステップS2)。これとともに、ビット線上の転送MOSFET Q<sub>t1</sub>をオンさせて、そのときセンスラッチ列11に保持されているデータに応じてデータが“1”になっているビット線を5Vのような電位に設定して書込みを行なわせる。次に、ビット線を1Vのような電位にプリチャージしてから上記選択ワード線を1.0Vのような電圧に設定して、ベリファイ読出しを行なう。このとき正常に書込みが終了したメモリセルからセンスラッチ列11に読み出されたデータは“0”に変化する。そこで、センスラッチ列11の保持データがすべ

10

20

30

40

50

て“ 0 ”になっているか否か判定する（ステップ S 3）。そして、1つでも“ 1 ”のデータが残っている場合には、そのときセンスラッチ列 1 1 に保持されているデータを用いて再度書込みを行なう（ステップ S 4）。

【 0 0 6 5 】

ベリファイ判定の結果、センスラッチ列 1 1 のデータがすべて“ 0 ”になった場合にはステップ S 5 へ進んで、データラッチ列 1 2 a に保持されているデータをセンスラッチ列 1 1 へ転送する。それから、選択ワード線を前回よりも若干低い - 1 0 . 5 V のような電位に設定する（ステップ S 6）。次に、センスラッチ列 1 1 に保持されたデータに基づいて書込みを行なった後、選択ワード線を 2 . 0 V のような電圧に設定して、ベリファイ読出しを行なって、センスラッチ列 1 1 の保持データがすべて“ 0 ”になっているか否か判定する（ステップ S 7）。そして、1つでも“ 1 ”のデータが残っている場合にはそのときセンスラッチ列 1 1 に保持されているデータを用いて再度書込みを行なう（ステップ S 8）。

10

【 0 0 6 6 】

ベリファイ判定の結果、センスラッチ列 1 1 のデータがすべて“ 0 ”になった場合には、ステップ S 9 へ進んで、今度はデータラッチ列 1 2 b に保持されているデータをセンスラッチ列 1 1 へ転送する。それから、選択ワード線を前回よりもさらに若干低い - 1 0 V のような電位に設定する（ステップ S 1 0）。次に、センスラッチ列 1 1 に保持されたデータに基づいて書込みを行なった後、選択ワード線を 3 . 0 V のような電圧に設定して、ベリファイ読出しを行なって、センスラッチ列 1 1 の保持データがすべて“ 0 ”になっているか否か判定する（ステップ S 1 1）。そして、1つでも“ 1 ”のデータが残っている場合には、そのときセンスラッチ列 1 1 に保持されているデータを用いて再度書込みを行なう（ステップ S 1 2）。

20

【 0 0 6 7 】

以上の手順により、消去レベルから遠いしきい値のメモリセルへの書込みから順次しきい値に近いメモリセルへの書込みが実行されて、書込み動作が終了する。これによって、消去レベルに近いしきい値のメモリセルに対してかかるワード線ディスタープの回数を減らすことができ、ワード線ディスタープによるしきい値の変動を最小に抑えることができる。しかも、上記実施例では、書込みワード線電圧を - 1 1 V , - 1 0 . 5 V , - 1 0 V のように、絶対値を徐々に小さくして行くようにしているため、1回に生じるディスタープの量も次第に小さくなりしきい値の変動を更に小さくすることができる。ただし、書込み電圧を徐々に下げて行く代わりに書込みパルス幅を徐々に小さくして行くようにしてもよい。

30

【 0 0 6 8 】

図 9 にはデータ書込み時（上側メモリマット内のメモリセルにデータ書込みを行った時）のメモリアレイおよびセンスラッチ回路内の各信号線の変化の様子が示されている。なお、図 9 に示されている符号は、図 4 に示されている信号の符号と対応している。因に、Y G i はカラムスイッチ Q y のゲート制御信号、N O L はセンスラッチの入出力ノード N b の電位、B L U は選択側ビット線の電位、B L D は非選択側ビット線の電位、T R U , T R D は転送用 M O S F E T Q t 1 ' , Q t 1 のゲート制御信号、P C U は選択側ビット線のプリチャージ用 M O S F E T ( Q p 1 ' ) のゲート制御信号、P R D は非選択側ビット線のハーフプリチャージ用 M O S F E T Q p 2 のゲート制御信号、R S A U , R S A D はディスチャージ用 M O S F E T Q d 1 , Q d 1 ' のゲート制御信号、S L P S L はセンスラッチのフリップフロップ F F 1 の電源である。

40

【 0 0 6 9 】

図 1 0 には、上記実施例におけるメモリセルのレイアウト構成および断面構造の一例を示す。図において、5 0 はメモリセル M C および選択スイッチ M O S F E T Q s 1 , Q s 2 のソース、ドレイン領域となる拡散層、5 1 , 5 2 はポリシリコンもしくはタンゲステンシリサイドからなる選択スイッチ M O S F E T Q s 1 , Q s 2 のゲート電極、5 3 はメモリセル M C を構成する M O S F E T のコントロールゲート電極（ワード線）、5 4 は選択スイ

50

ツチMOSFET  $Q_{s1}$ ,  $Q_{s2}$ のソース領域とビット線BLとを接続するためのコンタクトホールである。図10(B)は図10(A)におけるX-X線に沿った断面図、図10(C)は図10(A)におけるY-Y線に沿った断面図であり、図10(B)に示されているようにビット線BLは、コントロールゲート電極53の上方にこれと直交するよう配設されている。ビット線BLは例えばアルミニウム層により構成される。図10(C)に示されているように、コントロールゲート電極53の下方にはポリシリコンからなるようなフローティングゲート電極55が設けられている。

#### 【0070】

図11~図13はメモリアレイの他の実施例を示すもので、このうち図11には、NAND型と呼ばれるメモリアレイにおけるメモリセルのレイアウト構成および断面構造の一例を示す。NAND型メモリアレイにおいては、図11(D)に示されているように、ビット線BLと共通ソース線CSLに接続された選択スイッチMOSFET  $Q_{s1}$ と $Q_{s2}$ との間に複数のメモリセルMCが直列形態に接続される。図10の実施例と同様、50はメモリセルMCおよび選択スイッチMOSFET  $Q_{s1}$ ,  $Q_{s2}$ のソース、ドレイン領域となる拡散層、51, 52はポリシリコンもしくはタングステンシリサイドからなる選択スイッチMOSFET  $Q_{s1}$ ,  $Q_{s2}$ のゲート電極、53はメモリセルMCを構成するMOSFETのコントロールゲート電極(ワード線)、54は選択スイッチMOSFET  $Q_{s1}$ ,  $Q_{s2}$ のソース領域とビット線BLとを接続するためのコンタクトホールである。

#### 【0071】

図11(B)は図11(A)におけるX-X線に沿った断面図、図11(C)は図11(A)におけるY-Y線に沿った断面図であり、図11(B)に示されているようにビット線BLは、コントロールゲート電極53の上方にこれと直交するよう配設されている。ビット線BLは例えばアルミニウム層により構成される。図11(C)に示されているように、メモリセルのコントロールゲート電極53の下方にはフローティングゲート電極55が設けられている。図10の実施例では、各メモリセルがオンされたときにビット線ディスチャージ電流がコントロールゲート電極の配設方向(図10Aの横方向)に流れるのに対し、図11の実施例ではメモリセルがオンされたときに電流はコントロールゲート電極と直交する方向(図11Aの縦方向)に流れる。この実施例においてもフローティングゲート電極55はポリシリコンで構成されている。

#### 【0072】

図12には、NOR型と呼ばれるメモリアレイにおけるメモリセルのレイアウト構成および断面構造の一例を示す。NOR型メモリアレイにおいては、図12(D)に示されているように、複数のメモリセルが直列形態に配設され隣接するメモリセルのソース・ドレイン端子が共通端子とされかつ各共通端子が交互にビット線BLと共通ソース線CSLに接続された構成とされる。図12において、50aはメモリセルMCの共通ドレイン領域となる拡散層、50bはメモリセルMCの共通ソース領域となる拡散層、53はポリシリコンもしくはタングステンシリサイドからなるメモリセルMCのコントロールゲート電極(ワード線)、54はメモリセルMCの共通ドレイン領域50aとビット線BLとを接続するためのコンタクトホールである。この実施例では、メモリセルMCの共通ソース領域50bは共通ソース線CSLを兼ねている。

#### 【0073】

図12(B)は図12(A)におけるX-X線に沿った断面図、図12(C)は図12(A)におけるY-Y線に沿った断面図であり、図12(B)に示されているようにビット線BLは、コントロールゲート電極53の上方にこれと直交するよう配設されている。ビット線BLは例えばアルミニウム層により構成される。図12(C)に示されているように、メモリセルのコントロールゲート電極53の下方にはフローティングゲート電極55が設けられている。この実施例においてもフローティングゲート電極55はポリシリコンで構成されている。

#### 【0074】

図13には、DINOR型と呼ばれるメモリアレイにおけるメモリセルのレイアウト構成

10

20

30

40

50

および断面構造の一例を示す。D I N O R型メモリアレイは、図13(D)に示されているように、図12のN O R型を基本構成としこれにローカルビット線L B Lを加えた構成が特徴である。すなわち、複数のメモリセルが直列形態に配設され隣接するメモリセルのソース・ドレイン端子が共通端子とされかつ各共通端子が交互にローカルビット線L B Lと共通ソース線C S Lに接続された構成とされるとともに、ローカルビット線L B Lとビット線B Lとの間に選択スイッチM O S F E T Q s1接続されている。

【0075】

図13(A)において、50aはメモリセルM Cの共通ドレイン領域となる拡散層、50bはメモリセルM Cの共通ソース領域となる拡散層、51は選択スイッチM O S F E T Q s1のゲート電極、53はタングステンシリサイドからなるメモリセルM Cのコントロールゲート電極(ワード線)、54は選択スイッチM O S F E T Q s1のドレイン領域とビット線B Lとを接続するためのコンタクトホールである。この実施例では、メモリセルM Cの共通ソース領域50bは共通ソース線C S Lを兼ねている。

10

【0076】

図13(B)は図13(A)におけるX-X線に沿った断面図、図13(C)は図13(A)におけるY-Y線に沿った断面図であり、図13(B)に示されているようにローカルビット線L B Lは、コントロールゲート電極53の上方にこれと直交するよう配設され、ビット線B Lはローカルビット線L B Lの上方にこれとほぼ平行に配設されている。この実施例では、ローカルビット線L B Lは例えばポリシリコン層で構成され、ビット線B Lは例えばアルミニウム層により構成される。図13(C)に示されているように、メモリセルのコントロールゲート電極53の下方にはフローティングゲート電極55が設けられている。

20

【0077】

図14には、上記メモリアレイ10、データ変換回路20および制御回路並びにメモリ周辺回路を同一半導体チップ上に備えた多値フラッシュメモリの全体の構成例が示されている。

この実施例のフラッシュメモリは、特に制限されないが、外部のC P U等から与えられるコマンドをデコードするコマンドデコーダ31と、該コマンドデコーダ31のデコード結果に基づいて当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路(シーケンサ)32とを備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を実行するように構成されている。上記制御回路32は、例えばマイクロプログラム方式のC P Uの制御部と同様に、コマンド(命令)を実行するのに必要な一連のマイクロ命令群が格納されたR O M(リードオンリメモリ)からなり、コマンドデコーダ31がコマンドに対応したマイクロ命令群の先頭アドレスを生成して制御回路32に与えることにより、マイクロプログラムが起動されるように構成されている。

30

【0078】

図14において、図4と同一符号が付されている回路部分は同一の機能を有する回路である。すなわち、10は2つのメモリマットM A T - U, M A T - Dで構成されたメモリアレイ、20は外部から入力された書込みデータを2ビットごとに4値データに変換するデータ変換回路、11は変換された書込みデータや読出しデータを保持するセンスラッチ列、12a, 12bはデータラッチ列である。

40

【0079】

メモリアレイ10には、各メモリマットM A T - U, M A T - Dに対応してそれぞれX系のアドレスデコーダ13a, 13bと、該デコーダ13a, 13bのデコード結果に従って各メモリマット内の1本のワード線W Lを選択レベルに駆動するワードドライブ回路14a, 14bが設けられている。特に制限されないが、この実施例のメモリアレイ10では、上記ワードドライブ回路が各メモリマットの両側および中央に配置されている。図3や図4には示されていないが、Y系のアドレスデコーダ回路およびこのデコーダによって選択的にオン、オフされてデータ変換回路20からのデータに対応するセンスラッチに転

50

送させるカラムスイッチは、センスラッチ列 1 1 と一体的に構成されている。図 9 には、この Y 系デコーダ回路とカラムスイッチとセンスラッチ回路とが、1 つの機能ブロック Y - D E C & S L で示されている。

#### 【 0 0 8 0 】

この実施例の多値フラッシュメモリには、上記各回路の他、書込み時や消去時にセンスラッチ列 1 1 のデータに基づいて書込みまたは消去が終了したか判定して上記制御回路 3 2 に知らせ書込みシーケンスまたは消去シーケンスを終了させる書込・消去判定回路 3 3 や、内部の動作に必要なタイミングクロックを形成してメモリ内の各回路に供給するクロック発生回路 3 4、メモリ内部の状態を反映するとともに外部に対して外部からアクセスが可能か否かを示すレディ/ビジィ信号 R / B を信号を形成して出力したり内部回路をテストする機能を備えたステータス&テスト系回路 3 5、メモリアレイ 1 0 から読み出された信号を増幅するメインアンプ回路 3 6、電源系回路 3 7、外部から入力されるアドレス信号や書込みデータ信号およびコマンドを取り込んで内部の所定の回路に供給するとともに読出しデータ信号を外部へ出力するための入出力バッファ回路 3 8、外部から入力される制御信号を取り込んで制御回路 3 2 その他内部の所定の回路に供給したり上記入出力バッファ回路 3 8 を制御する制御信号入力バッファ&入出力制御回路 3 9、アドレス制御系回路 4 0、メモリアレイ内に不良ビットがあった場合に予備メモリ行と置き換えるための冗長回路 4 1 等が設けられている。

10

#### 【 0 0 8 1 】

この実施例のフラッシュメモリは、アドレス信号と書込みデータ信号およびコマンド入力とで外部端子(ピン) I / O を共用している。そのため、入出力バッファ回路 3 8 は、上記制御信号入力バッファ&入出力制御回路 3 9 からの制御信号に従ってこれらの入力信号を区別して取り込み所定の内部回路に供給する。また、上記電源系回路 3 7 は、基板電位等の基準となる電圧を発生する基準電源発生回路や外部から供給される電源電圧 V c c に基づいて書込み電圧、消去電圧、読出し電圧、ペリファイ電圧等チップ内部で必要とされる電圧を発生するチャージポンプ等からなる内部電源発生回路、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してメモリアレイ 1 0 に供給する電源切り替え回路、これらの回路を制御する電源制御回路等からなる。

20

#### 【 0 0 8 2 】

上記アドレス制御系回路 4 0 は、外部から入力されるアドレス信号を取り込んでカウントアップするアドレスカウンタ A C N T や、データ転送時に Y アドレスを自動的に更新したりデータ消去時に自動的に X アドレスを発生するアドレスジェネレータ A G E N、入力アドレスと不良アドレスとを比較してアドレスが一致したときに選択メモリ行または列を切り換える救済系回路等からなる。

30

#### 【 0 0 8 3 】

外部の C P U 等からこの実施例のフラッシュメモリに入力される制御信号としては、例えばリセット信号 R E S やチップ選択信号 C E、書込み制御信号 W E、出力制御信号 O E、コマンドもしくはデータ入力かアドレス入力かを示すためのコマンドイネーブル信号 C D E、システムクロック S C 等がある。

なお、上記実施例の多値フラッシュメモリを制御する外部の装置としては、アドレス生成機能とコマンド生成機能を備えていればよいので、汎用マイクロコンピュータ L S I を用いることができる。

40

#### 【 0 0 8 4 】

図 1 5 には上記フラッシュメモリを記憶装置として使用したシステムの構成例が示されている。かかるシステムは電源をオフしてもフラッシュメモリ内にデータが保持されるので、例えば携帯用電話機等の制御システムに好適である。図において、1 0 0 はフラッシュメモリ、1 1 0 は主としてフラッシュメモリ 1 0 0 のデータ読出しやデータ書込み、データ消去等の制御を実行するワンチップマイコン、1 2 0 はフラッシュメモリのデータ書込み時にエラー訂正符号を生成したりデータ読出し時にリードデータをチェックしてエラーを訂正したりする E C C (エラーコレクティングコード)回路、1 3 0 は E E P R O M 等

50

からなりフラッシュメモリ110のデータ書換え回数をテーブル形式で記憶する管理テーブルメモリ、140は標準バス150を介して図外のマイクロプロセッサから供給される書込みデータを一時蓄えるためのライトバッファ、160は上記ワンチップマイコン110とメモリ100、130、ECC回路120との間を接続するローカルバス、170は該ローカルバス160と上記標準バス150との間の信号のインタフェースを行なうバスインタフェース回路である。

#### 【0085】

以上説明したように、上記実施例においては、複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、ワード線読出しレベルを低い方から高い方へと変えながら順次読出しを行なって行くとともに、読み出されたデータを保持するラッチ手段を設けてその保持データに基づいて次のビット線プリチャージを選択的に行なうようにしたので、1度“0”が読み出されたメモリセルはその後レベルを高くして読出しを行っても“0”が読み出されるため、読出しを行わないのと同じ結果になり、ビット線のプリチャージを省略することができる。そして、プリチャージの省略によって消費電流を減らすことができるので、読出し時にメモリアレイからグラウンドラインに流れ出す電流を減らすことができ、これによってメモリセルのソース電位の浮き上がり量を小さくできるため、読出し不能あるいはデータ誤読出しを防止することができる。しかも、プリチャージの省略によって読出し回数を少なくすることができるため、リードディスタurbによるしきい値の変動すなわち記憶データ化けを抑制することができるという効果がある。

#### 【0086】

また、上記読出し方式によれば、しきい値の低いメモリセルのみであれば最後まで読出しを行なう前に全ての読出しデータが“0”になるので、オール“0”判定手段を設けることにより、途中で読出し動作を終了することができ、消費電流の低減に加えデータ読出し時間の短縮を図ることができるようになるという効果がある。

さらに、メモリセルのしきい値と記憶データとの対応を、隣り合うしきい値同士では記憶データのコードが1ビットのみ異なる並びとなるように決定したので、リードディスタurbがあった場合に、これを訂正するエラー訂正回路の負担が少なく回路規模も小さくて済むという効果がある。

#### 【0087】

さらに、上記実施例では、メモリアレイが2つのマットで構成され、2つのマット間には各マット内のビット線が入出力端子に接続され読み出された3ビットデータのうち1ビットを保持可能なセンスラッチ回路が配置され、各マットの外側にはそれぞれ上記センスラッチに読み出された3ビットデータのうち他の1ビットをそれぞれ保持可能なデータラッチ回路が配置され、データラッチ回路とセンスラッチ回路との間でビット線を介してデータ転送を行なうようにしているため、出力回路側にリードデータを保持するレジスタを設ける必要がないという効果がある。

#### 【0088】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、メモリセルのしきい値を4段階に設定して一つのメモリセルに4値のデータを記憶できるようにしているが、メモリセルのしきい値を例えば8段階あるいは16段階に設定して3ビット以上のデータを記憶するようにした不揮発性メモリに適用することも可能である。

#### 【0089】

また、実施例では2ビットデータを4値データに変換する方式の一例として、表2に示すような変換を行なっているが、変換方式は表2に示すものに限定されず、結果として“1”の立っているビットの位置の異なるデータが得られるものであればよい。また、データ逆変換のための演算も実施例の方式(ビット線を利用したワイヤード論理方式)のものに限定されず、専用の演算回路もしくはデータ変換回路等2ビットデータを復元できるもので

10

20

30

40

50

あればどのような方式であっても良い。

【0090】

さらに、各メモリセルに対する書込み方式も、実施例のように、一旦消去を行なってしきい値を高くした後書込みパルスでしきい値を下げる方式に限定されず、書込みパルスでしきい値を高くする方式等であっても良い。また、実施例では、データ“1”を保持するセンスラッチ回路に対応するメモリセルに書込みを行なってしきい値を変化させているが、データ“0”を保持するセンスラッチ回路に対応するメモリセルに書込みを行なってしきい値を変化させるようにしても良い。

【0091】

さらに、上記実施例では、メモリアレイを2つのマットによって構成した場合について説明したが、この発明はそれに限定されず、偶数個のマットに分割した場合はもちろん1つのマットで構成されている場合にも適用することができる。メモリアレイが1つのマットで構成された場合には、例えばデータ変換回路で変換後のデータを2回に分けて転送するなどの方式を適用すれば良い。

10

【0092】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である一括消去型フラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、フローティングゲートを有するMOSFETを記憶素子とする不揮発性記憶装置一般さらには複数のしきい値を有するメモリセルを備えた半導体装置に広く利用することができる。

20

【0093】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、この発明は、読出し時間が短かつ消費電流の少ないとともに、必要な読出し回数を減らして記憶データ化けの生じにくい多値不揮発性半導体記憶装置を実現することができる。

また、この発明は、読出し時のソース電位の浮き上がりを抑え、読出し不能あるいはデータ誤読出しを防止可能な多値不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

30

【図1】この発明に係る多値フラッシュメモリのデータ読出し方法の概略を示す説明図である。

【図2】センスラッチの保持データをビット線を介してデータラッチへ転送する方法を示す説明図である。

【図3】メモリアレイの具体例を示す回路図である。

【図4】センスラッチ回路およびデータラッチ回路の具体例を示す回路図である。

【図5】実施例の多値フラッシュメモリのデータ読出し時のタイミングを示すタイミングチャートである。

【図6】実施例の多値フラッシュメモリにおける2ビットの書込みデータを4値のデータに変換するデータ変換回路の一実施例を示す論理回路図である。

40

【図7】実施例の多値フラッシュメモリの書込み時のデータ入力タイミングを示すタイミングチャートである。

【図8】実施例の多値フラッシュメモリの書込み手順を示すフローチャートである。

【図9】データ書込み時の信号タイミングを示すタイミングチャートである。

【図10】実施例のメモリセルのレイアウト構成および断面構造の一例を示す図。

【図11】メモリセルの他の実施例のレイアウト構成および断面構造の一例を示す図。

【図12】メモリセルの他の実施例のレイアウト構成および断面構造の一例を示す図。

【図13】メモリセルの他の実施例のレイアウト構成および断面構造の一例を示す図。

【図14】本発明に係る多値フラッシュメモリの一実施例の概略を示す全体ブロック図である。

50

【図15】本発明に係る多値フラッシュメモリの応用システムの一例を示すブロック図である。

【図16】実施例のフラッシュメモリに使用されるメモリセルの構造およびデータ書込み時の電圧状態を示す模式図である。

【図17】実施例のフラッシュメモリに使用されるメモリセルの消去時の電圧状態を示す模式図である。

【図18】4値のフラッシュメモリにおけるメモリセルのしきい値分布を示す説明図である。

【図19】フラッシュメモリにおけるグランドピンからメモリセルまでのグランドラインの引き回しの例を示す説明図である。

【図20】フラッシュメモリにおけるメモリセルを構成するMOSFETのゲート・ソース間電圧とドレイン電流との関係を示す特性図である。

【図21】実施例の多値フラッシュメモリの読み出し手順を示すフローチャートである。

【図22】実施例の多値フラッシュメモリの書込み時のデータ線電位の変化を示す図である。

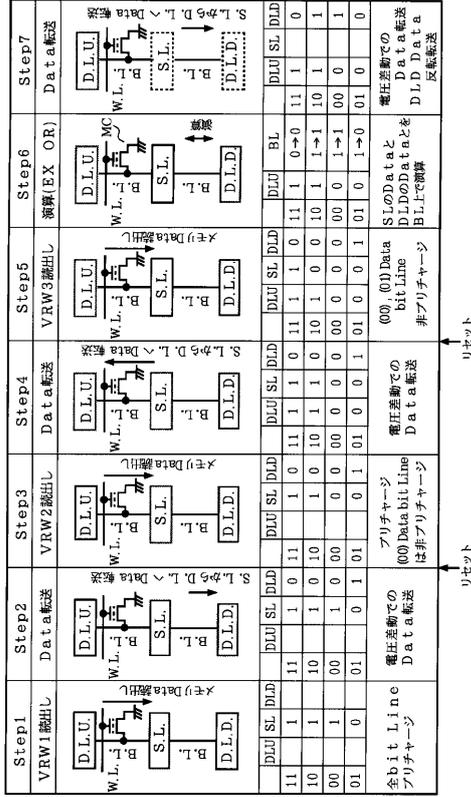
【符号の説明】

- 10 メモリアレイ
- 11 セン斯拉ッチ列
- 12 a, 12 b データラッチ列
- 13 X系アドレスデコーダ
- 14 ワードドライブ回路
- 20 データ変換回路
- 21 バッファ部
- 22 データ変換部
- SL セン斯拉ッチ回路
- DLU, DLD データラッチ回路
- BL ビット線
- WL ワード線
- MC メモリセル

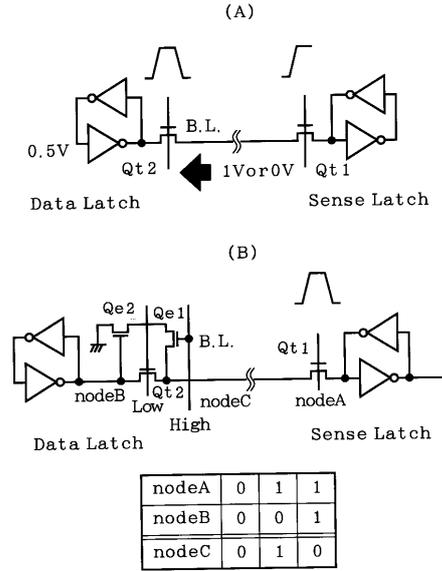
10

20

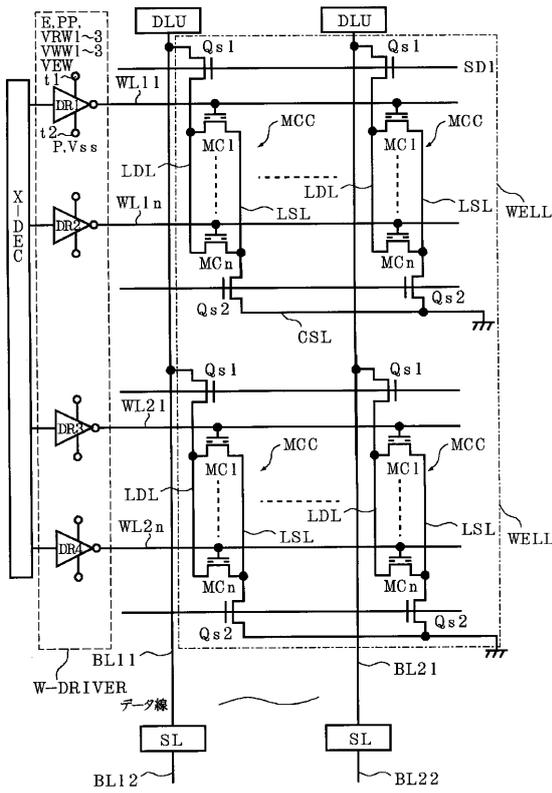
【 図 1 】



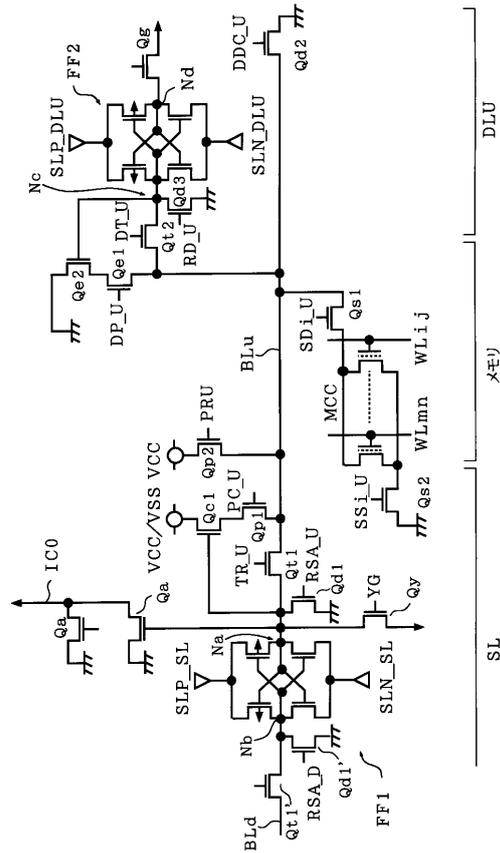
【 図 2 】



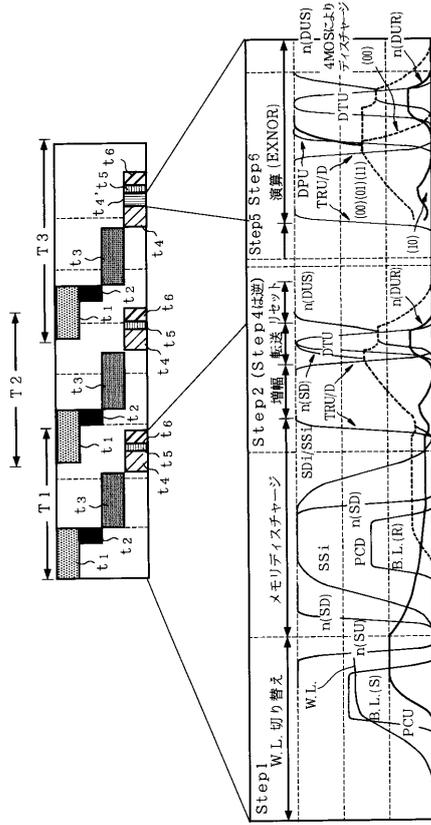
【 図 3 】



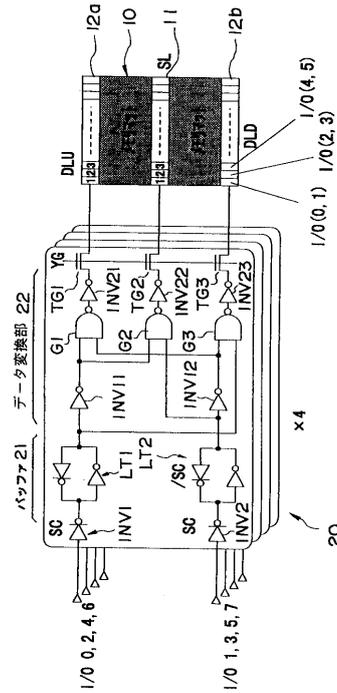
【 図 4 】



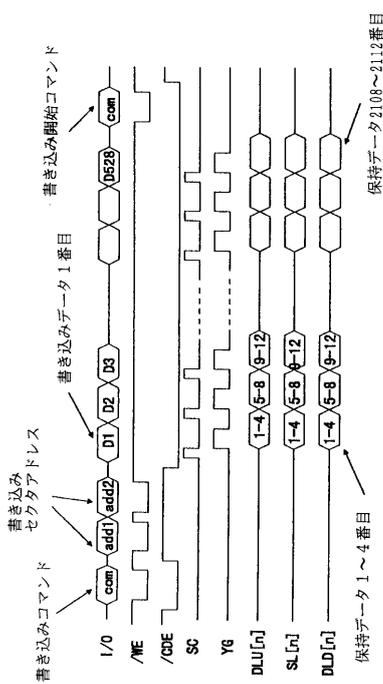
【 図 5 】



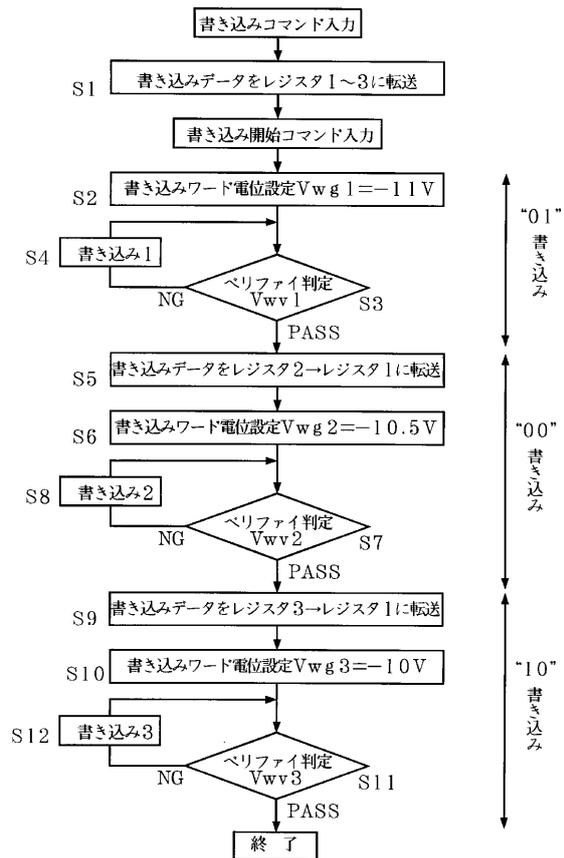
【 図 6 】



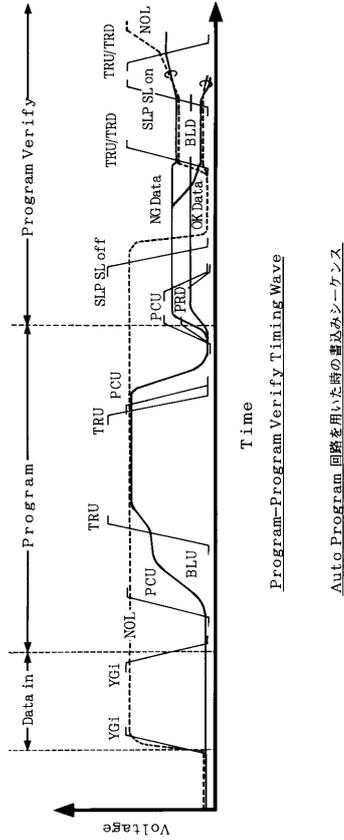
【 図 7 】



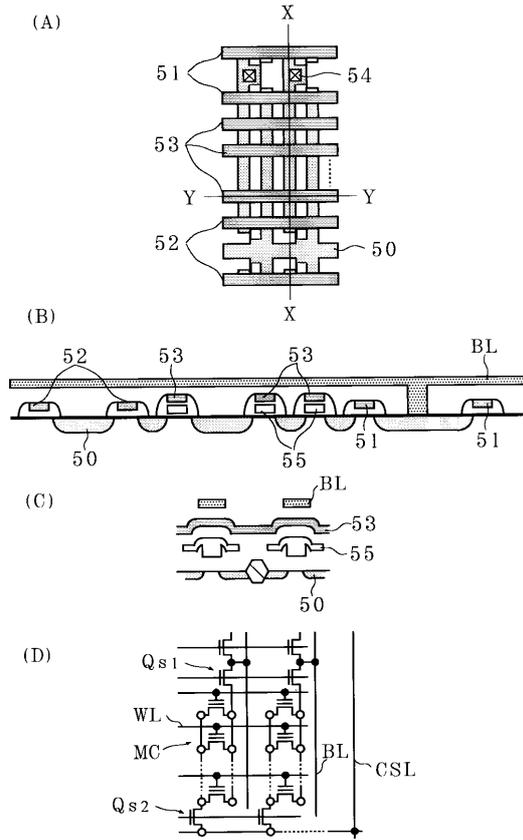
【 図 8 】



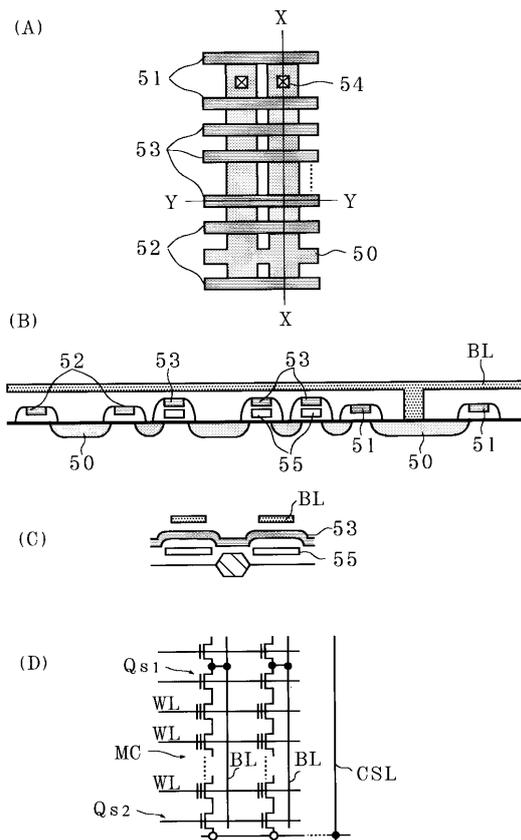
【 図 9 】



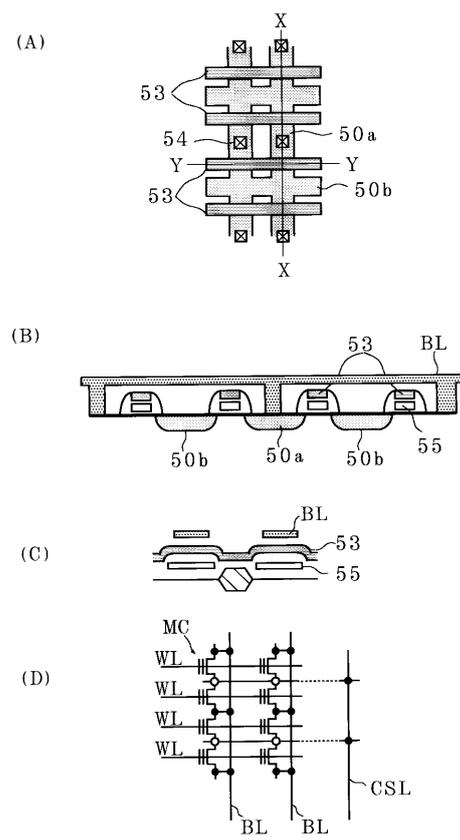
【 図 10 】



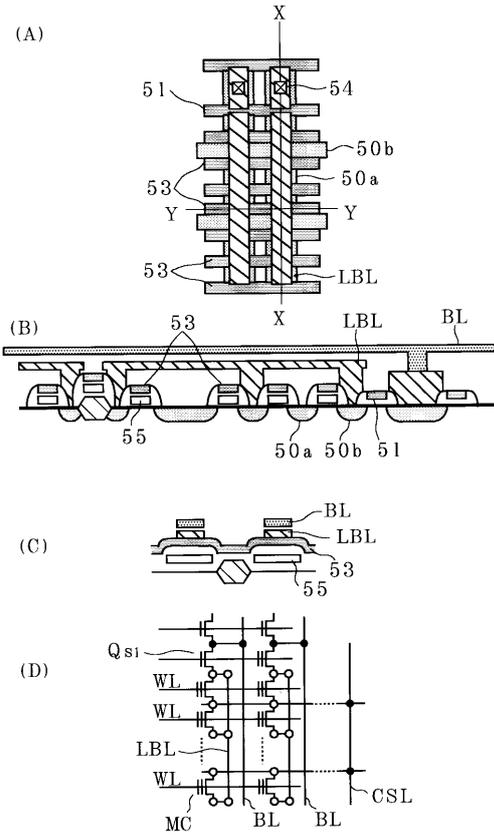
【 図 11 】



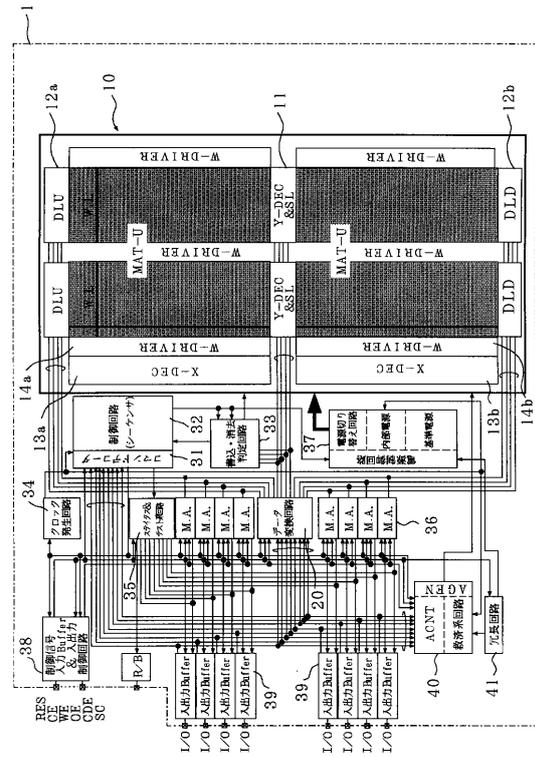
【 図 12 】



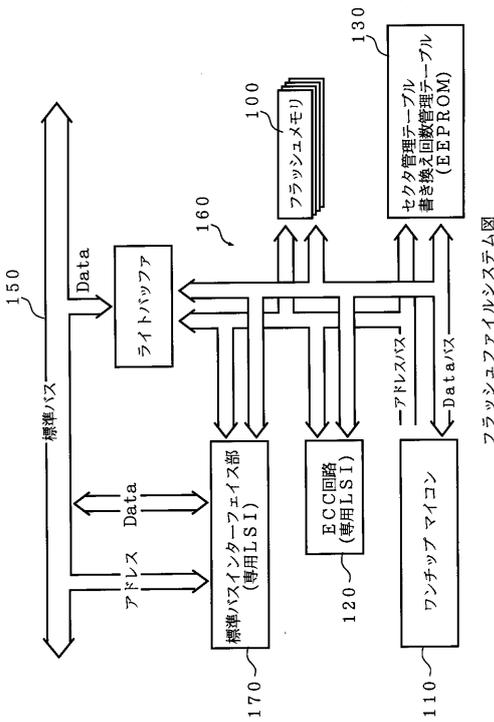
【図13】



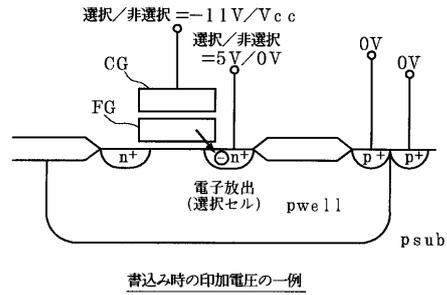
【図14】



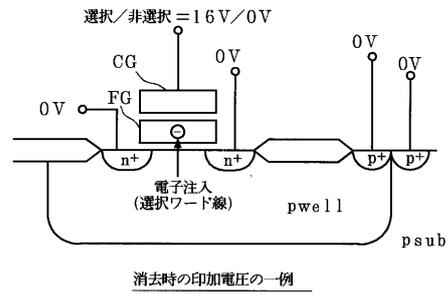
【図15】



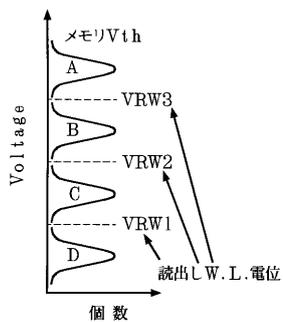
【図16】



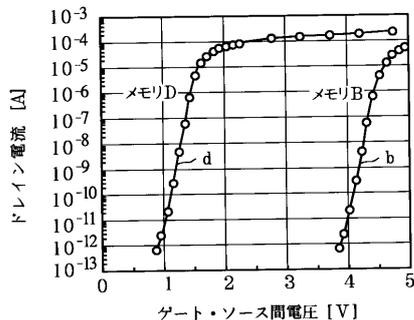
【図17】



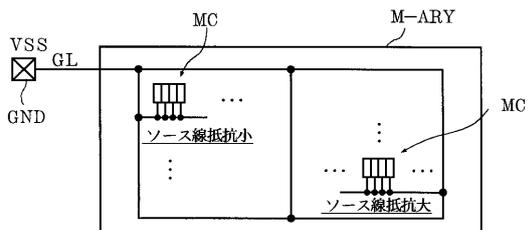
【 図 1 8 】



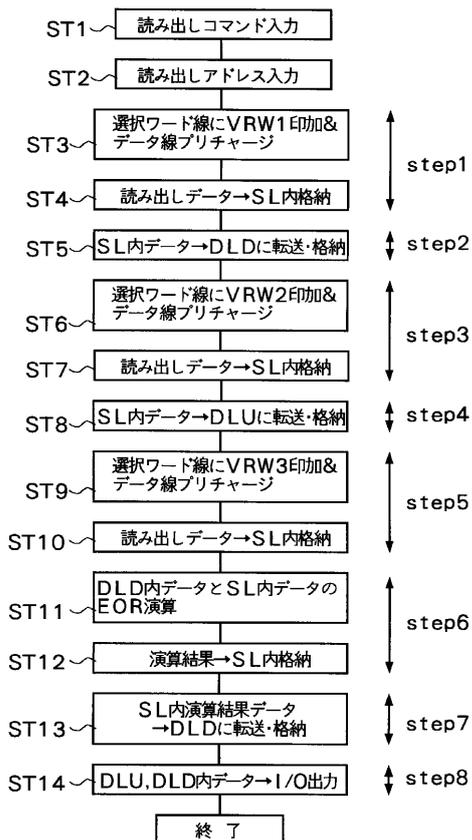
【 図 2 0 】



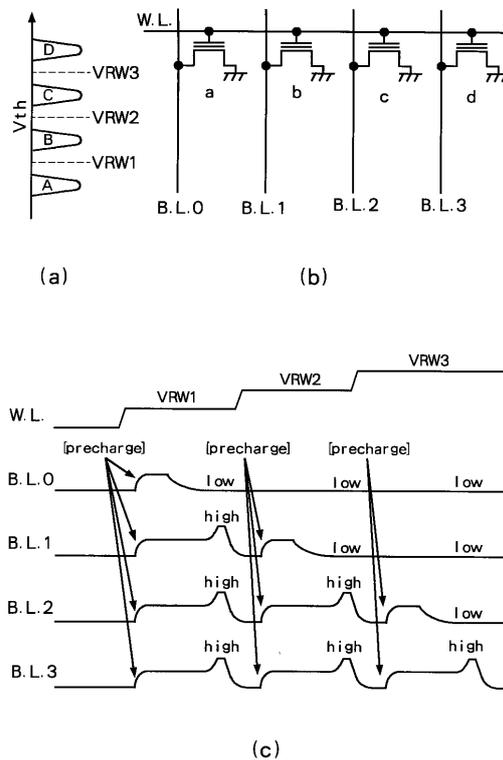
【 図 1 9 】



【 図 2 1 】



【 図 2 2 】



---

フロントページの続き

- (72)発明者 原田 敏典  
東京都国分寺市東恋ヶ窪三丁目1番地1 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 河原 尊之  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 宮本 直樹  
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

審査官 滝谷 亮一

- (56)参考文献 特開平08-297982(JP,A)  
特開平08-297983(JP,A)  
特開平08-273380(JP,A)  
特開平07-093979(JP,A)  
国際公開第96/024138(WO,A1)  
特開平08-249893(JP,A)  
特開平09-091971(JP,A)  
特開平10-027486(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 16/02-16/06