

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 11/22	(11) 공개번호 (43) 공개일자	특2001-0004386 2001년01월 15일
(21) 출원번호	10-1999-0025017	
(22) 출원일자	1999년06월 28일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 강영민	
(74) 대리인	서울특별시강동구명일동309-1삼익아파트201-711 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허법인 신성 박정후, 특허법인 신성 정지원	

심사청구 : 있음

(54) 강유전체 메모리 장치

요약

본 발명은 웨이퍼 상의 메모리셀어레이영역 내에서의 단차 발생 및 메모리셀영역과 주변회로영역 사이의 단차 발생을 억제하기 위한 강유전체메모리장치를 제공하고자 하는 것으로, 이를 위한 본 발명의 강유전체메모리장치는, 로우방향으로 형성된 다수의 스토리지노드라인과, 칼럼방향으로 형성된 다수의 플레이트라인, 및 상기 스토리지노드라인과 상기 플레이트라인이 교차하는 지점에서 상기 스토리지노드라인에 자신의 스토리지노드가 접속되고 상기 플레이트라인에 자신의 플레이트노드가 연결되는 다수의 강유전체 커패시터를 포함하여 매트릭스(matrix) 구조를 갖는 셀어레이; 제1제어신호에 응답하여 상기 스토리지노드라인을 제1신호라인에 스위칭접속하는 스위칭접속단; 제2제어신호에 응답하여 기준전압을 제2신호라인에 유기시키기 위한 기준전압발생수단; 및 상기 제1신호라인과 상기 제2신호라인 사이의 전압차를 감지증폭하기 위한 감지증폭수단을 포함하여 이루어진다.

대표도

도3

색인어

강유전체커패시터, 플레이트라인, 스토리지노드라인, 더미셀, 감지증폭기

명세서

도면의 간단한 설명

- 도1a는 강유전체 커패시터의 심볼을 나타낸 도면.
- 도1b는 강유전체 커패시터의 특성을 보여주는 히스테리시스 곡선.
- 도2는 종래기술에 따른 강유전체 메모리의 단위 셀 회로도.
- 도3은 본 발명의 일실시예에 따른 강유전체 메모리 소자의 회로도.
- 도4는 도3에서 "1"과 "0"의 데이터를 읽을 경우 각 신호의 타이밍도와 그에 따른 강유전체 커패시터의 히스테리시스 곡선의 분극상태를 나타낸 도면.
- 도5는 본 발명에 따른 강유전체 메모리 셀을 형성하기 위한 실제 레이아웃.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 특히 강유전체 물질을 커패시터의 유전체로 사용하여 그 커패시터를 정보의 저장수단으로 하는 강유전체 메모리 장치에 관한 것이다.
잘 알려진 바와 같이, 강유전체 물질을 사용하는 커패시터는 커패시터 양단의 전압과 유기된 전하량과의 관계가 히스테리시스 곡선의 관계를 갖는다.

도1a는 단자 a, b 사이에 형성된 강유전체 커패시터의 심볼을 나타낸 것이고, 도1b는 커패시터의 양단자 a, b 사이의 전압에 따른 전하량의 관계를 도식화 한 것이다.

도1a 및 도1b를 참조하면, 강유전체 커패시터 a, b 양단의 전위차가 없을 때에도 일반적인 선형 커패시터(Linear Capacitor)와는 달리 일정량의 전하량이 "가" 또는 "나" 두 가지 상태로 유지되므로 전원의 공급이 없어도 2진 형태의 데이터를 저장할 수 있다. 상기와 같은 이유는, 강유전체 물질의 특성이 상기 물질에 전계가 인가되었다가 그 전계가 끊어졌을 때 강유전체 물질의 원자배열이 분극작용을 일으키게 되기 때문이다.

a, b 양 단자의 전위차가 없을 때의 저장된 "1"의 정보를 "가"의 상태로 하고, "0"의 정보를 "나"의 상태로 볼 때, 저장된 정보를 읽어내기 위해 단자 b에 충분히 큰 음의 전압(-V)을 인가하게 되면, "가"의 위치에 있던 분극은 "다"의 상태로 끌려 내려가 $\Delta Q1$ 만큼의 전하량을 발생하게 된다. 또한 "나"의 위치에 있던 분극은 역시 "다"의 상태로 끌려 내려가 $\Delta Q0$ 만큼의 전하량을 발생시키게 된다. 이 두 상태 변화에 의한 전하량의 차이에 의해 강유전체커패시터는 비휘발성 메모리 소자의 기억수단으로 사용되어 진다.

도2는 종래의 강유전체 메모리의 단위 셀 회로도를 나타낸 것이다.

도2를 참조하면, 단위 셀(10)은 셀의 액세스를 위해 워드라인(WL0)이 접속되고 일측단(소오스)에 비트라인이 접속된 스위칭 엔모스트랜지스터(11)와 상기 스위칭 엔모스트랜지스터(11)의 타측단(드레인)과 플레이트라인(PL)사이에서 접속된 강유전체 커패시터로 이루어진다.

상기와 같은 강유전체 메모리 단위 셀(10)의 구성으로서, 상기 워드라인(WL0)과 상기 비트라인(BL)에 각각 로우 어드레스 신호와 컬럼 어드레스 신호를 인가받고 셀 플레이트 라인(CP)의 신호를 인가받아 선택된 강유전체 커패시터(12)에서의 변화한 전하량을 가지고 메모리 기능을 수행할 수가 있다.

상기와 같은 강유전체 메모리 단위 셀(10)의 구조는 디램(Dynamic Random Access)의 단위 셀과 유사한 구조를 가지나, 구조에서의 차이점은 강유전체 단위 셀(10)의 경우에는 정보 저장용 커패시터를, 유전층으로 $Pb(Zr,Ti)O_3$ (PZT), $SrBi_2Ta_2O_9$ (SBT) 등의 강유전체 물질을 사용하고 전극으로는 Pt, Ru, Ir 등의 노블 메탈(Novel Metal)과 RuO_2 , IrO_2 등 노블 메탈(Novel Metal)의 산화물로 이루어져 있다. 또한 강유전체 메모리 단위 셀(10)의 구동방식에 있어서의 디램의 단위 셀과의 차이점은 디램의 경우, 정보저장용 커패시터의 한쪽 전극인 셀 플레이트(Cell Plate)의 전압이 구동전압의 반($V_{cc}/2$)으로 고정되어 있으나, 강유전체 메모리의 경우, 각 단위 셀(10)을 구동시킬 때마다 셀 플레이트(CP)의 전압도 0V에서 V_{cc} 까지 구동된다는 점이다. 셀 플레이트(CP)를 구동하는데 걸리는 시간은 셀 플레이트(CP)가 가지는 정전용량(Capacitance)이 커질수록 증가하는데, 셀 플레이트(CP)의 정전용량을 줄이기 위하여 셀 플레이트(CP)를 라인(Line) 형태로 형성하고, 단위 셀(10)이 구동될 때마다 연결된 셀 플레이트(CP)도 선택하여 구동시키는 방법을 취하고 있다.

그러나, 상기와 같은 구조의 메모리 셀 집적공정을 할 경우, 초기 공정인 CMOS 제조 공정 후에 강유전체 커패시터를 형성하기 위한 공정을 거치게 되는데 일반적으로 강유전체 커패시터의 하부전극, 강유전층, 상부전극 이들 세 층은 각각 1500Å 내지 3000Å 정도의 두께를 필요로 하기에 전체소자에서 메모리 셀 지역과 주변회로 지역에서 약 4500Å 내지 9000Å 단차를 발생시켜 이후 메탈(Metal)배선공정에서 평탄화에 큰 어려움을 갖게된다. 평탄화 공정의 어려움 뿐만 아니라 메탈 콘택(Metal Contact)의 깊이가 커짐에 따라 이의 식각공정 및 형성된 콘택(Contact)에 메탈(Metal)을 채워넣는데 있어서 여러 가지 문제점을 발생시키게 된다.

발명이 이루고자하는 기술적 과제

본 발명은 상술한 바와 같은 종래기술의 문제점을 해결하기 위하여 안출된 것으로써, 칩상에서의 메모리 셀 지역에서, 또는 메모리 셀 지역과 주변회로 간의 단차 발생을 억제하기 위한 고집적 강유전체 메모리 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 강유전체 메모리 장치는, 로우방향으로 형성된 다수의 스토리지노드라인과, 컬럼방향으로 형성된 다수의 플레이트라인, 및 상기 스토리지노드라인과 상기 플레이트라인이 교차하는 지점에서 상기 스토리지노드라인에 자신의 스토리지노드가 접속되고 상기 플레이트라인에 자신의 플레이트노드가 연결되는 다수의 강유전체커패시터를 포함하여 매트릭스(matrix) 구조를 갖는 셀어레이; 제1제어신호에 응답하여 상기 스토리지노드라인을 제1신호라인에 스위칭접속하는 스위칭수단; 제2제어신호에 응답하여 기준전압을 제2신호라인에 유기시키기 위한 기준전압발생수단; 및 상기 제1신호라인과 상기 제2신호라인 사이의 전압차를 감지증폭하기 위한 감지증폭수단을 포함하여 이루어진다.

바람직하게 상기 스위칭수단은 상기 제1신호라인과 상기 스토리지노드라인 사이에 소스-드레인 경로가 연결되고 상기 제1제어신호를 게이트로 인가받는 트랜지스터로 이루어지며, 상기 제1제어신호는 Y-어드레스신호임을 특징으로 한다.

바람직하게 본 발명은 상기 셀플레이트라인이 X-어드레스신호에 의해 활성화 또는 비활성화되는 것을 특징으로 한다.

또한 상기 구성을 갖는 본 발명의 강유전체 메모리 장치의 구동 방법은, 상기 제1신호라인과 상기 제2신호라인을 각각 접지전압으로 플로팅시키는 제1단계; 상기 제1단계 후, 상기 제1제어신호를 활성화시키고 상기 플레이트라인을 활성화시켜 상기 제1신호라인에 셀 데이터에 해당하는 제1전압을 유기시키고 동시에 상기 제2제어신호를 활성화시켜 상기 제2신호라인에 기준전압을 유기시키는 제2단계; 제3단계 후, 상기 감지증폭수단을 인에이블시켜 상기 제1신호라인과 상기 제2신호라인의 전압차를 증폭하는 제3

단계; 및 상기 리스토어를 위하여 플레이트라인을 비활성화시킨 다음, 상기 감지증폭단을 디스에이블시키고 그 다음 상기 제1제어신호 및 제2제어신호를 비활성화시키는 제4단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도3은 본 발명에 따른 강유전체 메모리 장치의 셀 어레이 구성을 나타낸다.

도3에 도시된 바와 같이, 본 발명에 따른 강유전체 메모리 장치는, 로우방향으로 다수개(N개)의 스토리지노드라인(SN 0 내지 SN N-1)이 형성되고, 칼럼방향으로 다수개(N개)의 플레이트라인(CP 0 내지 CP N-1)이 형성되며, 상기 스토리지노드라인과 상기 플레이트라인이 교차하는 지점에서 상기 스토리지노드라인에 자신의 스토리지노드가 접속되고 상기 플레이트라인에 자신의 플레이트노드가 연결되는 강유전체커패시터가 구성되므로써, 다수의 강유전체커패시터가 매트릭스(matrix) 구조로 셀어레이를 구성한다. 한편 상기 N개의 스토리지노드라인(SN 0 내지 SN N-1)은 해당 스토리지노드라인당 하나씩 접속된 스위칭 엔모스트랜지스터(N0 내지 N-1)를 통해 공통으로 정비트라인(BL)에 접속되고, 기준전압발생부(100)가 부비트라인(/BL)에 접속되며, 감지증폭기(200)를 통해서 정비트라인(BL) 및 부비트라인(/BL)의 전위차를 증폭하므로써 데이터신호를 읽을수 있도록 구성되어 있다.

도3의 본 실시예에서 기준전압발생부(200)는 통상의 방법과 같이 강유전체커패시터(120) 및 엔모스트랜지스터(110)를 포함하는 더미(dummy)셀로 구성된 예를 도시하고 있다. 한편, 상기 스위칭 엔모스트랜지스터(N0 내지 N-1)는 Y-어드레스신호(물론 이신호는 칩에 인가되는 다수의 Y-어드레스가 디코딩된 신호일 것이다)인 제어신호 ADD0를 게이트 인가받아 온/오프 구동되고, 플레이트라인(CP0 내지 CP N-1)은 X-어드레스신호(물론 이신호는 칩에 인가되는 다수의 X-어드레스가 디코딩된 신호일 것이다)에 의해 활성화 또는 비활성화된다. 더미셀의 엔모스트랜지스터(110)도 더미 어드레스신호 DADD0를 게이트 인가받아 온/오프 구동된다.

이렇듯, 종래와 대비되어, 본 발명은 하나의 강유전체 커패시터만으로 구성된 셀들이 어레이되어 셀 어레이부를 구성하기 때문에, 이러한 구조가 웨이퍼 상에 집적화시킬때 셀어레이영역은 단차가 억제(하부에 트랜지스터가 없는 구조이기 때문에)되고, 이에 따라 공정상에서 콘택 에스펙트비(contact aspect ratio)를 낮게 가져갈 수 있어 식각 및 스텝커버리지(step coverage) 등의 공정상 문제점을 개선할 수 있다. 도5는 본 발명에 따른 강유전체 메모리 셀을 형성하기 위한 실제 레이아웃(Layout)을 나타낸 것으로, 스토리지노드라인(500)과 셀 플레이트라인(600)이 서로 수직하게 교차 배치되어 있다. 이때 각 메모리 셀의 강유전체 커패시터는 스토리지노드라인(500)과 셀 플레이트라인(600)이 교차되는 부분(빗금친 부분)에서만 형성된다.

도4는 도3의 구조하에서 데이터를 액세스하기 위한 각 제어신호의 타이밍도와 그에 따른 강유전체 커패시터의 히스테리시스 곡선의 분극 상태를 나타낸 도면으로서, 이를 통해 도3의 구성을 갖는 본 발명에 따른 강유전체 메모리 장치의 구동 방법 및 그에 따른 동작을 구체적으로 살펴본다.

이하의 설명은 어레이된 다수의 강유전체 커패시터중 강유전체 커패시터 10으로부터 데이터를 액세스하는 경우에 대한 것이다.

대기상태에서 정 및 부 비트라인(BL, /BL)은 접지전압으로 프리차지된 후 플로팅되어 있다. 이후 강유전체 커패시터(10)에 저장된 정보를 읽고(destructive read), 다시 써 넣기 위한 리스토어(restore) 동작을 수행하게 되는바, 이 읽기 및 재쓰기 구동방법을 구체적으로 살펴본다.

먼저, 스위칭 엔모스트랜지스터(N0)의 게이트에 인가되는 제어신호 ADD 0를 '하이'로 활성화시켜 스위칭 엔모스트랜지스터(N0)를 턴-온시키므로써 스토리지노드라인(SN0)을 접지전압으로 플로팅된 정비트라인(BL)과 연결시키고, 동시에 더미셀의 엔모스트랜지스터(110) 게이트에 인가되는 제어신호 DADD를 역시 '하이'로 활성화시켜 기준셀의 강유전체 커패시터(120) 일측노드와 부비트라인(/BL)을 연결한다.

이어서, 셀의 플레이트라인(CP0)과 더미셀의 플레이트라인(DCP)을 '하이'로 활성화시키면, 셀의 강유전체커패시터 10의 양단에는 전압차가 유발되고, 이 전압차에 의해 강유전체커패시터 10의 분극상태는 변화되고, 저장되어 있던 데이터("1" 또는 "0")에 따라 정비트라인(BL)의 전압이 상승하게 된다. 마찬가지로 기준셀의 강유전체 커패시터 120의 양단에도 전압차가 유발되어 부비트라인(/BL)도 전압이 상승된다. 이때 부비트라인(/BL)의 전압과 메모리셀에 "1"이 저장되어 있었을때 정비트라인(BL)에 유발된 전압과의 전압차가 부비트라인(/BL)의 전압과 메모리셀에 "0"이 저장되어 있었을때 정비트라인(BL)에 유발된 전압과의 전압차와 동일하도록 설계하는 것이 바람직한 바, 이는 정비트라인(BL)과 부비트라인(/BL)의 커패시턴스를 동일하게 하고 더미셀의 크기를 메모리셀의 크기 또는 개수와 다르게 하여 회로를 설계하므로써 가능하고, 또는 더미셀의 크기와 메모리셀의 크기를 동일하게 한 상태에서 정비트라인(BL)과 부비트라인(/BL)의 커패시턴스를 다르게하여 회로를 설계하므로써 가능하다.

이후, 센스인에이블신호(SAE)를 하이로 활성화시켜 감지증폭기(200)를 통해 정비트라인(BL)과 부비트라인(/BL)에 유기된 전압차를 감지증폭한다. 이에 의해 읽기 구동을 마치게 된다.

계속해서, 리스토어 동작을 위하여 플레이트라인(CP0)을 '로우'로 비활성화시키면 "1"이 저장되어 있었을 때는 반대방향의 전압차가 발생하여 분극이 초기의 방향으로 역전되고, "0"이 저장되어 있을 때는 양단의 전압차가 없어져 본래의 분극상태로 돌아오게 된다.

이후 센스인에이블신호(SAE)를 '로우'로 비활성화시켜 정비트라인(BL)과 부비트라인(/BL)의 전압을 0V로 낮추면 강유전체커패시터 10은 본래의 분극 상태로 되돌아오게 된다.

이후, 제어신호 ADD0와 DADD를 비활성화시켜 스토리지노드라인(SN0)을 0V의 상태에서 플로팅(Floating)시키고 이후에 기준셀의 플레이트라인(DCP)도 비활성화시켜 강유전체 커패시터(10)에 기억되어 있던 "1"

또는 "0"의 데이터를 읽고 다시 써넣는 과정을 마치게 된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

본 발명은 강유전체 메모리 장치의 단위 셀의 구조를 단순화 함으로서, 공정 시의 웨이퍼 단차 감소 및 단위 셀의 면적 감소가 가능하여 고집적 강유전체 메모리 장치의 구현을 용이하게 하여주는 효과가 있다.

(57) 청구의 범위

청구항 1

강유전체 메모리 장치에 있어서,

로우방향으로 형성된 다수의 스토리지노드라인과, 칼럼방향으로 형성된 다수의 플레이트라인, 및 상기 스토리지노드라인과 상기 플레이트라인이 교차하는 지점에서 상기 스토리지노드라인에 자신의 스토리지노드가 접속되고 상기 플레이트라인에 자신의 플레이트노드가 연결되는 다수의 강유전체커패시터를 포함하여 매트릭스(matrix) 구조를 갖는 셀어레이;

제1제어신호에 응답하여 상기 스토리지노드라인을 제1신호라인에 스위칭접속하는 스위칭수단;

제2제어신호에 응답하여 기준전압을 제2신호라인에 유기시키기 위한 기준전압발생수단; 및

상기 제1신호라인과 상기 제2신호라인 사이의 전압차를 감지증폭하기 위한 감지증폭수단을 포함하여 이루어진 강유전체 메모리 장치.

청구항 2

제1항에 있어서,

상기 스위칭수단은 상기 제1신호라인과 상기 스토리지노드라인 사이에 소스-드레인 경로가 연결되고 상기 제1제어신호를 게이트로 인가받는 트랜지스터로 이루어짐을 특징으로 하는 강유전체 메모리 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1제어신호는 Y-어드레스신호임을 특징으로 하는 강유전체 메모리 장치.

청구항 4

제1항에 있어서,

상기 셀플레이트라인은 X-어드레스신호에 의해 활성화 또는 비활성화되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 5

제1 항에 있어서,

상기 기준전압발생수단은,

일측단에 더미셀 플레이트 신호를 인가받는 더미 강유전체 커패시터; 및

더미 어드레스 신호를 게이트 단자에 인가받고 일측단이 상기 부비트라인에 접속되며, 타측단이 상기 더미 강유전체 커패시터의 타측단과 연결된 엔모스트랜지스터를 포함하여 이루어짐을 특징으로 하는 강유전체 메모리 장치.

청구항 6

로우방향으로 형성된 다수의 스토리지노드라인과, 칼럼방향으로 형성된 다수의 플레이트라인, 및 상기 스토리지노드라인과 상기 플레이트라인이 교차하는 지점에서 상기 스토리지노드라인과 상기 플레이트라인에 자신의 양노드가 연결된 다수의 강유전체커패시터를 포함하는 셀어레이; 제1제어신호에 응답하여 상기 스토리지노드라인을 제1신호라인에 스위칭접속하는 스위칭수단; 제2제어신호에 응답하여 기준전압을 제2신호라인에 유기시키기 위한 기준전압발생수단; 및 상기 제1신호라인과 상기 제2신호라인 사이의 전압차를 감지증폭하기 위한 감지증폭수단을 포함하여 이루어진 강유전체 메모리 장치의 구동 방법에 있어서,

상기 제1신호라인과 상기 제2신호라인을 각각 접지전압으로 플로팅시키는 제1단계;

상기 제1단계 후, 상기 제1제어신호를 활성화시키고 상기 플레이트라인을 활성화시켜 상기 제1신호라인에 셀 데이터에 해당하는 제1전압을 유기시킴과 동시에 상기 제2제어신호를 활성화시켜 상기 제2신호라인에 기준전압을 유기시키는 제2단계;

제3단계 후, 상기 감지증폭수단을 인에이블시켜 상기 제1신호라인과 상기 제2신호라인의 전압차를 증폭

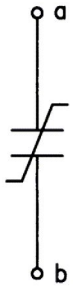
하는 제3단계; 및

리스토어를 위하여 상기 플레이트라인을 비활성화시킨 다음, 상기 감지증폭수단을 디스에이블시키고 그 다음 상기 제1제어신호 및 제2제어신호를 비활성화시키는 제4단계

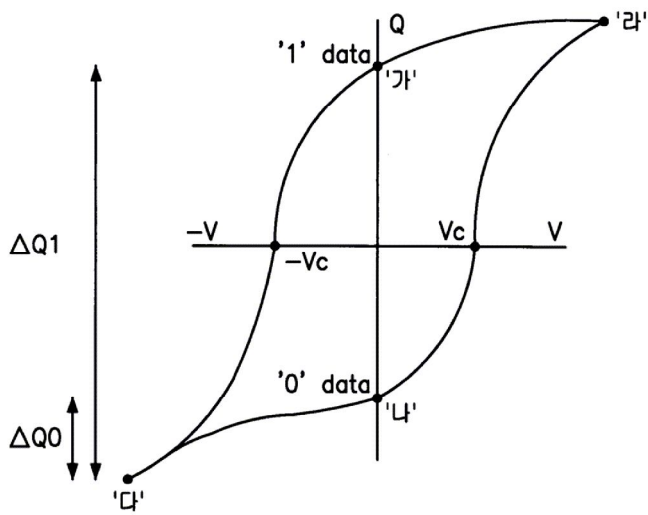
를 포함하여 이루어진 강유전체메모리장치 구동방법.

도면

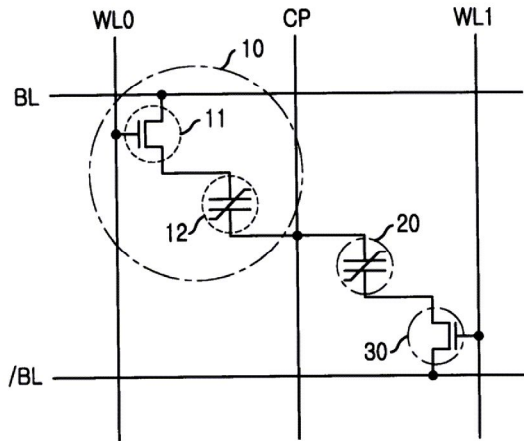
도면1a



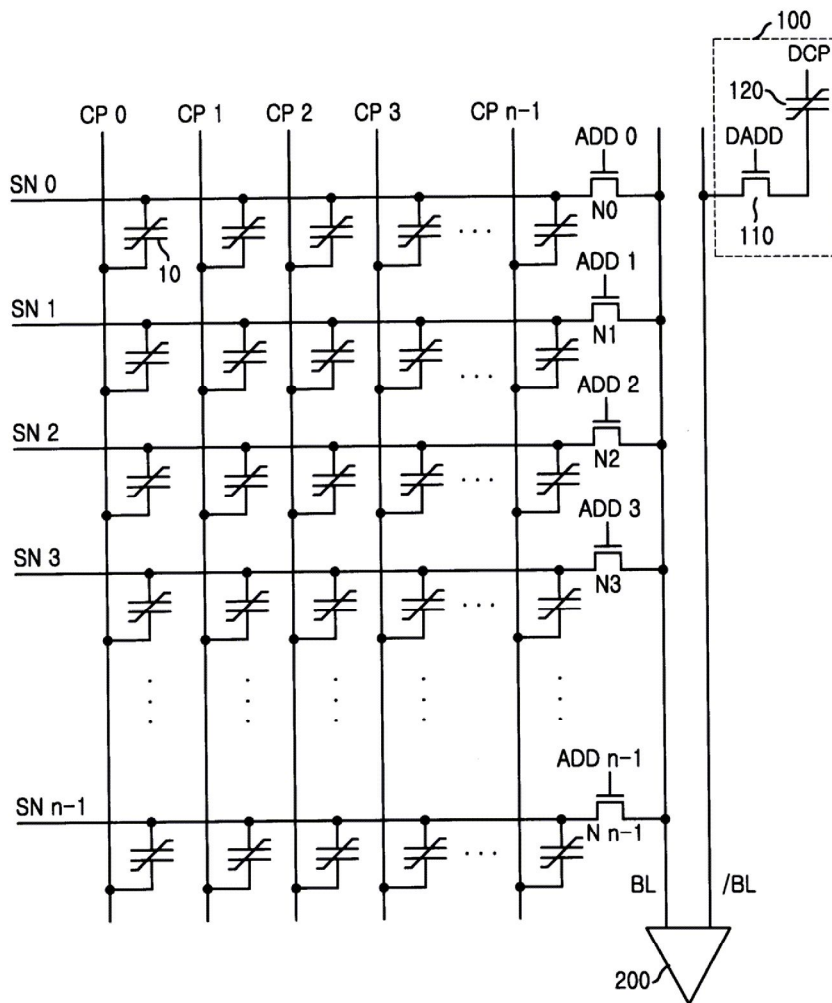
도면1b



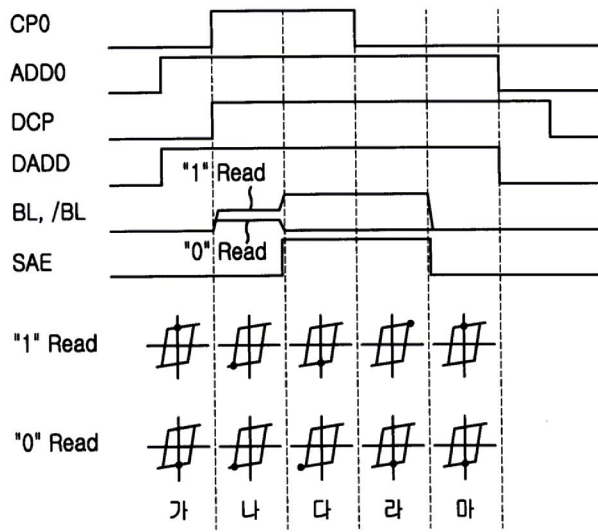
도면2



도면3



도면4



도면5

