



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0037214
(43) 공개일자 2019년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 29/04 (2006.01)
H01L 29/10 (2006.01)

(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/04 (2013.01)

(21) 출원번호 10-2019-0035459(분할)

(22) 출원일자 2019년03월28일
심사청구일자 2019년03월28일

(62) 원출원 특허 10-2012-0041410
원출원일자 2012년04월20일
심사청구일자 2017년04월13일

(30) 우선권주장
JP-P-2011-096298 2011년04월22일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
이소베 아츠오
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사사키 도시나리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인
장훈

전체 청구항 수 : 총 2 항

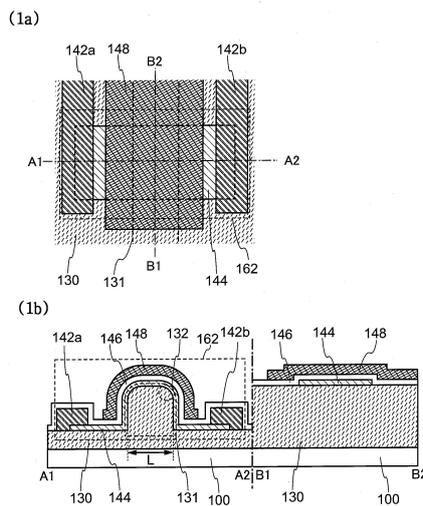
(54) 발명의 명칭 반도체 장치 및 상기 반도체 장치의 제작 방법

(57) 요약

본 발명은 불량을 억제하면서 미세화를 달성한 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

절연층에 블록 형상 구조체를 형성하고, 상기 블록 형상 구조체와 접촉되도록 산화물 반도체층의 채널 형성 영역을 형성함으로써 채널 형성 영역을 3차원 방향(기판에 수직 방향)으로 연장시킨다. 이로써, 트랜지스터의 미세화를 달성하면서 효과적인 채널 길이를 연장시킬 수 있다. 또한, 블록 형상 구조체의 상면과 측면이 교차된 상단 코너부에 곡면을 형성하고, 상기 곡면에 수직인 c축을 갖는 결정을 포함하도록 산화물 반도체층을 형성한다. 이로써, 가시광이나 자외광의 조사로 인하여 산화물 반도체층의 전기적 특성이 변화되는 것을 억제할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/1037 (2013.01)

H01L 29/78603 (2013.01)

(72) 발명자

사사가와 신야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

이시즈카 아끼히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

제 1 트랜지스터와, 상기 제 1 트랜지스터의 위쪽의 제 2 트랜지스터를 갖고,
 상기 제 1 트랜지스터는 실리콘을 갖고,
 상기 제 2 트랜지스터는 산화물층과, 상기 산화물층의 측면 및 상면을 덮어 상기 산화물층 위에 위치하는 산화물 반도체층과, 상기 산화물 반도체층 위의 절연층과, 상기 절연층 위의 게이트 전극과, 상기 산화물 반도체층과 전기적으로 접속된 소스 전극 및 드레인 전극을 갖고,
 상기 산화물층은 상기 상면으로부터 상기 측면에 연속하는 곡면을 갖고,
 상기 산화물 반도체층은 상기 곡면과 접하고, 결정을 갖는 영역을 갖고,
 상기 게이트 전극은 상기 절연층 및 상기 산화물 반도체층을 개재하여 상기 산화물층을 덮는 영역을 갖고,
 상기 산화물 반도체층은 인듐과, 갈륨과, 아연을 갖는, 반도체 장치.

청구항 2

제 1 트랜지스터와, 상기 제 1 트랜지스터의 위쪽의 제 2 트랜지스터를 갖고,
 상기 제 1 트랜지스터는 실리콘을 갖고,
 상기 제 2 트랜지스터는 산화물층과, 상기 산화물층의 측면 및 상면을 덮어 상기 산화물층 위에 위치하는 산화물 반도체층과, 상기 산화물 반도체층 위의 절연층과, 상기 절연층 위의 게이트 전극과, 상기 산화물 반도체층과 전기적으로 접속된 소스 전극 및 드레인 전극을 갖고,
 상기 산화물층은 상기 상면으로부터 상기 측면에 연속하는 곡면을 갖고,
 상기 산화물 반도체층은 상기 곡면과 접하고, 결정을 갖는 영역을 갖고,
 상기 게이트 전극은 상기 절연층 및 상기 산화물 반도체층을 개재하여 상기 산화물층을 덮는 영역을 갖고,
 상기 산화물 반도체층은 인듐과, 갈륨과, 아연을 갖고,
 상기 결정은 상기 곡면에 수직인 c 축을 갖는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 명세서에서 개시하는 발명은 반도체 소자를 이용한 반도체 장치 및 상기 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치) 등의 전자 디바이스에 널리 응용되고 있다. 또한, 트랜지스터에 적용할 수 있는 반도체 박막으로서 산화물 반도체 등의 와이드 밴드 반도체를 사용하는 기술이 주목을 받고 있다.

[0003] 예를 들어, 특허 문헌 1에서는 In-Ga-Zn-O계 산화물로 구성된 산화물 반도체가 박막 트랜지스터의 채널 형성 영역에 적용할 수 있는 것이 확인되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개2004-103957호 공보

발명의 내용

해결하려는 과제

[0005] 그런데, 트랜지스터의 동작의 고속화, 트랜지스터의 저소비 전력화, 고집적화, 저가격화 등을 달성하기 위해서는 트랜지스터의 미세화는 필수적이다.

[0006] 트랜지스터를 미세화시키는 경우에는, 단채널 효과로 인한 문제가 생긴다. 단채널 효과란 트랜지스터의 미세화(채널 길이의 축소)에 따라 현재화되는 전기적 특성의 열화다. 단채널 효과는 드레인의 전계 효과가 소스에까지 미치는 것에 기인한다. 단채널 효과의 구체적인 예로서 임계값 전압의 저하, S값의 증대, 누설 전류의 증대 등이 있다. 특히, 산화물 반도체를 사용한 트랜지스터는 실리콘을 사용한 트랜지스터와 달리 도핑함으로써 임계값을 제어하는 것이 어렵기 때문에 단채널 효과가 나타나기 쉬운 경향이 있다.

[0007] 또한, 산화물 반도체층은 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화될 우려가 있기 때문에 상기 산화물 반도체층을 사용한 트랜지스터의 전기적 특성의 변동의 요인이 되어 반도체 장치의 신뢰성을 저하시킨다.

[0008] 그래서, 개시하는 발명의 일 형태는 불량을 억제하면서 미세화를 달성한 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 개시하는 발명의 일 형태는 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0009] 개시하는 발명에서는 절연층의 볼록 형상 구조체를 형성하고 상기 볼록 형상 구조체와 접촉되도록 산화물 반도체층의 채널 형성 영역을 형성함으로써, 채널 형성 영역을 3차원 방향(기판에 수직 방향)으로 연장시킨다. 이로써, 트랜지스터의 미세화를 달성하면서 실효적인 채널 길이를 연장시킬 수 있다. 또한, 개시하는 발명에서는 볼록 형상 구조체의 상면과 측면이 교차된 상단(上端) 코너부에 곡면이 형성되고, 산화물 반도체층이 상기 곡면에 수직인 c축을 갖는 결정을 포함하도록 형성된다. 이로써, 산화물 반도체층으로의 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 더 구체적으로는 이하와 같다.

[0010] 개시하는 발명의 일 형태는 표면에 볼록 형상 구조체가 형성된 절연층과, 볼록 형상 구조체의 상면 및 측면의 적어도 일부와 접촉하여 형성된 산화물 반도체층과, 산화물 반도체층 위에 형성된 게이트 절연층과, 게이트 절연층 위에 볼록 형상 구조체 상면 및 측면의 적어도 일부를 덮어 형성된 게이트 전극과, 산화물 반도체층과 전기적으로 접속된 소스 전극 및 드레인 전극을 갖고, 볼록 형상 구조체는 상면과 측면이 교차된 상단 코너부에 곡면이 형성되어 있고, 산화물 반도체층은 상단 코너부에서 상기 상단 코너부의 곡면에 대략 수직인 c축을 갖는 결정을 포함한 반도체 장치다.

[0011] 상기에서 상단 코너부의 곡면은 20nm 이상 60nm 이하의 곡률 반경을 갖는 것이 바람직하다. 또한, 산화물 반도체층은 절연층 표면에 대략 수직인 c축을 갖는 결정을 포함하는 것이 바람직하다. 또한, 절연층에서 볼록 형상 구조체의 상단 코너부 표면의 평균 면 거칠기는 0.1nm 이상 0.5nm 미만인 것이 바람직하다. 또한, 절연층의 표면의 평균 면 거칠기는 0.1nm 이상 0.5nm 미만인 것이 바람직하다.

[0012] 개시하는 발명의 다른 일 형태는 절연층에 상면과 측면이 교차된 상단 코너부에 곡면을 갖는 볼록 형상 구조체를 형성하고, 가열하면서 볼록 형상 구조체의 상면 및 측면의 적어도 일부와 접촉된 산화물 반도체층을 형성하고, 산화물 반도체층과 접촉되도록 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 볼록 형상 구조체의 상면 및 측면의 적어도 일부를 덮어 게이트 전극을 형성하는 반도체 장치의 제작 방법이다.

[0013] 개시하는 발명의 다른 일 형태는 절연층에 상면과 측면이 교차된 상단 코너부에 곡면을 갖는 볼록 형상 구조체를 형성하고, 400℃ 이상의 온도로 가열하면서 볼록 형상 구조체의 상면 및 측면의 적어도 일부와 접촉되고 또

상단 코너부에서 상기 상단 코너부의 곡면에 대략 수직인 c축을 갖는 결정을 포함한 산화물 반도체층을 형성하고, 산화물 반도체층과 접촉되도록 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 볼록 형상 구조체의 상면 및 측면의 적어도 일부를 덮어 게이트 전극을 형성하는 반도체 장치의 제작 방법이다.

[0014] 개시하는 발명의 다른 일 형태는 절연층에 상면과 측면이 교차된 상단 코너부에 곡면을 갖는 볼록 형상 구조체를 형성하고, 200℃ 미만의 온도로 가열하면서 볼록 형상 구조체의 상면 및 측면의 적어도 일부와 접촉된 비정질 상태의 산화물 반도체층을 형성하고, 비정질 상태의 산화물 반도체층을 450℃ 이상의 온도로 가열하여 상단 코너부에서 상기 상단 코너부의 곡면에 대략 수직인 c축을 갖는 결정을 포함한 산화물 반도체층을 형성하고, 산화물 반도체층과 접촉되도록 소스 전극 및 드레인 전극을 형성하고, 산화물 반도체층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 볼록 형상 구조체의 상면 및 측면의 적어도 일부를 덮어 게이트 전극을 형성하는 반도체 장치의 제작 방법이다.

[0015] 상기에서 절연층을 에칭하여 볼록 형상 구조체를 형성하고, 볼록 형상 구조체에 회가스 분위기하에서 플라즈마 처리함으로써 상기 볼록 형상 구조체의 상면과 측면이 교차된 상단 코너부에 곡면을 형성하는 것이 바람직하다. 또한, 회가스로서 아르곤을 사용하는 것이 바람직하다. 또는, 메탈 마스크를 사용하여 절연층을 에칭함으로써 절연층 위에 볼록 형상 구조체를 형성하고 반응성 가스를 사용한 드라이 에칭에 의하여 메탈 마스크를 제거할 때 볼록 형상 구조체의 상면과 측면이 교차된 상단 코너부에 곡면을 형성하는 것이 바람직하다. 또한, 상단 코너부의 곡면은 20nm 이상 60nm 이하의 곡률 반경을 갖는 것이 바람직하다. 또한, 절연층에서 볼록 형상 구조체의 상단 코너부 표면의 평균 면 거칠기는 0.1nm 이상 0.5nm 미만인 것이 바람직하다.

[0016] 또한, 본 명세서 등에서 “위” 나 “아래” 라는 용어는 구성 요소의 위치 관계가 “직상” 또는 “직하” 인 것을 한정하는 것이 아니다. 예를 들어, “게이트 절연층 위의 게이트 전극” 이라는 표현은 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 경우를 제외하지 않는다.

[0017] 또한, 본 명세서 등에서 “전극” 이나 “배선” 이라는 용어는 이들의 구성 요소의 기능을 한정하는 것이 아니다. 예를 들어, “전극” 은 “배선” 의 일부로서 사용될 수 있고, 그 반대도 마찬가지이다. 또한, “전극” 이나 “배선” 이라는 용어는 복수의 “전극” 이나 “배선” 이 일체가 되어 형성되는 경우 등도 포함한다.

[0018] 또한, “소스” 나 “드레인” 의 기능은 극성이 다른 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀔 수 있다. 따라서, 본 명세서에서는 “소스” 나 “드레인” 이라는 용어는 바뀌어 사용할 수 있는 것으로 한다.

[0019] 또한, 본 명세서 등에서 “전기적으로 접속” 이라는 표현에는 “어떤 전기적 작용을 갖는 것” 을 통하여 접속되는 경우가 포함된다. 여기서, “어떤 전기적 작용을 갖는 것” 은 접속된 대상들 사이에서 전기 신호를 송수신할 수 있는 것이면 특별히 제한을 받지 않는다.

[0020] 예를 들어, “어떤 전기적 작용을 갖는 것” 에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 외 각종 기능을 갖는 소자 등이 포함된다.

[0021] 또한, 본 명세서 등에서 평균 면 거칠기(Ra)란 JISB0601:2001(ISO4287:1997)로 정의되는 중심선 평균 거칠기(Ra)를 측정면에 적용할 수 있도록 3차원으로 확장한 것이며, 기준면으로부터 지정면까지의 편차(偏差)의 절대값을 평균한 값으로 표현된다.

[0022] 여기서, 중심선 평균 거칠기(Ra)는 거칠기 곡선으로부터 그 중심선 방향으로 측정 길이 L의 부분을 추출하고 그 추출한 부분의 중심선 방향을 X축으로 하고 세로 배율 방향(X축에 수직인 방향)을 Y축으로 하여 거칠기 곡선을 Y=F(X)로 나타낼 때 수학식 1로 구할 수 있다.

수학식 1

$$R_a = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$

[0023]

[0024] 그리고, 평균 면 거칠기(Ra)는 측정 데이터를 나타내는 면인 측정 면을 Z=F(X,Y)로 나타낼 때 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현되고 수학식 2로 구할 수 있다.

수학식 2

$$R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X, Y) - Z_0| dXdY \quad (2)$$

[0025]

[0026]

여기서, 지정면이란 거칠기를 측정할 대상인 면이고, 좌표(X_1, Y_1)(X_1, Y_2)(X_2, Y_1)(X_2, Y_2)로 표기되는 4점으로 둘러싸인 직사각형의 영역이고, 지정면이 이상적으로 플랫폼(flat)할 때의 면적을 S_0 으로 한다.

[0027]

또한, 기준면이란 지정면의 평균 높이에서의 XY 평면과 평행한 면을 가리킨다. 즉, 지정면의 높이의 평균값을 Z_0 으로 할 때 기준면의 높이도 Z_0 으로 나타내어진다.

발명의 효과

[0028]

개시하는 발명의 일 형태에 의하여 불량을 억제하면서 미세화를 달성한 반도체 장치를 제공할 수 있다. 또한, 개시하는 발명의 일 형태에 의하여 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0029]

또한, 개시하는 발명의 일 형태에 의하여 트랜지스터 크기를 충분히 작게 할 수 있다. 트랜지스터의 크기를 충분히 작게 함으로써 반도체 장치가 차지하는 면적이 작아지고, 하나의 기관으로부터 얻을 수 있는 반도체 장치 수가 증대된다. 이로써, 반도체 장치당 제조 비용이 억제된다. 또한, 반도체 장치가 소형화되기 때문에 종래의 반도체 장치와 같은 정도의 크기로 더 고기능의 반도체 장치를 실현할 수 있다. 또는, 반도체 장치를 고집적화할 수 있다. 또한, 채널 길이가 축소되기 때문에 동작의 고속화, 저소비 전력화 등의 효과도 얻을 수 있다.

도면의 간단한 설명

[0030]

도 1a는 본 발명의 일 형태에 따른 반도체 장치를 설명하기 위한 평면도이고, 도 1b는 본 발명의 일 형태에 따른 반도체 장치를 설명하기 위한 단면도.

도 2a 내지 도 2e는 본 발명의 일 형태에 따른 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 3a 내지 도 3c는 본 발명의 일 형태에 따른 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 4a 내지 도 4c는 본 발명의 일 형태에 따른 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 5a 내지 도 5e는 본 발명의 일 형태에 따른 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 6a는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도이고, 도 6b는 본 발명의 일 형태에 따른 반도체 장치를 도시한 평면도이고, 도 6c는 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.

도 7a는 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도이고, 도 7b는 본 발명의 일 형태에 따른 반도체 장치를 도시한 사시도.

도 8a는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도이고, 도 8b는 본 발명의 일 형태에 따른 반도체 장치를 도시한 평면도.

도 9a 및 도 9b는 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.

도 10은 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록도.

도 11은 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록도.

도 12는 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록도.

도 13a 및 도 13b는 본 발명의 일 실시예에 따른 시료의 단면 TEM상.

발명을 실시하기 위한 구체적인 내용

[0031]

본 발명의 실시형태의 일례에 대하여 도면을 사용하여 이하에 설명한다. 다만, 본 발명은 이하의 설명에 한정

되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에서 기재하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 설명하는 실시형태 및 실시예에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 다른 도면간에서 공통적으로 사용하여 그 반복 설명은 생략한다.

- [0032] 또한, 도면 등에서 도시한 각 구성의 위치, 크기, 및 범위 등은 쉽게 이해할 수 있도록 실제의 위치, 크기, 및 범위 등이 도시되지 않은 경우가 있다. 따라서, 개시하는 발명은 반드시 도면 등에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.
- [0033] 또한, 본 명세서 등에 기재된 “제 1” “제 2” “제 3” 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것은 아니다.
- [0034] (실시형태 1)
- [0035] 본 실시형태에서는 본 발명에 따른 일 형태로서 산화물 반도체를 사용한 반도체 장치와 그 제작 방법에 대하여 도 1a 내지 도 4c를 사용하여 설명한다.
- [0036] 본 실시형태에 따른 반도체 장치의 일례로서 도 1a에 트랜지스터(162)의 평면도를 도시하고, 도 1b에 트랜지스터(162)의 단면도를 도시하였다. 여기서, 도 1b는 도 1a의 A1-A2 및 B1-B2로 절단한 단면도다.
- [0037] 도 1a 및 도 1b에 도시된 트랜지스터(162)는 기판(100) 위에 형성되고 또 표면에 볼록 형상 구조체(131)가 형성된 절연층(130)과, 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 형성된 산화물 반도체층(144)과, 산화물 반도체층(144) 위에 형성된 게이트 절연층(146)과, 게이트 절연층(146) 위에 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부를 덮어 형성된 게이트 전극(148)과, 산화물 반도체층(144)과 전기적으로 접속된 소스 전극(142a) 및 드레인 전극(142b)을 갖는다.
- [0038] 절연층(130) 표면에 볼록 형상 구조체(131)가 형성되어 있고, 상기 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 산화물 반도체층(144)이 형성되어 있다. 이로써, 산화물 반도체층(144)의 채널 길이 방향(캐리어가 흐르는 방향)의 단면 형상은 볼록 형상 구조체(131)의 단면 형상을 따라 만곡된 형상이 되고, 볼록 형상 구조체(131)의 높이가 높아질수록 트랜지스터(162)의 실효적인 채널 길이를 길게 할 수 있다. 여기서, 볼록 형상 구조체(131)의 채널 길이 방향의 폭이 L일 때 실효적인 채널 길이의 길이가 2L 이상이 되도록 볼록 형상 구조체(131)를 형성하는 것이 바람직하다.
- [0039] 볼록 형상 구조체(131)의 높이를 적절히 결정함으로써 산화물 반도체층(144)의 채널 형성 영역을 3차원 방향(기판에 수직 방향)으로 연장시킬 수 있다. 따라서, 트랜지스터(162)의 미세화를 도모하여 소스 전극(142a)과 드레인 전극(142b)의 거리를 짧게 하더라도 실효적인 채널 길이를 유지 또는 연장시킬 수 있다. 따라서, 트랜지스터(162)의 미세화를 달성하면서 트랜지스터(162)의 단채널 효과의 발현을 억제할 수 있다.
- [0040] 이로써, 트랜지스터(162)의 크기를 충분히 작게 할 수 있으므로 반도체 장치가 차지하는 면적이 작아지고, 얻을 수 있는 반도체 장치 수가 증대된다. 이로써, 반도체 장치당 제조 비용을 억제할 수 있다. 또한, 반도체 장치가 소형화되기 때문에, 종래의 반도체 장치와 같은 정도의 크기로 더 고기능의 반도체 장치를 실현할 수 있다. 또는, 반도체 장치의 고집적화가 가능하다. 또한, 채널 길이가 축소되기 때문에 동작의 고속화, 저소비 전력화 등의 효과도 얻을 수 있다.
- [0041] 절연층(130) 표면에 형성된 볼록 형상 구조체(131)는 상면과 측면이 교차된 부분(이하, 상단 코너부(132)라고 기재함)에 곡면을 갖는다. 상단 코너부(132)의 곡면은 20nm 이상 60nm 이하의 곡률 반경을 갖는 것이 바람직하다. 또한, 상단 코너부(132)의 표면은 평탄성이 높은 것이 바람직하고, 예를 들어, 평균 면 거칠기가 0.1nm 이상 0.5nm 미만인 것이 바람직하다. 이러한 상단 코너부(132)를 갖는 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉되도록 산화물 반도체층(144)을 형성함으로써 산화물 반도체층(144)으로의 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다.
- [0042] 또한, 볼록 형상 구조체(131)의 상단 코너부의 곡면뿐만 아니라 절연층(130)의 산화물 반도체층(144)과 접촉된 면도 평탄성이 높은 것이 더 바람직하고, 예를 들어, 평균 면 거칠기가 0.1nm 이상 0.5nm 미만이면 더 바람직하다.
- [0043] 산화물 반도체층(144)은 실리콘의 밴드 갭인 1.1eV보다 큰 밴드 갭을 갖는 산화물 반도체를 적용하는 것이 바람직하고, 예를 들어, 밴드 갭이 3.15eV인 In-Ga-Zn-O계 산화물 반도체, 밴드 갭이 약 3.0eV인 산화인듐, 밴드 갭이 약 3.0eV인 인듐주석 산화물, 밴드 갭이 약 3.3eV인 인듐갈륨 산화물, 밴드 갭이 약 2.7eV인 인듐아연 산화물

물, 밴드 갭이 약 3.3eV인 산화주석, 밴드 갭이 약 3.37eV인 산화아연 등을 적합하게 사용할 수 있다. 이러한 재료를 사용함으로써 트랜지스터(162)의 오프 전류를 매우 낮게 유지할 수 있다.

[0044] 여기서, 트랜지스터(162)에 포함된 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거되고 충분한 산소가 공급됨으로써 고순도화된 것이 바람직하다. 구체적으로는, 예를 들어, 산화물 반도체층(144)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체층(144) 내의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정되는 것이다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고 충분히 산소가 공급됨으로써 산소 결핍에 기인한 에너지 갭 중의 결합 준위가 저감된 산화물 반도체층(144)에서는 캐리어 농도가 1×10^{12} /cm³ 미만, 바람직하게는 1×10^{11} /cm³ 미만, 더 바람직하게는 1.45×10^{10} /cm³ 미만이다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm)당의 값)은 100zA(1zA(zepto 암페어)는 1×10^{-21} A) 이하, 바람직하게는 10zA 이하, 더 바람직하게는 100yA(1yA(욕토 암페어)는 1×10^{-24} A) 이하이다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써 오프 전류 특성이 매우 뛰어난 트랜지스터(162)를 얻을 수 있다.

[0045] 또한, 산화물 반도체층(144)은 결정성을 갖는 것으로 하고, c축 배향을 갖는 결정성 산화물 반도체막(CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막)으로 하는 것이 바람직하다.

[0046] CAAC-OS막은 완전한 단결정이 아니고 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 면이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)을 사용한 관찰상에서는 CAAC-OS막에 포함된 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM 관찰에서 CAAC-OS막에 입계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 입계에 기인한 전자 이동도의 저하가 억제된다.

[0047] CAAC-OS막에 포함된 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행 방향으로 일치되고, 또 ab면에 수직인 방향에서 관찰하여 삼각형 또는 육각형 원자 배열을 갖고, c축에 수직인 방향에서 관찰하여 금속 원자가 층 형상으로 배열되거나 또는 금속 원자와 산소 원자가 층 형상으로 배열되어 있다. 또한, 상이한 결정부간에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 “수직”이라고 기재하는 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 “평행”이라고 기재하는 경우에는, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0048] 또한, CAAC-OS막에서 결정부가 균일하게 분포되지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측에서 결정 성장시킬 때 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

[0049] CAAC-OS막에 포함된 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행 방향으로 일치되기 때문에 CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면 법선 벡터에 평행한 방향이 된다. 성막함으로써 또는 성막후에 가열 처리 등의 결정화 처리를 행함으로써 결정부가 형성된다.

[0050] CAAC-OS막을 구성하는 산소의 일부는 질소로 치환되어 있어도 좋다.

[0051] 여기서, 절연층(130) 표면의 평탄성이 낮거나 상단 코너부(132)에 곡면이 형성되어 있지 않은 경우에는, 산화물 반도체층(144)에 포함된 결정의 성장면의 연속성이 끊어져 결정성이 저감될 우려가 있다.

[0052] 그러나, 상술한 바와 같이, 표면의 평탄성이 높은 절연층(130) 위에 접촉되도록 산화물 반도체층(144)을 형성함으로써 산화물 반도체층(144)에 포함된 결정의 성장면의 연속성을 향상시켜 상기 산화물 반도체층(144)의 결정성을 더 향상시킬 수 있다.

[0053] 또한, 상술한 바와 같이, 볼록 형상 구조체(131)의 상단 코너부(132)에 곡면을 가짐으로써, 산화물 반도체층(144)에 상기 상단 코너부(132)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 또한, 산화물 반도체층(144) 내에서 결정의 성장면이 연속되고, 상기 상단 코너부(132)의 곡면에 대하여 금속 원자가 층

형상으로 배열된 결정이 포함되는 것이 더 바람직하다. 또한, 상술한 바와 같이, 상단 코너부(132)의 표면의 평탄성을 향상시킴으로써 상단 코너부(132)에서의 산화물 반도체층(144)의 결정성을 더 향상시킬 수 있다.

- [0054] 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 형성함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0055] 다음에, 도 2a 내지 도 4c를 사용하여 본 실시형태에 따른 반도체 장치의 제작 방법의 일례로서 트랜지스터(162)의 제작 방법을 설명한다. 도 2a 내지 도 4c에 도시된 트랜지스터(162)의 제작 공정의 단면도는 도 1b에 도시된 트랜지스터(162)를 A1-A2로 절단한 단면도에 대응한다.
- [0056] 우선, 기판(100) 위에 절연층(130)을 형성하고, 절연층(130) 표면에 볼록 형상 구조체(129)를 형성한다(도 2a 참조).
- [0057] 기판(100)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 이후의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 알루미늄오실리케이트 유리, 알루미늄보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등 화합물 반도체 기판, SOI 기판 등을 적용할 수 있고, 상기 기판 위에 반도체 소자가 형성되어 있어도 좋다. 또한, 실리콘 등 반도체 기판의 표면이나 금속 재료로 이루어진 도전성 기판 표면에 절연층을 형성한 것을 사용할 수도 있다. 또한, 일반적으로 “SOI 기판”은 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하지만, 본 명세서 등에서는 절연 표면 위에 실리콘 외의 재료로 이루어진 반도체층이 형성된 구성의 기판을 포함하는 것으로 한다. 즉, “SOI 기판”이 갖는 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판에는 유리 기판 등 절연 기판 위에 절연층을 개재(介在)하여 반도체층이 형성된 구성이 포함되는 것으로 한다.
- [0058] 절연층(130)으로서는 산화실리콘막, 산화갈륨막, 산화알루미늄막, 산화질화실리콘막, 또는 산화질화알루미늄막 등을 형성할 수 있다. 본 실시형태에서는 절연층(130)으로서는 산화실리콘막을 사용한다. 또한, 절연층(130)은 CVD법이나 스퍼터링법 등 성막 방법을 적절히 사용하여 형성하면 좋다.
- [0059] 여기서, 절연층(130)은 산소를 함유한 것이 바람직하다. 이후의 공정에서 절연층(130) 위에 접촉하여 산화물 반도체층(144)이 형성되기 때문에 절연층(130) 내에 산소를 함유시킴으로써 이후의 공정에서 가열 처리 등을 행할 때 산화물 반도체층(144)으로부터 절연층(130) 내에 산소가 뽑아지는 것을 억제할 수 있다. 또한, 가열됨으로써 산소의 일부가 방출되는 산화물 절연층을 사용하여 절연층(130)을 형성하는 것이 바람직하다. 가열됨으로써 산소의 일부가 방출되는 산화물 절연층으로서는 화학양론비보다 많은 산소를 함유한 산화물 절연층을 사용하는 것이 바람직하다. 가열됨으로써 산소의 일부가 방출되는 산화물 절연층을 절연층(130)에 사용함으로써 이후의 공정에서 가열 처리를 행할 때 산화물 반도체층(144)으로 산소를 확산시킬 수 있다. 또한, 이온 주입법 또는 이온 도핑법 등을 사용하여 절연층(130)에 산소를 도입시켜도 좋다.
- [0060] 또한, 볼록 형상 구조체(129)는 절연층(130)의 볼록 형상 구조체(129)가 형성될 영역이 선택적으로 잔존하도록 에칭 등을 행함으로써 형성할 수 있다. 예를 들어, 한번의 에칭 또는 복수회의 에칭에 의하여 형성할 수 있다.
- [0061] 절연층(130)의 에칭 방법으로는 미세화의 관점에서 드라이 에칭을 사용하는 것이 바람직하다. 에칭 가스 및 에칭 조건은 절연층(130)의 재료 등에 맞추어 적절히 설정할 수 있다. 예를 들어, 플루오로카본계 가스 또는 플루오로카본계 가스를 함유한 혼합 가스를 사용하는 것이 바람직하다. 예를 들어, CHF₃과 He의 혼합 가스, CHF₃과 CH₄와 He의 혼합 가스, CF₄와 H₂의 혼합 가스, C₄F₈과 Ar의 혼합 가스, 또는 CHF₃과 CF₄와 Ar의 혼합 가스 등을 사용할 수 있다. 본 실시형태에서는 에칭 가스로서 CHF₃과 CH₄와 He의 혼합 가스를 사용한다. 또한, 복수회의 에칭을 행할 때 상기 드라이 에칭에 웨트 에칭을 조합하여도 좋다.
- [0062] 다음에, 볼록 형상 구조체(129)의 상면과 측면이 교차된 상단 코너부(132)에 곡면을 형성하는 가공(이하, R가공이라고 기재함)을 행함으로써 상기 상단 코너부(132)에 곡면을 갖는 볼록 형상 구조체(131)를 형성한다(도 2b 참조). 여기서, 상단 코너부(132)의 곡면은 20nm 이상 60nm 이하의 곡률 반경을 갖는 것이 바람직하다. 또한, 볼록 형상 구조체(131)의 채널 길이 방향의 폭이 L일 때 트랜지스터(162)의 실질적인 채널 길이의 길이가 2L 이상이 되도록 볼록 형상 구조체(131)를 형성하는 것이 바람직하다.
- [0063] 상단 코너부(132)에 곡면을 형성하는 R가공으로서는 플라즈마 처리를 적합하게 사용할 수 있다. 상기 플라즈마 처리는 진공 챔버에 불활성 가스, 예를 들어, 아르곤 가스 등 희가스를 도입하고, 피처리 면이 음극이 되도록

전계를 가하여 행한다. 그 원리는 플라즈마 드라이 에칭법과 마찬가지로, 불활성 가스를 사용하여 행한다. 즉, 이 플라즈마 처리는 피처리 면에 불활성 가스의 이온을 조사하여 스퍼터링 효과에 의하여 표면의 미세한 요철을 평탄화시키는 처리다. 회가스로서는 아르곤, 크립톤, 크세논 등 질량이 큰 회가스 원소를 사용하는 것이 바람직하다.

[0064] 이 플라즈마 처리가 행해질 때 플라즈마 중에는 전자와 아르곤의 양 이온이 존재하고, 아르곤의 양 이온이 음극 방향으로 가속된다. 가속된 아르곤의 양 이온에 의하여 피처리 면이 스퍼터링된다. 이 때, 상기 피처리 면의 블록부에서 우선적으로 스퍼터링되기 때문에 상단 코너부(132)가 우선적으로 스퍼터링 처리되어 R가공된다. 상술한 바와 같이, 상단 코너부(132)에 곡면을 갖는 블록 형상 구조체(131)가 형성된다.

[0065] 또한, 상기 플라즈마 처리에 의하여 절연층(130) 표면에 부착된 산소, 수분, 유기물 등 불순물을 스퍼터링의 효과로 제거할 수도 있다. 또한, 절연층(130) 표면(블록 형상 구조체(131)를 포함함)을 평탄화할 수도 있다. 예를 들어, 절연층(130) 표면을 평탄화하여 표면 거칠기를 저감하고, 바람직하게는 절연층(130)의 평균 면 거칠기를 0.1nm 이상 0.5nm 미만으로 할 수 있다.

[0066] 도 2b에서 블록 형상 구조체(131)의 측면은 기판(100) 표면에 대략 수직이 되도록 형성되어 있고, 블록 형상 구조체(131)의 측면과, 절연층(130)의 블록 형상 구조체(131)가 형성되어 있지 않은 영역 표면이 접촉된 부분은 대략 직각이 되도록 형성되어 있지만, 본 실시형태는 이것에 한정되지 않는다. 블록 형상 구조체(131)는 도 2a 또는 도 2b에 도시된 공정에서 단면 형상이 테이퍼를 갖도록 형성되어도 좋다. 또한, 블록 형상 구조체(131)의 측면과 절연층(130)의 블록 형상 구조체(131)가 형성되어 있지 않은 영역의 표면이 접촉된 부분에 곡면이 형성되도록 하여도 좋다. 블록 형상 구조체(131)를 이러한 형상으로 함으로써 블록 형상 구조체 위에 형성할 산화물 반도체층(144)의 피복성을 향상시킬 수 있다.

[0067] 또한, 산화물 반도체를 형성하기 전에 처리실의 가열 및 배기를 행하여 처리실 내의 수소, 물, 수산기, 수소화물 등의 불순물을 제거해 두는 것이 바람직하다. 특히, 처리실의 내벽에 흡착되어 존재하는 이들 불순물을 제거하는 것이 중요하다. 여기서, 가열 처리는, 예를 들어, 100℃ 이상 450℃ 이하로 행하면 좋다. 또한, 처리실의 배기는 드라이 펌프 등 저진공 펌프와, 스퍼터 이온 펌프, 터보 분자 펌프, 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합하여 행하면 좋다. 터보 분자 펌프는 크기가 큰 분자의 배기가 뛰어난 한편, 수소나 물의 배기 능력이 낮다. 또한, 물의 배기 능력이 높은 크라이오 펌프 또는 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합하는 것이 유효적이다. 또한, 이 때, 불활성 가스를 도입시키면서 불순물을 제거하면, 배기만으로는 탈리되기 어려운 물 등의 탈리 속도를 더 향상시킬 수 있다. 이러한 처리에 의하여 산화물 반도체를 형성하기 전에 처리실의 불순물을 제거함으로써, 수소, 물, 수산기, 수소화물 등이 산화물 반도체층(144)으로 혼입되는 것을 방지할 수 있다.

[0068] 다음에, 기판(100)을 가열하면서 산화물 반도체를 형성하고, 절연층(130) 표면에 형성된 블록 형상 구조체(131) 상면 및 측면의 적어도 일부와 접촉되도록 산화물 반도체층(144)을 형성한다(도 2c 참조). 여기서, 기판 온도가 200℃를 넘어 700℃ 이하, 바람직하게는 300℃를 넘어 500℃ 이하, 더 바람직하게는, 400℃ 이상 450℃ 이하가 되도록 기판을 가열한다. 또한, 산화물 반도체층을 얇게 형성하고 상기 온도로 가열하여도 좋고, 상기 산화물 반도체층 위에 산화물 반도체층을 더 형성하여도 좋다.

[0069] 산화물 반도체층(144)은 막 두께를 1nm 이상 100nm 이하로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용하여 형성할 수 있다. 또한, 산화물 반도체층(144)은 스퍼터링 타겟 표면에 대략 수직이 되도록 복수의 기판 표면이 고정된 상태에서 성막하는 스퍼터링 장치, 소위 CP 스퍼터링 장치(Columnar Plasma Sputtering system)를 사용하여 형성하여도 좋다.

[0070] 산화물 반도체층(144)의 재료로서는 적어도 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용한다. 실리콘보다 밴드 갭이 큰 산화물 반도체로서, 예를 들어, 4원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속의 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, Hf-In-Zn-O계 산화물 반도체나, 2원계 금속의 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-Ga-O계 산화물 반도체, 1원계 금속의 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다. 본 실시형태에서는 In-Ga-Zn-O계 산화물 반도체를 사용한다.

[0071] 또한, 예를 들어, In-Ga-Zn-O계 산화물 반도체란 인듐(In), 갈륨(Ga), 및 아연(Zn)을 갖는 산화물 반도체를 의

미하고, 그 조성비는 불문한다.

- [0072] 또한, 산화물 반도체층(144)은 화학식 $InMO_3(ZnO)_m(m>0)$ 로 표기되는 박막을 사용할 수 있다. 여기서, M은 Zn, Ga, Al, Mn, 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0073] 산화물 반도체로서 In-Ga-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃으로서, 예를 들어, 조성비가 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수비]인 산화물 타깃을 사용할 수 있다. 또한, 이 타깃의 재료 및 조성에 한정되지 않고, 예를 들어, $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]의 산화물 타깃을 사용하여도 좋다.
- [0074] 또한, 산화물 반도체로서 In-Sn-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃의 조성비는 원자수비로 $In:Sn:Zn=1:2:2$, $In:Sn:Zn=2:1:3$, $In:Sn:Zn=1:1:1$ 등으로 하면 좋다.
- [0075] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃의 조성비는 원자수비로 $In:Zn=50:1$ 내지 $1:2$ (mol수비로 환산하면 $In_2O_3:ZnO=25:1$ 내지 $1:4$), 바람직하게는 $In:Zn=20:1$ 내지 $1:1$ (mol수비로 환산하면 $In_2O_3:ZnO=10:1$ 내지 $1:2$), 더 바람직하게는 $In:Zn=15:1$ 내지 $1.5:1$ (mol수비로 환산하면 $In_2O_3:ZnO=15:2$ 내지 $3:4$)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되는 타깃은 원자수비가 $In:Zn:O=X:Y:Z$ 일 때 $Z>1.5X+Y$ 를 만족시킨다.
- [0076] 성막 분위기는 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는, 희가스와 산소의 혼합 분위기하 등으로 하면 좋다. 여기서, 성막할 때 희가스의 체적보다 산소의 체적의 비율을 크게 함으로써 산화물 반도체층(144)에 산소를 용이하게 공급할 수 있고, 산화물 반도체층(144) 내의 산소 결손을 저감시킬 수 있다. 또한, 산화물 반도체층(144)으로 수소, 물, 수산기, 수소화물 등이 혼입되는 것을 방지하기 위하여 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 사용한 분위기로 하는 것이 바람직하다.
- [0077] 상술한 바와 같이 산화물 반도체층(144)을 형성함으로써 이와 같은 c축 배향을 갖는 결정성 산화물 반도체층(144)을 형성할 수 있다. 여기서, 상단 코너부(132)에 곡면을 갖는 볼록 형상 구조체(131) 위에 접촉하여 산화물 반도체층(144)이 형성되어 있으므로 산화물 반도체층(144)에서 상단 코너부(132)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 더 바람직하게는, 산화물 반도체층(144) 내에서 결정의 성장면이 연속되어 있고, 상기 상단 코너부(132)의 곡면에 대하여 금속 원자가 층 형상으로 배열된 결정이 포함된다. 또한, 상술한 바와 같이, 상단 코너부(132)를 포함한 절연층(130) 표면의 평탄성을 향상시킴으로써 산화물 반도체층(144)에 포함된 결정의 성장면의 연속성을 향상시켜 상기 산화물 반도체층(144)의 결정성을 더 향상시킬 수 있다.
- [0078] 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 제공함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0079] 또한, 이러한 볼록 형상 구조체(131)의 상단 코너부(132)에 곡면을 형성하고, 상단 코너부(132)를 포함한 절연층(130) 표면의 평탄성을 향상시킴으로써 산화물 반도체층(144)의 피복성을 향상시킬 수 있다.
- [0080] 산화물 반도체층(144)을 형성한 후, 산화물 반도체층(144)을 가열 처리(제 1 가열 처리)하여도 좋다. 가열 처리함으로써 산화물 반도체층(144) 내에 포함된 수소 원자를 함유한 물질을 더 제거하고, 산화물 반도체층(144)의 구조를 가지런하게 하고, 에너지 갭 중의 결함 준위를 저감시킬 수 있다. 상기 가열 처리는 불활성 가스 분위기하에서 행하고, 가열 처리의 온도는 $300^{\circ}C$ 이상 $700^{\circ}C$ 이하, 바람직하게는 $450^{\circ}C$ 이상 $600^{\circ}C$ 이하, 또한, 기관이 변형점을 갖는 경우에는, 기관의 변형점 미만으로 한다. 불활성 가스 분위기로서는 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 함유되지 않은 분위기를 적용하는 것이 바람직하다. 예를 들어, 가열 처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.
- [0081] 상기 가열 처리는, 예를 들어, 저항 발열체 등을 사용한 전기로에 기관(100)을 도입하고, 질소 분위기하, $450^{\circ}C$, 1시간의 조건으로 행할 수 있다.
- [0082] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사(輻射)에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, LRTA(Lamp Rapid Thermal Anneal) 장치,

GRTA(Gas Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발해지는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치다. GRTA 장치는 고온의 가스를 사용하여 가열 처리하는 장치다. 가스로서는 아르곤 등의 희가스, 또는 질소 등 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, 가열 처리 장치로서 GRTA 장치를 사용하는 경우에는, 그 가열 처리 시간이 짧기 때문에 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 분위기하에서 기판을 가열하여도 좋다.

- [0083] 또한, 상기 가열 처리에 의하여 산화물 반도체층(144)을 가열한 후, 동일한 노에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초 건조 에어(CRDS(cavity ring down laser spectroscopy) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기)를 도입하는 것이 바람직하다. 특히, 이들 가스에 물, 수소 등이 함유되지 않은 것이 바람직하다. 또한, 같은 노에 도입하는 산소 가스 또는 N₂O 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 N₂O 가스의 작용에 의하여 탈수화 또는 탈수소화 처리로 불순물을 배제하는 공정에서 저감된 산화물 반도체를 구성하는 주성분 재료 중 하나인 산소를 공급할 수 있다. 이 공정에 의하여 산화물 반도체층을 고순도화시켜 i형(진성)화할 수 있다.
- [0084] 상술한 바와 같은 가열 처리를 행함으로써 불순물을 저감시켜 i형(진성 반도체) 또는 i형에 매우 가까운 산화물 반도체층을 형성함으로써 특성이 매우 뛰어난 트랜지스터를 실현할 수 있다.
- [0085] 또한, 상술한 가열 처리에는 수소나 물 등을 제거하는 효과가 있기 때문에, 상기 가열 처리를 탈수화나 탈수소화 등이라고 부를 수도 있다. 상기 가열 처리는, 예를 들어, 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연층을 형성한 후 등의 타이밍에서 행할 수도 있다. 또한, 이와 같은 탈수화 또는 탈수소화를 위한 가열 처리는 한번에 한정되지 않고 여러번 행하여도 좋다.
- [0086] 또한, 도 2c에서는 산화물 반도체층(144)을 섬 형상으로 가공하였지만, 산화물 반도체층(144)을 반드시 섬 형상으로 가공하지 않아도 좋다.
- [0087] 다음에, 산화물 반도체층(144) 위에 도전층을 형성하고, 상기 도전층을 가공하여 산화물 반도체층(144)과 전기적으로 접촉된 소스 전극(142a) 및 드레인 전극(142b)을 형성한다(도 2d 참조).
- [0088] 소스 전극(142a) 및 드레인 전극(142b)은 폴리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다.
- [0089] 또한, 도 2d에서는 소스 전극(142a) 및 드레인 전극(142b)을 산화물 반도체층(144) 위에 형성한 구성을 채용하였지만, 본 실시형태는 이것에 한정되지 않는다. 소스 전극(142a) 및 드레인 전극(142b)을 미리 형성해 두고 그 위에 산화물 반도체층(144)을 형성한 구성을 채용하여도 좋다. 또한, 소스 전극(142a) 및 드레인 전극(142b)의 단면 형상을 테이퍼 형상으로 함으로써 소스 전극(142a) 및 드레인 전극(142b) 위에 접촉하여 형성될 게이트 절연층(146)의 피복성을 향상시킬 수 있다.
- [0090] 다음에, 산화물 반도체층(144), 소스 전극(142a) 및 드레인 전극(142b) 위에 게이트 절연층(146)을 형성한다(도 2e 참조).
- [0091] 게이트 절연층(146)은 막 두께를 1nm 이상 100nm 이하로 하고, 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용하여 형성할 수 있다. 또한, 산화물 반도체층(144)과 접촉된 점을 고려하면 수소 등 불순물이 충분히 제거된 것이 바람직하기 때문에 게이트 절연층(146)은 수소 등의 불순물이 함유되기 어려운 스퍼터링법을 사용하여 형성하는 것이 바람직하다.
- [0092] 게이트 절연층(146)은 산화실리콘막, 산화갈륨막, 산화알루미늄막, 산화질화실리콘막, 또는 산화질화알루미늄막 등을 사용하여 형성할 수 있다. 또한, 게이트 절연층(146)은 제작되는 트랜지스터의 크기나 게이트 절연층(146)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.
- [0093] 여기서, 게이트 절연층(146)은 절연층(130)과 마찬가지로 산소를 함유한 것이 바람직하다. 게이트 절연층(146)은 산화물 반도체층(144) 위에 접촉하여 형성되기 때문에 게이트 절연층(146) 내에 산소를 함유시킴으로써 이후의 공정에서 가열 처리 등을 행할 때 산화물 반도체층(144)으로부터 게이트 절연층(146) 내에 산소가 뽑아지는 것을 억제할 수 있다. 또한, 가열됨으로써 산소의 일부가 방출되는 산화물 절연층을 사용하여 게이트 절연

층(146)을 형성하는 것이 바람직하다. 가열됨으로써 산소의 일부가 방출되는 산화물 절연층으로서 화학양론 비보다 많은 산소를 함유한 산화물 절연층을 사용하는 것이 바람직하다. 가열됨으로써 산소의 일부가 방출되는 산화물 절연층을 게이트 절연층(146)에 사용함으로써 이후의 공정에서 가열 처리를 행할 때 산화물 반도체층(144)에 산소를 확산시킬 수 있다.

- [0094] 본 실시형태에서는 게이트 절연층(146)으로서 SiO_{2+a} (다만, $a > 0$)인 산화실리콘막을 사용한다. 이 산화실리콘막을 게이트 절연층(146)으로서 사용함으로써 In-Ga-Zn-O계 산화물 반도체에 산소를 공급할 수 있어 특성을 양호하게 할 수 있다.
- [0095] 또한, 게이트 절연층(146)의 재료로서 산화하프늄, 산화이트륨, 하프늄실리케이트(HfSi_xO_y ($x > 0, y > 0$)), 하프늄알루미늄에이트(HfAl_xO_y ($x > 0, y > 0$)), 질소가 첨가된 하프늄실리케이트, 질소가 첨가된 하프늄알루미늄에이트, 산화란탄 등 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다. 또한, 게이트 절연층(146)은 단층 구조와 적층 구조의 어느 쪽이라도 좋다.
- [0096] 게이트 절연층(146)을 형성한 후에 불활성 가스 분위기하 또는 산소 분위기하에서 가열 처리(제 2 가열 처리)하여도 좋다. 가열 처리의 온도는 200°C 이상 450°C 이하로 하는 것이 바람직하고, 250°C 이상 350°C 이하로 하는 것이 더 바람직하다. 이러한 가열 처리를 행함으로써 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 산화물 반도체층(144)과 접촉된 게이트 절연층(146)이 산소를 함유한 경우에는, 산화물 반도체층(144)에 산소를 공급하여 상기 산화물 반도체층(144)의 산소 결손을 보전하여 i형(진성 반도체) 또는 i형에 매우 가까운 산화물 반도체층을 형성할 수도 있다. 이와 같이, 상술한 가열 처리에는 산소를 공급하는 효과가 있기 때문에, 상기 가열 처리를 가산화(가산소화) 등이라고 부를 수도 있다.
- [0097] 또한, 본 실시형태에서는 게이트 절연층(146)을 형성한 후에 가산화를 위한 가열 처리를 행하지만, 가산화를 위한 가열 처리의 타이밍은 이것에 한정되지 않는다. 예를 들어, 소스 전극(142a) 및 드레인 전극(142b)을 형성한 후에 가산화를 위한 가열 처리를 행하여도 좋다. 또한, 탈수화 또는 탈수소화를 위한 가열 처리에 이어 가산화를 위한 가열 처리를 행하여도 좋고, 탈수화 또는 탈수소화를 위한 가열 처리가 가산화를 위한 가열 처리를 겸하여도 좋고, 가산화를 위한 가열 처리가 탈수화 또는 탈수소화를 위한 가열 처리를 겸하여도 좋다.
- [0098] 다음에, 게이트 절연층(146) 위에 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부를 덮어 게이트 전극(148)을 형성한다(도 2e 참조).
- [0099] 게이트 전극(148)의 재료는 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극(148)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극(148)은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0100] 게이트 절연층(146)과 접촉된 게이트 전극(148)의 하나의 층으로서 질소를 함유한 금속 산화물, 구체적으로는, 질소를 함유한 In-Ga-Zn-O막, 질소를 함유한 In-Sn-O막, 질소를 함유한 In-Ga-O막, 질소를 함유한 In-Zn-O막, 질소를 함유한 Sn-O막, 질소를 함유한 In-O막, 금속 질화막(InN, SnN 등)을 사용하는 것이 바람직하다. 이들 막은 5eV, 바람직하게는 5.5eV 이상의 일 함수를 갖고, 게이트 전극으로서 사용한 경우에는, 트랜지스터의 전기적 특성의 임계값 전압을 플러스로 할 수 있어 소위 노멀리-오프의 스위칭 소자를 실현할 수 있기 때문이다.
- [0101] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(162)를 제작할 수 있다(도 2e 참조).
- [0102] 또한, 도 2a 내지 도 2e에서는 도 2a 및 도 2b를 사용하여 설명한 바와 같이 절연층(130) 표면에 볼록 형상 구조체(129)를 형성하고, 볼록 형상 구조체(129)의 상면과 측면이 교차된 상단 코너부(132)에 플라즈마 처리에 의하여 R가공을 행함으로써, 상기 상단 코너부(132)에 곡면을 갖는 볼록 형상 구조체(131)를 형성하였지만, 본 실시형태는 이것에 한정되지 않는다. 도 3a 내지 도 4c를 사용하여 플라즈마 처리와 다른 방법을 사용하여 볼록 형상 구조체(131)를 형성하는 방법에 대하여 설명한다.
- [0103] 도 3a 내지 도 3c는 메탈 마스크(170)를 사용하여 절연층(130) 표면에 볼록 형상 구조체(131)를 형성하는 공정의 단면도다. 우선, 기판(100) 위에 절연층(130)을 형성하고, 상기 절연층(130) 표면에 메탈 마스크(170)를 형성한다(도 3a 참조).
- [0104] 메탈 마스크(170)는 절연층(130) 위에 금속층을 형성하고, 포토리소그래피 등으로 선택적으로 패터닝된 레지스트 마스크를 사용하여 상기 금속층을 에칭함으로써 형성할 수 있다.

- [0105] 여기서, 메탈 마스크(170)는 금속 재료를 사용하여 형성되어 있고, 예를 들어, 알루미늄, 크롬, 탄탈, 티타늄, 폴리브덴, 텅스텐 중에서 선택된 원소, 또는 상술한 원소를 성분으로서 함유한 합금이나, 상술한 원소를 조합한 합금막 등을 사용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수 중에서 선택된 재료를 사용하여도 좋다. 본 실시형태에서는 텅스텐으로 이루어진 메탈 마스크(170)를 사용한다.
- [0106] 또한, 기관(100) 및 절연층(130)의 상세한 내용은 도 2a에 관한 기재를 참조할 수 있다.
- [0107] 다음에, 메탈 마스크(170)를 사용하여 절연층(130)을 에칭하여 상기 절연층(130) 표면에 볼록 형상 구조체(129)를 형성한다(도 3b 참조).
- [0108] 절연층(130)의 에칭 방법으로서 도 2a에 도시된 에칭과 마찬가지로 미세화의 관점에서 드라이 에칭을 사용하는 것이 적합하다. 에칭 가스 및 에칭 조건은 절연층(130)의 재료 등에 맞추어 적절히 설정할 수 있다. 플루오로카본계 가스 또는 플루오로카본계 가스를 함유한 혼합 가스를 사용하는 것이 바람직하다. 예를 들어, CHF₃과 He의 혼합 가스, CHF₃과 CH₄와 He의 혼합 가스, CF₄와 H₂의 혼합 가스, C₄F₈과 Ar의 혼합 가스, 또는 CHF₃과 CF₄와 Ar의 혼합 가스 등을 사용할 수 있다. 본 실시형태에서는 에칭 가스로서 CHF₃과 CH₄와 He의 혼합 가스를 사용한다. 또한, 에칭 조건은 적절히 설정할 수 있다. 예를 들어, 한번의 에칭 또는 복수회의 에칭에 의하여 볼록 형상 구조체(129)를 형성할 수 있다.
- [0109] 도 3b에서 볼록 형상 구조체(129)는 단면 형상이 테이퍼를 갖도록 형성되어 있고, 볼록 형상 구조체(129)의 측면과 절연층(130)의 볼록 형상 구조체(129)가 형성되어 있지 않은 영역의 표면이 접촉된 부분에 곡면을 갖는다. 볼록 형상 구조체(129)를 이러한 형상으로 함으로써 볼록 형상 구조체 위에 형성될 산화물 반도체층의 피복성을 향상시킬 수 있다. 다만, 본 실시형태에 기재된 반도체 장치는 이것에 한정되지 않는다. 도 2b에서 도시한 바와 같이, 볼록 형상 구조체(129) 측면은 기관(100) 표면에 대략 수직이 되도록 형성하여도 좋고, 볼록 형상 구조체(129) 측면과 절연층(130)의 볼록 형상 구조체(129)가 형성되어 있지 않은 영역의 표면이 접촉된 부분이 대략 직각이 되도록 형성하여도 좋다.
- [0110] 다음에, 메탈 마스크(170)를 반응성 가스를 사용한 드라이 에칭으로 제거한다(도 3c 참조). 여기서, 반응성 가스로서는 불소계 가스, 염소계 가스, 또는 이들을 혼합한 가스 등을 사용할 수 있다. 예를 들어, 메탈 마스크(170)로서 텅스텐을 사용한 경우 CF₄와 Cl₂와 O₂의 혼합 가스 등을 사용하면 좋다.
- [0111] 상기 드라이 에칭에 사용하는 불소계 가스 또는 염소계 가스로 절연층(130)도 에칭할 수 있다. 또한, 상기 드라이 에칭에서 절연층(130)의 에칭 레이트보다 메탈 마스크(170)의 에칭 레이트가 더 큰 것으로 한다. 이로써, 메탈 마스크(170)를 에칭할 때 볼록 형상 구조체(129)의 상면과 측면이 교차된 상단 코너부(132)에 R가공을 행하여 상기 상단 코너부(132)에 곡면을 갖는 볼록 형상 구조체(131)를 형성할 수 있다. 여기서, 상단 코너부(132)의 곡면은 20nm 이상 60nm 이하의 곡률 반경을 갖는 것이 바람직하다. 또한, 상기 에칭 처리에 더하여 도 2b에 도시된 바와 같은 플라즈마 처리를 행하여도 좋다.
- [0112] 상술한 바와 같이 절연층(130) 표면에 볼록 형상 구조체(131)를 형성할 수 있다. 이후의 공정으로서 도 2c 내지 도 2e에 도시된 공정을 행함으로써 트랜지스터(162)를 형성할 수 있다.
- [0113] 또한, 도 4a 내지 도 4c는 레지스트 마스크(180)를 사용하여 절연층(130) 표면에 볼록 형상 구조체(131)를 형성하는 공정의 단면도다. 우선, 기관(100) 위에 절연층(130)을 형성하고, 상기 절연층(130) 표면에 레지스트 마스크(180)를 형성한다(도 4a 참조).
- [0114] 레지스트 마스크(180)는 감광성 수지를 포토리소그래피 등을 사용하여 선택적으로 패터닝함으로써 형성할 수 있다. 여기서, 레지스트 마스크(180)는 단면 형상이 테이퍼를 갖도록 형성하고, 레지스트 마스크의 측면과 절연층(130) 표면이 이루는 각도가 90° 미만이 되도록 한다.
- [0115] 다음에, 레지스트 마스크(180)에 가열 처리를 행하여 도 4b에 도시된 바와 같이, 상면 및 측면이 곡면을 갖고, 단면 형상이 거의 반원 형상인 레지스트 마스크(182)를 형성한다(도 4b 참조). 여기서, 가열 온도, 가열 시간 등의 가열 조건을 적절히 설정함으로써 레지스트 마스크(182)의 형상을 제어할 수 있다.
- [0116] 다음에, 레지스트 마스크(182)를 사용하여 절연층(130)을 에칭하여 상기 절연층(130) 표면에 볼록 형상 구조체(131)를 형성한다(도 4c 참조).
- [0117] 이 에칭 처리에 의하여 볼록 형상 구조체(129)의 상면과 측면이 교차된 상단 코너부(132)에 R가공을 행하여 상기 상단 코너부(132)에 곡면을 갖는 볼록 형상 구조체(131)를 형성할 수 있다. 여기서, 상단 코너부(132)의 곡

면은 20nm 이상 60nm 이하의 곡률 반경을 갖는 것이 바람직하다. 또한, 상기 에칭 처리에 더하여 도 2b에 도시된 바와 같은 플라즈마 처리를 행하여도 좋다.

- [0118] 에칭 방법으로서 도 2a에 도시된 에칭과 마찬가지로 드라이 에칭을 적합하게 사용할 수 있다. 또한, 에칭 조건은 적절히 설정할 수 있다. 예를 들어, 한번의 에칭 또는 복수회의 에칭에 의하여 블록 형상 구조체(129)를 형성할 수 있다.
- [0119] 또한, 도 4c에서 블록 형상 구조체(131)는 단면 형상이 테이퍼를 갖도록 형성되어 있고, 블록 형상 구조체(131)의 측면과 절연층(130)의 블록 형상 구조체(131)가 형성되어 있지 않은 영역의 표면이 접촉된 부분이 곡면을 갖는다. 블록 형상 구조체(131)를 이러한 형상으로 함으로써 블록 형상 구조체 위에 형성될 산화물 반도체층의 피복성을 향상시킬 수 있다. 다만, 본 실시형태에 기재된 반도체 장치는 이것에 한정되지 않는다. 도 2b에서 도시한 바와 같이, 블록 형상 구조체(131) 측면은 기판(100) 표면에 대략 수직이 되도록 형성하여도 좋고, 블록 형상 구조체(131) 측면과 절연층(130)의 블록 형상 구조체(131)가 형성되어 있지 않은 영역의 표면이 접촉된 부분이 대략 직각이 되도록 형성하여도 좋다.
- [0120] 상술한 바와 같이 절연층(130) 표면에 블록 형상 구조체(131)를 형성할 수 있다. 이후의 공정으로서 도 2c 내지 도 2e에 도시된 공정을 행함으로써 트랜지스터(162)를 형성할 수 있다.
- [0121] 상술한 바와 같이, 본 실시형태에 기재된 트랜지스터(162)는 산화물 반도체층(144)이 블록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 형성됨으로써 소스 전극(142a)과 드레인 전극(142b) 사이의 거리(트랜지스터(162)의 외견상 채널 길이)보다 트랜지스터(162)의 실질적인 채널 길이를 길게 할 수 있다. 따라서, 트랜지스터 크기의 축소를 도모하면서 단채널 효과의 발현을 억제할 수 있다.
- [0122] 또한, 블록 형상 구조체(131)의 상단 코너부(132)가 곡면을 가짐으로써, 산화물 반도체층(144)에 상기 상단 코너부(132)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 형성함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0123] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0124] (실시형태 2)
- [0125] 본 실시형태에서는 본 발명에 따른 일 형태로서 상기 실시형태에서 기재한 산화물 반도체를 사용한 반도체 장치의 상기 실시형태와 다른 제작 방법을 도 5a 내지 도 5e를 사용하여 설명한다.
- [0126] 도 5e에 도시된 트랜지스터(262)의 구조는 도 1b에 도시된 트랜지스터(162)와 마찬가지로, 기판(200) 위에 형성되고 또 표면에 블록 형상 구조체(231)가 형성된 절연층(230)과, 블록 형상 구조체(231)의 상면 및 측면의 적어도 일부와 접촉하여 형성된 산화물 반도체층(244)과, 산화물 반도체층(244) 위에 형성된 게이트 절연층(246)과, 게이트 절연층(246) 위에 블록 형상 구조체(231)의 상면 및 측면의 적어도 일부를 덮어 형성된 게이트 전극(248)과, 산화물 반도체층(244)과 전기적으로 접속된 소스 전극(242a) 및 드레인 전극(242b)을 갖는다. 또한, 절연층(230) 표면에 형성된 블록 형상 구조체(231)의 상단 코너부(232)는 곡면을 갖는다.
- [0127] 여기서, 기판(200)은 상기 실시형태에 기재된 기판(100)과 대응하고, 절연층(230)은 상기 실시형태에 기재된 절연층(130)과 대응하고, 블록 형상 구조체(231)는 상기 실시형태에 기재된 블록 형상 구조체(131)와 대응하고, 상단 코너부(232)는 상기 실시형태에 기재된 상단 코너부(132)와 대응하고, 산화물 반도체층(244)은 상기 실시형태에 기재된 산화물 반도체층(144)과 대응하고, 게이트 절연층(246)은 상기 실시형태에 기재된 게이트 절연층(146)과 대응하고, 게이트 전극(248)은 상기 실시형태에 기재된 게이트 전극(148)과 대응하고, 소스 전극(242a) 및 드레인 전극(242b)은 상기 실시형태에 기재된 소스 전극(142a) 및 드레인 전극(142b)과 대응한다.
- [0128] 또한, 도 5a 내지 도 5e에 도시된 트랜지스터(262)의 제작 공정의 단면도는 도 1b에 도시된 트랜지스터(162)를 A1-A2로 절단한 단면도에 대응한다.
- [0129] 우선, 상기 실시형태에서 기재한 바와 같이, 기판(200) 위에 절연층(230)을 형성하고, 절연층(230) 표면에 상면과 측면이 교차된 상단 코너부(232)에 곡면이 형성된 블록 형상 구조체(231)를 형성한다(도 5a 참조).
- [0130] 여기서, 기판(200), 절연층(230), 및 블록 형상 구조체(231)의 상세한 내용은 상기 실시형태의 기재를 참조할

수 있다.

- [0131] 또한, 산화물 반도체를 형성하기 전에 처리실의 가열 및 배기를 행하여 처리실 내의 수소, 물, 수산기, 수소화물 등의 불순물을 제거해 두는 것이 바람직하다. 특히, 처리실의 내벽에 흡착되어 존재하는 이들 불순물을 제거하는 것이 중요하다. 여기서, 가열 처리는, 예를 들어, 100℃ 이상 450℃ 이하로 행하면 좋다. 또한, 처리실의 배기는 드라이 펌프 등 저진공 펌프와, 스퍼터 이온 펌프, 터보 분자 펌프, 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합하여 행하면 좋다. 터보 분자 펌프는 크기가 큰 분자의 배기가 뛰어난 한편, 수소나 물의 배기 능력이 낮다. 또한, 물의 배기 능력이 높은 크라이오 펌프 또는 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합하는 것이 유효적이다. 또한, 이 때, 불활성 가스를 도입시키면서 불순물을 제거하면, 배기만으로는 탈리되기 어려운 물 등의 탈리 속도를 더 향상시킬 수 있다. 이러한 처리를 행하여 산화물 반도체를 성막하기 전에 처리실의 불순물을 제거함으로써 산화물 반도체층(244)으로의 수소, 물, 수산기, 수소화물 등의 혼입을 방지할 수 있다.
- [0132] 다음에, 기판(200)을 가열하면서 산화물 반도체를 성막하고, 절연층(230) 표면에 형성된 볼록 형상 구조체(231)의 상면 및 측면의 적어도 일부와 접촉되도록 산화물 반도체층(243)을 형성한다(도 5b 참조). 여기서, 바람직하게는 기판 온도가 200℃ 미만, 더 바람직하게는 180℃ 미만이 되도록 기판(200)을 가열한다.
- [0133] 성막할 때 기판 온도를 바람직하게는 200℃ 미만, 더 바람직하게는 180℃ 미만으로 함으로써 산화물 반도체층(243)은 비정질 구조를 갖기 때문에, 성막할 때 CAAC-OS막인 상기 실시형태에 기재된 산화물 반도체층(144)과 다르다.
- [0134] 산화물 반도체층(243)의 막 두께는 1nm 이상 100nm 이하로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다. 또한, 산화물 반도체층(244)은 스퍼터링 타깃 표면에 대략 수직이 되도록 복수의 기판 표면이 고정된 상태로 성막하는 스퍼터링 장치, 소위 CP 스퍼터링 장치(Columnar Plasma Sputtering system)를 사용하여 형성하여도 좋다.
- [0135] 산화물 반도체층(243)의 재료로서는 적어도 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용한다. 실리콘보다 밴드 갭이 큰 산화물 반도체로서, 예를 들어, 4원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속의 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, Hf-In-Zn-O계 산화물 반도체나, 2원계 금속의 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-Ga-O계 산화물 반도체, 1원계 금속의 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다. 본 실시형태에서는 In-Ga-Zn-O계 산화물 반도체를 사용한다.
- [0136] 또한, 예를 들어, In-Ga-Zn-O계 산화물 반도체란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체를 의미하고, 그 조성비는 불문한다.
- [0137] 또한, 산화물 반도체층(243)은 화학식 $InMO_3(ZnO)_m(m>0)$ 로 표기되는 박막을 사용할 수 있다. 여기서, M은 Zn, Ga, Al, Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0138] 산화물 반도체로서 In-Ga-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃으로서, 예를 들어, 조성비가 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수비]인 산화물 타깃을 사용할 수 있다. 또한, 이 타깃의 재료 및 조성에 한정되지 않고, 예를 들어 $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]의 산화물 타깃을 사용하여도 좋다.
- [0139] 또한, 산화물 반도체로서 In-Sn-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃의 조성비는 원자수비로 $In:Sn:Zn=1:2:2$, $In:Sn:Zn=2:1:3$, $In:Sn:Zn=1:1:1$ 등으로 하면 좋다.
- [0140] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃의 조성비는 원자수비로 $In:Zn=50:1$ 내지 $1:2$ (mol수비로 환산하면 $In_2O_3:ZnO=25:1$ 내지 $1:4$), 바람직하게는 $In:Zn=20:1$ 내지 $1:1$ (mol수비로 환산하면 $In_2O_3:ZnO=10:1$ 내지 $1:2$), 더 바람직하게는 $In:Zn=15:1$ 내지 $1.5:1$ (mol수비로 환산하면 $In_2O_3:ZnO=15:2$ 내지 $3:4$)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되는 타깃은 원자수비가 $In:Zn:O=X:Y:Z$ 일 때 $Z>1.5X+Y$ 를 만족시킨다.
- [0141] 성막 분위기는 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는, 희가스와 산소의 혼합 분위기하

등으로 하면 좋다. 여기서, 성막할 때 회가스보다 산소의 체적비를 크게 함으로써 산화물 반도체층(243)에 산소를 용이하게 공급할 수 있고, 산화물 반도체층(243) 내의 산소 결손을 저감시킬 수 있다. 또한, 산화물 반도체층(243)으로의 수소, 물, 수산기, 수소화물 등이 혼입되는 것을 방지하기 위하여 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 사용한 분위기로 하는 것이 바람직하다.

[0142] 여기서, 상기 실시형태에 기재된 바와 같이, 산화물 반도체층에 탈수화 또는 탈수소화를 위한 가열 처리를 행하는 것이 바람직하다. 가열 처리를 행함으로써, 산화물 반도체층(243) 내에 포함된 수소 원자를 함유한 물질을 더 제거하고, 산화물 반도체층(243)의 구조를 가지런하게 하고, 에너지 갭 중의 결함 준위를 저감시킬 수 있다. 다만, 상기 가열 처리는 비정질 상태의 산화물 반도체층(243) 내에 결정이 형성되지 않도록 행해지는 것이 바람직하다. 상기 가열 처리는 불활성 가스 분위기하에서 행하고, 가열 처리의 온도는 바람직하게는 250℃ 이상 400℃ 이하, 더 바람직하게는 300℃ 이하로 한다. 불활성 가스 분위기로서는 질소 또는 회가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기고, 물, 수소 등이 함유되지 않은 분위기를 적용하는 것이 바람직하다. 예를 들어, 가열 처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 회가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0143] 상기 가열 처리는, 예를 들어, 저항 발열체 등을 사용한 전기로에 기관(200)을 도입하여 행할 수 있다. 또한, 가열 처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, LRTA(Lamp Rapid Thermal Anneal) 장치, GRTA(Gas Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발해지는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치다. GRTA 장치는 고온의 가스를 사용하여 가열 처리하는 장치다. 가스로서는 아르곤 등의 회가스, 또는 질소 등 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0144] 또한, 탈수화 또는 탈수소화를 위한 가열 처리로 산화물 반도체층(243)을 가열한 후, 동일한 노에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초 건조 에어(CRDS(cavity ring down spectroscopy) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기)로 하는 것이 바람직하다. 특히, 이들 가스에 물, 수소 등이 함유되지 않은 것이 바람직하다. 또한, 같은 노에 도입하는 산소 가스 또는 N₂O 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 N₂O 가스의 작용에 의하여, 탈수화 또는 탈수소화 처리로 불순물을 배제하는 공정에서 저감되며 산화물 반도체를 구성하는 주성분 재료 중 하나인 산소를 공급할 수 있다. 이 공정에 의하여 산화물 반도체층을 고순도화시켜 i형(진성)화할 수 있다.

[0145] 상술한 바와 같은 가열 처리를 행함으로써 불순물을 저감시켜 i형(진성 반도체) 또는 i형에 매우 가까운 산화물 반도체층을 형성함으로써, 특성이 매우 뛰어난 트랜지스터를 실현할 수 있다.

[0146] 또한, 상술한 가열 처리에는 수소나 물 등을 제거하는 효과가 있기 때문에, 상기 가열 처리를 탈수화 처리나 탈수소화 처리 등이라고 부를 수도 있다. 상기 가열 처리는, 예를 들어, 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연층을 형성한 후 등의 타이밍에서 행할 수도 있다. 또한, 이와 같은 탈수화 처리 및 탈수소화 처리는 한번에 한정되지 않고 여러번 행하여도 좋다.

[0147] 다음에, 비정질 상태의 산화물 반도체층(243)에 가열 처리를 행하여 상기 산화물 반도체층의 적어도 일부를 결정화시켜 c축 배향을 갖는 결정을 포함한 산화물 반도체층(244)을 형성한다(도 5c 참조). 여기서, 가열 처리의 온도는 250℃ 이상 700℃ 이하, 바람직하게는 400℃ 이상, 더 바람직하게는 500℃ 이상, 더 바람직하게는 550℃ 이상으로 한다.

[0148] 상술한 바와 같이, 성막할 때의 가열 처리보다 높은 온도로 가열 처리함으로써 산화물 반도체층(243)을 결정화시킬 수 있다. 또한, 가열 처리 온도 외의 가열 처리 조건에 대해서는 상술한 탈수화 또는 탈수소화를 위한 가열 처리의 기재를 참조할 수 있다.

[0149] 또한, 도 5c에서는 산화물 반도체층(244)을 섬 형상으로 가공하였지만, 반드시 산화물 반도체층(244)을 섬 형상으로 가공하지 않아도 좋다.

[0150] 상술한 바와 같이 산화물 반도체층(244)을 형성함으로써 상기 실시형태에서 기재한 바와 같은 c축 배향을 갖는 결정성 산화물 반도체층(244)을 형성할 수 있다. 여기서, 상단 코너부(232)에 곡면이 형성된 볼록 형상 구조체

(231) 위에 접촉하여 산화물 반도체층(244)이 형성되어 있으므로 산화물 반도체층(244)에서 상단 코너부(232)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 더 바람직하게는 산화물 반도체층(244) 내에서 결정의 성장면이 연속되어 있고, 상기 상단 코너부(232)의 곡면에 대하여 금속 원자가 층 형상으로 배열된 결정이 포함된다. 또한, 상술한 바와 같이, 상단 코너부(232)를 포함한 절연층(230) 표면의 평탄성을 향상시킴으로써 산화물 반도체층(244)에 포함된 결정의 성장면의 연속성을 향상시켜 상기 산화물 반도체층(244)의 결정성을 더 향상시킬 수 있다.

[0151] 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(244)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(244)을 제공함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0152] 다음에, 산화물 반도체층(244) 위에 도전층을 형성하고, 상기 도전층을 가공하여 산화물 반도체층(244)과 전기적으로 접촉된 소스 전극(242a) 및 드레인 전극(242b)을 형성한다(도 5d 참조).

[0153] 여기서, 소스 전극(242a) 및 드레인 전극(242b)의 상세한 내용에 대해서는 상기 실시형태의 기재를 참조할 수 있다.

[0154] 다음에, 산화물 반도체층(244), 소스 전극(242a) 및 드레인 전극(242b) 위에 게이트 절연층(246)을 형성하고, 상기 게이트 절연층(246) 위에 블록 형상 구조체(231)의 상면 및 측면의 적어도 일부를 덮어 게이트 전극(248)을 형성한다(도 5e 참조).

[0155] 여기서, 게이트 절연층(246) 및 게이트 전극(248)의 상세한 내용에 대해서는 상기 실시형태의 기재를 참조할 수 있다.

[0156] 또한, 상기 실시형태에서 기재한 바와 같이, 게이트 절연층(246)을 형성한 후에는 불활성 가스 분위기하 또는 산소 분위기하에서 가산화를 위한 가열 처리를 행하여도 좋다. 가열 처리의 온도는 200℃ 이상 450℃ 이하로 하는 것이 바람직하고, 250℃ 이상 350℃ 이하로 하는 것이 더 바람직하다. 가산화를 위한 가열 처리를 행함으로써 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 산화물 반도체층(244)과 접촉된 게이트 절연층(246)이 산소를 함유한 경우에는, 산화물 반도체층(244)에 산소를 공급하여 상기 산화물 반도체층(244)의 산소 결손을 보전하여 i형(진성 반도체) 또는 i형에 매우 가까운 산화물 반도체층을 형성할 수도 있다.

[0157] 또한, 본 실시형태에서는 게이트 절연층(246)을 형성한 후에 가산화를 위한 가열 처리를 행하였지만, 가산화를 위한 가열 처리의 타이밍은 이것에 한정되지 않는다. 예를 들어, 소스 전극(242a) 및 드레인 전극(242b)을 형성한 후에 가산화를 위한 가열 처리를 행하여도 좋다. 또한, 탈수화 또는 탈수소화를 위한 가열 처리에 이어 가산화를 위한 가열 처리를 행하여도 좋고, 탈수화 또는 탈수소화를 위한 가열 처리가 가산화를 위한 가열 처리를 겸하여도 좋고, 가산화를 위한 가열 처리가 탈수화 또는 탈수소화를 위한 가열 처리를 겸하여도 좋다.

[0158] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(262)를 제작할 수 있다(도 5e 참조).

[0159] 상술한 바와 같이, 본 실시형태에 기재된 트랜지스터(262)는 산화물 반도체층(244)이 블록 형상 구조체(231)의 상면 및 측면의 적어도 일부와 접촉하여 형성됨으로써 소스 전극(242a)과 드레인 전극(242b) 사이의 거리(트랜지스터(262)의 외견상 채널 길이)보다 트랜지스터(262)의 실질적인 채널 길이를 길게 할 수 있다. 따라서, 트랜지스터 크기의 축소를 도모하면서 단채널 효과의 발현을 억제할 수 있다.

[0160] 또한, 블록 형상 구조체(231)의 상단 코너부(232)에 곡면을 형성함으로써, 산화물 반도체층(244)에 상기 상단 코너부(232)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(244)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(244)을 형성함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0161] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0162] (실시형태 3)

[0163] 본 실시형태에서는 상기 실시형태에 기재된 트랜지스터(162)를 사용하여 전력이 공급되지 않더라도 기억 내용을 유지할 수 있고 또 기록 횟수의 제한도 없는 반도체 장치의 일례를 도면을 사용하여 설명한다. 물론, 트랜지스터(162) 대신에 상기 실시형태에 기재된 트랜지스터(262)를 사용하여도 좋다.

- [0164] 트랜지스터(162)는 오프 전류가 매우 작기 때문에, 이것을 이용함으로써 매우 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프레시 동작이 필요 없거나 또는 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 할 수 있으므로 소비 전력을 충분히 저감시킬 수 있다.
- [0165] 도 6a 내지 도 6c는 반도체 장치의 구성의 일례다. 도 6a는 반도체 장치의 단면도를 도시한 것이고, 도 6b는 반도체 장치의 평면도를 도시한 것이고, 도 6c는 반도체 장치의 회로도를 도시한 것이다. 여기서, 도 6a는 도 6b의 C1-C2 및 D1-D2로 절단한 단면에 상당한다.
- [0166] 도 6a와 도 6b에 도시된 반도체 장치는 아래 쪽 부분에 제 1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 위 쪽 부분에 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는다. 트랜지스터(162)는 상기 실시형태와 구성이 동일하기 때문에 도 6a 및 도 6b에서 도 1a 및 도 1b와 같은 개소는 같은 부호를 사용하여 설명한다.
- [0167] 여기서, 제 1 반도체 재료와 제 2 반도체 재료는 서로 다른 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료를 산화물 반도체 외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 외의 재료를 사용한 트랜지스터는 실리콘 등을 사용함으로써 용이하게 고속 동작을 할 수 있다. 한편, 산화물 반도체를 사용한 트랜지스터는 그 특성 때문에 장시간 동안 전하를 유지할 수 있다.
- [0168] 또한, 상기 트랜지스터의 양쪽 모두를 n채널형 트랜지스터로서 설명하였지만, p채널형 트랜지스터를 사용할 수 있는 것은 물론이다. 또한, 정보를 유지하기 위하여 와이드 갭 반도체를 트랜지스터(162)에 사용하는 점에 개시하는 발명의 기술적 본질이 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등 반도체 장치의 구체적인 구성을 여기에 기재된 것에 한정할 필요는 없다.
- [0169] 도 6a에 도시된 트랜지스터(160)는 반도체 재료(예를 들어, 실리콘 등)를 포함한 기판(100)에 형성된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 형성된 불순물 영역(120)과, 불순물 영역(120)에 접촉된 금속 화합물 영역(124)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)을 갖는다.
- [0170] 트랜지스터(160)의 금속 화합물 영역(124)의 일부에는 전극(126)이 접속되어 있다. 여기서, 전극(126)은 트랜지스터(160)의 소스 전극이나 드레인 전극으로서 기능한다. 또한, 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터(160)를 덮도록 절연층(130)이 형성되어 있다. 또한, 고집적화를 실현하기 위해서는 도 6a에 도시된 바와 같이 트랜지스터(160)가 사이드 월 절연층을 갖지 않은 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 중요시하는 경우에는, 게이트 전극(110) 측면에 사이드 월 절연층을 형성하고 불순물 농도가 다른 영역을 포함하는 불순물 영역(120)을 제공하여도 좋다.
- [0171] 도 6a에 도시된 트랜지스터(162)는 절연층(130) 표면에 형성된 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 형성된 산화물 반도체층(144)과, 산화물 반도체층(144) 위에 형성된 게이트 절연층(146)과, 게이트 절연층(146) 위에 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부를 덮어 형성된 게이트 전극(148)과, 산화물 반도체층(144)과 전기적으로 접속된 소스 전극(142a) 및 드레인 전극(142b)을 갖는다. 또한, 산화물 반도체층(144)은 트랜지스터(160)의 게이트 전극(110)과 전기적으로 접속되어 있다. 여기서, 산화물 반도체층(144)은 고순도화된 것이 바람직하다. 고순도화된 산화물 반도체를 사용함으로써 오프 특성이 매우 뛰어난 트랜지스터(162)를 얻을 수 있다.
- [0172] 또한, 절연층(130) 표면에 형성된 볼록 형상 구조체(131)의 상단 코너부(132)는 곡면을 갖고, 산화물 반도체층(144)은 상기 곡면에 대략 수직인 c축을 갖는 결정을 포함한다. 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 제공함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 트랜지스터를 제공할 수 있다.
- [0173] 또한, 게이트 절연층(146) 위의 트랜지스터(162)의 소스 전극(142a)과 중첩된 영역에는 도전층(148b)이 형성되어 있고, 소스 전극(142a), 게이트 절연층(146), 및 도전층(148b)으로 커패시터(164)가 구성되어 있다. 즉, 트랜지스터(162)의 소스 전극(142a)은 커패시터(164)의 한쪽의 전극으로서 기능하고, 도전층(148b)은 커패시터(164)의 다른 쪽의 전극으로서 기능한다. 또한, 용량이 불필요한 경우에는, 커패시터(164)가 형성되지 않은 구성으로 할 수도 있다. 또한, 커패시터(164)는 트랜지스터(162) 위쪽에 별도로 형성하여도 좋다. 예를 들어, 트랜지형 커패시터나 스택형 커패시터를 트랜지스터(162) 위쪽 또는 트랜지스터(160) 아래 쪽에 별도로 형성함으로써 3차원적으로 적층하여 고집적화를 더 도모하여도 좋다.

- [0174] 트랜지스터(162) 및 커패시터(164) 위에는 절연층(150)이 형성되어 있다. 그리고, 절연층(150) 위에는 트랜지스터(162)와 다른 트랜지스터를 접속시키기 위한 배선(156)이 형성되어 있다. 배선(156)은 절연층(150) 및 게이트 절연층(146) 등의 개구에 형성된 전극(154)을 통하여 드레인 전극(142b)과 전기적으로 접속되어 있다. 여기서, 전극(154)은 적어도 트랜지스터(162)의 산화물 반도체층(144)의 일부와 중첩하도록 형성되어 있는 것이 바람직하다.
- [0175] 도 6a 및 도 6b에서 트랜지스터(160)와 트랜지스터(162)는 적어도 일부가 중첩하도록 형성되어 있고, 트랜지스터(160)의 소스 영역 또는 드레인 영역과 산화물 반도체층(144)의 일부가 중첩하도록 형성되어 있는 것이 바람직하다. 또한, 트랜지스터(162) 및 커패시터(164)가 트랜지스터(160)의 적어도 일부와 중첩하도록 형성되어 있다. 예를 들어, 커패시터(164)의 도전층(148b)은 트랜지스터(160)의 게이트 전극(110)과 적어도 일부가 중첩하여 형성되어 있다. 이러한 평면 레이아웃을 채용함으로써, 반도체 장치의 점유 면적의 저감을 도모할 수 있으므로 고집적화를 도모할 수 있다.
- [0176] 또한, 도 6a에서는 전극(126) 및 전극(154)을 사용하여 금속 화합물 영역(124), 드레인 전극(142b), 및 배선(156)을 접속시켰지만, 개시하는 발명은 이것에 한정되지 않는다. 예를 들어, 드레인 전극(142b)을 금속 화합물 영역(124)에 직접 접속시켜도 좋다. 또는, 배선(156)을 드레인 전극(142b)에 직접 접속시켜도 좋다.
- [0177] 다음에, 도 6a 및 도 6b에 대응하는 회로 구성의 일례를 도 6c에 도시하였다.
- [0178] 도 6c에서 제 1 배선(1st Line)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되어 있고, 제 2 배선(2nd Line)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속되어 있다. 또한, 제 3 배선(3rd Line)과 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나는 전기적으로 접속되어 있고, 제 4 배선(4th Line)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 하나는 커패시터(164)의 전극 중 한쪽과 전기적으로 접속되어 있다 (노드 FG라고 부를 수도 있음). 제 5 배선(5th Line)과 커패시터(164)의 전극 중 다른 쪽은 전기적으로 접속되어 있다.
- [0179] 도 6c에 도시된 반도체 장치에서는 트랜지스터(160)의 게이트 전극의 전위를 유지할 수 있는 특징을 살림으로써 정보의 기록, 유지, 및 판독이 다음과 같이 가능하다.
- [0180] 정보의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 설정하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극 및 커패시터(164)에 공급된다. 즉, 트랜지스터(160)의 게이트 전극에는 소정의 전하가 공급된다(기록). 여기서, 서로 다른 전위 레벨을 주는 2가지 전하(이하, Low 레벨 전하, High 레벨 전하라고 기재함) 중 하나가 공급되는 것으로 한다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 설정하여 트랜지스터(162)를 오프 상태로 함으로써 트랜지스터(160)의 게이트 전극에 공급된 전하가 유지된다(유지).
- [0181] 트랜지스터(162)의 오프 전류는 매우 작으므로 트랜지스터(160)의 게이트 전극의 전하는 오랜 시간에 걸쳐 유지된다.
- [0182] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정(定)전위)를 공급한 상태로 제 5 배선에 적절한 전위(판독 전위)를 공급하면, 트랜지스터(160)의 게이트 전극에 유지된 전하량에 따라 제 2 배선의 전위는 달라진다. 일반적으로, 트랜지스터(160)로서 n채널형 트랜지스터를 사용하면, 트랜지스터(160)의 게이트 전극에 High 레벨 전하가 공급된 경우의 외견상 임계값 $V_{th,H}$ 는 트랜지스터(160)의 게이트 전극에 Low 레벨 전하가 인가된 경우의 외견상 임계값 $V_{th,L}$ 보다 낮기 때문이다. 여기서, 외견상 임계값 전압이란 트랜지스터(160)를 “온 상태”로 하기에 필요한 제 5 배선의 전위를 가리키는 것으로 한다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위 V_0 로 설정함으로써 트랜지스터(160)의 게이트 전극에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 동작할 때 High 레벨 전하가 인가된 경우에는, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 이 되면 트랜지스터(160)는 “온 상태”가 된다. Low 레벨 전하가 인가된 경우에는, 제 5 배선의 전위가 $V_0(<V_{th,L})$ 이 되어도 트랜지스터(160)는 그대로 “오프 상태”다. 따라서, 제 2 배선의 전위에 의하여 유지된 정보를 판독할 수 있다.
- [0183] 또한, 메모리 셀을 어레이 형상으로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독할 수 있을 필요가 있다. 또한, 정보를 판독하지 않는 동안에는, 게이트 전극의 상태에 상관없이 트랜지스터(160)가 “오프 상태”가 되는 전위 즉 $V_{th,H}$ 보다 낮은 전위를 제 5 배선에 공급하면 좋다. 또는, 게이트 전극의 상태에 상관

없이 트랜지스터(160)가 “온 상태”가 되는 전위 즉 V_{thL} 보다 큰 전위를 제 5 배선에 공급하면 좋다.

- [0184] 본 실시형태에 기재된 반도체 장치에서는 채널 형성 영역에 산화물 반도체를 사용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써 매우 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프्रेस리 동작할 필요가 없거나 또는 리프्रेस리 동작의 빈도를 매우 낮게 할 수 있으므로 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않더라도(다만, 전위는 고정되어 있는 것이 바람직함) 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다.
- [0185] 또한, 본 실시형태에 기재된 반도체 장치에서는 정보의 기록에 높은 전압이 필요하지 않아 소자의 열화 문제도 없다. 예를 들어, 종래의 비휘발성 메모리와 같이 부유 게이트에 전자를 주입하거나 부유 게이트로부터 전자를 뽑을 필요가 없으므로 게이트 절연층의 열화 등의 문제가 전혀 생기지 않는다. 즉, 개시하는 발명에 따른 반도체 장치에서는 종래의 비휘발성 메모리에서 문제가 되어 있는 재기록 가능 횟수에 제한이 없어 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태와 오프 상태를 스위칭함으로써 정보가 기록되기 때문에 고속 동작도 용이하게 실현될 수 있다.
- [0186] 또한, 본 실시형태에서 기재한 트랜지스터(162)는 산화물 반도체층(144)이 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 형성됨으로써 트랜지스터(162)의 실효적인 채널 길이를 길게 할 수 있다. 따라서, 트랜지스터 크기의 축소를 도모하면서 단채널 효과의 발현을 억제할 수 있다. 이로써, 본 실시형태에 기재된 반도체 장치의 고집적화를 도모할 수 있다.
- [0187] 또한, 볼록 형상 구조체(131)의 상단 코너부(132)에 곡면을 형성함으로써, 산화물 반도체층(144)에 상기 상단 코너부(132)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 형성함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0188] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0189] (실시형태 4)
- [0190] 본 실시형태에서는 상기 실시형태에 기재된 트랜지스터(162)를 사용함으로써 전력이 공급되지 않더라도 기억 내용을 유지할 수 있고 또 기록 횟수의 제한도 없는 반도체 장치의 상기 실시형태에 기재된 구성과 다른 구성에 대하여 도 7a 내지 도 8b를 사용하여 설명한다. 물론, 트랜지스터(162) 대신에 상기 실시형태에 기재된 트랜지스터(262)를 사용하여도 좋다.
- [0191] 도 7a는 반도체 장치의 회로 구성의 일례를 도시한 것이고, 도 7b는 반도체 장치의 일례를 도시한 개념도다. 우선, 도 7a에 도시된 반도체 장치에 대하여 설명하고, 이어서 도 7b에 도시된 반도체 장치에 대하여 설명한다.
- [0192] 도 7a에 도시된 반도체 장치에서 비트선 BL과 트랜지스터(162)의 소스 전극 또는 드레인 전극은 전기적으로 접속되어 있고, 워드선 WL과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있고, 트랜지스터(162)의 소스 전극 또는 드레인 전극과 커패시터(254)의 제 1 단자는 전기적으로 접속되어 있다.
- [0193] 산화물 반도체를 사용한 트랜지스터(162)는 오프 전류가 매우 작은 것이 특징이다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써 커패시터(254)의 제 1 단자의 전위(또는, 커패시터(254)에 축적된 전하)를 매우 오랜 기간에 걸쳐 유지할 수 있다.
- [0194] 다음에, 도 7a에 도시된 반도체 장치(메모리 셀(250))에 정보를 기록하거나 유지하는 경우에 대하여 설명한다.
- [0195] 우선, 워드선 WL의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 설정하여 트랜지스터(162)를 온 상태로 한다. 이로써, 비트선 BL의 전위가 커패시터(254)의 제 1 단자에 공급된다(기록). 그 후, 워드선 WL의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 설정하여 트랜지스터(162)를 오프 상태로 함으로써 커패시터(254)의 제 1 단자의 전위가 유지된다(유지).
- [0196] 트랜지스터(162)의 오프 전류는 매우 작으므로 커패시터(254)의 제 1 단자의 전위(또는 커패시터에 축적된 전하)는 오랜 기간에 걸쳐 유지할 수 있다.
- [0197] 다음에, 정보의 판독에 대하여 설명한다. 트랜지스터(162)가 온 상태가 되면 부유 상태인 비트선 BL과 커패시터(254)가 도통하고, 비트선(BL)과 커패시터(254) 사이에서 전하가 재분배된다. 결과적으로, 비트선 BL의 전위

가 변화된다. 비트선 BL의 전위의 변화량은 커패시터(254)의 제 1 단자의 전위(또는 커패시터(254)에 축적된 전하)에 따라 달라진다.

- [0198] 예를 들어, 커패시터(254)의 제 1 단자의 전위를 V , 커패시터(254)의 용량을 C , 비트선 BL이 갖는 용량 성분(이하, 비트선 용량이라고도 부름)을 CB , 전하가 재분배되기 전의 비트선 BL의 전위를 V_{B0} 으로 하면, 전하가 재분배된 후의 비트선 BL의 전위는 $(CB*V_{B0}+C*V)/(CB+C)$ 가 된다. 따라서, 메모리 셀(250)의 상태에서 커패시터(254)의 제 1 단자의 전위가 V_1 과 $V_0(V_1>V_0)$ 의 2가지 상태를 가지면, 전위 V_1 을 유지한 경우의 비트선 BL의 전위 $(=CB*V_{B0}+C*V_1)/(CB+C)$ 는 전위 V_0 을 유지한 경우의 비트선 BL의 전위 $(=CB*V_{B0}+C*V_0)/(CB+C)$ 보다 높은 것을 알 수 있다.
- [0199] 그리고, 비트선 BL의 전위를 소정 전위와 비교함으로써 정보를 판독할 수 있다.
- [0200] 상술한 바와 같이, 도 7a에 도시된 반도체 장치는 트랜지스터(162)의 오프 전류가 매우 작은 특징을 갖기 때문에 커패시터(254)에 축적된 전하는 오랜 기간에 걸쳐 유지할 수 있다. 즉, 리프레시 동작할 필요가 없거나 또는 리프레시 동작의 빈도를 매우 낮게 할 수 있으므로 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않더라도 기억된 내용을 오랜 기간 동안 유지할 수 있다.
- [0201] 다음에, 도 7b에 도시된 반도체 장치에 대하여 설명한다.
- [0202] 도 7b에 도시된 반도체 장치는 위쪽 부분에 기억 회로로서 도 7a에 도시된 복수의 메모리 셀(250)을 갖는 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)를 갖고, 아래 쪽 부분에 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))를 동작시키기 위하여 필요한 주변 회로(253)를 갖는다. 또한, 주변 회로(253)는 메모리 셀 어레이(251)와 전기적으로 접속되어 있다.
- [0203] 도 7b에 도시된 구성으로 함으로써 주변 회로(253)를 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)) 바로 아래에 형성할 수 있기 때문에 반도체 장치의 소형화를 도모할 수 있다.
- [0204] 주변 회로(253)에 형성된 트랜지스터는 트랜지스터(162)와 다른 반도체 재료를 사용하는 것이 더 바람직하다. 예를 들어, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 사용할 수 있고, 단결정 반도체를 사용하는 것이 바람직하다. 그 외, 유기 반도체 재료 등을 사용하여도 좋다. 이러한 반도체 재료를 사용한 트랜지스터는 충분히 고속 동작을 할 수 있다. 따라서, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 상기 트랜지스터에 의하여 바람직하게 실현할 수 있다.
- [0205] 또한, 도 7b에 도시된 반도체 장치에서는 2개의 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))가 적층된 구성을 예시하였지만, 적층된 메모리 셀 어레이의 개수는 이것에 한정되지 않는다. 3개 이상의 메모리 셀 어레이가 적층된 구성이라도 좋다.
- [0206] 다음에, 도 7a에 도시된 메모리 셀(250)의 구체적인 구성에 대하여 도 8a 및 도 8b를 사용하여 설명한다.
- [0207] 도 8a 및 도 8b는 메모리 셀(250)의 구성의 일례다. 도 8a는 메모리 셀(250)의 단면도를 도시한 것이고, 도 8b는 메모리 셀(250)의 평면도를 도시한 것이다. 여기서, 도 8a는 도 8b의 F1-F2 및 G1-G2로 절단한 단면에 상당한다.
- [0208] 도 8a 및 도 8b에 도시된 트랜지스터(162)는 상기 실시형태에 기재된 구성과 동일하기 때문에 도 8a 및 도 8b에서 도 1a 및 도 1b와 같은 개소는 같은 부호를 사용하여 설명한다.
- [0209] 도 8a에 도시된 바와 같이 트랜지스터(162)는 절연층(130) 표면에 형성된 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 형성된 산화물 반도체층(144)과, 산화물 반도체층(144) 위에 형성된 게이트 절연층(146)과, 게이트 절연층(146) 위에 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부를 덮어 형성된 게이트 전극(148)과, 산화물 반도체층(144)과 전기적으로 접속된 소스 전극(142a) 및 드레인 전극(142b)을 갖는다. 여기서, 산화물 반도체층(144)은 고순도화된 것이 바람직하다. 고순도화된 산화물 반도체를 사용함으로써 오프 특성이 매우 뛰어난 트랜지스터(162)를 얻을 수 있다.
- [0210] 또한, 절연층(130) 표면에 형성된 볼록 형상 구조체(131)는 상단 코너부(132)에 곡면이 형성되어 있고, 산화물 반도체층(144)은 상기 곡면에 대략 수직인 c축을 갖는 결정을 포함한다. 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 제공함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 트랜지스터를 제공할 수 있다.

- [0211] 또한, 게이트 절연층(146) 위의 트랜지스터(162)의 소스 전극(142a)과 중첩된 영역에는 도전층(148b)이 형성되어 있고, 소스 전극(142a), 게이트 절연층(146), 및 도전층(148b)으로 커패시터(254)가 구성되어 있다. 즉, 트랜지스터(162)의 소스 전극(142a)은 커패시터(254)의 한쪽의 전극으로서 기능하고, 도전층(148b)은 커패시터(254)의 다른 쪽의 전극으로서 기능한다.
- [0212] 트랜지스터(162) 및 커패시터(254) 위에는 절연층(150)이 형성되어 있다. 그리고, 절연층(150) 위에는 메모리 셀(250)과, 인접된 메모리 셀(250)을 접속하기 위한 배선(260)이 형성되어 있다. 배선(260)은 게이트 절연층(146) 및 절연층(150) 등에 형성된 개구를 통하여 트랜지스터(162)의 드레인 전극(142b)과 전기적으로 접속되어 있다. 다만, 개구에 다른 도전층을 형성하고, 상기 다른 도전층을 통하여 배선(260)과 드레인 전극(142b)을 전기적으로 접속시켜도 좋다. 또한, 배선(260)은 도 7a의 회로도의 비트선 BL에 상당한다.
- [0213] 도 8a 및 도 8b에서 트랜지스터(162)의 드레인 전극(142b)은 인접된 메모리 셀에 포함된 트랜지스터의 소스 전극으로서도 기능한다. 이러한 평면 레이아웃을 채용함으로써 반도체 장치의 점유 면적의 저감을 도모할 수 있으므로 고집적화를 도모할 수 있다.
- [0214] 상술한 바와 같이, 위쪽 부분에 다층으로 형성된 복수의 메모리 셀은 산화물 반도체를 사용한 트랜지스터에 의하여 형성되어 있다. 산화물 반도체를 사용한 트랜지스터는 오프 전류가 작기 때문에 이것을 사용함으로써 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프레시 동작의 빈도를 매우 낮게 할 수 있으므로 소비 전력을 충분히 저감시킬 수 있다.
- [0215] 상술한 바와 같이, 산화물 반도체 외의 재료를 사용한 트랜지스터(바뀌 말하면, 충분히 고속 동작을 할 수 있는 트랜지스터)를 사용한 주변 회로와, 산화물 반도체를 사용한 트랜지스터(더 넓은 의미에서는 오프 전류가 충분히 작은 트랜지스터)를 사용한 기억 회로를 일체로 구비함으로써 여태까지 없었던 특징을 갖는 반도체 장치를 실현할 수 있다. 또한, 주변 회로와 기억 회로를 적층 구조로 함으로써 반도체 장치의 집적화를 도모할 수 있다.
- [0216] 또한, 본 실시형태에서 기재한 트랜지스터(162)는 산화물 반도체층(144)이 볼록 형상 구조체(131)의 상면 및 측면의 적어도 일부와 접촉하여 형성됨으로써 트랜지스터(162)의 실효적인 채널 길이를 길게 할 수 있다. 따라서, 트랜지스터 크기의 축소를 도모하면서 단채널 효과의 발현을 억제할 수 있다. 이로써, 본 실시형태에 기재된 반도체 장치의 고집적화를 도모할 수 있다.
- [0217] 또한, 볼록 형상 구조체(131)의 상단 코너부(132)에 곡면을 형성함으로써, 산화물 반도체층(144)에 상기 상단 코너부(132)의 곡면에 대략 수직인 c축을 갖는 결정을 많이 함유시킬 수 있다. 이러한 c축 배향을 갖는 결정을 포함한 산화물 반도체층(144)을 제공함으로써 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있다. 따라서, 이러한 산화물 반도체층(144)을 제공함으로써 더 안정된 전기적 특성이 부여된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0218] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0219] (실시형태 5)
- [0220] 본 실시형태에서는 상기 실시형태에서 기재한 반도체 장치를 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에 응용한 경우의 예를 도 9a 내지 도 12를 사용하여 설명한다.
- [0221] 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에서는 화상 데이터의 임시 기억 등에 SRAM 또는 DRAM이 사용되고 있다. SRAM 또는 DRAM이 사용되는 이유는 플래시 메모리는 응답이 느려 화상 처리하기에 부적합하기 때문이다. 한편, SRAM 또는 DRAM을 화상 데이터의 임시 기억에 이용하는 경우에는 이하의 특징이 있다.
- [0222] 일반적인 SRAM은 도 9a에 도시된 바와 같이 하나의 메모리 셀이 트랜지스터(801) 내지 트랜지스터(806)의 6개의 트랜지스터로 구성되어 있고, 이것을 X디코더(807) 및 Y디코더(808)로 구동시킨다. 트랜지스터(803)와 트랜지스터(805), 및 트랜지스터(804)와 트랜지스터(806)는 인버터를 구성하고, 고속 구동을 가능하게 한다. 그러나, 하나의 메모리 셀이 6개의 트랜지스터로 구성되어 있기 때문에 셀 면적이 크다는 결점이 있다. 디자인 룰의 최소 치수를 F로 하였을 때 SRAM의 메모리 셀 면적은 보통 $100F^2$ 내지 $150F^2$ 다. 따라서, SRAM은 비트당의 단가가 각종 메모리 중에서 가장 비싸다.
- [0223] 한편, DRAM은 메모리 셀이 도 9b에 도시된 바와 같이, 트랜지스터(811) 및 유지 용량(812)으로 구성되어 있고, 이것을 X디코더(813) 및 Y디코더(814)로 구동시킨다. 하나의 셀이 하나의 트랜지스터 및 하나의 용량을 갖는

구성이기 때문에 면적이 작다. DRAM의 메모리 셀 면적은 보통 $10F^2$ 이하다. 그러나, DRAM은 항상 리프레시 동작할 필요가 있어 재기록하지 않는 동안에도 전력을 소비한다.

[0224] 그러나, 상기 실시형태에서 설명한 반도체 장치의 메모리 셀 면적은 $10F^2$ 전후이며 빈번하게 리프레시 동작할 필요가 없다. 따라서, 메모리 셀 면적이 축소되고 또 소비 전력을 저감시킬 수 있다.

[0225] 도 10은 휴대 기기의 블록도를 도시한 것이다. 도 10에 도시된 휴대 기기는 RF 회로(901), 아날로그 베이스 밴드 회로(902), 디지털 베이스 밴드 회로(903), 배터리(904), 전원 회로(905), 애플리케이션 프로세서(906), 플래시 메모리(910), 디스플레이 컨트롤러(911), 메모리 회로(912), 디스플레이(913), 터치 센서(919), 음성 회로(917) 및 키보드(918) 등으로 구성되어 있다. 디스플레이(913)는 표시부(914), 소스 드라이버(915), 및 게이트 드라이버(916)로 구성되어 있다. 애플리케이션 프로세서(906)는 CPU(907), DSP(908), 및 인터페이스(IF)(909)를 갖는다. 일반적으로 메모리 회로(912)는 SRAM 또는 DRAM으로 구성되어 있지만, 이 부분에 상기 실시형태에서 설명한 반도체 장치를 채용함으로써, 정보의 기록 및 관독이 고속으로 행해지고, 오랜 기간에 걸쳐 기억을 유지할 수 있고, 또 소비 전력을 충분히 저감시킬 수 있다.

[0226] 도 11은 디스플레이의 메모리 회로(950)에 상기 실시형태에서 설명한 반도체 장치를 사용한 예를 도시한 것이다. 도 11에 도시된 메모리 회로(950)는 메모리(952), 메모리(953), 스위치(954), 스위치(955), 및 메모리 컨트롤러(951)로 구성되어 있다. 또한, 메모리 회로(950)는 화상 데이터(입력 화상 데이터)가 입력되는 신호선과, 메모리(952) 및 메모리(953)에 기억된 데이터(기억 화상 데이터)의 관독 및 제어를 행하는 디스플레이 컨트롤러(956)와, 디스플레이 컨트롤러(956)로부터의 신호에 의하여 표시를 행하는 디스플레이(957)가 접속되어 있다.

[0227] 우선, 어느 화상 데이터가 애플리케이션 프로세서(도시되지 않음)에 의하여 형성된다(입력 화상 데이터 A). 입력 화상 데이터 A는 스위치(954)를 통하여 메모리(952)에 기억된다. 그리고 메모리(952)에 기억된 화상 데이터(기억 화상 데이터 A)는 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 전송되어 표시된다.

[0228] 입력 화상 데이터 A가 변경되지 않은 경우, 기억 화상 데이터 A는 디스플레이 컨트롤러(956)에 의하여 보통 30Hz 내지 60Hz 정도의 주기로 스위치(955)를 통하여 메모리(952)로부터 관독된다.

[0229] 다음에, 예를 들어, 사용자가 화면의 재기록 조작을 하였을 때(즉, 입력 화상 데이터 A가 변경되는 경우), 애플리케이션 프로세서는 새로운 화상 데이터(입력 화상 데이터 B)를 형성한다. 입력 화상 데이터 B는 스위치(954)를 통하여 메모리(953)에 기억된다. 이 동안에도 정기적으로 메모리(952)로부터 스위치(955)를 통하여 기억 화상 데이터 A는 관독된다. 메모리(953)에 새로운 화상 데이터(기억 화상 데이터 B)가 모두 기억되면, 디스플레이(957)의 다음 프레임으로부터 기억 화상 데이터 B가 관독되고, 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 기억 화상 데이터 B가 전송되어 표시가 행해진다. 이 관독 동작은 또 다른 화상 데이터가 메모리(952)에 기억될 때까지 계속된다.

[0230] 상술한 바와 같이 메모리(952) 및 메모리(953)는 화상 데이터의 기록과 화상 데이터의 관독을 교대로 행함으로써 디스플레이(957)의 표시를 행한다. 또한, 메모리(952) 및 메모리(953)로서 별개의 메모리에 한정되지 않고 하나의 메모리를 분할하여 사용하여도 좋다. 상기 실시형태에서 설명한 반도체 장치를 메모리(952) 및 메모리(953)에 채용함으로써 정보의 기록 및 관독이 고속으로 행해지고, 오랜 기간에 걸쳐 기억을 유지할 수 있고, 또 소비 전력을 충분히 저감시킬 수 있다.

[0231] 도 12는 전자 서적의 블록도를 도시한 것이다. 도 12는 배터리(1001), 전원 회로(1002), 마이크로프로세서(1003), 플래시 메모리(1004), 음성 회로(1005), 키보드(1006), 메모리 회로(1007), 터치 패널(1008), 디스플레이(1009), 디스플레이 컨트롤러(1010)로 구성되어 있다.

[0232] 여기서는, 도 12의 메모리 회로(1007)에 상기 실시형태에서 설명한 반도체 장치를 사용할 수 있다. 메모리 회로(1007)는 서적의 내용을 임시적으로 유지하는 기능을 갖는다. 기능의 예로서는 사용자가 하이라이트 기능을 사용하는 경우 등이 있다. 예를 들어, 사용자가 전자 서적을 읽을 때 특정 개소를 마킹하고 싶은 경우가 있다. 이 마킹 기능을 하이라이트 기능이라고 부르고, 표시의 색깔을 바꾸거나, 밑줄을 긋거나, 문자를 굵게 하거나, 문자의 서체를 바꾸거나 하여 강조 표시하는 기능이다. 사용자가 지정한 개소의 정보를 기억하고 유지하는 기능이다. 이 정보를 오랜 기간 동안 유지하는 경우에는 플래시 메모리(1004)에 복사하여도 좋다. 이러한 경우에도 상술한 실시형태에서 설명한 반도체 장치를 채용함으로써 정보의 기록 및 관독이 고속으로 행해지고, 오랜

기간에 걸쳐 기억을 유지할 수 있고, 또 소비 전력을 충분히 저감시킬 수 있다.

- [0233] 상술한 바와 같이, 본 실시형태에 기재된 휴대 기기에는 상기 실시형태에 따른 반도체 장치가 탑재되어 있다. 따라서, 관독이 고속으로 행해지고, 오랜 기간에 걸쳐 기억을 유지할 수 있고, 또 소비 전력이 저감된 휴대 기기가 실현된다.
- [0234] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0235] (실시예 1)
- [0236] 본 실시예에서는 표면에 블록 형상 구조체가 형성된 절연층을 형성하고, 상기 블록 형상 구조체의 상면 및 측면을 덮어 산화물 반도체층을 형성한 시료를 제작하고, 상기 산화물 반도체층의 결정 상태를 관찰하였다.
- [0237] 본 실시예에서 시료로서 사용할 실시예 시료 1의 제작 수순에 대하여 이하에 설명한다.
- [0238] 우선, 실시예 시료 1에서 절연층으로서 스퍼터링법을 사용하여 산화실리콘막을 막 두께 500nm로 실리콘 기판 위에 형성하였다.
- [0239] 산화실리콘막의 성막 조건은 타깃으로서 산화실리콘(SiO_2) 타깃을 사용하고, 실리콘 기판과 타깃 사이의 거리를 60mm로 하고, 압력을 0.4Pa로 하고, 전원을 2kW로 하고, 아르곤 및 산소(아르곤 유량 25sccm: 산소 유량 25sccm) 분위기하에서 기판 온도를 100℃로 하였다.
- [0240] 산화실리콘막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 레지스트 마스크를 사용하여 산화실리콘막을 에칭하여 표면에 블록 형상 구조체를 형성하였다. 에칭 공정으로서 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법에 의하여 에칭 가스로서 3불화메탄(CHF_3), 헬륨(He), 및 메탄(CH_4)(CHF_3 :He: CH_4 =22.5sccm:127.5sccm:5sccm)을 사용하고, 전원 전력을 475W로 하고, 바이어스 전력을 300W로 하고, 압력을 3.0Pa로 하고, 기판 온도를 70℃로 하여 행하였다. 블록 형상 구조체의 단면에서의 측면의 높이 및 블록 형상 구조체의 단면에서의 상면의 길이는 약 350nm로 하였다.
- [0241] 그 후, 박리액을 사용하여 산화실리콘막 위로부터 레지스트 마스크를 제거하였다.
- [0242] 다음에, 블록 형상 구조체가 형성된 산화실리콘막에 아르곤을 사용한 플라즈마 처리를 행하여 블록 형상 구조체의 상면과 측면이 교차된 상단 코너부를 곡률 반경이 20nm 이상 60nm 이하인 곡면 형상으로 가공하였다.
- [0243] 본 실시예에서 표면에 블록 형상 구조체가 형성된 산화실리콘막에 행한 플라즈마 처리는 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 장치를 사용하고, 가스로서 아르곤(Ar =100sccm)을 사용하고, 전원 전력을 500W로 하고, 바이어스 전력을 100W로 하고, 압력을 1.35Pa로 하고, 기판 온도를 -10℃로 하고, 180초 동안 행하였다.
- [0244] 상술한 공정에 의하여 곡률 반경이 20nm 이상 60nm 이하인 곡면 형상의 상단 코너부를 갖는 블록 형상 구조체가 형성된 산화실리콘막을 형성하였다. 또한, 상기 플라즈마 처리에 의하여 산화실리콘막 표면의 평탄화 처리도 행하였다.
- [0245] 다음에, 블록 형상 구조체의 상면, 상단 코너부, 측면, 및 산화실리콘막의 블록 형상 구조체가 형성되어 있지 않은 영역 표면과 접촉시켜 산화물 반도체층을 형성하였다. 산화물 반도체층으로서 스퍼터링법에 의하여 In-Ga-Zn-O막을 막 두께 40nm로 형성하였다.
- [0246] 실시예 시료 1에서는 실리콘 기판을 400℃로 가열하면서 산화물 반도체층(In-Ga-Zn-O막)을 형성하였다. 또한, 실시예 시료 1의 In-Ga-Zn-O막은 조성비가 In:Ga:Zn=1:1:1[atom비]인 산화물 타깃을 사용하고, 실리콘 기판과 타깃 사이의 거리를 60mm로 하고, 압력을 0.4Pa로 하고, 직류(DC) 전원을 0.5kW로 하고, 아르곤 및 산소(아르곤 유량 30sccm:산소 유량 15sccm) 분위기하에서 기판 온도를 400℃로 형성하였다. 산화물 반도체층의 형성에 사용하는 아르곤 및 산소에는 물, 수소 등이 함유되지 않은 것이 바람직하다. 예를 들어, 아르곤을 순도 9N, 노점 -121℃, 물 0.1ppb, 수소 0.5ppb 수준, 산소를 순도 8N, 노점 -112℃, 물 1ppb, 수소 1ppb 수준으로 하는 것이 바람직하다.
- [0247] 상술한 공정에 의하여 얻어진 실시예 시료 1에서 끝면을 절단하고, 고분해능 투과 전자 현미경 TEM:H9000-NAR(Hitachi High-Technologies Corporation 제작)를 사용하여 가속 전압 300kV로 상단 코너부를 단면 관찰하였다. 도 13a는 실시예 시료 1의 배율 200만배의 TEM상을 도시한 것이고, 도 13b는 실시예 시료 1의 배율 800

만배의 TEM상을 도시한 것이다.

[0248] 도 13a에 도시된 바와 같이, 볼록 형상 구조체에서의 상단 코너부는 곡면 형상이고, 상기 곡률 반경은 20nm 이상 60nm 이하이었다. 그리고, 곡면 형상의 상단 코너부에는 표면에 대략 수직인 c축을 갖는 결정을 포함한 In-Ga-Zn-O막(CAAC-OS막)을 확인할 수 있었다. 표면에 대략 수직인 c축을 갖는 결정은 배율이 높은 도 13b에서 더 현저하고, In-Ga-Zn-O막 내에 상단 코너부의 곡면을 따라 복수 중첩된 층 형상의 In-Ga-Zn-O의 결정 상태를 확인할 수 있었다.

[0249] 상술한 바와 같이, 실시예 시료 1에서 볼록 형상 구조체의 상단 코너부와 접촉하여 형성된 산화물 반도체층은 표면에 대략 수직인 c축을 갖는 결정을 포함한 결정성 산화물 반도체(CAAC-OS)층이고, 그 CAAC-OS층의 성장면은 곡면 형상의 상단 코너부에서 연속성을 갖는 것을 확인할 수 있었다.

[0250] 상술한 바와 같이 표면에 대략 수직인 c축을 갖는 결정을 포함한 결정성 산화물 반도체(CAAC-OS)층을 볼록 형상 구조체 위에 접촉시켜 형성한 트랜지스터는 트랜지스터 크기의 축소를 도모하면서 단채널 효과의 발현을 억제할 수 있다. 또한, 가시광이나 자외광의 조사로 인하여 전기적 특성이 변화되는 것을 억제할 수 있어 신뢰성이 높은 반도체 장치를 제공할 수 있다.

부호의 설명

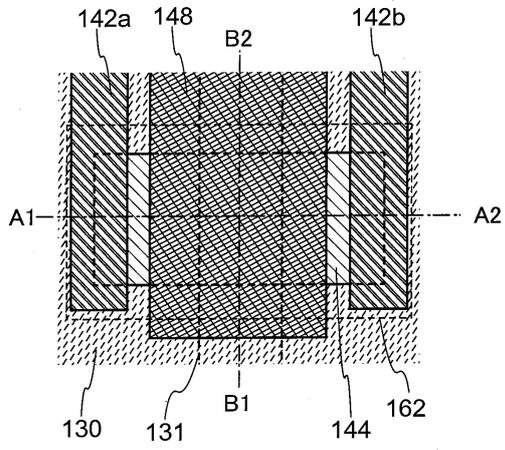
- [0251] 100: 기판 106: 소자 분리 절연층
 108: 게이트 절연층 110: 게이트 전극
 116: 채널 형성 영역 120: 불순물 영역
 124: 금속 화합물 영역 126: 전극
 128: 게이트 전극 129: 볼록 형상 구조체
 130: 절연층 131: 볼록 형상 구조체
 132: 상단 코너부 142a: 소스 전극
 142b: 드레인 전극 144: 산화물 반도체층
 146: 게이트 절연층 148: 게이트 전극
 148b: 도전층 150: 절연층
 154: 전극 156: 배선
 160: 트랜지스터 162: 트랜지스터
 164: 커패시터 170: 메탈 마스크
 180: 레지스트 마스크 182: 레지스트 마스크
 200: 기판 230: 절연층
 231: 볼록 형상 구조체 232: 상단 코너부
 242a: 소스 전극 242b: 드레인 전극
 243: 산화물 반도체층 244: 산화물 반도체층
 246: 게이트 절연층 248: 게이트 전극
 250: 메모리 셀 251: 메모리 셀 어레이
 251a: 메모리 셀 어레이 251b: 메모리 셀 어레이
 253: 주변 회로 254: 커패시터
 260: 배선 262: 트랜지스터
 801: 트랜지스터 803: 트랜지스터

804: 트랜지스터 805 트랜지스터
806 트랜지스터 807: X디코더
808: Y디코더 811: 트랜지스터
812: 유지 용량 813: X디코더
814:Y디코더 901: RF 회로
902: 아날로그 베이스 밴드 회로 903: 디지털 베이스 밴드 회로
904: 배터리 905: 전원 회로
906: 애플리케이션 프로세서 907: CPU
908: DSP 909: 인터페이스
910: 플래시 메모리 911: 디스플레이 컨트롤러
912: 메모리 회로 913: 디스플레이
914: 표시부 915: 소스 드라이버
916: 게이트 드라이버 917: 음성 회로
918: 키보드 919: 터치 센서
950: 메모리 회로 951: 메모리 컨트롤러
952: 메모리 953: 메모리
954: 스위치 955: 스위치
956: 디스플레이 컨트롤러 957: 디스플레이
1001: 배터리 1002: 전원 회로
1003: 마이크로프로세서 1004: 플래시 메모리
1005: 음성 회로 1006: 키보드
1007: 메모리 회로 1008: 터치 패널
1009: 디스플레이 1010: 디스플레이 컨트롤러

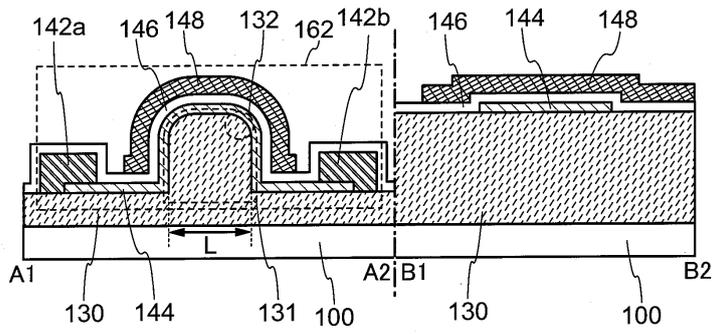
도면

도면1

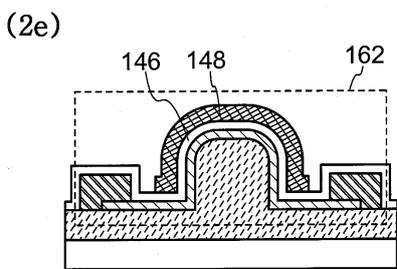
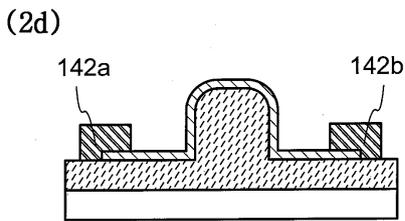
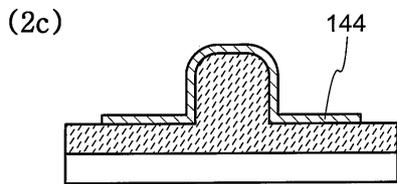
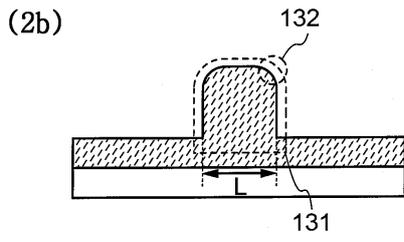
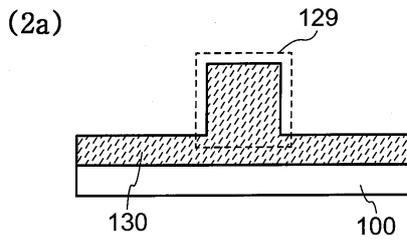
(1a)



(1b)

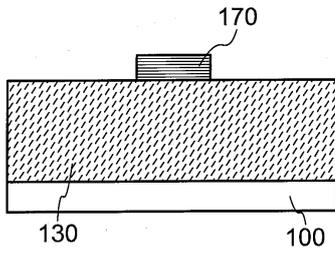


도면2

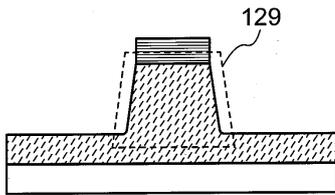


도면3

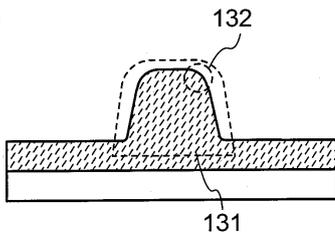
(3a)



(3b)

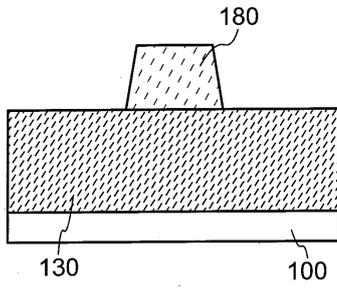


(3c)

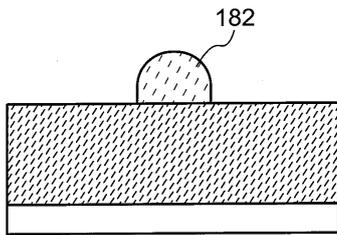


도면4

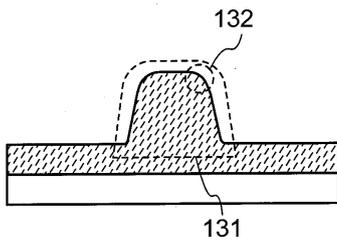
(4a)



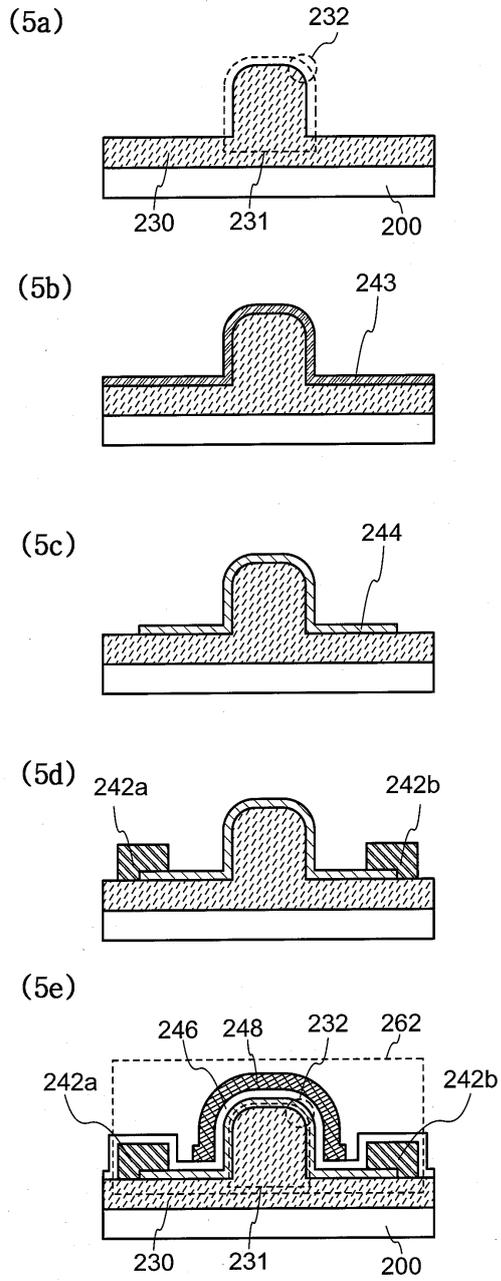
(4b)



(4c)

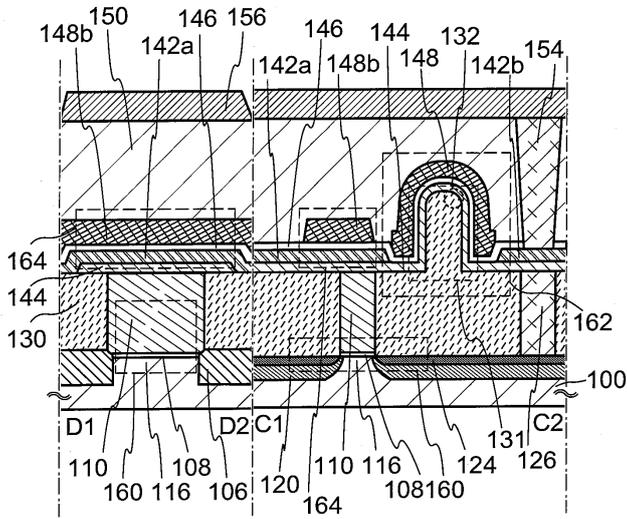


도면5

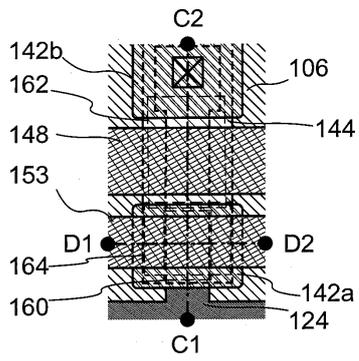


도면6

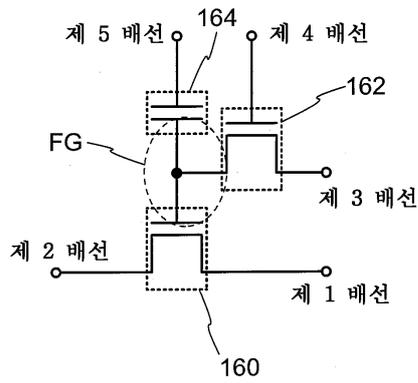
(6a)



(6b)

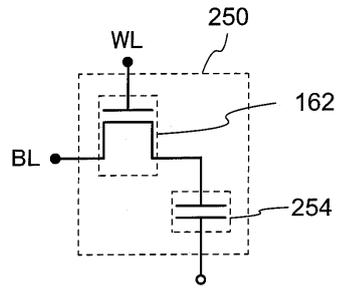


(6c)

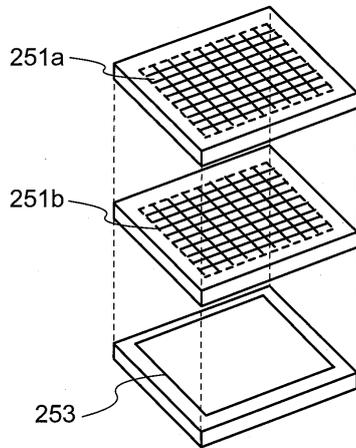


도면7

(7a)

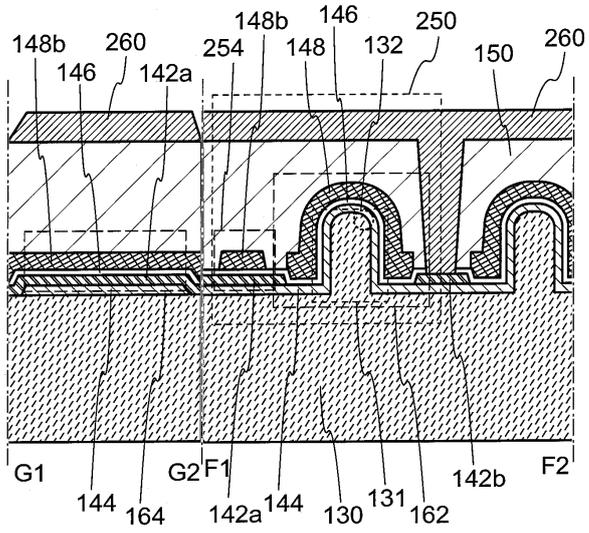


(7b)

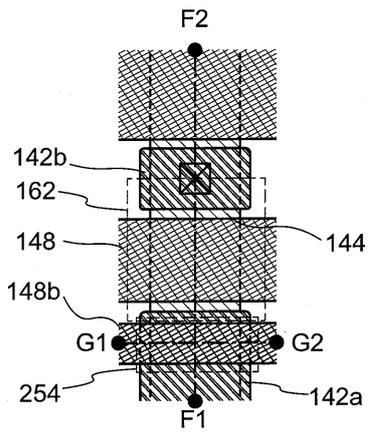


도면8

(8a)

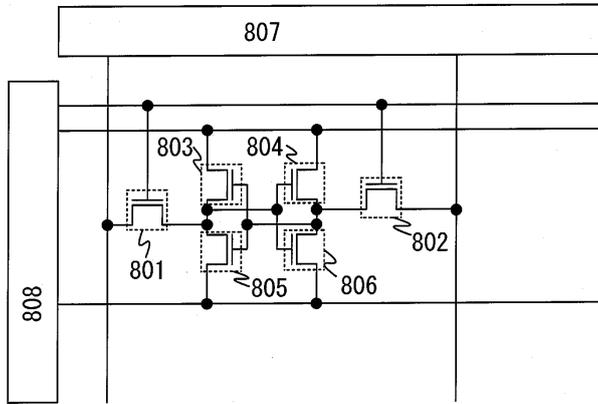


(8b)

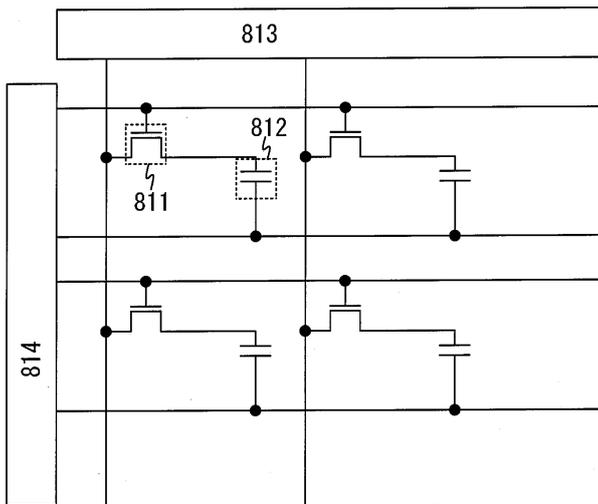


도면9

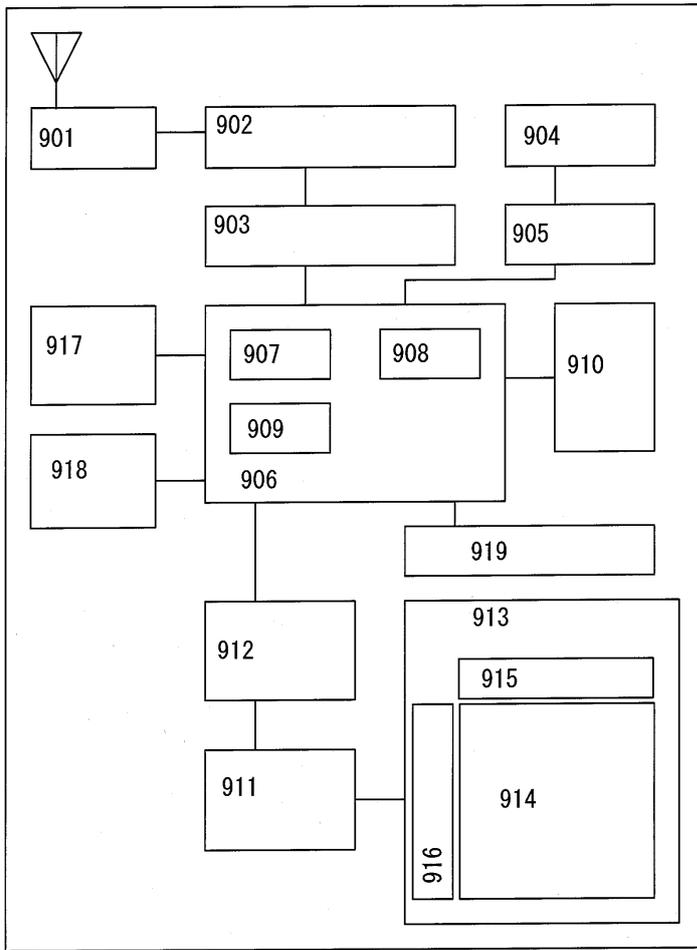
(9a)



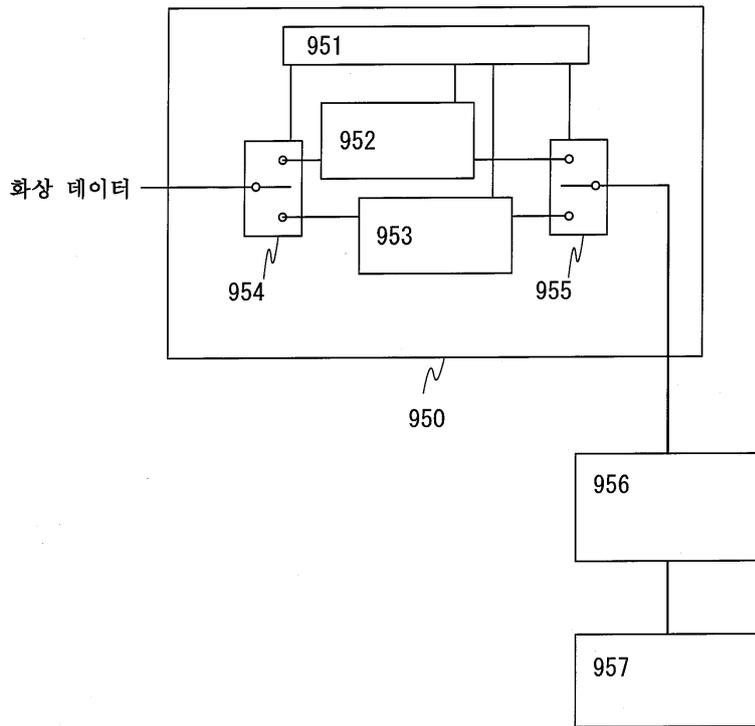
(9b)



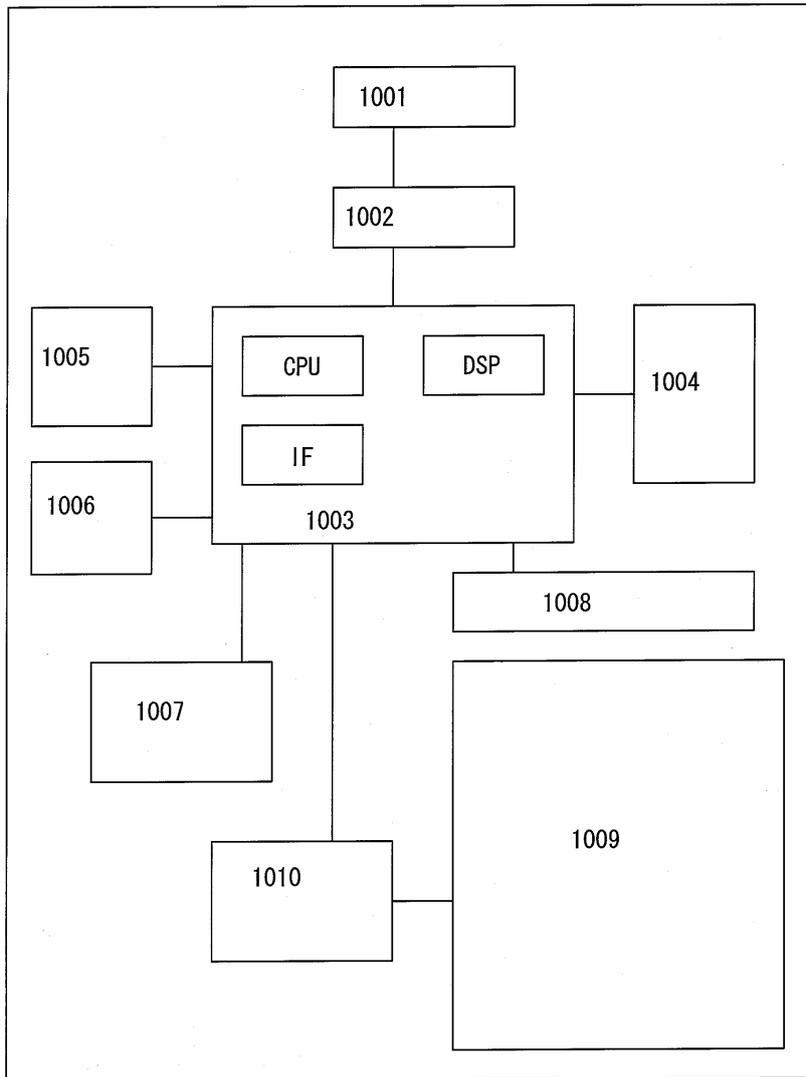
도면10



도면11

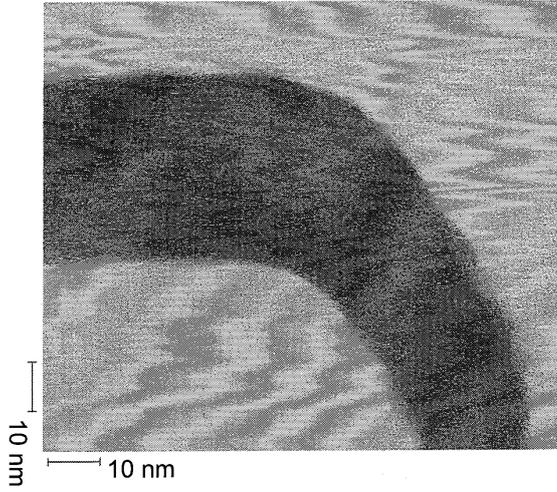


도면12



도면13

(13a)



(13b)

