



(21)申請案號：104105289

(22)申請日：中華民國 104 (2015) 年 02 月 16 日

(51)Int. Cl. : G11C16/02 (2006.01)

G11C16/10 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：林緯 LIN, WEI (TW)；許祐誠 HSU, YU CHENG (TW)；劉安城 LIU, AN CHENG

(TW)；林小東 LAM, SIU TUNG (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW I336889B

KR 10-1195262B1

KR 10-2012-0058157A

US 7706191B2

US 7864574B2

US 7924624B2

US 8184483B2

US 8441862B2

US 2014/0025866A1

審查人員：蕭明椿

申請專利範圍項數：24 項 圖式數：21 共 73 頁

(54)名稱

記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置

MEMORY PROGRAMMING METHOD, MEMORY CONTROLLING CIRCUIT UNIT AND MEMORY STORAGE

(57)摘要

本發明提供用於具有多個記憶胞的可複寫式非揮發性記憶體模組的一種記憶體程式化方法。所述記憶體程式化方法包括：根據寫入資料對這些記憶胞執行第一程式化程序並且獲得第一程式化程序的第一程式化結果；根據第一程式化結果來將這些記憶胞分組為多個程式化群組；以及根據寫入資料對這些記憶胞執行第二程式化程序。所述第二程式化程序包括使用第一程式化電壓來程式化這些程式化群組中的第一程式化群組；以及使用第二程式化電壓來程式化這些程式化群組中的第二程式化群組，其中第一程式化電壓與第二程式化電壓不同。

A memory programming method for a rewritable non-volatile memory module having a plurality of memory cells is provided. The memory programming method includes: performing a first programming process to the memory cells according to write data, and obtaining a first programming result of the first programming process; dividing the memory cells to a plurality of programming groups according to the first programming result; and performing a second programming process to the memory cells according to the write data. The second programming process includes using a first programming voltage to program a first program group among the programming groups; and using a second programming voltage to program a second program group among the programming groups, wherein the first programming voltage and the second programming voltage are different.

指定代表圖：

符號簡單說明：

S2001、S2003、

S2005 . . . 步驟

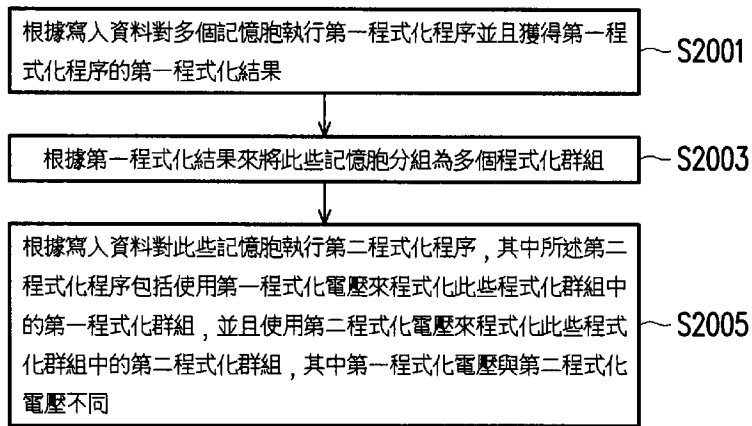


圖 20

發明摘要

※ 申請案號：104105289

※ 申請日：104. 2. 1 6

※IPC 分類：G11C 16/2 (2006.01)

16/10 (2006.01)

【發明名稱】

記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置

MEMORY PROGRAMMING METHOD, MEMORY CONTROLLING
CIRCUIT UNIT AND MEMORY STORAGE

【中文】

本發明提供用於具有多個記憶胞的可複寫式非揮發性記憶體模組的一種記憶體程式化方法。所述記憶體程式化方法包括：根據寫入資料對這些記憶胞執行第一程式化程序並且獲得第一程式化程序的第一程式化結果；根據第一程式化結果來將這些記憶胞分組為多個程式化群組；以及根據寫入資料對這些記憶胞執行第二程式化程序。所述第二程式化程序包括使用第一程式化電壓來程式化這些程式化群組中的第一程式化群組；以及使用第二程式化電壓來程式化這些程式化群組中的第二程式化群組，其中第一程式化電壓與第二程式化電壓不同。

【英文】

A memory programming method for a rewritable non-volatile memory module having a plurality of memory cells is provided. The memory programming method includes: performing a first

programming process to the memory cells according to write data, and obtaining a first programming result of the first programming process; dividing the memory cells to a plurality of programming groups according to the first programming result; and performing a second programming process to the memory cells according to the write data. The second programming process includes using a first programming voltage to program a first program group among the programming groups; and using a second programming voltage to program a second program group among the programming groups, wherein the first programming voltage and the second programming voltage are different.

【代表圖】

【本案指定代表圖】：圖 20。

【本代表圖之符號簡單說明】：

S2001、S2003、S2005：步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置

MEMORY PROGRAMMING METHOD, MEMORY CONTROLLING
CIRCUIT UNIT AND MEMORY STORAGE

【技術領域】

【0001】 本發明是有關於一種記憶體程式化方法，且特別是有關於一種用於可複寫式非揮發性記憶體的記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置。

【先前技術】

【0002】 數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體 (rewritable non-volatile memory) 具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，最適於可攜式電子產品，例如筆記型電腦。固態硬碟就是一種以快閃記憶體作為儲存媒體的儲存裝置。因此，近年快閃記憶體產業成為電子產業中相當熱門的一環。

【0003】 一般來說，快閃記憶體需要經過程式化操作來改變快閃記憶體中的記憶胞的儲存狀態，以寫入資料。但是，若依目前習知的快閃記憶體的程式化的方式來程式化快閃記憶體中的多個記

憶胞，會導致此些記憶胞中的部份已經符合寫入資料的儲存狀態的部分記憶胞的臨界電壓(Threshold voltage)分布的範圍被過度地增加(亦稱，過度程式化，over-programmed)，並且上述被過度程式化的記憶胞的耐用度會被降低，進而導致快閃記憶體的整體的使用壽命減少。

【發明內容】

【0004】 本發明提供一種記憶體程式化方法、記憶體儲存裝置與記憶體控制電路單元，可以將多個記憶胞進行分組為多個程式化群組，再對應每一程式化群組中的記憶胞來分別施予適當的程式化電壓，進而有效地避免記憶胞被過度程式化，並且延長記憶體儲存裝置的使用壽命。

【0005】 本發明的一範例實施例提供用於可複寫式非揮發性記憶體模組的一種記憶體程式化方法。所述可複寫式非揮發性記憶體模組具有多個記憶胞。所述記憶體程式化方法包括根據寫入資料對此些記憶胞執行第一程式化程序並且獲得第一程式化程序的第一程式化結果；根據第一程式化結果來將此些記憶胞分組為多個程式化群組；以及根據寫入資料對此些記憶胞執行第二程式化程序。所述第二程式化程序包括使用第一程式化電壓來程式化此些程式化群組中的第一程式化群組；以及使用第二程式化電壓來程式化此些程式化群組中的第二程式化群組，其中第一程式化電壓與第二程式化電壓不同。

【0006】 在本發明的一範例實施例中，其中第一程式化群組的第一臨界電壓分布範圍與第二程式化群組的第二臨界電壓分布範圍不同。

【0007】 在本發明的一範例實施例中，其中第一程式化群組中的第一記憶胞之第一臨界電壓小於第二程式化群組中的第二記憶胞之第二臨界電壓，其中第一程式化電壓大於第二程式化電壓。

【0008】 在本發明的一範例實施例中，其中根據第一程式化結果來將這些記憶胞分組為這些程式化群組的步驟包括提供至少一分組電壓至這些記憶胞以獲得這些記憶胞的儲存狀態資訊，其中儲存狀態資訊指示這些記憶胞的臨界電壓分布狀態；以及根據儲存狀態資訊將這些記憶胞分組為這些程式化群組。

【0009】 在本發明的一範例實施例中，所述記憶體程式化方法更包括判斷第一程式化結果是否符合對應於寫入資料的預設程式化結果，其中根據第一程式化結果來將這些記憶胞分組為這些第一程式化群組的步驟是在判定第一程式化結果不符合預設程式化結果之後執行。

【0010】 在本發明的一範例實施例中，其中判斷第一程式化結果是否符合預設程式化結果的步驟包括提供驗證電壓至這些記憶胞以判斷這些記憶胞的儲存狀態是否處於對應於寫入資料的正確儲存狀態；若這些記憶胞的儲存狀態是處於對應於寫入資料的正確儲存狀態，判定第一程式化結果符合預設程式化結果；以及若這些記憶胞的儲存狀態不是處於對應於寫入資料的正確儲存狀態，

判定第一程式化結果不符合預設程式化結果。

【0011】 在本發明的一範例實施例中，所述記憶體程式化方法更包括：在執行所述第一程式化程序之前，將所述記憶胞分組為第三程式化群組與第四程式化群組。

【0012】 在本發明的一範例實施例中，所述第三程式化群組中的第三記憶胞之第三電壓小於所述第四程式化群組中的第四記憶胞之第四電壓，所述第一程式化程序包括：使用第三程式化電壓來程式化所述第三程式化群組；以及使用第四程式化電壓來程式化所述第四程式化群組，其中所述第三程式化電壓大於所述第四程式化電壓，所述第一程式化電壓大於所述第三程式化電壓，並且所述第二程式化電壓大於所述第四程式化電壓。

【0013】 本發明的一範例實施例提供一種記憶體儲存裝置，其包括連接介面單元、可複寫式非揮發性記憶體模組與記憶體控制電路單元。連接介面單元耦接至主機系統。可複寫式非揮發性記憶體模組包括多個記憶胞。記憶體控制電路單元耦接至連接介面單元與可複寫式非揮發性記憶體模組。記憶體控制電路單元用以發送第一寫入指令序列，其中第一寫入指令序列用以指示根據寫入資料對這些記憶胞執行第一程式化程序。記憶體控制電路單元更用以獲得第一程式化程序的第一程式化結果，並且根據第一程式化結果來將這些記憶胞分組為多個程式化群組。記憶體控制電路單元更用以發送第二寫入指令序列，其中第二寫入指令序列用以指示根據寫入資料對這些記憶胞執行第二程式化程序。所述第二

程式化程序包括使用第一程式化電壓來程式化此些程式化群組中的第一程式化群組；以及使用第二程式化電壓來程式化此些程式化群組中的第二程式化群組，其中第一程式化電壓與第二程式化電壓不同。

【0014】 在本發明的一範例實施例中，其中在上述記憶體控制電路單元根據第一程式化結果來將此些記憶胞分組為此些程式化群組的運作中，記憶體控制電路單元發送分組指令，其中分組指令用以指示提供至少一分組電壓至此些記憶胞以獲得此些記憶胞的儲存狀態資訊，其中儲存狀態資訊指示此些記憶胞的臨界電壓分布狀態。以及，記憶體控制電路單元根據儲存狀態資訊將此些記憶胞分組為此些程式化群組。

【0015】 在本發明的一範例實施例中，其中記憶體控制電路單元判斷第一程式化結果是否符合對應於寫入資料的預設程式化結果，並且上述記憶體控制電路單元根據第一程式化結果來將此些記憶胞分組為此些第一程式化群組的運作是在判定第一程式化結果不符合預設程式化結果之後執行。

【0016】 在本發明的一範例實施例中，其中在上述記憶體控制電路單元判斷第一程式化結果是否符合對應於寫入資料的預設程式化結果的運作中，記憶體控制電路單元發送驗證指令，其中驗證指令用以指示提供驗證電壓至此些記憶胞以判斷此些記憶胞的儲存狀態是否處於對應於寫入資料的一正確儲存狀態。若此些記憶胞的儲存狀態是處於對應於寫入資料的正確儲存狀態，記憶體控

制電路單元判定第一程式化結果符合預設程式化結果。以及，若此些記憶胞的儲存狀態不是處於對應於寫入資料的正確儲存狀態，記憶體控制電路單元判定第一程式化結果不符合預設程式化結果。

【0017】 在本發明的一範例實施例中，在執行所述第一程式化程序之前，所述記憶體控制電路單元更用以將所述記憶胞分組為第三程式化群組與第四程式化群組。

【0018】 本發明的一範例實施例提供用於控制可複寫式非揮發性記憶體模組的一種記憶體控制電路單元。可複寫式非揮發性記憶體模組包括多個記憶胞。所述記憶體控制電路單元包括主機介面、記憶體介面與記憶體管理電路。主機介面耦接至主機系統。記憶體介面耦接至可複寫式非揮發性記憶體模組。記憶體管理電路耦接至主機介面與記憶體介面。記憶體管理電路用以發送第一寫入指令序列，其中第一寫入指令序列指示根據寫入資料對此些記憶胞執行第一程式化程序。記憶體管理電路更用以獲得第一程式化程序的第一程式化結果，並且根據第一程式化結果來將此些記憶胞分組為多個程式化群組。記憶體管理電路更用以發送第二寫入指令序列，其中第二寫入指令序列指示根據寫入資料對此些記憶胞執行第二程式化程序，其中第二程式化程序包括使用第一程式化電壓來程式化此些程式化群組中的第一程式化群組；以及使用第二程式化電壓來程式化此些程式化群組中的第二程式化群組，其中第一程式化電壓與第二程式化電壓不同。

【0019】 在本發明的一範例實施例中，其中在上述記憶體管理電路更用以根據第一程式化結果來將這些記憶胞分組為這些程式化群組的運作中，記憶體管理電路發送分組指令可複寫式非揮發性記憶體模組，其中分組指令指示可複寫式非揮發性記憶體模組使用至少一分組電壓至這些記憶胞以獲得這些記憶胞的儲存狀態資訊，其中儲存狀態資訊指示這些記憶胞的臨界電壓分布狀態。以及，記憶體管理電路根據儲存狀態資訊將這些記憶胞分組為這些程式化群組。

【0020】 在本發明的一範例實施例中，記憶體管理電路判斷第一程式化結果是否符合對應於寫入資料的預設程式化結果，並且上述記憶體管理電路根據第一程式化結果來將這些記憶胞分組為這些第一程式化群組的運作是在判定第一程式化結果不符合預設程式化結果之後執行。

【0021】 在本發明的一範例實施例中，其中在上述記憶體管理電路判斷第一程式化結果是否符合對應於寫入資料的預設程式化結果的運作中，記憶體管理電路發送一驗證指令，其中該驗證指令用以指示提供驗證電壓至這些記憶胞以判斷這些記憶胞的儲存狀態是否處於對應於寫入資料的正確儲存狀態。若這些記憶胞的儲存狀態是處於對應於寫入資料的正確儲存狀態，記憶體管理電路判定第一程式化結果符合預設程式化結果。以及，若這些記憶胞的儲存狀態不是處於對應於寫入資料的正確儲存狀態，記憶體管理電路判定第一程式化結果不符合預設程式化結果。

【0022】 在本發明的一範例實施例中，在執行所述第一程式化程序之前，所述記憶體管理電路更用以將所述記憶胞分組為第三程式化群組與第四程式化群組。

【0023】 基於上述，本發明所提供的記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置，可以有效地根據記憶胞的臨界電壓分布(或寫入速度)來對應調整施予至記憶胞的程式化電壓，以避免過度的程式化，進而提升記憶體儲存裝置的使用壽命。此外，也可以使完成程式化的記憶胞的臨界電壓分布的範圍變窄，進而減少資料中的錯誤位元。

【0024】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉範例實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0025】

圖 1 是根據本發明的一範例實施例所繪示的快閃記憶體元件(亦稱記憶胞)的示意圖。

圖 2 是根據本發明的一範例實施例所繪示之程式化記憶胞的示意圖。

圖 3 是根據本發明的一範例實施例所繪示之程式化操作中的多個記憶胞的臨界電壓的分布示意圖。

圖 4 是根據本發明的一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 5 是根據本發明的一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 6 是根據本發明的一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 7 是繪示圖 4 所示的記憶體儲存裝置的概要方塊圖。

圖 8 是根據本發明的一範例實施例所繪示的可複寫式非揮發性記憶體模組的概要方塊圖。

圖 9 是根據本發明的一範例實施例所繪示的記憶胞陣列的示意圖。

圖 10 是根據本發明的一範例實施例所繪示儲存於記憶胞陣列中的寫入資料所對應的臨界電壓的分布示意圖。

圖 11 是根據本發明的一範例實施例所繪示的記憶胞分組的示意圖。

圖 12 是根據本發明的一範例實施例所繪示的決定程式化群組的示意圖。

圖 13 至圖 16 是根據本發明的一範例實施例所繪示的記憶體程式化操作的示意圖。

圖 17A 是根據本發明的另一範例實施例所繪示的記憶胞分組的示意圖。

圖 17B 是根據本發明的另一範例實施例所繪示的記憶體程式化操作的示意圖。

圖 18 是根據本發明的另一範例實施例所繪示的記憶體程式

化操作的示意圖。

圖 19 是根據本發明的另一範例實施例所繪示之記憶體控制電路單元的方塊圖。

圖 20 是根據本發明的一範例實施例所繪示的記憶體程式化方法的流程圖。

圖 21 是根據本發明的一範例實施例所繪示的程式化記憶胞的臨界電壓的分布示意圖。

【實施方式】

【0026】 圖 1 是根據本發明的一範例實施例所繪示的快閃記憶體元件的示意圖。

【0027】 請參照圖 1，在本範例實施例中，快閃記憶體元件 1(亦稱，記憶胞)包含用於儲存電子的電荷捕捉層(charge trapping layer)2、用於施加電壓的控制閘極(Control Gate)3、穿隧氧化層(Tunnel Oxide)4、多晶矽間介電層(Interpoly Dielectric)5 與基底(Substrate)6。當欲寫入資料至快閃記憶體元件 1 時，可藉由施予寫入電壓(亦稱為程式化電壓)將電子注入電荷捕捉層 2 以改變快閃記憶體元件 1 的電壓。在以下的範例實施例中，快閃記憶體元件 1 的電壓亦稱為快閃記憶體元件 1 的臨界電壓。此臨界電壓可用以反映出快閃記憶體元件 1 的資料儲存狀態。由此，可定義快閃記憶體元件 1 的數位高低態(亦稱儲存狀態)，而實現儲存資料的功能。在此，藉由施予寫入電壓將電子注入至電荷捕捉層 2 的過

程稱為程式化。反之，當欲將所儲存之資料移除時，藉由施予抹除電壓將所注入之電子從電荷補捉層 2 中移除，則可使快閃記憶體元件 1 回復為未被程式化前的狀態。

【0028】圖 2 是根據本發明的一範例實施例所繪示之程式化記憶胞的示意圖。

【0029】請參照圖 2，在本範例實施例中，程式化記憶胞的方式是使用增量階躍脈衝程式化 (Incremental-step-pulse programming, ISPP) 模型，並且透過脈衝寫入與施予驗證臨界電壓來完成對記憶胞的程式化操作。具體來說，欲將資料程式化至記憶胞時，會設定初始程式化電壓 V_i 以及程式化電壓脈衝時間 ΔT 。在程式化資料至記憶胞時，可使用所設定的初始程式化電壓 V_i 以及程式化電壓脈衝時間 ΔT 來程式化記憶胞。驗證電壓 V_{verify} 可用以對記憶胞進行驗證，以判斷記憶胞是否已處於正確的儲存狀態。倘若記憶胞未被程式化至正確的儲存狀態，目前施予的程式化電壓會被加上增量階躍脈衝程式化調整值 ΔV 作為新的程式化電壓(如圖 2 中的 V_{r1} 、 V_{r2})並且根據新的程式化電壓與程式化電壓脈衝時間 ΔT ，記憶胞會再次被程式化。倘若記憶胞已被程式化至正確的儲存狀態時，則表示資料已被正確地寫入至記憶胞。

【0030】圖 3 是根據本發明的一範例實施例所繪示之程式化操作中的多個記憶胞的臨界電壓的分布示意圖。

【0031】請同時參照圖 2 與圖 3，假設多個記憶胞將被程式化為儲存位元“0”的儲存狀態。這些記憶胞在被程式化之前的臨界電壓分

布為圖 3 中所繪示的實線 D1(亦稱，臨界電壓分布 D1)，並且此些記憶胞的起始儲存狀態為“1”。此外，假設此些記憶胞是以圖 2 所繪示的增量階躍脈衝程式化模型來被程式化。當此些記憶胞被初始程式化電壓 V_i 程式化後，此些記憶胞的臨界電壓分布會成為圖 3 所繪示的虛線 D2(亦稱，臨界電壓分布 D2)。接著，驗證電壓 V_{verify} 會被用來對此些記憶胞進行驗證，以判斷此些記憶胞是否皆已處於正確的儲存狀態(即，儲存位元“0”)。在此，由於此些記憶胞並未處於儲存位元“0”的儲存狀態，故目前施予的初始程式化電壓 V_i 會被加上增量階躍脈衝程式化調整值 ΔV 作為新的寫入電壓 V_{r1} ，並且依據新的寫入電壓 V_{r1} 與寫入電壓脈衝時間 ΔT 此些記憶胞會再次被程式化。被寫入電壓 V_{r1} 再次程式化的此些記憶胞的臨界電壓分布為圖 3 所繪示的虛線 D3(亦稱，臨界電壓分布 D3)。依此類推，當被寫入電壓 V_{r2} 程式化的此些記憶胞的臨界電壓分布為圖 3 中的實線 D4(亦稱，臨界電壓分布 D4)且此些記憶胞皆處於正確的儲存狀態(即，儲存位元“0”)時，寫入包含位元“0”的資料至此些記憶胞的程式化操作被完成。

【0032】 但是，上述以增量階躍脈衝程式化模型來程式化多個記憶胞可能會導致此些記憶胞的臨界電壓分布的範圍被過度地增加。例如，請參照圖 2 與圖 3，在此些記憶胞未被程式化之前，其臨界電壓分布 D1 的寬度是小於完成程式化之後的記憶胞的臨界電壓分布 D4 的寬度。此現象主要是因為每一記憶胞的特性不同，但是卻被施予同樣大小的寫入電壓，進而導致每一記憶胞被程式

化後的臨界電壓的高低範圍差異擴大。

【0033】 此外，如上所述，使用一般的增量階躍脈衝程式化模型來程式化多個記憶胞可能還會導致記憶胞被過度程式化。例如，在圖 3 的範例實施例中，當這些記憶胞經由程式化操作而具有臨界電壓分布 D3 時，若對具有臨界電壓分布 D3 的這些記憶胞施予相同大小的寫入電壓 V_{r2} 來進行程式化，可能會導致這些記憶胞中其臨界電壓已經超過驗證電壓 V_{verify} 的記憶胞繼續被施予寫入電壓(此過程可稱為過度程式化)。這些被過度程式化的記憶胞，其臨界電壓雖然已經高於驗證電壓 V_{verify} ，但是在被施予寫入電壓 V_{r2} 後，會再具有更高電壓值的臨界電壓。換言之，如上所述，這些被過度程式化的記憶胞會因為被繼續施予寫入電壓而進行多餘的程式化操作，並且上述過度程式化會對這些記憶胞造成不必要的磨損，增加這些記憶胞的老化程度，進而降低記憶體儲存裝置的使用壽命。

【0034】 因此，下文範例實施例所提供的記憶體程式化方法，以及使用此方法的記憶體控制電路單元與記憶體儲存裝置，會辨識快閃記憶體中的多個記憶胞被施予程式化電壓後的臨界電壓分布狀態，並且根據這些記憶胞的臨界電壓分布狀態來將這些記憶胞分組為多個程式化群組，進而對每個程式化群組施予對應的程式化電壓。如此一來，可有效地避免這些記憶胞被過度程式化，以延長記憶體儲存裝置的使用壽命。

【0035】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括

可複寫式非揮發性記憶體模組與控制器(亦稱，記憶體控制電路單元)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0036】 圖 4 是根據本發明的一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。圖 5 是根據本發明的一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

【0037】 請參照圖 4，主機系統 11 一般包括電腦 12 與輸入/輸出(input/output, I/O)裝置 13。電腦 12 包括微處理器 122、隨機存取記憶體(random access memory, RAM)124、系統匯流排 126 與資料傳輸介面 128。輸入/輸出裝置 13 包括如圖 5 的滑鼠 21、鍵盤 22、顯示器 23 與印表機 24。必須瞭解的是，圖 5 所示的裝置非限制輸入/輸出裝置 13，輸入/輸出裝置 13 可更包括其他裝置。

【0038】 在一範例實施例中，記憶體儲存裝置 10 是透過資料傳輸介面 128 與主機系統 11 的其他元件耦接。藉由微處理器 122、隨機存取記憶體 124 與輸入/輸出裝置 13 的運作可將資料寫入至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。例如，記憶體儲存裝置 10 可以是如圖 5 所示的隨身碟 25、記憶卡 26 或固態硬碟(Solid State Drive, SSD)27 等的可複寫式非揮發性記憶體儲存裝置。

【0039】 圖 6 是根據本發明的一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

【0040】 一般而言，主機系統 11 為與記憶體儲存裝置 10 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 11 是以電腦系統來作說明，然而，另一範例實施例中，主機系統 11 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)31 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 32、MMC 卡 33、記憶棒(memory stick)34、CF 卡 35 或嵌入式儲存裝置 36(如圖 6 所示)。嵌入式儲存裝置 36 包括嵌入式多媒體卡(Embedded MMC，eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基底上。

【0041】 圖 7 是繪示圖 4 所示的記憶體儲存裝置的概要方塊圖。

【0042】 請參照圖 7，記憶體儲存裝置 10 包括連接介面單元 102、記憶體控制電路單元 104 與可複寫式非揮發性記憶體模組 106。

【0043】 在本範例實施例中，連接介面單元 102 是相容於序列先進附件(Serial Advanced Technology Attachment，SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 402 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment，PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers，IEEE)1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express，PCI Express)標準、通用序列匯流排(Universal Serial Bus，USB)標準、安全數位(Secure Digital，SD)介面標準、超高速一代(Ultra High Speed-I，UHS-I)介

面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、嵌入式多媒體儲存卡(Embedded Multimedia Card, eMMC)介面標準、通用快閃記憶體(Universal Flash Storage, UFS)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。連接介面單元 102 可與記憶體控制電路單元 104 封裝在一個晶片中，或者連接介面單元 102 是佈設於一包含記憶體控制電路單元 104 之晶片外。

【0044】 記憶體控制電路單元 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。

【0045】 可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制電路單元 404，並且用以儲存主機系統 11 所寫入之資料。可複寫式非揮發性記憶體模組 106 可以是單階記憶胞(Single Level Cell, SLC)NAND 型快閃記憶體模組、多階記憶胞(Multi Level Cell, MLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 2 個位元資料的快閃記憶體模組)、複數階記憶胞 (Triple Level Cell, TLC) NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 3 個位元資料的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0046】圖 8 是根據本發明的一範例實施例所繪示的可複寫式非揮發性記憶體模組的概要方塊圖。

【0047】請參照圖 8，可複寫式非揮發性記憶體模組 106 包括記憶胞陣列 2202、字元線控制電路 2204、位元線控制電路 2206、行解碼器(column decoder)2208、資料輸入/輸出緩衝器 2210 與控制電路 2212。

【0048】圖 9 是根據本發明的一範例實施例所繪示的記憶胞陣列的示意圖。

【0049】請參照圖 8 與圖 9，記憶胞陣列 2202 包括配置於多個基底上的多個選擇閘汲極(select gate drain, SGD)電晶體 912 與多個選擇閘源極(select gate source, SGS)電晶體 914、以及連接此些記憶胞的多條位元線 904、多條字元線 906、源極線 908 與用以儲存資料的多個記憶胞 902(如圖 9 所示)。記憶胞 902 是以陣列方式配置在位元線 904 與字元線 906 的交叉點上。當從記憶體控制電路單元 104 接收到寫入指令或讀取指令時，控制電路 2212 會控制字元線控制電路 2204、位元線控制電路 2206、行解碼器 2208、資料輸入/輸出緩衝器 2210 來寫入資料至記憶胞陣列 2202 或從記憶胞陣列 2202 中讀取資料，其中字元線控制電路 2204 用以控制施予至字元線 906 的電壓，位元線控制電路 2206 用以控制施予至位元線 904 的電壓，行解碼器 2208 依據指令中的解碼列位址以選擇對應的位元線，並且資料輸入/輸出緩衝器 2210 用以暫存資料。

【0050】如上所述，可複寫式非揮發性記憶體模組 106 中的記憶

胞是被多種程式化電壓來程式化為多種儲存狀態以正確儲存寫入資料的位元值。具體來說，記憶胞陣列 2202 的每一記憶胞具有多個儲存狀態，並且這些儲存狀態是以多個讀取電壓來區分。

【0051】 圖 10 是根據本發明的一範例實施例所繪示儲存於記憶胞陣列中的寫入資料所對應的臨界電壓的分布示意圖。

【0052】 請參照圖 10，以多階記憶胞型快閃記憶體為例，每一記憶胞中的臨界電壓可依據預設讀取電壓 V_A 、預設讀取電壓 V_B 與預設讀取電壓 V_C 而區分為 4 種儲存狀態，並且這些儲存狀態分別地代表儲存位元“11”、“10”、“00”與“01”。因此，在此範例實施例中，每一記憶胞可儲存 2 個位元資料。必須瞭解的是，圖 10 所繪示的臨界電壓及其儲存狀態的對應僅為一個範例。在另一範例實施例中，臨界電壓與儲存狀態的對應亦可是隨著臨界電壓越大而以“11”、“10”、“01”與“00”排列。或者，在另一範例實施例中，臨界電壓與儲存狀態的對應亦可是根據實際使用狀況而設定，而不限於上述。

【0053】 在每一記憶胞可儲存 2 個位元資料的例子中，同一條字元線上的記憶胞會構成 2 個實體程式化單元(即，下實體程式化單元與上實體程式化單元)。此外，記憶胞陣列 2202 中的數個實體程式化單元會構成一個實體抹除單元，並且實體抹除單元為執行抹除運作的最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。

【0054】 記憶胞陣列 2202 之記憶胞的資料寫入(或稱為程式化)程

序包括利用施予一特定端點之電壓，例如是控制程式化電壓(即，寫入電壓)來改變閘極中之一電荷補捉層的電子量，因而改變了記憶胞的通道的導通狀態以呈現不同的儲存狀態。例如，當下實體程式化單元的資料為“1”且上實體程式化單元的資料為“1”時，控制電路 2212 會控制字元線控制電路 2204 不改變記憶胞中的程式化電壓，而將記憶胞的儲存狀態保持為“11”。當下實體程式化單元的資料為“1”且上實體程式化單元的資料為“0”時，字元線控制電路 2204 會在控制電路 2212 的控制下改變記憶胞中的程式化電壓，而將記憶胞的儲存狀態改變為“10”。當下實體程式化單元的資料為“0”且上實體程式化單元的資料為“0”時，字元線控制電路 2204 會在控制電路 2212 的控制下改變記憶胞中的程式化電壓，而將記憶胞的儲存狀態改變為“00”。當下實體程式化單元的資料為“0”且上實體程式化單元的資料為 1 時，字元線控制電路 2204 會在控制電路 2212 的控制下改變記憶胞中的程式化電壓，而將記憶胞的儲存狀態改變為“01”。

【0055】 相似地，在每一記憶胞可儲存 1 個位元的資料的例子(例如，單階記憶胞型快閃記憶體模組)中，同一條字元線上的記憶胞會構成 1 個實體程式化單元。未被程式化的記憶胞的儲存狀態為“1”。若要寫入資料“1”至記憶胞中，控制電路 2212 會控制字元線控制電路 2204 來維持記憶胞的儲存狀態為“1”。相對地，若要寫入資料“0”，字元線控制電路 2204 會在控制電路 2212 的控制下改變記憶胞中的程式化電壓，而將記憶胞的儲存狀態改變為“0”。

即，記憶胞經由程式化程序被程式化為儲存狀態為儲存位元“0”的記憶胞，以儲存位元“0”。

【0056】 爲了便於說明本發明所使用的記憶體程式化方法，在以下的範例實施例中，會假設可複寫式非揮發性記憶體模組 106 中每一記憶胞可儲存 1 個位元，並且記憶體控制電路單元 104 欲儲存一筆寫入資料(其位元值皆爲“0”)至可複寫式非揮發性記憶體模組 106 中儲存狀態爲“1”的多個未被程式化的記憶胞中。

【0057】 圖 11 是根據本發明的一範例實施例所繪示的記憶胞分組的示意圖。

【0058】 請參照圖 11，本範例實施例中，記憶體控制電路單元 104 會根據欲儲存的寫入資料(其位元值皆爲“0”)來指示可複寫式非揮發性記憶體模組 106 使用一或多個程式化電壓來對多個記憶胞(亦稱目標記憶胞)進行程式化程序(亦稱，第一程式化程序)並獲得程式化結果(亦稱，第一程式化結果)。例如，目標記憶胞在被程式化之前的臨界電壓分布爲圖 11 中的虛線 D5(亦稱，臨界電壓分布 D5)，並且其儲存狀態爲“1”。在執行第一程式化程序之後，目標記憶胞的臨界電壓分布變爲圖 11 中的實線 D6(亦稱，臨界電壓分布 D6)。換言之，將目標記憶胞的臨界電壓分布從一個分布改變爲另一個分布的操作可稱爲一個程式化程序。此外，在本範例實施例中，第一程式化程序是指增量階躍脈衝程式化模型中的初始程式化程序並且第一程式化程序中所使用的程式化電壓爲初始程式化電壓(例如，圖 2 中的初始程式化電壓 V_i)。然而，在另一範例

實施例中，第一程式化程序也可以是指增量階躍脈衝程式化模型中的任一個程式化程序，且每一個程式化程序中所使用的程式化電壓之數目不限。

【0059】 在本範例實施例中，記憶體控制電路單元 104 會發送一驗證指令至可複寫式非揮發性記憶體模組 106。此驗證指令用以指示可複寫式非揮發性記憶體模組 106 施予驗證電壓 V_{verify} 至目標記憶胞來讀取目標記憶胞的儲存狀態是否皆為對應寫入資料的儲存狀態(亦稱正確儲存狀態)。若目標記憶胞是處於對應於寫入資料的正確儲存狀態，記憶體控制電路單元 104 會判定前一次執行之程式化程序的程式化結果符合預設程式化結果。若目標記憶胞不是處於對應於寫入資料的正確儲存狀態，記憶體控制電路單元 104 會判定前一次執行之程式化程序的程式化結果不符合預設程式化結果。此外，驗證電壓 V_{verify} 的電壓值可以是由記憶體控制電路單元 104 決定或由可複寫式非揮發性記憶體模組 106(例如，控制電路 2212)自行決定。

【0060】 如圖 11 所繪示，由於經過第一程式化程序後的目標記憶胞的臨界電壓分布 D6 皆小於驗證電壓 V_{verify} ，因此經由施予驗證電壓 V_{verify} 所讀取到的目標記憶胞的儲存狀態會為“1”，不符合為“0”的寫入資料。即，記憶體控制電路單元 104 會判定目標記憶胞的第一程式化結果不符合預設程式化結果。

【0061】 在本範例實施例中，若記憶體控制電路單元 104 判定目標記憶胞的第一程式化結果不符合預設程式化結果，記憶體控制

電路單元 104 會將目標記憶胞分組為多個程式化群組，並且在下一個程式化程序(亦稱為第二程式化程序)中，對不同的程式化群組施予不同的寫入電壓以嘗試將目標記憶胞程式化至對應寫入資料的正確儲存狀態。

【0062】 在本範例實施例中，記憶體控制電路單元 104 會發送一指令(亦稱，分組指令)至可複寫式非揮發性記憶體模組 106，其中此分組指令是用以指示可複寫式非揮發性記憶體模組 106 提供 N 個不同的分組電壓至目標記憶胞以獲得目標記憶胞的儲存狀態資訊。例如，在接收到分組指令之後，可複寫式非揮發性記憶體模組 106(例如，控制電路 2212)會根據此分組指令來使用一或多個不同的分組電壓至目標記憶胞。其中，N 可以是 1~4 或任意正整數。其中，目標記憶胞的儲存狀態資訊可指示此些目標記憶胞的臨界電壓分布狀態。例如，根據某一個目標記憶胞的儲存狀態資訊，記憶體控制電路單元 104 可以獲得此目標記憶胞的臨界電壓分布狀態。以圖 11 的範例實施例為例，記憶體控制電路單元 104 指示可使用 4 個分組電壓 $V_{G1} \sim V_{G4}$ 來將目標記憶胞分組。其中，分組電壓 $V_{G1} \sim V_{G4}$ 會落於被包含於目標記憶胞的臨界電壓分布的範圍內。分組電壓 $V_{G1} \sim V_{G4}$ 可以是根據其電壓值的相對大小而依序被施予至目標記憶胞或者是根據任意的規則而被施予至目標記憶胞。此外，分組電壓 $V_{G1} \sim V_{G4}$ 各別的電壓值可以由記憶體控制電路單元 104 決定或由可複寫式非揮發性記憶體模組 106(例如，控制電路 2212)自行決定。

【0063】請參照圖 11，在記憶體控制電路單元 104 指示可複寫式非揮發性記憶體模組 106 施予分組電壓 V_{G1} 至目標記憶胞之後，記憶體控制電路單元 104 可獲得目標記憶胞對應分組電壓 V_{G1} 的儲存狀態。例如，記憶體控制電路單元 104 會獲得對應分組電壓 V_{G1} 的儲存狀態為“0”的目標記憶胞與對應分組電壓 V_{G1} 的儲存狀態為“1”的目標記憶胞。例如，記憶體控制電路單元 104 可辨識儲存狀態為“0”的目標記憶胞為臨界電壓大於分組電壓 V_{G1} 的目標記憶胞以及辨識儲存狀態為“1”的目標記憶胞為臨界電壓小於分組電壓 V_{G1} 的目標記憶胞。以此類推，在施予分組電壓 $V_{G2}\sim V_{G4}$ 至目標記憶胞之後，記憶體控制電路單元 104 可進一步獲得目標記憶胞對應分組電壓 $V_{G2}\sim V_{G4}$ 的儲存狀態並且據以將目標記憶胞分組為程式化群組 A1~E1。

【0064】在圖 11 的範例實施例中，程式化群組 A1~E1 的臨界電壓分布範圍各不相同。此外，程式化群組 A1 中的記憶胞的臨界電壓會小於程式化群組 B1 中的記憶胞的臨界電壓；程式化群組 B1 中的記憶胞的臨界電壓會小於程式化群組 C1 中的記憶胞的臨界電壓；程式化群組 C1 中的記憶胞的臨界電壓會小於程式化群組 D1 中的記憶胞的臨界電壓；程式化群組 D1 中的記憶胞的臨界電壓會小於程式化群組 E1 中的記憶胞的臨界電壓。

【0065】值得一提的是，上述範例實施例中，記憶體控制電路單元 104 是指示使用 4 個分組電壓來將目標記憶胞分組，故可獲得 5 個程式化群組。然而，在另一範例實施例中，若使用的分組電壓

的數目不同，則劃分出的程式化群組的數目也會不同。例如，若僅使用 1 個分組電壓來將目標記憶胞分組，則目標記憶胞只會被分為 2 個程式化群組，以此類推。

【0066】 圖 12 是根據本發明的一範例實施例所繪示的決定程式化群組的示意圖。

【0067】 請參照圖 11 與圖 12，假設目標記憶胞包括記憶胞 Cell1~Cell5，其中記憶胞 Cell1 的電壓(或臨界電壓)的電壓值為 V_{C1} ；記憶胞 Cell2 的電壓(或臨界電壓)的電壓值為 V_{C2} ；記憶胞 Cell3 的電壓(或臨界電壓)的電壓值為 V_{C3} ；記憶胞 Cell4 的電壓(或臨界電壓)的電壓值為 V_{C4} ；記憶胞 Cell5 的電壓(或臨界電壓)的電壓值為 V_{C5} 。在施予分組電壓 $V_{G1} \sim V_{G4}$ 至目標記憶胞之後，記憶體控制電路單元 104 可例如獲得記憶胞 Cell1 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態依序為(“1”、“1”、“1”、“1”)，獲得記憶胞 Cell2 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態依序為(“0”、“1”、“1”、“1”)，獲得記憶胞 Cell3 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態依序為(“0”、“0”、“1”、“1”)，獲得記憶胞 Cell4 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態依序為(“0”、“0”、“0”、“1”)，並且獲得記憶胞 Cell5 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態依序為(“0”、“0”、“0”、“0”)。根據記憶胞 Cell1 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態，記憶胞 Cell1 會被分組到程式化群組 A1；根據記憶胞 Cell2 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態，記憶胞 Cell2 會被分組到程式化群組 B1；根據記憶胞 Cell3 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態，記憶胞

Cell3 會被分組到程式化群組 C1；根據記憶胞 Cell4 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態，記憶胞 Cell4 會被分組到程式化群組 D1；根據記憶胞 Cell5 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態，記憶胞 Cell5 會被分組到程式化群組 E1。

【0068】 記憶體控制電路單元 104 可透過查表的方式來執行上述分組操作。例如，將記憶胞 Cell1 對應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態輸入至一查找表以獲得記憶胞 Cell1 屬於程式化群組 A1。或者，記憶體控制電路單元 104 也可計算某一個目標記憶胞反應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態中“0”或“1”的數目並且根據此數目來判斷此目標記憶胞所屬的程式化群組。例如，記憶胞 Cell1 反應於分組電壓 $V_{G1} \sim V_{G4}$ 的儲存狀態(“1”、“1”、“1”、“1”)不具有任何為“0”的位元資料，故記憶體控制電路單元 104 可將記憶胞 Cell1 分組至程式化群組 A1。

【0069】 如圖 11 所示，根據程式化群組 A1~E1 可知，反應於第一程式化程序，程式化群組 E1 中的記憶胞的程式化速度最快，而程式化群組 A1 中的記憶胞的程式化速度最慢。其中，程式化群組 E1 中的記憶胞的程式化速度高於程式化群組 D1 中的記憶胞的程式化速度，程式化群組 D1 中的記憶胞的程式化速度高於程式化群組 C1 中的記憶胞的程式化速度，以此類推。因此，在下一個程式化程序(即，第二程式化程序)中，若施予一個具有較低電壓值的寫入電壓至具有較高寫入速度的程式化群組中的記憶胞且施予一個具有較高電壓值的另一寫入電壓至具有較低寫入速度的程式化群

組中的記憶胞，則經過第二程式化程序後，目標記憶胞的臨界電壓分布範圍會較為集中。此外，在另一範例實施例中，亦可利用調整程式化電壓脈衝時間或與增量階躍脈衝程式化模型有關的其他參數來窄化被程式化的目標記憶胞的臨界電壓分布範圍。

【0070】 在一範例實施例中，記憶體控制電路單元 104 可記錄每一記憶胞每一次或最後一次被分組的分組資訊。藉此，往後在程式化此些記憶胞時，此分組資訊可直接被用來將記憶胞分組，加快分組速度。

【0071】 如上所述，在將目標記憶胞分組為多個程式化群組後，記憶體控制電路單元 104 可根據分組後的此些程式化群組來指示對不同的程式化群組施予不同的程式化電壓。以下配合圖 13~圖 18 來詳細說明本發明的記憶體程式化方法。應注意的是，圖 13~圖 18 中的點狀長條用來表示程式化電壓，斜線長條用來表示驗證電壓，並且空白長條用來表示分組電壓。

【0072】 圖 13 至圖 16 是根據本發明的一範例實施例所繪示的記憶體程式化操作的示意圖。

【0073】 請參照圖 13，假設在第一程式化程序中，記憶體控制電路單元 104 是指示可複寫式非揮發性記憶體模組 106 使用初始程式化電壓 V_i 來程式化目標記憶胞。然後，可複寫式非揮發性記憶體模組 106 會施予驗證電壓 V_{verify} 至目標記憶胞並且記憶體控制電路單元 104 會判斷第一程式化程序的第一程式化結果是否符合預設程式化結果。例如，記憶體控制電路單元 104 可判斷目標記

憶胞的儲存狀態是否皆為對應寫入資料的正確儲存狀態。若目標記憶胞的儲存狀態非皆為對應寫入資料的正確儲存狀態，記憶體控制電路單元 104 會指示可複寫式非揮發性記憶體模組 106 使用分組電壓 $V_{G1} \sim V_{G4}$ 來對目標記憶胞分組。應注意的是，分組電壓 $V_{G1} \sim V_{G4}$ 各自的電壓值是不同的。例如，分組電壓 V_{G1} 會小於分組電壓 V_{G2} ；分組電壓 V_{G2} 會小於分組電壓 V_{G3} ；分組電壓 V_{G3} 會小於分組電壓 V_{G4} 。

● **【0074】** 請同時參考圖 11 與圖 14，假設記憶體控制電路單元 104 指示使用分組電壓 $V_{G1} \sim V_{G4}$ 將目標記憶胞分組為程式化群組 A1~E1，則記憶體控制電路單元 104 會指示可複寫式非揮發性記憶體模組 106 使用分別對應程式化群組 A1~E1 的多個寫入電壓(亦稱程式化電壓)來對目標記憶胞進行第二程式化程序。例如，在第二程式化程序中，可複寫式非揮發性記憶體模組 106 可施予程式化電壓 V_{A1} 至程式化群組 A1 中的目標記憶胞；可複寫式非揮發性記憶體模組 106 可施予程式化電壓 V_{B1} 至程式化群組 B1 中的目標記憶胞；可複寫式非揮發性記憶體模組 106 可施予程式化電壓 V_{C1} 至程式化群組 C1 中的目標記憶胞；可複寫式非揮發性記憶體模組 106 可施予程式化電壓 V_{D1} 至程式化群組 D1 中的目標記憶胞；可複寫式非揮發性記憶體模組 106 可施予程式化電壓 V_{E1} 至程式化群組 E1 中的目標記憶胞。然而，在另一範例實施例中，第一程式化程序與第二程式化程序亦可以是指任增量階躍脈衝程式化模型中任兩個連續或不連續執行的程式化程序，而不限於上述。

【0075】 應注意的是，在本範例實施例中，記憶體控制電路單元 104 是根據程式化群組 A1~E1 各別的臨界電壓分布來查表以指示可複寫式非揮發性記憶體模組 106 施予不同大小的程式化電壓 $V_{A1} \sim V_{E1}$ 。根據查表的結果，記憶體控制電路單元 104 會指示可複寫式非揮發性記憶體模組 106 施予較高的寫入電壓至具有較低的臨界電壓分布的程式化群組中的目標記憶胞。例如，由於程式化群組 E1 中的目標記憶胞的臨界電壓大於程式化群組 D1 中的目標記憶胞的臨界電壓，故被施予至程式化群組 E1 的程式化電壓 V_{E1} 會小於被施予至程式化群組 D1 的程式化電壓 V_{D1} 。依此類推，被施予至程式化群組 D1 的程式化電壓 V_{D1} 會小於被施予至程式化群組 C1 的程式化電壓 V_{C1} ；被施予至程式化群組 C1 的程式化電壓 V_{C1} 會小於被施予至程式化群組 B1 的程式化電壓 V_{B1} ；被施予至程式化群組 B1 的程式化電壓 V_{B1} 會小於被施予至程式化群組 A1 的程式化電壓 V_{A1} 。此外，第二程式化程序中使用的程式化電壓會大於第一程式化程序中的程式化電壓。例如，在圖 14 中，程式化電壓 V_{E1} 會大於初始程式化電壓 V_i 。此外，在另一範例實施例中，程式化電壓 $V_{A1} \sim V_{E1}$ 也可以是根據程式化群組 A1~E1 各別的臨界電壓分布來修正前一次使用的程式化電壓而獲得的。

【0076】 請參照圖 15，在對目標記憶胞執行第二程式化程序後，可複寫式非揮發性記憶體模組 106 會施予驗證電壓 V_{verify} 至目標記憶胞並且記憶體控制電路單元 104 會據以判斷第二程式化程序的程式化結果(亦稱第二程式化結果)是否符合對應寫入資料的預

設程式化結果。若第二程式化結果不符合預設程式化結果，記憶體控制電路單元 104 會繼續對目標記憶胞進行另一次的分組操作。例如，記憶體控制電路單元 104 可指示可複寫式非揮發性記憶體模組 106 施予分組電壓 $V_{G5} \sim V_{G8}$ 至目標記憶胞，以再次將目標記憶胞分組。應注意的是，在目標記憶胞經過第二程式化程序之後，目標記憶胞的臨界電壓會提高，因此分組電壓 $V_{G5} \sim V_{G8}$ 也會被對應地提高。舉例來說，分組電壓 V_{G5} 的電壓值會大於分組電壓 V_{G1} 的電壓值；分組電壓 V_{G6} 的電壓值會大於分組電壓 V_{G2} 的電壓值；分組電壓 V_{G7} 的電壓值會大於分組電壓 V_{G3} 的電壓值；分組電壓 V_{G8} 的電壓值會大於分組電壓 V_{G4} 的電壓值。關於如何將目標記憶胞分組已於前述說明，故在此便不贅述。此外，分組電壓 $V_{G5} \sim V_{G8}$ 的數目也可以更多或更少，本發明不加以限制。

【0077】請參照圖 16，假設根據分組電壓 $V_{G5} \sim V_{G8}$ ，目標記憶胞被分組為程式化群組 A2~E2。其中，程式化群組 E2 中的目標記憶胞的臨界電壓大於程式化群組 D2 中的目標記憶胞的臨界電壓；程式化群組 D2 中的目標記憶胞的臨界電壓大於程式化群組 C2 中的目標記憶胞的臨界電壓；程式化群組 C2 中的目標記憶胞的臨界電壓大於程式化群組 B2 中的目標記憶胞的臨界電壓；程式化群組 B2 中的目標記憶胞的臨界電壓大於程式化群組 A2 中的目標記憶胞的臨界電壓。記憶體控制電路單元 104 會指示可複寫式非揮發性記憶體模組 106 分別施予程式化電壓 $V_{A2} \sim V_{E2}$ 至程式化群組 A2~E2。其中，程式化電壓 V_{A2} 是施予至程式化群組 A2，程式化

電壓 V_{B2} 是施予至程式化群組 B2，以此類推。程式化電壓 $V_{A2} \sim V_{E2}$ 各別的電壓值可以是根據程式化群組 A2~E2 各別的臨界電壓分布而透過查表而獲得。或者，程式化電壓 $V_{A2} \sim V_{E2}$ 各別的電壓值也可以是根據程式化群組 A2~E2 各別的臨界電壓分布而修改程式化電壓 $V_{A1} \sim V_{E1}$ 而獲得，本發明不加以限制。此外，在本範例實施例中，程式化電壓 V_{E2} 會高於程式化電壓 V_{E1} ；程式化電壓 V_{D2} 會高於程式化電壓 V_{D1} ；程式化電壓 V_{C2} 會高於程式化電壓 V_{C1} ；程式化電壓 V_{B2} 會高於程式化電壓 V_{B1} ；程式化電壓 V_{A2} 會高於程式化電壓 V_{A1} 。

【0078】 值得一提的是，在對於同一筆寫入資料的多個程式化程序中，本發明並不對執行分組操作的次數與時間點進行限制。例如，在一範例實施例中，在執行每一次的程式化程序之前，分組操作都會先被執行。或者，記憶體控制電路單元 104 亦可以直接針對尚未被程式化的目標記憶胞(亦即，處於抹除狀態的記憶胞)來進行分組。爾後，記憶體控制電路單元 104 可根據此分組來執行後續的所有程式化程序或者在某些程式化程序之前也可再次執行分組操作。

【0079】 圖 17A 是根據本發明的另一範例實施例所繪示的記憶胞分組的示意圖。圖 17B 是根據本發明的另一範例實施例所繪示的記憶體程式化操作的示意圖。

【0080】 請參照圖 17A 與 17B，假設處於抹除狀態的目標記憶胞的臨界電壓分布為臨界電壓分布 D5'。在對目標記憶胞進程式化

程序之前，記憶體控制電路單元 104 可根據目標記憶胞的臨界電壓分布 $D5'$ 來分別指示設定分組電壓 $V_{G1}' \sim V_{G4}'$ 並且根據目標記憶胞的臨界電壓分布 $D5'$ 來施予分組電壓 $V_{G1}' \sim V_{G4}'$ 至目標記憶胞以進行分組。或者，記憶體控制電路單元 104 也可以是根據目標記憶胞過去的分組資訊來將目標記憶胞分組。例如，記憶體控制電路單元 104 可將目標記憶胞分組為程式化群組 $A1' \sim E1'$ 。然後，記憶體控制電路單元 104 可指示可複寫式非揮發性記憶體模組 106 施予對應的程式化電壓 $V_{A1}' \sim V_{E1}'$ 至程式化群組 $A1' \sim E1'$ 。例如，在施予程式化電壓 $V_{A1}' \sim V_{E1}'$ 之後，目標記憶胞的臨界電壓分布會成為臨界電壓分布 $D6'$ 。接著，記憶體控制電路單元 104 會根據驗證電壓 V_{verify} 來判斷目標記憶胞的儲存狀態是否為對應寫入資料的正確儲存狀態。由於臨界電壓分布 $D6'$ 中的目標記憶胞之電壓值皆小於驗證電壓 V_{verify} ，故記憶體控制電路單元 104 會判定目標記憶胞的儲存狀態非對應寫入資料的正確儲存狀態並且繼續對目標記憶胞進行下一個程式化程序。在本範例實施例中，在執行下一個程式化程序之前，記憶體控制電路單元 104 會再次將目標記憶胞分組。例如，記憶體控制電路單元 104 可指示施予分組電壓 $V_{G5}' \sim V_{G8}'$ 至目標記憶胞來將目標記憶胞分組為程式化群組 $A2' \sim E2'$ 。藉此，在下一個程式化程序中，記憶體控制電路單元 104 可根據程式化群組 $A2' \sim E2'$ 來指示可複寫式非揮發性記憶體模組 106 施予對應的程式化電壓 $V_{A2}' \sim V_{E2}'$ 來對目標記憶胞進行程式化。關於如何執行分組以及使用對應的程式化電壓來程式化已分

組的記憶胞已於前述說明，在此便不再贅述。

【0081】 值得一提的是，雖然在圖 17B 的範例實施例中，用以程式化處於抹除狀態之目標記憶胞的初始程式化程式是包含使用多個程式化電壓 $V_{A1}' \sim V_{E1}'$ 。然而，在圖 17B 的另一範例實施例中，即使目標記憶胞已被分組，但用以程式化處於抹除狀態之目標記憶胞的初始程式化程式也可以是僅使用一個初始程式化電壓，例如，使用程式化電壓 $V_{A1}' \sim V_{E1}'$ 的其中之一或任一個適當的程式化電壓。此外，在一範例實施例中，只有在執行初始程式化程序之後，記憶體控制電路單元 104 才會根據初始程式化電壓的程式化結果來將目標記憶胞分組，並且此分組結果可被使用到將目標記憶胞程式化至正確的資料儲存狀態為止。或者，亦可以在初始程式化程序之後的任一次程式化程序之前再次執行分組操作。此外，在另一範例實施例中，亦可以在對於目標記憶胞的分組操作的次數到達一最大分組操作次數後，停止執行其他的分組操作並且根據最後一次分組所產生的程式化群組來進行後續的程式化程序。例如，假設最大分組次數為 2 次，則在記憶體控制電路單元 104 對於目標記憶胞進行 2 次的分組操作後，記憶體控制電路單元 104 會直接根據經由第 2 次的分組操作所獲得的程式化群組來進行後續的程式化程序。

【0082】 圖 18 是根據本發明的另一範例實施例所繪示的記憶體程式化操作的示意圖。

【0083】 請參照圖 18，假設在初始程式化程序之後的兩次程式化

程序之前，記憶體控制電路單元 104 分別執行了兩次分組操作。在記憶體控制電路單元 104 指示對目標記憶胞施予程式化電壓 $V_{A2} \sim V_{E2}$ 後，若記憶體控制電路單元 104 判定目標記憶胞的儲存狀態非皆為正確儲存狀態且執行分組操作的次數已經達到了最大分組次數(例如，2 次)，則在後續的程式化程序中，記憶體控制電路單元 104 將不會再對目標記憶胞進行分組。例如，在下一次的程式化程序中，記憶體控制電路單元 104 會直接根據經由第 2 次的分組操作所獲得的程式化群組 A2~E2 來分別施予程式化電壓 $V_{A3} \sim V_{E3}$ 至程式化群組 A2~E2 中的目標記憶胞。

【0084】 圖 19 是根據本發明一範例實施例所繪示之記憶體控制電路單元的方塊圖。

【0085】 請參照圖 19，記憶體控制電路單元 104 包括記憶體管理電路 202、主機介面 204、記憶體介面 206、緩衝記憶體 210、錯誤檢查與校正電路 208 與電源管理電路 212。

【0086】 記憶體管理電路 202 用以控制記憶體控制電路單元 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0087】 在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，這些控制指令會

由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。上述對於記憶體控制電路單元 104 的操作說明可套用至記憶體管理電路 202。

【0088】 在另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制電路單元 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉這些控制指令以進行資料的寫入、讀取與抹除等運作。

【0089】 在另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 202 包括微控制器、記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，記憶體管理電路用以管理可複寫式非揮發性記憶體模組 106 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 106 下達寫入指令(亦稱，寫入指令序列)以將資料寫入至可複寫式非揮發性記憶體模組 106 中；記憶體讀取電

路用以對可複寫式非揮發性記憶體模組 106 下達讀取指令(亦稱，讀取指令序列)以從可複寫式非揮發性記憶體模組 106 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 106 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 106 中抹除；而資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 106 的資料以及從可複寫式非揮發性記憶體模組 106 中讀取的資料。每一個寫入指令序列、讀取指令序列及抹除指令可包括一或多個程式碼或指令碼。

【0090】主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 11 所傳送的指令與資料。也就是說，主機系統 11 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、UHS-I 介面標準、UHS-II 介面標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0091】記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。具體來說，若記憶體管理電路 202 要存取可複寫式非揮發性記憶體模組 106 時，記憶體介面 206 會傳送對應的指令序列。這些指令序列可包

括一或多個訊號，或是在匯流排上的資料。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

【0092】 錯誤檢查與校正電路 208 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 208 會為對應此寫入指令的資料產生對應的錯誤更正碼(error correcting code, ECC code)及/或錯誤檢查碼(error detecting code, EDC)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤更正碼或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤更正碼及/或錯誤檢查碼，並且錯誤檢查與校正電路 208 會依據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正程序。

【0093】 緩衝記憶體 210 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。記憶體控制電路單元 404 在緩衝記憶體 210 中規劃暫存來自於主機系統 11 的資料或來自於可複寫式非揮發性記憶體模組 106 的資料，以使資料組織成預定單位大小或是成為傳輸單元大小，並寫入到可複寫式非揮發性記憶體模組 106 或是回傳到主機系統。此外，緩衝記憶體 210 還可暫存記憶體控制電路單元 104 所使用的系統管理資料，例如，檔案配置表或是

邏輯-實體單元映射表等等。

【0094】 電源管理電路 212 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 10 的電源。

【0095】 值得一提的是，在一範例實施例中，可透過軟體或韌體來控制將特定的程式化電壓施予至特定的程式化群組。或者，在另一範例實施例中，亦可以透過硬體開關來控制施予至不同程式化群組的程式化電壓。例如，若欲以硬體開關來控制施予至不同程式化群組的程式化電壓，則一或多個控制開關或暫存器會被配置在提供程式化電壓至記憶胞的一電壓供應路徑上。每一個控制開關或暫存器是用以導通屬於同一個程式化群組的記憶胞的電壓供應路徑。透過導通或切換耦接至不同記憶胞的電壓供應路徑，可選擇性地對屬於不同程式化群組的記憶胞進行程式化。以圖 14 的範例實施例為例，假設目前是欲使用程式化電壓 V_{A1} 來程式化程式化群組 A1，則耦接至屬於程式化群組 A1 的目標記憶胞的電壓供應路徑會被導通並且耦接至不屬於程式化群組 A1 的目標記憶胞的電壓供應路徑會被切斷。藉此，程式化電壓 V_{A1} 只會經由導通的電壓供應路徑提供至屬於程式化群組 A1 的目標記憶胞來執行程式化。當欲使用程式化電壓 V_{B1} 來程式化程式化群組 B1 時，則只有耦接至屬於程式化群組 B1 的目標記憶胞的電壓供應路徑會被導通以對程式化群組 B1 進行程式化，以此類推。

【0096】 圖 20 是根據本發明的一範例實施例所繪示的記憶體程式化方法的流程圖。

【0097】請參照圖 20，在步驟 S2001 中，記憶體控制電路單元 104(或記憶體管理電路 202)根據寫入資料對多個記憶胞執行第一程式化程序並且獲得第一程式化程序的第一程式化結果。在步驟 S2003 中，記憶體控制電路單元 104(或記憶體管理電路 202)根據第一程式化結果來指示將這些記憶胞分組為多個程式化群組。在步驟 S2005 中，記憶體控制電路單元 104(或記憶體管理電路 202)根據寫入資料指示對這些記憶胞執行第二程式化程序，其中所述第二程式化程序包括使用第一程式化電壓來程式化這些程式化群組中的第一程式化群組，並且使用第二程式化電壓來程式化這些程式化群組中的第二程式化群組，其中第一程式化電壓與第二程式化電壓不同。

【0098】圖 21 是根據本發明的一範例實施例所繪示的程式化記憶胞的臨界電壓的分布示意圖。

【0099】請參照圖 15 與圖 21，假設記憶體控制電路單元 104 根據資料位元為“0”的寫入資料來指示程式化多個記憶胞，則在使用初始程式化電壓 V_i 進行第一次的程式化程序後，這些記憶胞的臨界電壓分布會從臨界電壓分布 D1 成為臨界電壓分布 D2。在第二次的程式化程序前，記憶體控制電路單元 104 會指示經由使用分組電壓 $V_{G1} \sim V_{G4}$ 來對這些記憶胞進行分組，並且在分組之後，根據這些記憶胞所屬的程式化群組 A1~E1 來使用對應的程式化電壓 $V_{A1} \sim V_{E1}$ 執行第二次的程式化程序。在經過第二次的程式化程序後，這些記憶胞的臨界電壓分布會從臨界電壓分布 D2 成為臨界電

壓分布 D7。以此類推，在經過其他的程式化程序之後，這些記憶胞的臨界電壓分布會從臨界電壓分布 D7 成為臨界電壓分布 D8。由於這些記憶胞的臨界電壓皆高於驗證電壓 V_{verify} ，表示這些記憶胞的儲存狀態皆被程式化為“0”。

【0100】同時參照圖 3 與圖 21 可以發現，根據本發明所提供的記憶體程式化方法，在程式化記憶胞的過程中，記憶胞的臨界電壓分布範圍可被有效地窄化。亦即，記憶胞的臨界電壓分布更加的集中。此外，圖 21 中記憶胞的臨界電壓分布 D8 中的最高臨界電壓也可能會小於圖 3 中記憶胞的臨界電壓分布 D4 中的最高臨界電壓。

【0101】綜上所述，本發明所提供的記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置，可以根據記憶胞的臨界電壓分布(或寫入速度)來將記憶胞分組並且對應調整施予至不同群組的程式化電壓，以提升對於記憶胞之程式化的精確度並且延長記憶體儲存裝置的使用壽命。此外，也可以使完成程式化的記憶胞的臨界電壓分布的範圍減少，進而減少儲存在記憶體儲存裝置中的資料發生錯誤的機率。

【0102】雖然本發明已以範例實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】**【0103】**

1：快閃記憶體元件

2：電荷捕捉層

3：控制閘極

4：穿遂氧化層

5：多晶矽間介電層

6：基底

V_i ：初始程式化電壓

ΔT ：程式化電壓脈衝時間

V_{verify} ：驗證電壓

ΔV ：增量階躍脈衝程式化調整值

D1、D2、D3、D4、D5、D6、D7、D8：臨界電壓分布

V_{r1} 、 V_{r2} 、 V_{r3} ：程式化電壓

10：記憶體儲存裝置

11：主機系統

12：電腦

122：微處理器

124：隨機存取記憶體

13：輸入/輸出裝置

126：系統匯流排

128：資料傳輸介面

21：滑鼠

- 22：鍵盤
- 23：顯示器
- 24：印表機
- 25：隨身碟
- 26：記憶卡
- 27：固態硬碟
- 31：數位相機
- 32：SD 卡
- 33：MMC 卡
- 34：記憶棒
- 35：CF 卡
- 36：嵌入式儲存裝置
- 102：連接介面單元
- 104：記憶體控制電路單元
- 106：可複寫式非揮發性記憶體模組
- 2202：記憶胞陣列
- 2204：字元線控制電路
- 2206：位元線控制電路
- 2208：行解碼器
- 2210：資料輸入/輸出緩衝器
- 2212：控制電路
- 902：記憶胞
- 904：位元線

- 906：字元線
- 908：源極線
- 912：選擇閘汲極電晶體
- 914：選擇閘源極電晶體
- VA：第一預設讀取電壓
- VB：第二預設讀取電壓
- VC：第三預設讀取電壓
- A1、B1、C1、D1、E1、A2、B2、C2、D2、E2、AN、BN、
CN、DN、EN：程式化群組
- V_{G1} 、 V_{G2} 、 V_{G3} 、 V_{G4} 、 V_{G5} 、 V_{G6} 、 V_{G7} 、 V_{G8} ：分組電壓
- V_{c1} 、 V_{c2} 、 V_{c3} 、 V_{c4} 、 V_{c5} ：臨界電壓
- Cell1、Cell2、Cell3、Cell4、Cell5：記憶胞
- V_{A1} 、 V_{B1} 、 V_{C1} 、 V_{D1} 、 V_{E1} 、 V_{A2} 、 V_{B2} 、 V_{C2} 、 V_{D2} 、 V_{E2} 、 V_{A3} 、
 V_{B3} 、 V_{C3} 、 V_{D3} 、 V_{E3} ：程式化電壓
- T1、T2、T3：時間
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 208：錯誤檢查與校正電路
- 210：緩衝記憶體
- 212：電源管理電路
- S2001、S2003、S2005：步驟

申請專利範圍

1. 一種記憶體程式化方法，用於一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個記憶胞，該記憶體程式化方法包括：

根據一寫入資料對該些記憶胞執行一第一程式化程序並且獲得該第一程式化程序的一第一程式化結果；

根據該第一程式化結果來將該些記憶胞分組為多個程式化群組；以及

根據該寫入資料對該些記憶胞執行一第二程式化程序，

其中該第二程式化程序包括：

使用一第一程式化電壓來程式化該些程式化群組中的一第一程式化群組；以及

使用一第二程式化電壓來程式化該些程式化群組中的一第二程式化群組，其中該第一程式化電壓與該第二程式化電壓不同。

2. 如申請專利範圍第 1 項所述的記憶體程式化方法，其中該第一程式化群組的一第一電壓分布範圍與該第二程式化群組的一第二電壓分布範圍不同。

3. 如申請專利範圍第 2 項所述的記憶體程式化方法，其中該第一程式化群組中的一第一記憶胞之一第一電壓小於該第二程式化群組中的一第二記憶胞之一第二電壓，

其中該第一程式化電壓大於該第二程式化電壓。

4. 如申請專利範圍第 1 項所述的記憶體程式化方法，其中根據該第一程式化結果來將該些記憶胞分組為該些程式化群組的步驟包括：

提供至少一分組電壓至該些記憶胞以獲得該些記憶胞的一儲存狀態資訊，其中該儲存狀態資訊指示該些記憶胞的一電壓分布狀態；以及

根據該儲存狀態資訊將該些記憶胞分組為該些程式化群組。

5. 如申請專利範圍第 1 項所述的記憶體程式化方法，更包括：判斷該第一程式化結果是否符合對應於該寫入資料的一預設程式化結果，

其中根據該第一程式化結果來將該些記憶胞分組為該些第一程式化群組的步驟是在判定該第一程式化結果不符合該預設程式化結果之後執行。

6. 如申請專利範圍第 5 項所述的記憶體程式化方法，其中判斷該第一程式化結果是否符合該預設程式化結果的步驟包括：

提供一驗證電壓至該些記憶胞以判斷該些記憶胞的儲存狀態是否處於對應於該寫入資料的一正確儲存狀態；

若該些記憶胞的儲存狀態是處於對應於該寫入資料的該正確儲存狀態，判定該第一程式化結果符合該預設程式化結果；以及

若該些記憶胞的儲存狀態不是處於對應於該寫入資料的該正確儲存狀態，判定該第一程式化結果不符合該預設程式化結果。

7. 如申請專利範圍第 1 項所述的記憶體程式化方法，更包括：

在執行該第一程式化程序之前，將該些記憶胞分組為一第三程式化群組與一第四程式化群組。

8. 如申請專利範圍第 7 項所述的記憶體程式化方法，其中該第三程式化群組中的一第三記憶胞之一第三電壓小於該第四程式化群組中的一第四記憶胞之一第四電壓，

其中該第一程式化程序包括：

使用一第三程式化電壓來程式化該第三程式化群組；以及

使用一第四程式化電壓來程式化該第四程式化群組，

其中該第三程式化電壓大於該第四程式化電壓，該第一程式化電壓大於該第三程式化電壓，並且該第二程式化電壓大於該第四程式化電壓。

9. 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，包括多個記憶胞；以及

一記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元用以發送一第一寫入指令序列，其中該第一寫入指令序列用以指示根據一寫入資料對該些記憶胞執行一第一程式化程序，

其中該記憶體控制電路單元更用以獲得該第一程式化程序的一第一程式化結果，

其中該記憶體控制電路單元更用以根據該第一程式化結果來

將該些記憶胞分組為多個程式化群組，

其中該記憶體控制電路單元更用以發送一第二寫入指令序列，其中該第二寫入指令序列用以指示根據該寫入資料對該些記憶胞執行一第二程式化程序，

其中該第二程式化程序包括：

使用一第一程式化電壓來程式化該些程式化群組中的一第一程式化群組；以及

使用一第二程式化電壓來程式化該些程式化群組中的一第二程式化群組，其中該第一程式化電壓與該第二程式化電壓不同。

10. 如申請專利範圍第 9 項所述的記憶體儲存裝置，其中該第一程式化群組的一第一電壓分布範圍與該第二程式化群組的一第二電壓分布範圍不同。

11. 如申請專利範圍第 10 項所述的記憶體儲存裝置，其中該第一程式化群組中的一第一記憶胞之一第一電壓小於該第二程式化群組中的一第二記憶胞之一第二電壓，

其中該第一程式化電壓大於該第二程式化電壓。

12. 如申請專利範圍第 9 項所述的記憶體儲存裝置，在上述該記憶體控制電路單元根據該第一程式化結果來將該些記憶胞分組為該些程式化群組的運作中，

該記憶體控制電路單元更用以發送一分組指令，其中該分組指令用以指示提供至少一分組電壓至該些記憶胞以獲得該些記憶

胞的一儲存狀態資訊，其中該儲存狀態資訊指示該些記憶胞的一電壓分布狀態，

其中該記憶體控制電路單元根據該儲存狀態資訊將該些記憶胞分組為該些程式化群組。

13. 如申請專利範圍第 9 項所述的記憶體儲存裝置，其中該記憶體控制電路單元更用以判斷該第一程式化結果是否符合對應於該寫入資料的一預設程式化結果，

其中該記憶體控制電路單元根據該第一程式化結果來將該些記憶胞分組為該些第一程式化群組的運作是在判定該第一程式化結果不符合該預設程式化結果之後執行。

14. 如申請專利範圍第 13 項所述的記憶體儲存裝置，在上述該記憶體控制電路單元判斷該第一程式化結果是否符合對應於該寫入資料的該預設程式化結果的運作中，

該記憶體控制電路單元更用以發送一驗證指令，其中該驗證指令用以指示提供一驗證電壓至該些記憶胞以判斷該些記憶胞的儲存狀態是否處於對應於該寫入資料的一正確儲存狀態，

其中若該些記憶胞的儲存狀態是處於對應於該寫入資料的該正確儲存狀態，該記憶體控制電路單元判定該第一程式化結果符合該預設程式化結果，

其中若該些記憶胞的儲存狀態不是處於對應於該寫入資料的該正確儲存狀態，該記憶體控制電路單元判定該第一程式化結果不符合該預設程式化結果。

15. 如申請專利範圍第 9 項所述的記憶體儲存裝置，其中在執行該第一程式化程序之前，該記憶體控制電路單元更用以將該些記憶胞分組為一第三程式化群組與一第四程式化群組。

16. 如申請專利範圍第 15 項所述的記憶體儲存裝置，其中該第三程式化群組中的一第三記憶胞之一第三電壓小於該第四程式化群組中的一第四記憶胞之一第四電壓，

其中該第一程式化程序包括：

使用一第三程式化電壓來程式化該第三程式化群組；以及

使用一第四程式化電壓來程式化該第四程式化群組，

其中該第三程式化電壓與大於該第四程式化電壓，該第一程式化電壓大於該第三程式化電壓，並且該第二程式化電壓大於該第四程式化電壓。

17. 一種記憶體控制電路單元，用於控制一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個記憶胞，該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以發送一第一寫入指令序列，其中該第一寫入指令序列用以指示根據一寫入資料對該些記憶胞執行一第一程式化程序，

其中該記憶體管理電路更用以獲得該第一程式化程序的一第一程式化結果，

其中該記憶體管理電路更用以根據該第一程式化結果來將該些記憶胞分組為多個程式化群組，

其中該記憶體管理電路更用以發送一第二寫入指令序列，其中該第二寫入指令序列用以指示根據該寫入資料對該些記憶胞執行一第二程式化程序，

其中該第二程式化程序包括：

使用一第一程式化電壓來程式化該些程式化群組中的一第一程式化群組；以及

使用一第二程式化電壓來程式化該些程式化群組中的一第二程式化群組，其中該第一程式化電壓與該第二程式化電壓不同。

18. 如申請專利範圍第 17 項所述的記憶體控制電路單元，其中該第一程式化群組的一第一電壓分布範圍與該第二程式化群組的一第二電壓分布範圍不同。

19. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該第一程式化群組中的一第一記憶胞之一第一電壓小於該第二程式化群組中的一第二記憶胞之一第二電壓，

其中該第一程式化電壓大於該第二程式化電壓。

20. 如申請專利範圍第 17 項所述的記憶體控制電路單元，在上述該記憶體管理電路更根據該第一程式化結果來將該些記憶胞

分組為該些程式化群組的運作中，

該記憶體管理電路更用以發送一分組指令，其中該分組指令用以指示提供至少一分組電壓至該些記憶胞以獲得該些記憶胞的一儲存狀態資訊，其中該儲存狀態資訊指示該些記憶胞的一電壓分布狀態，

其中該記憶體管理電路根據該儲存狀態資訊將該些記憶胞分組為該些程式化群組。

21. 如申請專利範圍第 17 項所述的記憶體控制電路單元，其中該該記憶體管理電路更用以判斷該第一程式化結果是否符合對應於該寫入資料的一預設程式化結果，

其中該記憶體管理電路根據該第一程式化結果來將該些記憶胞分組為該些第一程式化群組的運作是在判定該第一程式化結果不符合該預設程式化結果之後執行。

22. 如申請專利範圍第 21 項所述的記憶體控制電路單元，在上述該記憶體管理電路判斷該第一程式化結果是否符合對應於該寫入資料的該預設程式化結果的運作中，

該記憶體管理電路更用以發送一驗證指令，其中該驗證指令用以指示提供一驗證電壓至該些記憶胞以判斷該些記憶胞的儲存狀態是否處於對應於該寫入資料的一正確儲存狀態，

其中若該些記憶胞的儲存狀態是處於對應於該寫入資料的該正確儲存狀態，該記憶體管理電路判定該第一程式化結果符合該預設程式化結果，

其中若該些記憶胞的儲存狀態不是處於對應於該寫入資料的該正確儲存狀態，該記憶體管理電路判定該第一程式化結果不符合該預設程式化結果。

23. 如申請專利範圍第 17 項所述的記憶體控制電路單元，其中在執行該第一程式化程序之前，該記憶體管理電路更用以將該些記憶胞分組為一第三程式化群組與一第四程式化群組。

24. 如申請專利範圍第 23 項所述的記憶體控制電路單元，其中該第三程式化群組中的一第三記憶胞之一第三電壓小於該第四程式化群組中的一第四記憶胞之一第四電壓，

其中該第一程式化程序包括：

使用一第三程式化電壓來程式化該第三程式化群組；以及
使用一第四程式化電壓來程式化該第四程式化群組，

其中該第三程式化電壓大於該第四程式化電壓，該第一程式化電壓大於該第三程式化電壓，並且該第二程式化電壓大於該第四程式化電壓。

圖式

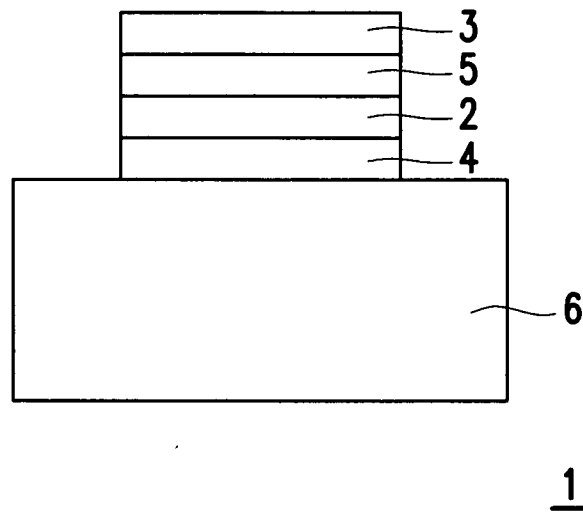


圖 1

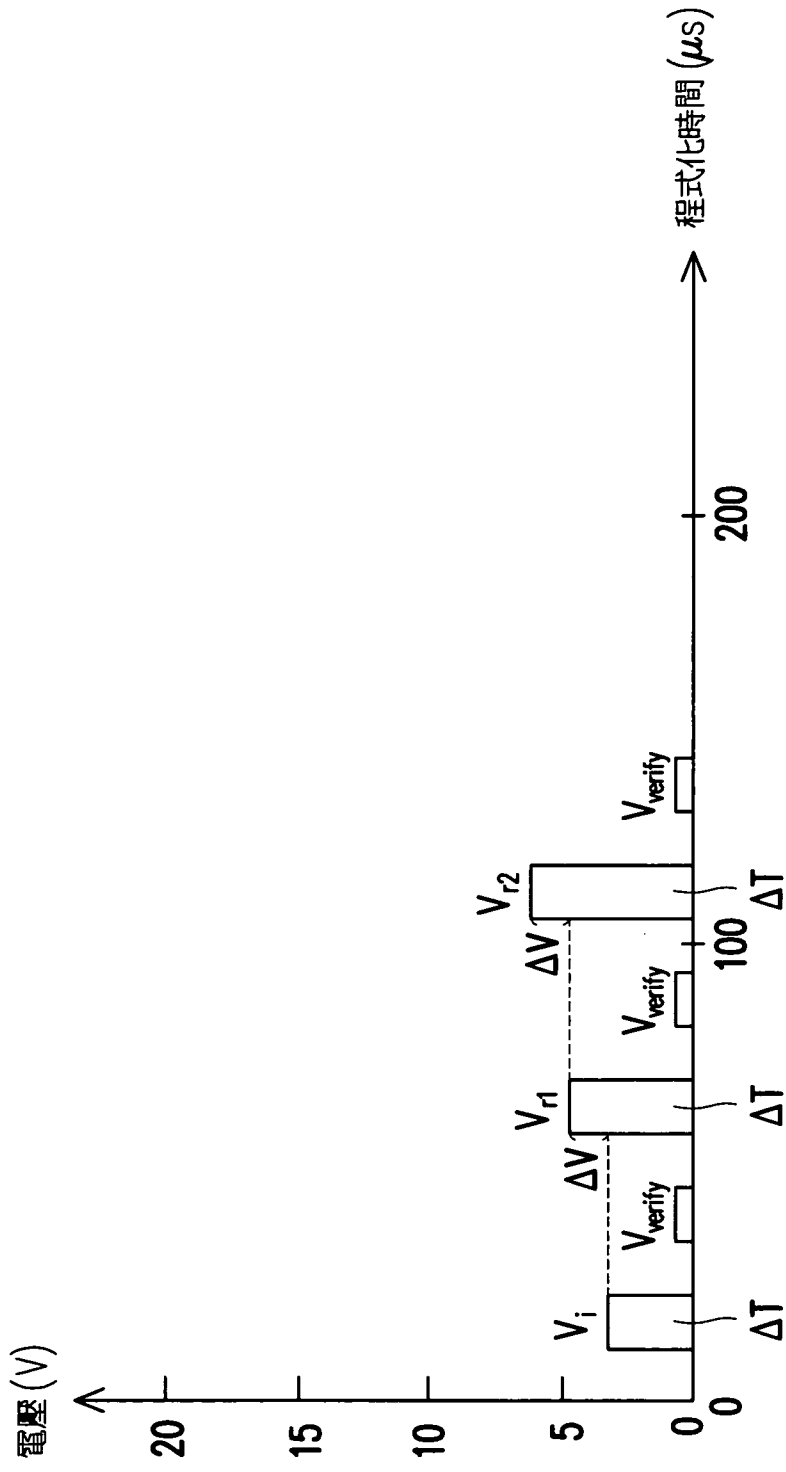


圖 2

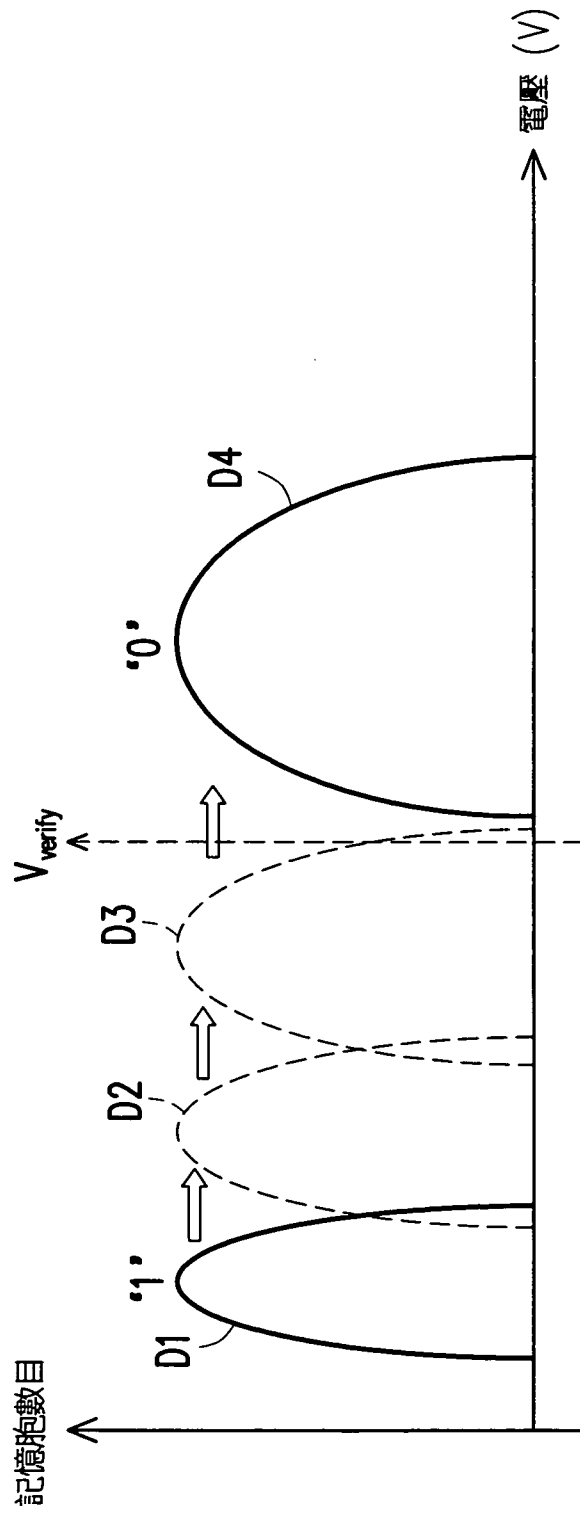


圖3

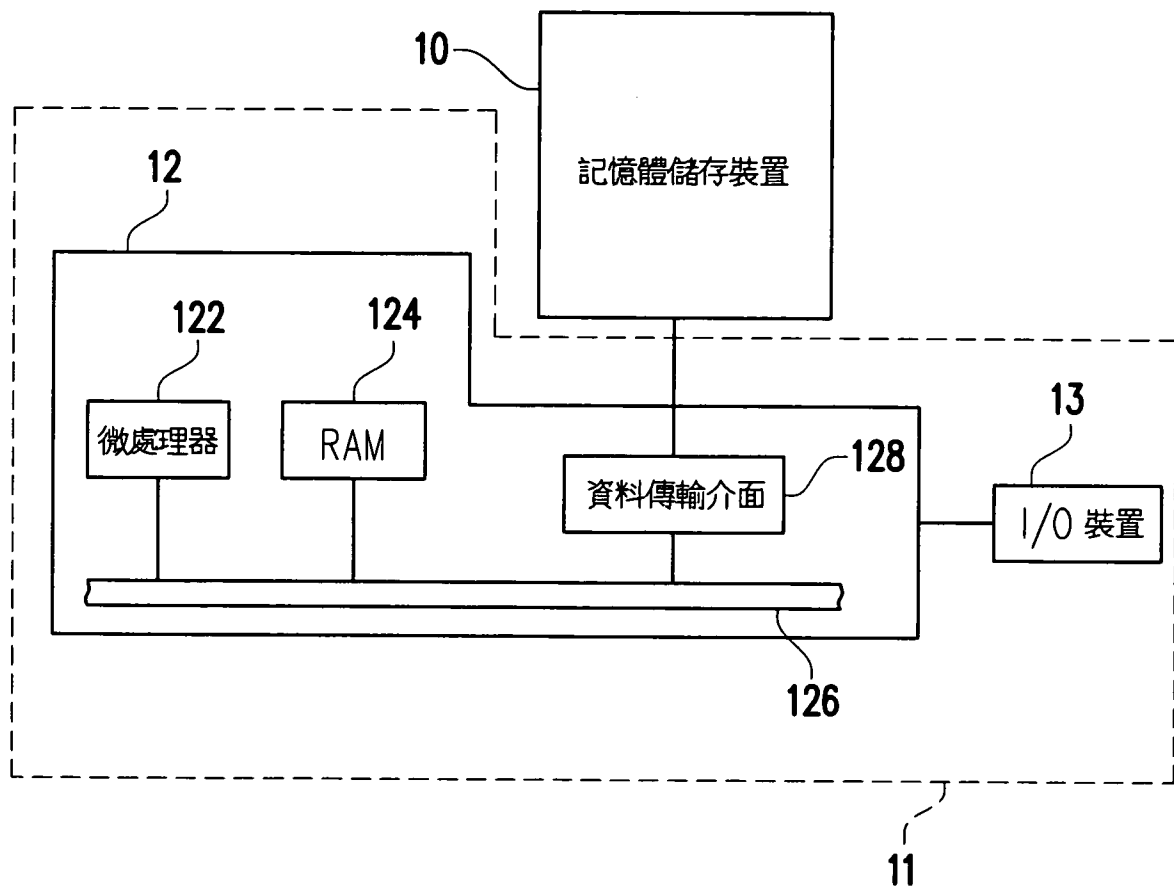


圖 4

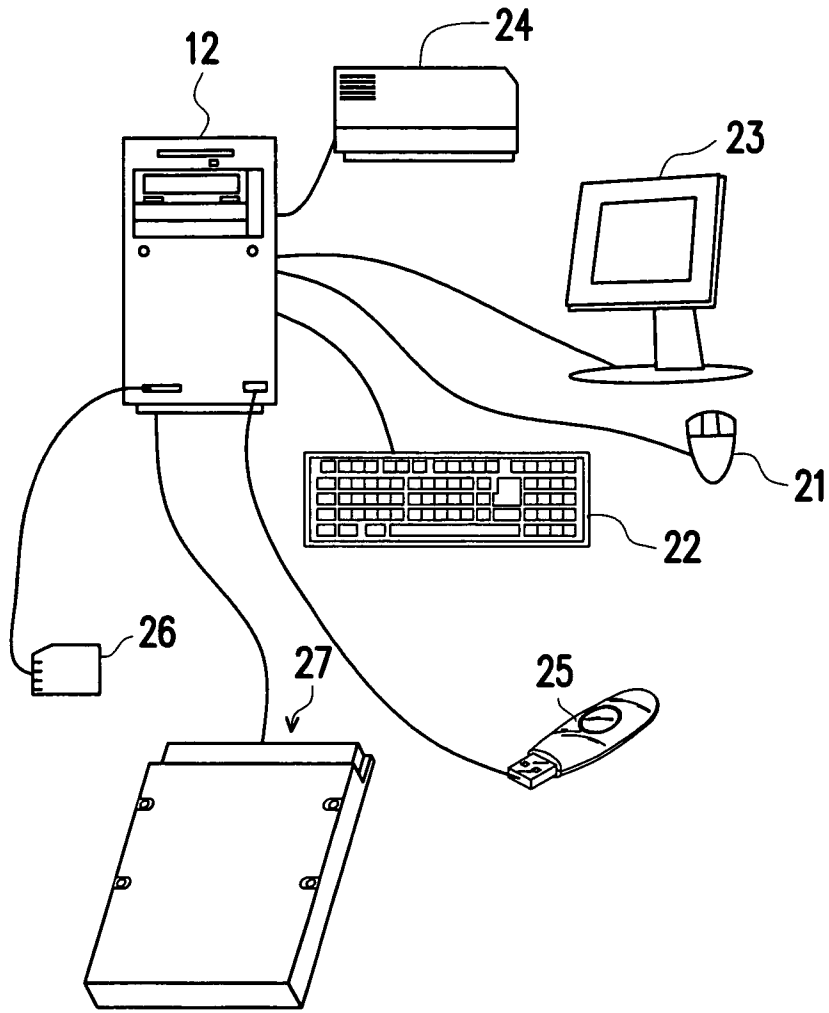


圖 5

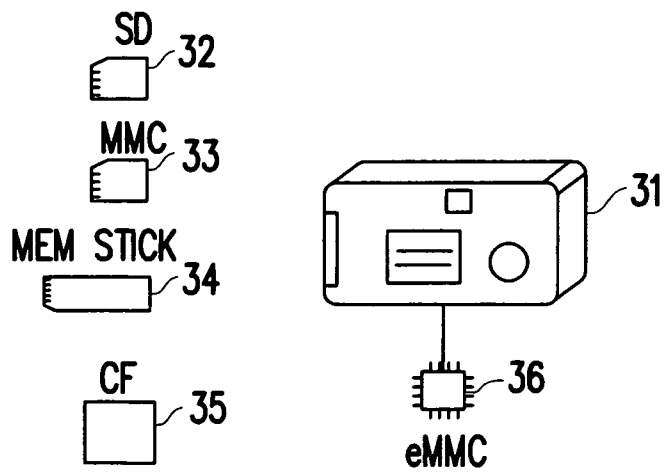


圖 6

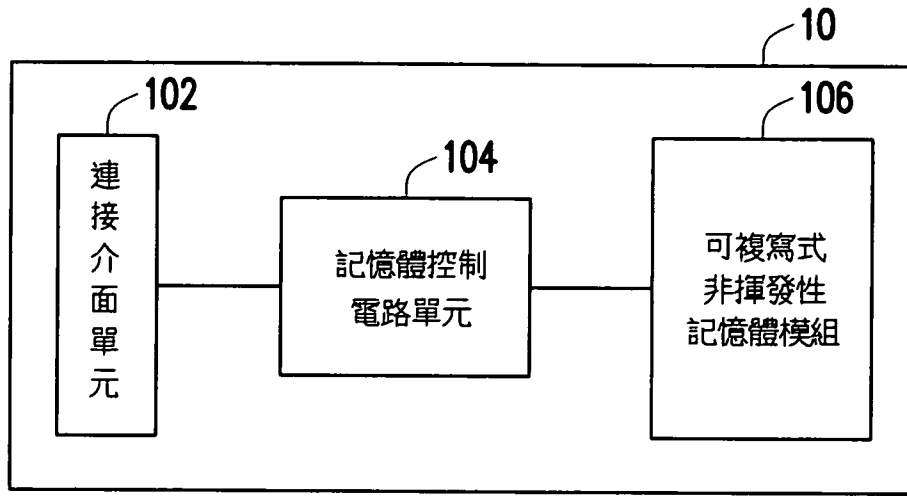


圖 7

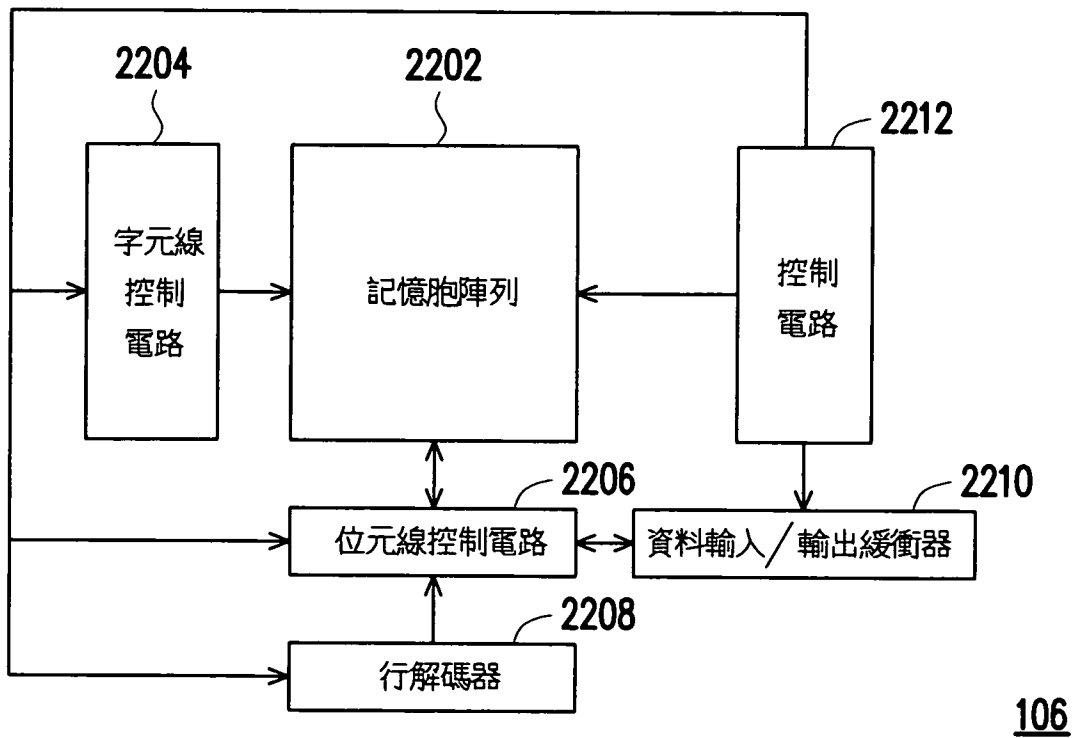


圖 8

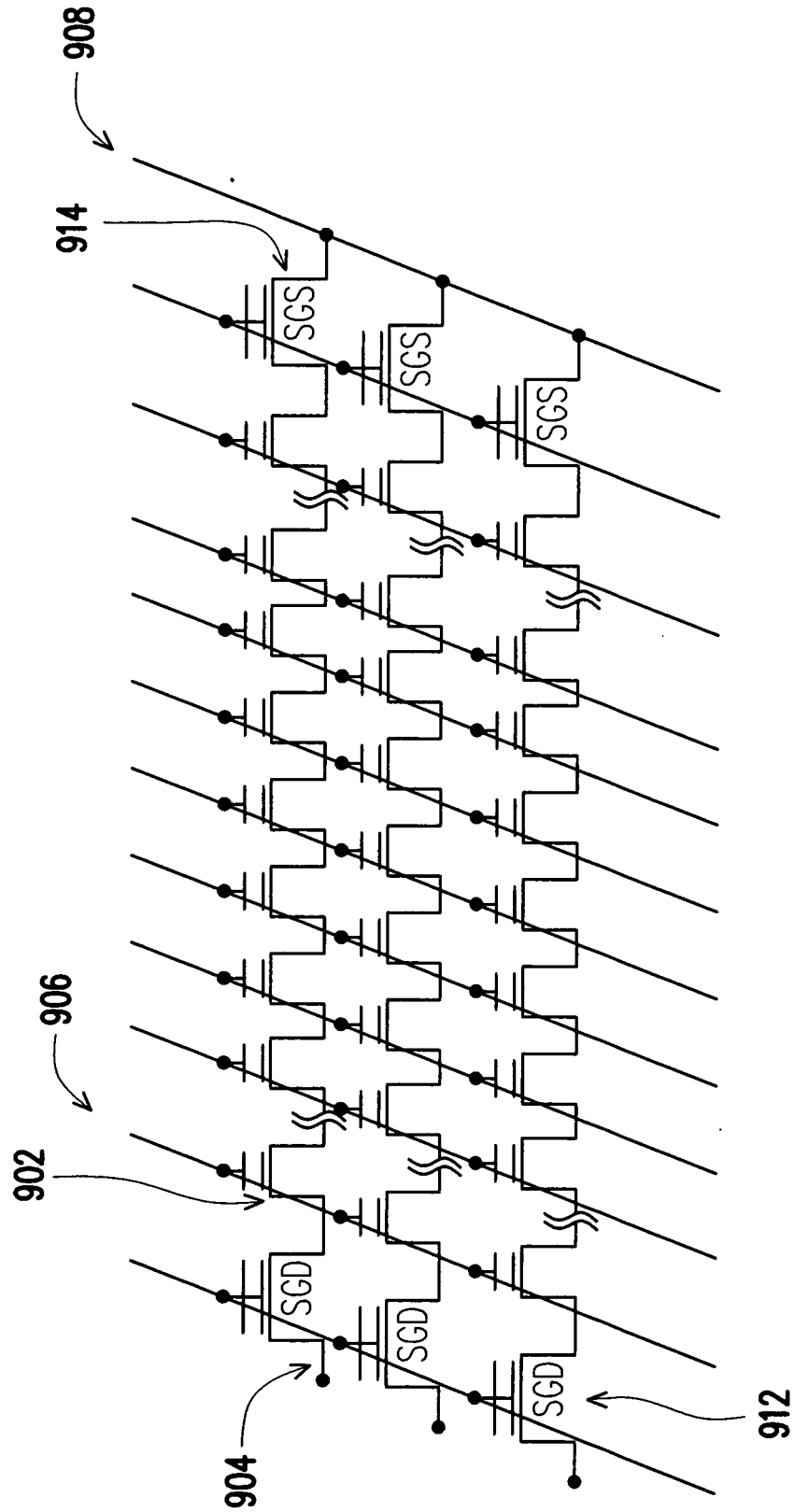


圖9

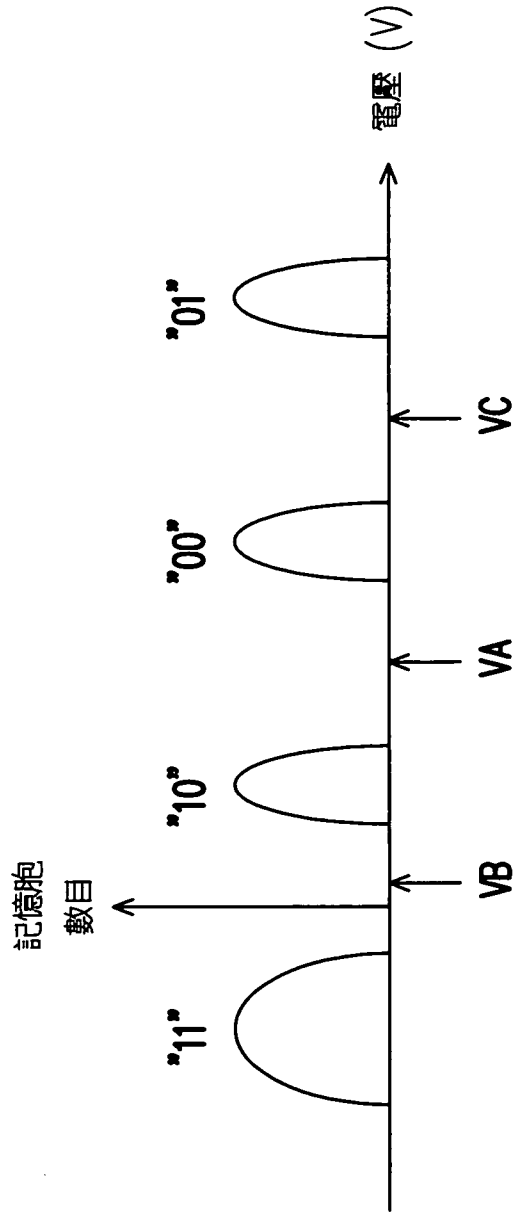


圖 10

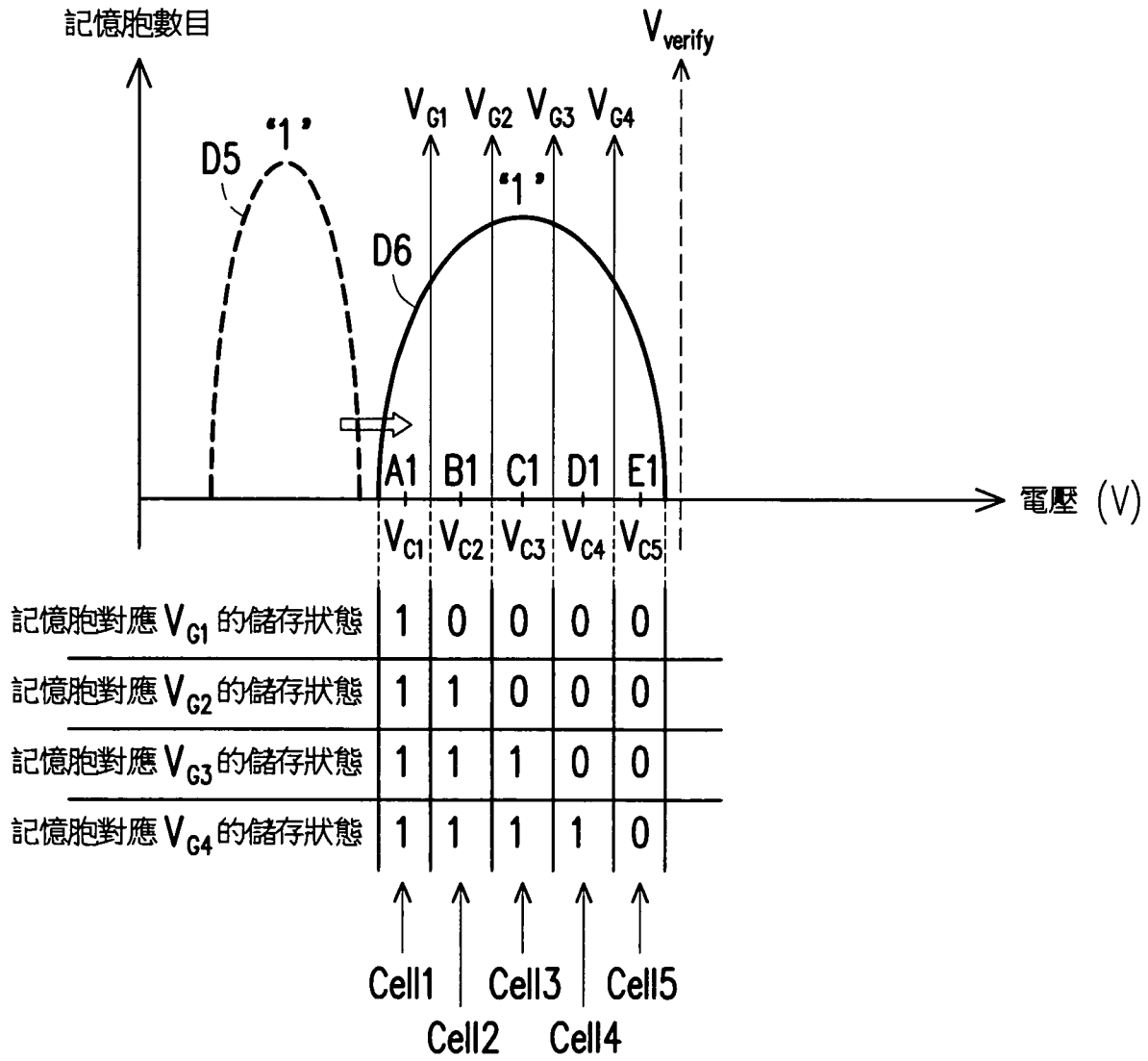



圖 11

	Cell1	Cell2	Cell3	Cell4	Cell5
記憶胞對應 V_{G1} 的儲存狀態	'1'	'0'	'0'	'0'	'0'
記憶胞對應 V_{G2} 的儲存狀態	'1'	'1'	'0'	'0'	'0'
記憶胞對應 V_{G3} 的儲存狀態	'1'	'1'	'1'	'0'	'0'
記憶胞對應 V_{G4} 的儲存狀態	'1'	'1'	'1'	'1'	'0'



分組後的程式化群組 A1 B1 C1 D1 E1

圖 12

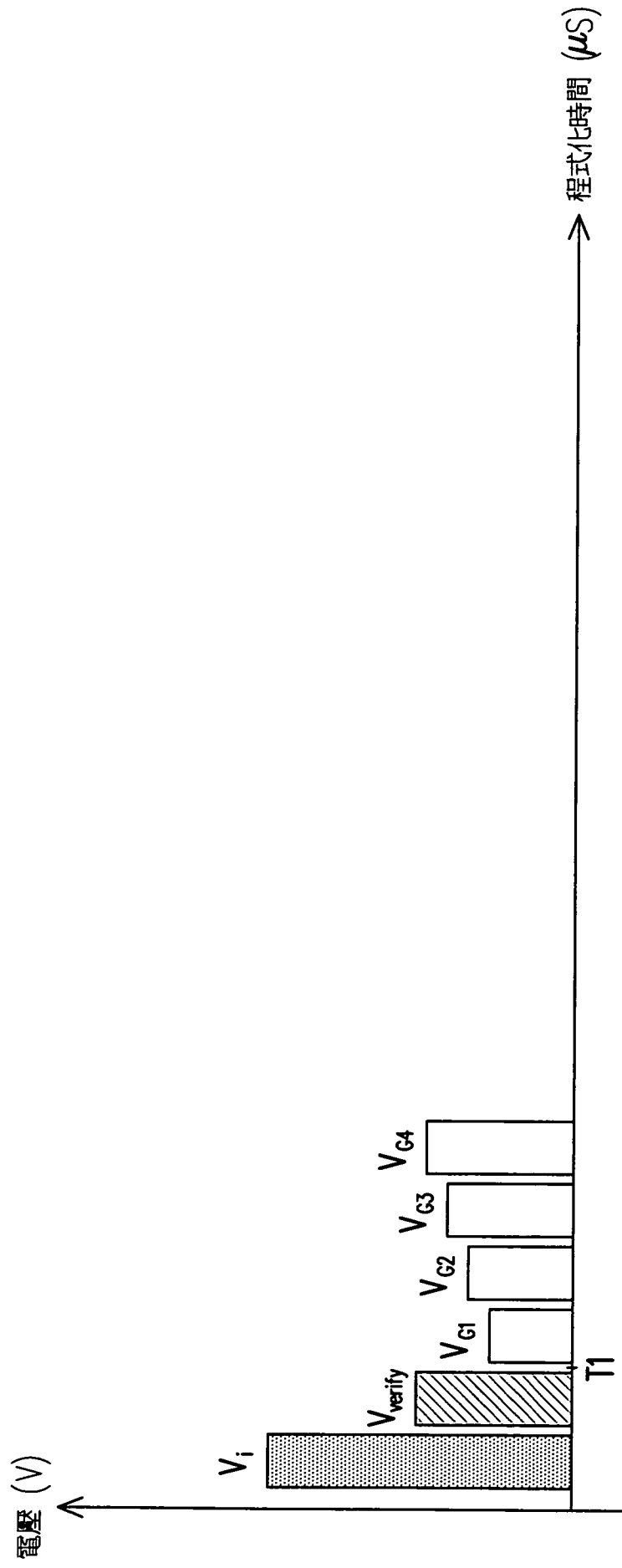


圖 13

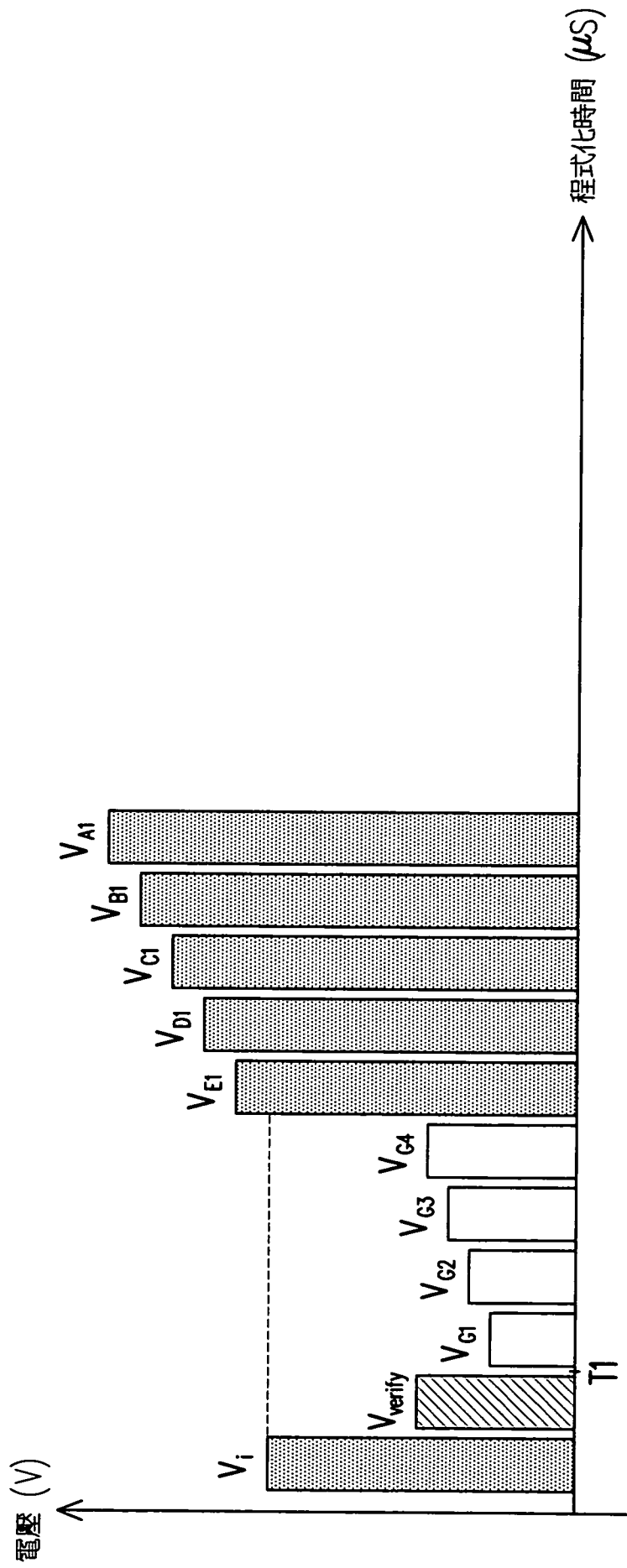


圖14

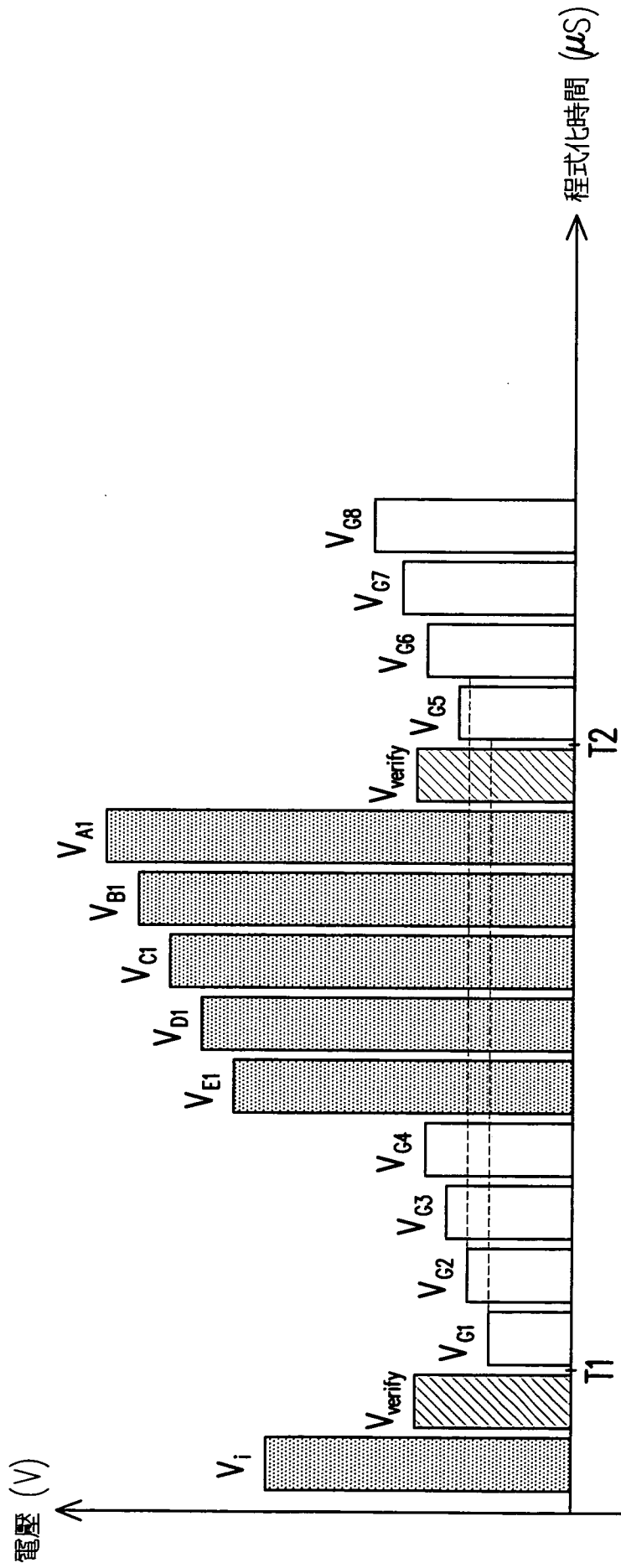


圖15

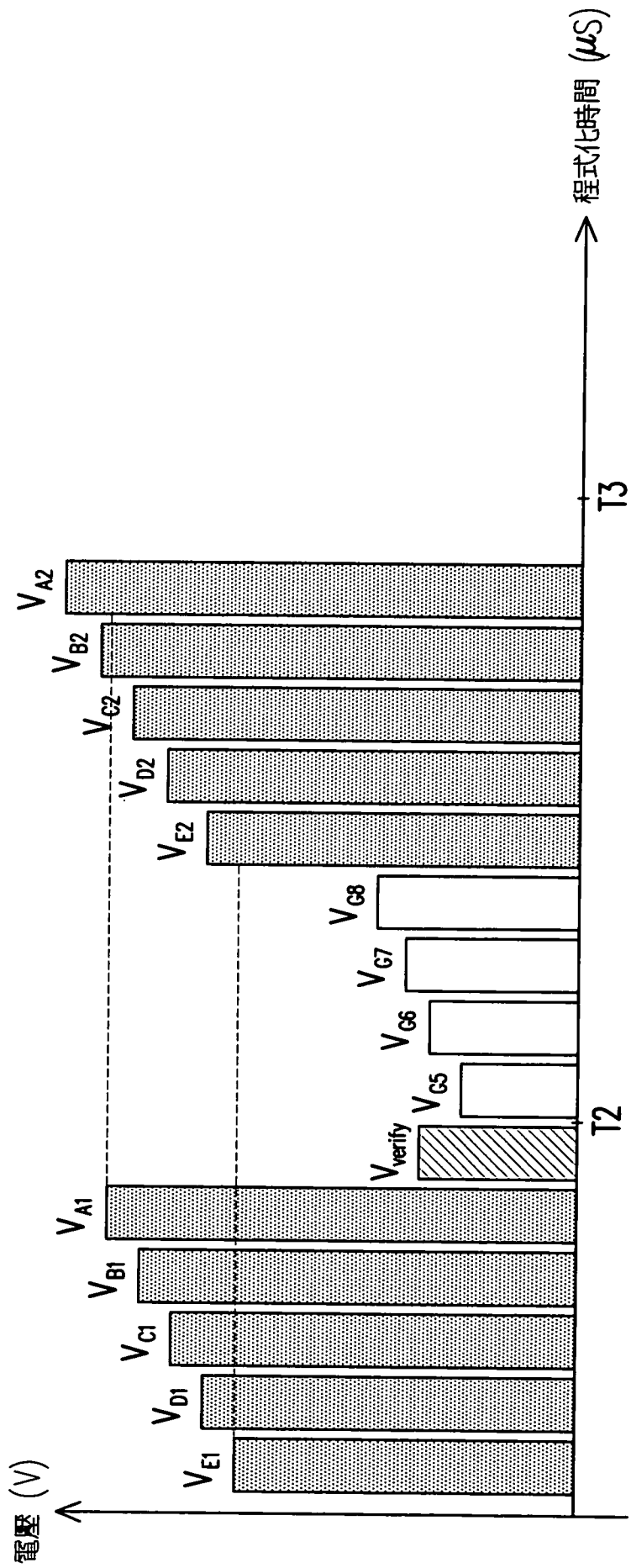


圖16

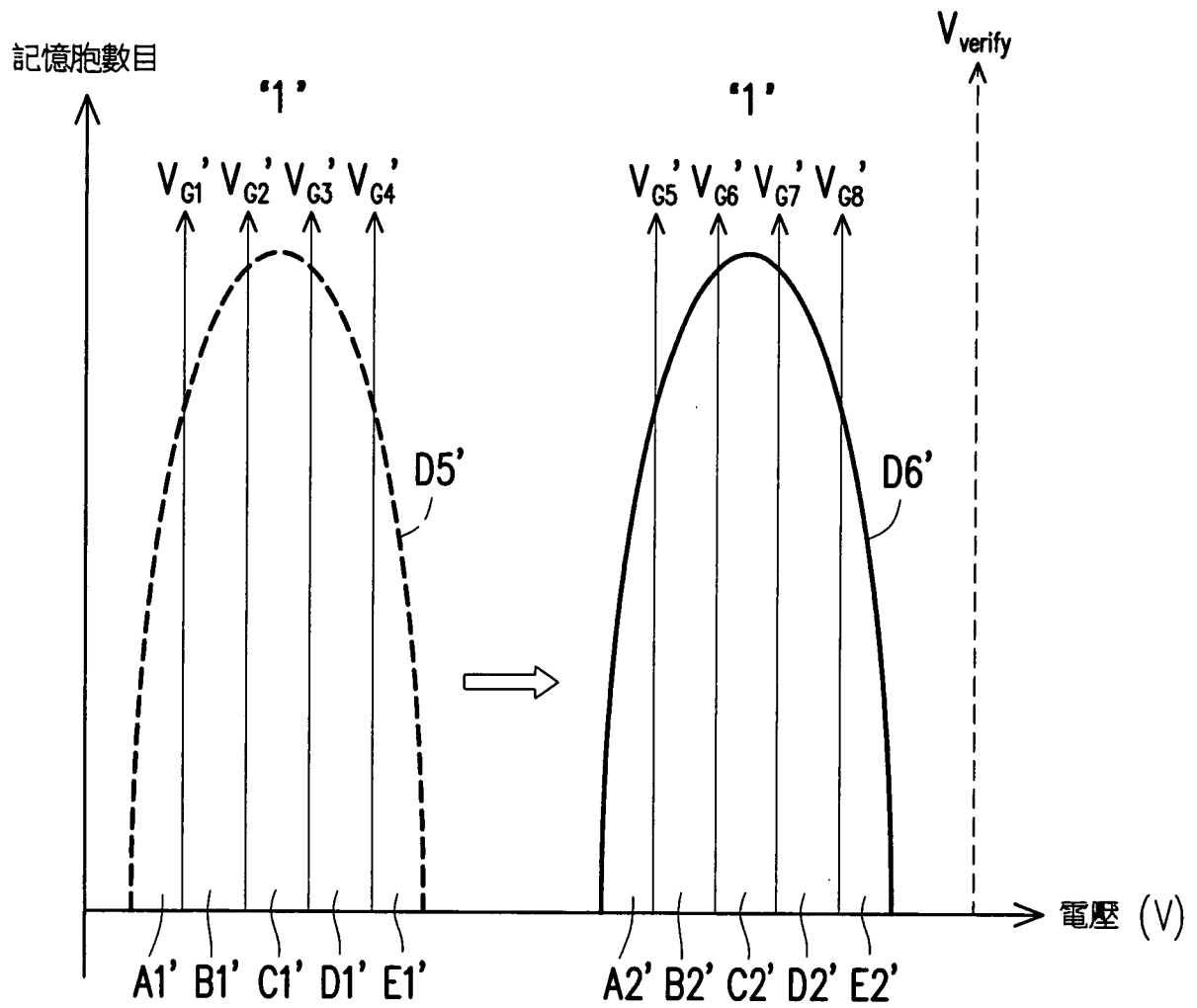


圖 17A

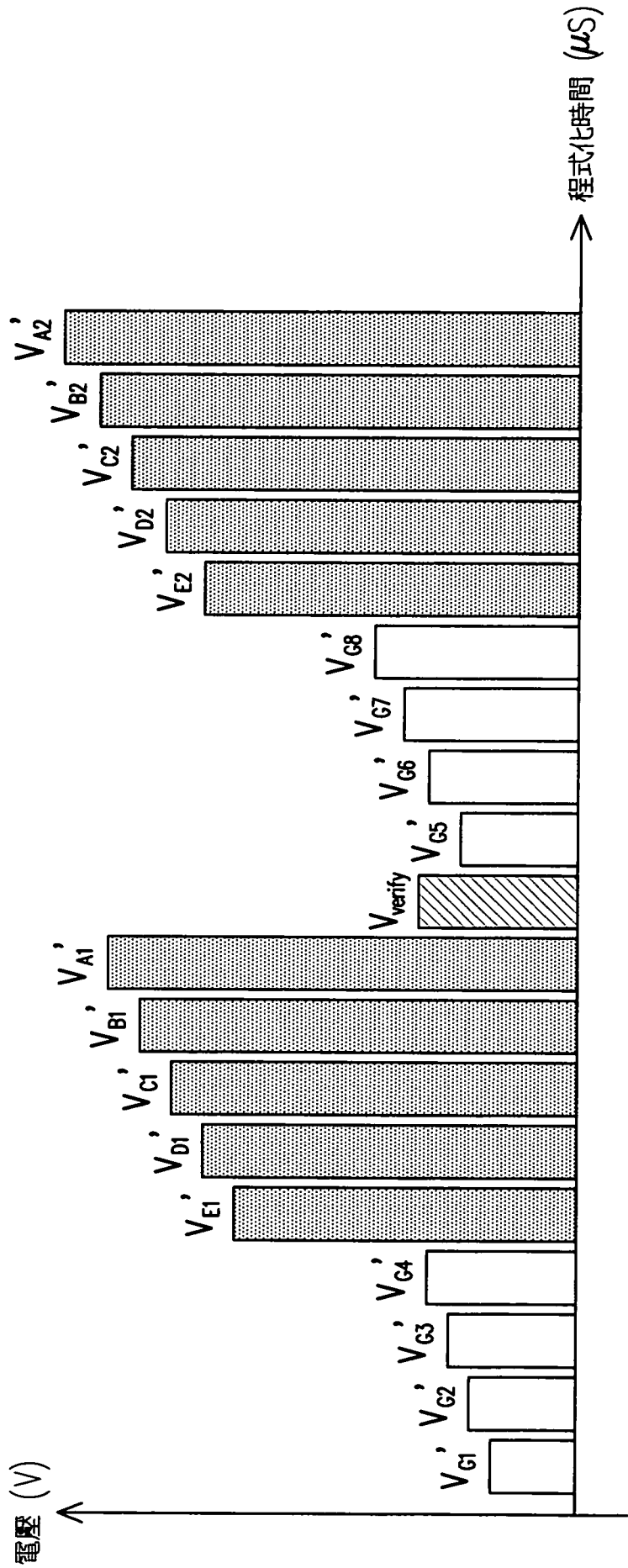


圖17B

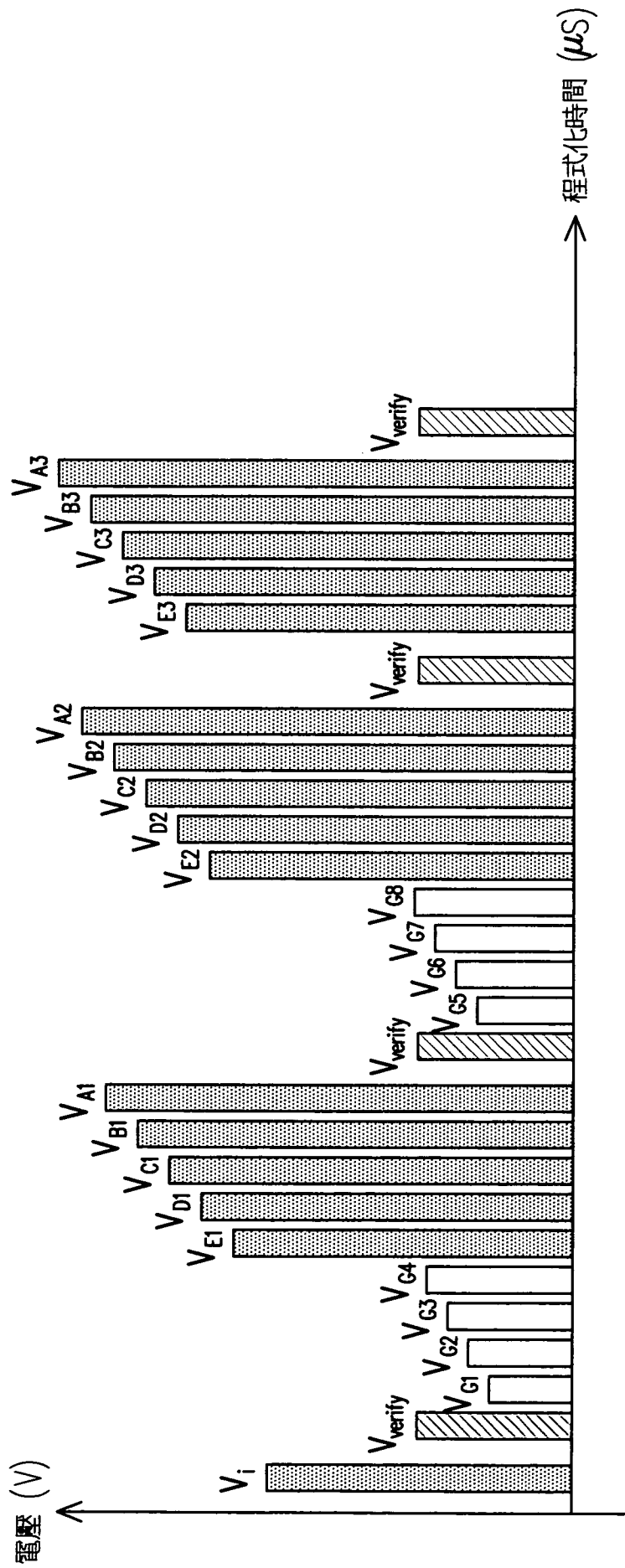


圖18



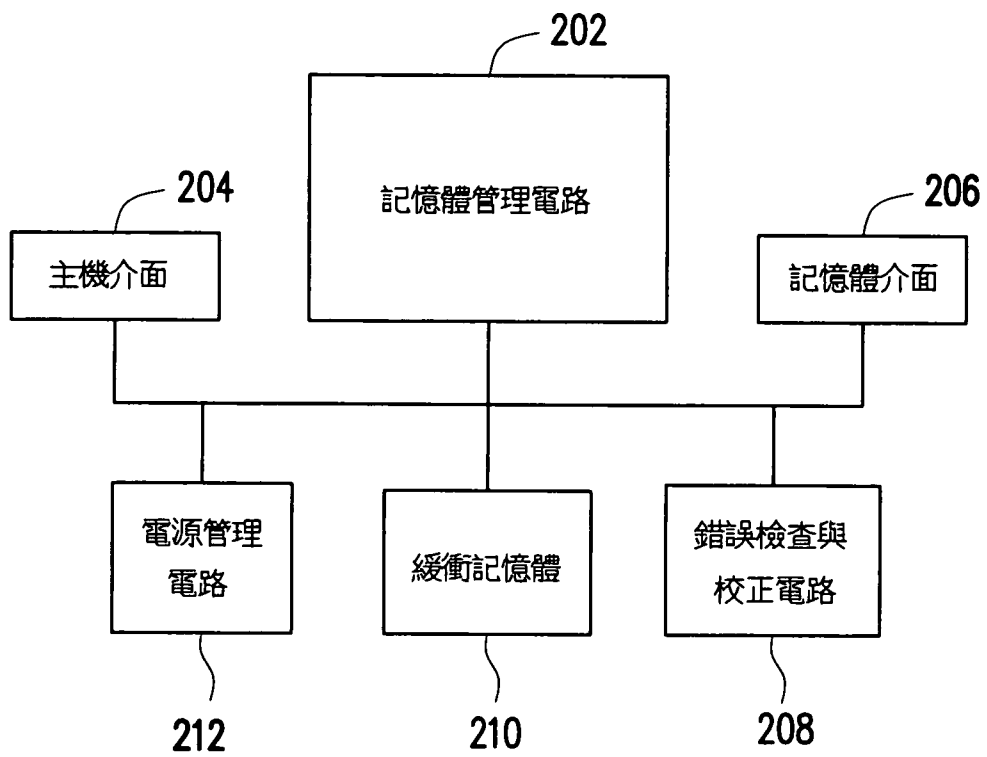


圖 19

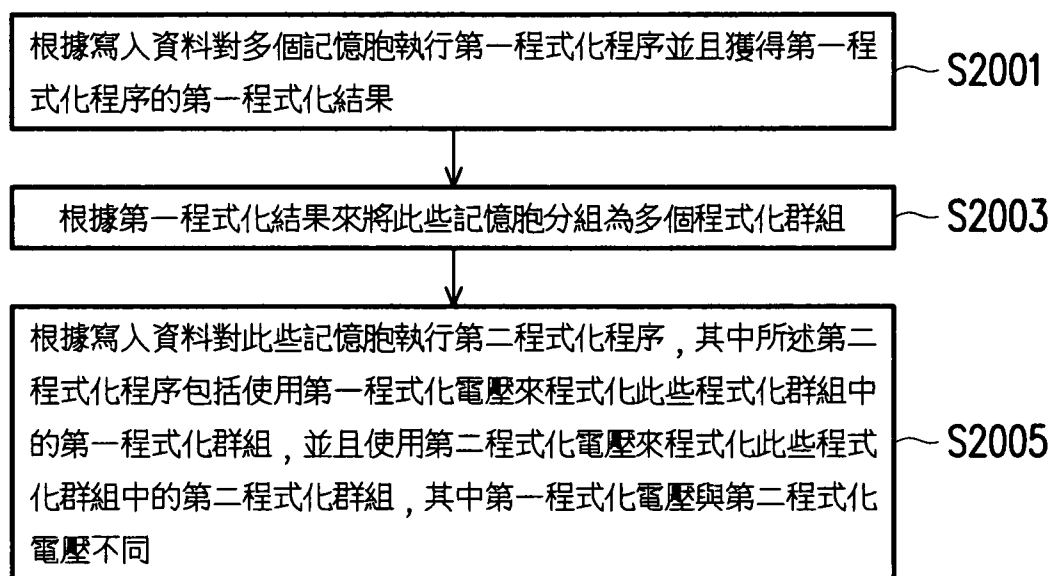


圖 20

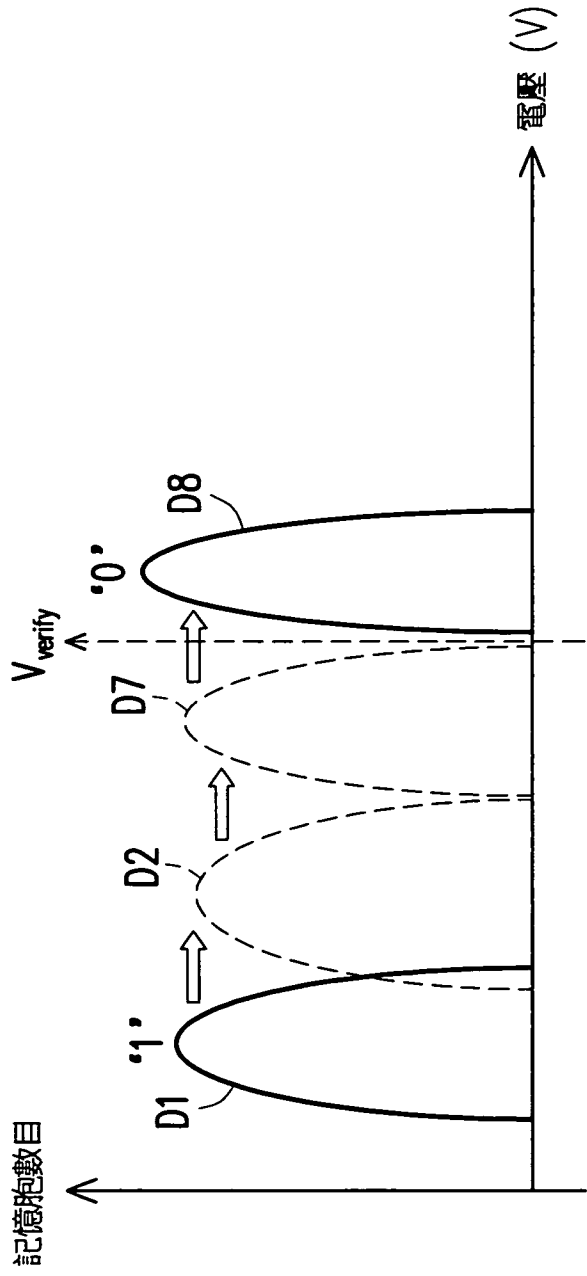


圖 21