

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5230899号
(P5230899)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年3月29日 (2013. 3. 29)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 9 A
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 7 S
	HO 1 L 29/78 6 1 6 A

請求項の数 13 (全 22 頁)

(21) 出願番号	特願2005-202693 (P2005-202693)	(73) 特許権者	000004237
(22) 出願日	平成17年7月12日 (2005. 7. 12)		日本電気株式会社
(65) 公開番号	特開2007-27170 (P2007-27170A)		東京都港区芝五丁目7番1号
(43) 公開日	平成19年2月1日 (2007. 2. 1)	(73) 特許権者	303018827
審査請求日	平成20年6月11日 (2008. 6. 11)		N L Tテクノロジー株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100095407
			弁理士 木村 満
		(72) 発明者	森 茂
			東京都港区芝五丁目7番1号 日本電気株式会社社内
		(72) 発明者	是成 貴弘
			東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に局所的に半導体層を形成する工程と、この半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上における前記半導体層の直上域の一部にゲート電極を形成する工程と、前記ゲート絶縁膜及び前記ゲート電極上に電極保護絶縁膜を形成する工程と、前記半導体層に対して終端処理を行う工程と、を有し、

前記ゲート電極を形成する工程の後に、前記半導体層に不純物を注入する不純物注入工程と、

前記不純物注入工程の後に、前記ゲート絶縁膜をこのゲート絶縁膜の表面をエッチング可能な洗浄液で洗浄して除去するゲート絶縁膜洗浄工程と、を更に有し、

前記ゲート絶縁膜は、前記半導体層の側面上にも形成され、更に前記基板上を前記半導体層の側面から前記半導体層の周辺に延伸するように形成され、

前記ゲート絶縁膜における前記ゲート電極の直下域を除く部分の膜厚は、前記ゲート電極の直下域に位置する部分の膜厚よりも薄く形成され、

前記ゲート絶縁膜をこのゲート絶縁膜をエッチング可能な洗浄液で洗浄する工程の前に、前記ゲート絶縁膜を機能水により洗浄する工程と、

前記ゲート絶縁膜を機能水により洗浄する工程の前に、前記ゲート絶縁膜に対して紫外線を照射する工程と、を更に有する、ことを特徴とする半導体装置の製造方法。

【請求項2】

前記ゲート絶縁膜洗浄工程において、前記ゲート絶縁膜における前記ゲート電極の直下

域に位置する部分の膜厚を A とし、この直下域に位置する部分の膜厚と前記直下域を除く部分の膜厚との差を B とするとき、比 (B/A) の値が 0.01 乃至 0.65 となるまで洗浄を行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記ゲート絶縁膜洗浄工程において、前記ゲート絶縁膜の上面における金属の濃度が 1×10^{11} 原子 / cm^2 以下となるまで洗浄を行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記金属が、Al、Cr、Mo、W、Nb、Ta 及び Nd からなる群から選択された 1 種又は 2 種以上の金属であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

10

【請求項 5】

前記半導体層に、ソース領域、ドレイン領域及び LDD 領域を形成する工程を更に有し、

前記ゲート絶縁膜洗浄工程では、

前記ゲート絶縁膜の前記 LDD 領域の直上域におけるキャリアの捕獲面密度を D_{tr} とし、前記 LDD 領域におけるキャリアの体積濃度を C_{LDD} とするとき、比 (D_{tr}/C_{LDD}) の値が 0.4 以下とすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

前記半導体層上の領域で、前記電極保護絶縁膜で覆われる前記ゲート絶縁膜の段差において、膜厚の厚い部分の膜厚を A、膜厚の厚い部分の膜厚と膜厚の薄い部分の膜厚の差を B としたとき、比 (B/A) の値が 0.01 乃至 0.24 であることを特徴とする、請求項 1 に記載の半導体装置の製造方法。

20

【請求項 7】

前記ゲート絶縁膜洗浄工程は、前記基板を回転させながら、前記ゲート絶縁膜上に前記ゲート絶縁膜をエッチング可能な洗浄液を滴下する工程を有することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記ゲート絶縁膜をエッチング可能な洗浄液として、フッ化水素を含有した水溶液を使用することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

30

【請求項 9】

前記機能水として、水素水、オゾン水又は炭酸水を使用することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

基板上に局所的に半導体層を形成する工程と、この半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上における前記半導体層の直上域の一部にゲート電極を形成する工程と、前記ゲート絶縁膜及び前記ゲート電極上に電極保護絶縁膜を形成する工程と、前記半導体層に対して終端処理を行う工程と、を有し、

前記ゲート電極を形成する工程の後に、前記半導体層に不純物を注入する不純物注入工程と、

40

前記不純物注入工程の後に、前記ゲート絶縁膜をこのゲート絶縁膜の表面をエッチング可能な洗浄液で洗浄して除去するゲート絶縁膜洗浄工程と、を更に有し、

前記ゲート絶縁膜は、前記半導体層の側面上にも形成され、更に前記基板上を前記半導体層の側面から前記半導体層の周辺に延伸するように形成され、

前記ゲート絶縁膜における前記ゲート電極の直下域を除く部分の膜厚は、前記ゲート電極の直下域に位置する部分の膜厚よりも薄く形成され、

前記終端処理を行う工程は、前記電極保護絶縁膜を形成した後に行われ、

前記終端処理を行う工程の後、前記電極保護絶縁膜をこの電極保護絶縁膜をエッチング可能な洗浄液で洗浄してこの電極保護絶縁膜の表層部をエッチング除去する工程を有し、

前記電極保護絶縁膜をこの電極保護絶縁膜をエッチング可能な洗浄液で洗浄する工程の

50

前に、前記電極保護絶縁膜を機能水により洗浄する工程と、
前記電極保護絶縁膜を機能水により洗浄する工程の前に、前記電極保護絶縁膜に対して紫外線を照射する工程と、を更に有することを特徴とする半導体装置の製造方法。

【請求項 1 1】

前記電極保護絶縁膜の表層部をエッチング除去する工程は、前記基板を回転させながら、前記電極保護絶縁膜上に前記電極保護絶縁膜をエッチング可能な洗浄液を滴下する工程を有することを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記電極保護絶縁膜をエッチング可能な洗浄液として、フッ化水素を含有した水溶液を使用することを特徴とする請求項 1 0 又は 1 1 に記載の半導体装置の製造方法。

10

【請求項 1 3】

前記機能水として、水素水、オゾン水又は炭酸水を使用することを特徴とする請求項 1 0 乃至 1 2 のいずれか 1 項 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、薄膜トランジスタを備えた半導体装置の製造方法に関する。

【背景技術】

【0 0 0 2】

例えば、アクティブマトリクス型液晶フラットパネルディスプレイの駆動用デバイスとして、ガラス基板等の絶縁性基板上に薄膜トランジスタ (Thin Film Transistor : 以下、T F T ともいう) が形成された半導体装置が広く知られている。近時、このような半導体装置の多機能化及び微細化により、高い耐久性及び信頼性を有する T F T が必要とされている。

20

【0 0 0 3】

このように、T F T において高い耐久性及び信頼性を実現するために、低濃度ドレイン領域 (Lightly Doped Drain : 以下、L D D 領域ともいう) を設けた T F T が開発されている。しかしながら、このような L D D 構造を備えた T F T を製造する際には、半導体層上にゲート絶縁膜及びゲート電極を形成した後に、ゲート電極をマスクとしてゲート絶縁膜越しに半導体層に不純物イオンを注入するため、ゲート絶縁膜が不純物イオンの通過によって劣化してしまい、L D D 領域を設けても十分な信頼性を確保できない場合がある。これは、イオンが通過したゲート絶縁膜内にキャリアを捕獲する要素 (キャリアトラップ) が形成されることによると考えられている。

30

【0 0 0 4】

通常、T F T においては、ゲート絶縁膜をパターニングせずに基板全面に残している。これは、アイランド状にパターニングされた半導体層とその上に形成される層との間の絶縁性を保つためである。このため、L D D 領域を形成する際に注入されるイオンは、ゲート絶縁膜におけるゲート電極の直下域からはみ出した部分に注入される。従って、この部分のゲート絶縁膜がダメージを受け、特性が劣化する。また、必要に応じて半導体層に対して水素プラズマ処理が施されるが、水素プラズマ処理によってもゲート絶縁膜はダメージを受け、特性が劣化する。更に、ゲート絶縁膜中に金属が混入することにより、ゲート絶縁膜の特性が劣化する。

40

【0 0 0 5】

更にまた、通常、ガラス基板上に T F T を形成する場合には、プラズマ C V D 法 (Chemical Vapor Deposition 法 : 化学気相成長法) 又はスパッタリング法によりゲート絶縁膜を形成するが、これらの方法では、ゲート絶縁膜中に固定電荷が取り込まれやすい。そして、このゲート絶縁膜中の固定電荷は L D D の不純物濃度に影響し、T F T の特性を変動させる。

【0 0 0 6】

特許文献 1 には、ゲート電極形成後に、ゲート絶縁膜におけるゲート電極の直下域から

50

はみ出た部分を、その膜厚方向に途中まで除去する技術が開示されている。特許文献 1 には、これにより、ゲート絶縁膜におけるイオン注入によりダメージを受けた部分を取り除くことができると記載されている。

【0007】

また、特許文献 2 には、絶縁性基板上に下地絶縁膜及びゲート絶縁膜等の絶縁膜を形成した後、この絶縁膜を電解液に浸漬する技術が開示されている。特許文献 2 には、これにより、絶縁膜中の固定電荷を除去することができ、TFT の電気特性を改善できると記載されている。

【0008】

【特許文献 1】特許第 3177360 号公報

10

【特許文献 2】特開平 10 - 27911 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上述の従来技術には、以下に示すような問題点がある。特許文献 1 に記載されているように、ゲート絶縁膜におけるゲート電極の直下域からはみ出た部分をその膜厚方向に途中まで除去しただけでは、TFT の特性を安定化する効果は不十分である。また、特許文献 2 に記載されているように、下地絶縁膜及びゲート絶縁膜等の絶縁膜を電解液に浸漬しても、TFT の特性を安定化する効果は不十分である。

【0010】

20

本発明はかかる問題点に鑑みてなされたものであって、TFT の特性が十分に安定した半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明に係る半導体装置の製造方法は、基板上に局所的に半導体層を形成する工程と、この半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上における前記半導体層の直上域の一部にゲート電極を形成する工程と、前記ゲート絶縁膜及び前記ゲート電極上に電極保護絶縁膜を形成する工程と、前記半導体層に対して終端処理を行う工程と、前記電極保護絶縁膜をこの電極保護絶縁膜をエッチング可能な洗浄液で洗浄してこの電極保護絶縁膜の表層部をエッチング除去する工程と、を有することを特徴とする。

30

【0017】

本発明においては、電極保護絶縁膜を形成した後、電極保護絶縁膜の表層部をエッチング除去することにより、終端処理を行う工程において電極保護絶縁膜内に導入されたキャリアトラップを除去することができる。これにより、前記半導体層、ゲート絶縁膜、ゲート電極からなる TFT の特性を安定化することができる。

【0018】

また、前記ゲート電極を形成する工程の後に、前記半導体層に不純物を注入する工程と、前記ゲート絶縁膜をこのゲート絶縁膜をエッチング可能な洗浄液で洗浄する工程と、を有することが好ましい。これにより、ゲート絶縁膜をエッチング可能な洗浄液で洗浄してゲート絶縁膜の上面をエッチングすることにより、不純物の注入によってゲート絶縁膜中に導入されたキャリアトラップを除去することができる。この結果、TFT の特性をより一層安定化することができる。

40

【0019】

このとき、前記洗浄する工程において、前記ゲート絶縁膜における前記ゲート電極の直下域に位置する部分の膜厚を A とし、この直下域に位置する部分の膜厚と前記直下域を除く部分の膜厚との差を B とするとき、比 (B/A) の値が 0.01 乃至 0.65 となるまで洗浄を行うことが好ましい。これにより、ゲート電極の直下域にボイドを発生させることなく、ゲート絶縁膜からキャリアトラップを除去することができる。

【0020】

又は、前記洗浄する工程において、前記ゲート絶縁膜の上面における金属の濃度が $1 \times$

50

10^{11} 原子/cm² 以下となるまで洗浄を行うことが好ましい。これにより、ゲート絶縁膜上に堆積した金属に起因するキャリアトラップを除去することができる。

【0021】

又は、前記半導体層に不純物を注入する工程は、前記半導体層に、ソース領域、ドレイン領域及びLDD領域を形成する工程であり、前記洗浄する工程において、前記ゲート絶縁膜の前記LDD領域の直上域におけるキャリアの捕獲面密度を D_{tr} とし、前記LDD領域におけるキャリアの体積濃度を C_{LDD} とすると、比 (D_{tr}/C_{LDD}) の値が0.4以下となるまで洗浄を行うことが好ましい。これにより、キャリア濃度に対するキャリア捕獲面密度を抑え、トラップされたキャリアがLDD領域の電界緩和効果に及ぼす影響を抑制することができる。

10

【0022】

本発明に係る他の半導体装置の製造方法は、基板上に局部的に半導体層を形成する工程と、この半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上における前記半導体層の直上域の一部にゲート電極を形成する工程と、前記半導体層に不純物を注入する工程と、前記ゲート絶縁膜をこのゲート絶縁膜をエッチング可能な洗浄液で洗浄する工程と、前記ゲート絶縁膜及び前記ゲート電極上に電極保護絶縁膜を形成する工程と、を有し、前記洗浄する工程において、前記ゲート絶縁膜の上面における金属の濃度が 1×10^{11} 原子/cm² 以下となるまで洗浄を行うことを特徴とする。

【0023】

本発明に係る更に他の半導体装置の製造方法は、基板上に局部的に半導体層を形成する工程と、この半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上における前記半導体層の直上域の一部にゲート電極を形成する工程と、前記半導体層に不純物を注入して前記半導体層にソース領域、ドレイン領域及びLDD領域を形成する工程と、前記ゲート絶縁膜をこのゲート絶縁膜をエッチング可能な洗浄液で洗浄する工程と、を有し、前記洗浄する工程において、前記ゲート絶縁膜の前記LDD領域の直上域におけるキャリアの捕獲面密度を D_{tr} とし、前記LDD領域におけるキャリアの体積濃度を C_{LDD} とすると、比 (D_{tr}/C_{LDD}) の値が0.4以下となるまで洗浄を行うことを特徴とする。

20

【発明の効果】

【0024】

本発明によれば、キャリアトラップが少ないTFETを得ることができ、TFETの特性が十分に安定した信頼性が高い半導体装置を得ることができる。

30

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。まず、本発明の第1の実施形態について説明する。図1は、本実施形態に係る半導体装置を示す断面図である。図1に示すように、本実施形態に係る半導体装置においては、ガラス等からなる絶縁性基板1が設けられており、この絶縁性基板1上の全面には、シリコン酸化膜、シリコン窒化膜又はそれらの積層膜からなり、膜厚が例えば100乃至1000nmである下地層2が形成されている。また、下地層2上には、複数のTFET21が設けられている。下地層2は、絶縁性基板1に含まれるアルカリ金属等が、TFET21中に拡散することを防止するものである。

40

【0026】

以下、TFET21の構成について説明する。下地層2上には、島状にパターンニングされた半導体層3が局部的に設けられている。半導体層3は、例えばアモルファスシリコンからなり、膜厚は例えば30乃至100nmである。半導体層3には、TFET21のしきい値制御を目的として、微量のボロン又はリン等の不純物が混入されている。なお、半導体層3は、アモルファスシリコンよりも特性が優れる結晶化シリコンにより形成されていてもよい。半導体層3の両端部は、不純物が高濃度に注入されており、夫々ソース領域6及びドレイン領域7となっている。また、半導体層3におけるソース領域6に接する領域の

50

上部及びドレイン領域 7 に接する領域の上部は、不純物がソース領域 6 及びドレイン領域 7 よりも低濃度に注入された L D D 領域 8 となっている。そして、L D D 領域 8 間の領域がチャンネル領域となっている。即ち、半導体層 3 において、ソース領域 6、L D D 領域 8、チャンネル領域、L D D 領域 8 及びドレイン領域 7 が、この順に一例に配列されている。

【 0 0 2 7 】

また、下地層 2 上の全面には、半導体層 3 を覆うように、ゲート絶縁膜 4 が形成されている。ゲート絶縁膜 4 は、シリコン酸化膜、シリコン窒化膜、又はこれらの積層膜からなり、その膜厚は例えば 5 0 乃至 3 0 0 n m である。ゲート絶縁膜 4 の上面における半導体層 3 のチャンネル領域の直上域には、その周囲よりも上方に突出した凸部 4 a が形成されている。凸部 4 a の膜厚と比較して、ゲート絶縁膜 4 の凸部 4 a 以外の部分の膜厚は、エッチングにより減厚されて薄くなっている。凸部 4 a の膜厚を A とし、凸部 4 a の膜厚と凸部 4 a 以外の部分の膜厚との差を B とするとき、比 (B / A) の値は 0 . 0 1 乃至 0 . 6 5 である。この比 (B / A) の値を百分率で表示した値が、ゲート絶縁膜 4 をエッチングする際の減厚率である。即ち、本実施形態においては、減厚率は 1 乃至 6 5 % である。この減厚率は、ゲート電極の直下域に位置するゲート絶縁膜の厚さ (A) に対するゲート絶縁膜のゲート電極からはみ出した部分の掘り込まれた深さ (B) の比に等しい。

10

【 0 0 2 8 】

更に、ゲート絶縁膜 4 の凸部 4 a の直上域には、ゲート電極 5 が形成されている。ゲート電極 5 は、不純物が混入されたシリコン又は金属からなり、その膜厚は例えば 5 0 乃至 1 0 0 0 n m である。ゲート絶縁膜 4 上の全面には、ゲート電極 5 を覆うように、電極保護絶縁膜 9 が設けられている。電極保護絶縁膜 9 は、シリコン酸化膜、シリコン窒化膜又はそれらの積層膜からなり、その膜厚は例えば 1 0 乃至 5 0 0 n m である。電極保護絶縁膜 9 は、その形成後に表層部の全面がエッチング除去されている。

20

【 0 0 2 9 】

ゲート絶縁膜 4 及び電極保護絶縁膜 9 におけるソース領域 6、ドレイン領域 7 及びゲート電極 5 の直上域には、夫々ソース領域 6、ドレイン領域 7 及びゲート電極 5 まで到達するコンタクトホール 1 0 が形成されている。また、コンタクトホール 1 0 の内部及び電極保護絶縁膜 9 上におけるコンタクトホール 1 0 の直上域を含む領域には、電極膜 1 1 が形成されており、夫々、ソース領域 6、ドレイン領域 7 又はゲート電極 5 に接続されている。なお、図 1 においては、便宜上、ゲート電極 5 に接続された電極膜 1 1 は図示を省略されている。半導体層 3、ゲート絶縁膜 4、ゲート電極 5、電極保護絶縁膜 9、コンタクトホール 1 0 及び電極膜 1 1 により、T F T 2 1 が構成されている。

30

【 0 0 3 0 】

なお、電極保護絶縁膜 9 は、ゲート電極 5 と電極膜 1 1 との間の絶縁性を確保すると共に、この半導体装置の製造工程において、ソース領域 6、ドレイン領域 7 及び L D D 領域 8 に混入された不純物を活性化させるための熱処理を施す際に、ゲート電極 5 がゲート絶縁膜 4 から剥離することを防止するものである。また、T F T 2 1 の用途によっては、電極保護絶縁膜 9 及び電極膜 1 1 の上方に、他の電極膜、パッシベーション膜、層間絶縁膜、平坦化膜及び容量絶縁膜等 (いずれも図示せず) が適宜形成されている。

【 0 0 3 1 】

40

次に、本実施形態の動作について説明する。本実施形態に係る半導体装置は、その製造過程において、ゲート電極 5 を形成するときにゲート絶縁膜 4 内に金属等が混入し、半導体層 3 に不純物を注入するときにゲート絶縁膜 4 内にダメージが発生することにより、ゲート絶縁膜 4 内にキャリアトラップが導入される。このキャリアトラップは、ゲート絶縁膜 4 の表層に集中する。しかし、本実施形態においては、ゲート絶縁膜 4 の表層がエッチングにより除去されているため、このキャリアトラップが取り除かれている。また、このとき、ゲート絶縁膜 4 の減厚率が 1 乃至 6 5 % であるため、ゲート電極 5 の直下域にボイドが発生することがなく、ゲート絶縁膜 4 の絶縁耐圧を確保できる。

【 0 0 3 2 】

また、半導体装置の製造過程において、半導体層 3 内に注入された不純物を活性化する

50

ための熱処理及び半導体層3を終端処理するための水素プラズマ処理を行う際に、電極保護絶縁膜9内にキャリアトラップが導入される。このキャリアトラップは、電極保護絶縁膜9の表層に集中する。しかし、本実施形態においては、電極保護絶縁膜9がエッチングされておりその表層が除去されているため、このキャリアトラップが取り除かれている。このように、本実施形態に係る半導体装置においては、ゲート絶縁膜4内及び電極保護絶縁膜9内からキャリアトラップが除去されているため、TF T 2 1にバイアスストレスが印加されても、キャリアトラップにキャリアが捕獲されることが少なく、しきい値電圧が変動することを抑制できる。

【0033】

このように、本実施形態によれば、TF Tを作製する過程で半導体装置内に不可避免的に導入されるキャリアトラップを効果的に除去することにより、バイアスストレスが印加されたときにTF Tのしきい値電圧が変動することを抑制し、TF Tの特性を安定化させることができる。これにより、信頼性が高いTF Tを備えた半導体装置を得ることができる。

【0034】

次に、本発明の第2の実施形態について説明する。本実施形態に係る半導体装置は、前述の第1の実施形態に係る半導体装置と比較して、ゲート絶縁膜4と電極保護絶縁膜9との界面の金属濃度が 1.0×10^{11} 原子/cm²以下となっている点が異なっている。なお、本実施形態においても、前述の第1の実施形態と同様に、ゲート絶縁膜4における凸部4a以外の部分の上面がゲート絶縁膜4をエッチング可能な洗浄液によりエッチングされているが、その減厚率は必ずしも1乃至65%には限定されず、電極保護絶縁膜9との界面の金属濃度が上述の範囲内になるようにエッチングされていればよい。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

【0035】

次に、本実施形態の動作について説明する。本実施形態に係る半導体装置は、その製造過程において、スパッタリング法又はCVD法により導電膜を成膜し、この導電膜をエッチングすることによってゲート電極5を形成している。このとき、スパッタリング、CVD又はエッチングを行うチャンバーの内壁を構成する金属が、ゲート絶縁膜4上に堆積し、この金属がTF T形成後にもゲート絶縁膜4と電極保護絶縁膜9との界面に残留し、キャリアトラップとして作用する。この金属は、例えば、Al、Cr、Mo、W、Nb、Ta及びNdからなる群から選択された1種又は2種以上の金属である。

【0036】

これに対して、本実施形態においては、ゲート電極5を形成した後に、ゲート絶縁膜4の上面を洗浄液によりエッチングし、ゲート絶縁膜4上に堆積された金属を除去している。この結果、ゲート絶縁膜4と電極保護絶縁膜9との界面の金属濃度は 1.0×10^{11} 原子/cm²以下となる。これにより、キャリアトラップが減少し、TF Tの特性が安定する。なお、上述の如く、ゲート電極5の形成後にゲート絶縁膜4をエッチングすることにより、ゲート絶縁膜4におけるゲート電極5の直下域はエッチングされずに残り、凸部4aが形成される。本実施形態における上記以外の動作及び効果は、前述の第1の実施形態と同様である。

【0037】

次に、本発明の第3の実施形態について説明する。本実施形態に係る半導体装置は、前述の第1の実施形態に係る半導体装置と比較して、ゲート絶縁膜4のLDD領域8の直上域に相当する部分におけるキャリアの捕獲面密度 D_{tr} と、LDD領域8における不純物の体積濃度 C_{LDD} との比(D_{tr}/C_{LDD})の値が、0.4以下である点が異なっている。なお、捕獲面密度とは、ゲート絶縁膜4のLDD領域8の直上域に相当する部分におけるキャリアトラップの捕獲断面積の総和を、前記部分と半導体層3との界面の面積で除した値である。また、本実施形態においても、前述の第1の実施形態と同様に、ゲート絶縁膜4における凸部4a以外の部分の上面がエッチングされているが、ゲート絶縁膜4の減厚率は必ずしも1乃至65%には限定されない。本実施形態における上記以外の構成

10

20

30

40

50

は、前述の第1の実施形態と同様である。

【0038】

本実施形態によれば、前記比 (D_{tr}/C_{LDD}) の値を0.4以下とすることにより、LDD領域8におけるキャリアが捕獲されにくくなり、TFTのしきい値電圧が変動しにくくなる。本実施形態における上記以外の動作及び効果は、前述の第1の実施形態と同様である。

【0039】

次に、本発明の第4の実施形態について説明する。本実施形態は、前述の第1の実施形態に係る半導体装置の製造方法の実施形態である。図2(a)乃至(d)、図3(a)乃至(c)、図4(a)及び(b)、図5(a)及び(b)は、本実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

10

【0040】

まず、図2(a)に示すように、ガラス等からなる絶縁性基板1上に、シリコン酸化膜、シリコン窒化膜又はこれらの積層膜を、CVD法(Chemical Vapor Deposition法:化学気相成長法)により、例えば100乃至1000nmの膜厚に成膜することにより、下地層2を形成する。この下地膜2は、絶縁性基板1内に含まれるアルカリ金属等が、後の工程で実施される熱処理により、下地層2上に形成されるTFT21(図1参照)中に拡散することを抑制するものである。

【0041】

次に、図2(b)に示すように、この下地層2上の全面に、CVD法によりアモルファスシリコン層3aを例えば30乃至100nmの膜厚に成膜する。このとき、生産時間を短縮するために、下地層2及びアモルファスシリコン層3aは、同一のプラズマCVD装置を使用して連続的に形成することが望ましい。即ち、下地層2の形成後に大気暴露することなく引き続きアモルファスシリコン層3aを形成することが好ましい。また、TFTのしきい値制御を目的として、微量のボロン又はリン等の不純物を、アモルファスシリコン層3aの成膜時又は成膜後に混入させる、なお、形成するTFTの用途により、アモルファスシリコン層3aの替わりに、特性がより優れる結晶化シリコン層を形成してもよい。結晶化シリコン層はCVD法により形成するか、又は、前駆体としてアモルファスシリコン層を形成した後に、エキシマレーザ等を照射してこのアモルファスシリコン層を結晶化させることにより形成する。

20

30

【0042】

図2(c)に示すように、アモルファスシリコン層3a(図2(b)参照)に対してリソグラフィ及びドライエッチングを施すことによって、アモルファスシリコン層3aを所望の形状にパターンニングし、半導体層3を形成する。その後、下地層2上の全面に、CVD法、PVD法(Physical Vapor Deposition法:物理蒸着法)、プラズマ酸化法、及び高圧下での水蒸気による酸化のいずれかの方法により、シリコン酸化膜、シリコン窒化膜又はこれらの積層膜を例えば50乃至300nmの膜厚に形成する。このプロセスは、絶縁性基板1が大きく変形する温度よりも低い温度、例えば600以下の温度で実施する。これにより、半導体層3を覆うように、ゲート絶縁膜4が形成される。

【0043】

40

次に、図2(d)に示すように、ゲート絶縁膜4上の全面に、スパッタリング法によって金属膜を成膜するか、CVD法等によって不純物を含むシリコン膜を形成するか、又はそれらの積層膜を形成することにより、膜厚が例えば50乃至1000nmの導電膜を成膜する。なお、上述のシリコン膜に含有させる不純物とは、例えばボロン又はリンであり、その種類は形成するTFTの用途によって異なる。次に、この導電膜上にレジストパターン(図示せず、以下、レジストパターンは図示しない)を形成し、このレジストパターンをマスクとして導電膜をエッチングしてパターンニングし、ゲート電極5を形成する。このとき、エッチングとして、ドライエッチング、ウェットエッチング又はその両手段を実施する。その後、このレジストパターンを除去する。なお、このゲート電極5の形成工程において、ゲート絶縁膜4内に金属類が導入され、キャリアを捕獲する要素、即ち、キャ

50

リアトラップが発生する。

【 0 0 4 4 】

次に、図 3 (a) に示すように、ゲート絶縁膜 4 上にレジストパターンを形成し、このレジストパターンをマスクとして半導体層 3 にリン又はボロン等の不純物を高濃度に注入し、半導体層 3 の両端部にソース領域 6 及びドレイン領域 7 を形成する。その後、レジストパターンを剥離する。その後、ゲート電極 5 をマスクとして、リン又はボロン等の不純物をソース領域 6 及びドレイン領域 7 を形成したときよりも低濃度で注入し、半導体層 3 におけるソース領域 6 に接する領域の上部及びドレイン領域 7 に接する領域の上部に L D D 領域 8 を形成する。このとき、半導体層 3 における L D D 領域 8 間の領域が、チャンネル領域となる。なお、L D D 領域 8 を形成せずに、半導体層 3 におけるソース領域 6 及びドレイン領域 7 とゲート電極 5 の直下域との間の領域をオフセット領域としてもよい。

10

【 0 0 4 5 】

この半導体層 3 に不純物を注入する工程において、シリコン酸化膜、シリコン窒化膜又はそれらの積層膜からなるゲート絶縁膜 4 を不純物イオンが通過すると、ゲート絶縁膜 4 内においてシリコンと酸素との結合又はシリコンと窒素との結合が切れ、キャリアトラップが発生する。また、金属類がゲート絶縁膜 4 内に混入することによっても、キャリアトラップが発生する。なお、L D D 領域 8 を形成することなく、即ち、低濃度な不純物を注入することなく、半導体層 3 にオフセット領域を形成する場合においても、ゲート電極を形成する際のドライエッチング及び/又はウェットエッチングによって、オフセット領域上のゲート絶縁膜がダメージを受けるので、やはりキャリアトラップが発生する。

20

【 0 0 4 6 】

次に、このゲート電極 5 まで形成した基板を、機能水を使用して洗浄する。機能水とは、水素水、オゾン水及び炭酸水等の総称であり、機能水を使用する洗浄工程とは、水素水を使用する洗浄工程、オゾン水を使用する洗浄工程、及び炭酸水を使用する洗浄工程の各工程を総称する表現であり、表面のレジスト及び金属等の残留物を除去するために実施する。特に、水素水を用いた洗浄工程に続いてオゾン水を用いた洗浄工程を行うとより効果的である。また、機能水を用いた洗浄の前に紫外線を照射すると、表面に付着した有機物を分解でき、機能水を用いた洗浄による洗浄効果を向上させることができる。更に、この洗浄は、機能水を溜めた槽に基板を浸漬させる方法で行ってもよいが、基板全面で均一な処理を行うために、基板を回転させた状態でゲート絶縁膜上に機能水を滴下するスピン洗浄方法を用いることが望ましい。

30

【 0 0 4 7 】

次に、図 3 (b) に示すように、機能水により洗浄した基板を、ゲート絶縁膜 4 をエッチング可能な洗浄液で洗浄し、ゲート絶縁膜 4 の表層をエッチングする。ゲート絶縁膜 4 をエッチング可能な洗浄液には、例えば、フッ化水素を含有した水溶液を使用し、例えば、希フッ酸、又はフッ化アンモニウムを含有したバッファードフッ酸 (B H F) を使用する。この洗浄により、ゲート絶縁膜 4 におけるゲート電極 5 の直下域を除く部分の表層を除去し、前述のキャリアトラップを除去することができる。この結果、ゲート絶縁膜 4 の上層におけるゲート電極 5 の直下域に相当する部分がエッチングされずに残留し、他の部分がエッチングされることにより、凸部 4 a が形成される。このとき、凸部 4 a の膜厚 A に対する凸部 4 a の膜厚とそれ以外の部分の膜厚との差 B の割合、即ち、エッチング前のゲート絶縁膜 4 の膜厚 A に対するエッチングによって除去された膜厚 B の割合 (B / A) を 0 . 0 1 乃至 0 . 6 5 とし、即ち、減厚率を 1 乃至 6 5 % とする。この洗浄は、洗浄液を溜めた槽に基板を浸漬させる方法で行ってもよいが、基板全面で均一な処理を行うために、基板を回転させた状態でゲート絶縁膜 4 上に洗浄液を滴下するスピン洗浄方法を用いることが望ましい。

40

【 0 0 4 8 】

次に、図 3 (c) に示すように、C V D 法等により、シリコン酸化膜、シリコン窒化膜又はこれらの積層膜を、例えば 1 0 乃至 5 0 0 n m の厚さに形成する。これにより、ゲート絶縁膜 4 上に、ゲート電極 5 を覆うように、電極保護絶縁膜 9 を形成する。

50

【 0 0 4 9 】

次に、図 4 (a) に示すように、電極保護絶縁膜 9 まで形成した基板を炉に装入し、例えば 3 0 0 乃至 7 0 0 の熱処理を施す。これにより、半導体層 3 中に混入された不純物を活性化する。このとき、電極保護絶縁膜 9 が、ゲート電極 5 がゲート絶縁膜 4 から剥離することを防止する。なお、この熱処理は、エキシマレーザを照射することによって行ってもよい。この場合も、炉を使用する場合と同様に、電極保護絶縁膜 9 によってゲート電極 5 の剥離を防止することができる。

【 0 0 5 0 】

次に、図 4 (b) に示すように、半導体層 3 中の終端されていないダングリングボンドを終端させるために、熱処理後の基板に対して水素プラズマ処理を行う。なお、このダングリングボンドを終端させないと、例えば移動度の低下といった T F T の電気特性の劣化を引き起こす。しかしながら、この処理によって、電極保護絶縁膜 9 はプラズマによるダメージを受け、キャリアを捕獲するキャリアトラップが生成される。

10

【 0 0 5 1 】

次に、図 5 (a) に示すように、機能水による洗浄を行い、電極保護絶縁膜 9 の表面に付着した残留物を除去する。この洗浄は、機能水を溜めた槽に基板を浸漬させることにより行ってもよいが、基板全面で均一な処理を行うために、基板を回転させた状態で電極保護絶縁膜 9 上に機能水を滴下するスピン洗浄法を用いることが望ましい。また、前述のゲート絶縁膜 4 に対する洗浄と同様に、水素水を用いた洗浄工程に続いてオゾン水を用いた洗浄工程を行うとより効果的である。更に、機能水を用いた洗浄の前に紫外線を照射すると、表面に付着した有機物を分解でき、機能水による洗浄の効果をより一層向上させることができる。

20

【 0 0 5 2 】

次に、この基板を、電極保護絶縁膜 9 をエッチング可能な洗浄液で洗浄をする。このような洗浄液として、例えば、バッファードフッ酸を使用する。この洗浄により、電極保護絶縁膜 9 の表層部の全面がエッチング除去される。これにより、電極保護絶縁膜 9 内に生成されたキャリアトラップを除去することができる。この洗浄は、洗浄液を溜めた槽に基板を浸漬させることにより行ってもよいが、基板全面で均一な処理を行うために、基板を回転させた状態で電極保護絶縁膜 9 上に洗浄液を滴下するスピン洗浄法を用いることが望ましい。

30

【 0 0 5 3 】

次に、図 5 (b) に示すように、電極保護絶縁膜 9 及びゲート電極膜 4 に対してリソグラフィ及びエッチングを行い、電極保護絶縁膜 9 及びゲート電極膜 4 におけるソース領域 6 の直上域及びドレイン領域 7 の直上域、並びに電極保護絶縁膜 9 におけるゲート電極 5 の直上域に、夫々コンタクトホール 1 0 を形成する。コンタクトホール 1 0 は、夫々、ソース領域 6、ドレイン領域 7 及びゲート電極 5 に到達するように形成する。なお、図 5 (b) においては、便宜上、ゲート電極 5 の直上域に位置するコンタクトホール 1 0 は図示を省略されている。エッチングは、ドライエッチング、ウェットエッチング又はその両手段により実施する。

【 0 0 5 4 】

次に、図 1 に示すように、スパッタリング法により、コンタクトホール 1 0 内及び電極保護絶縁膜 9 上に金属膜を成膜し、これをパターンングすることにより、ソース領域 6、ドレイン領域 7 及びゲート電極 5 に夫々接続された電極膜 1 1 を形成する。このとき、電極保護絶縁膜 9 により、ゲート電極 5 と電極膜 1 1 との間の絶縁性を確保することができる。これにより、半導体層 3、ゲート絶縁膜 4、ゲート電極 5、電極保護絶縁膜 9 及び電極膜 1 1 からなる T F T 2 1 を形成する。なお、金属膜のパターンングは、リソグラフィ及びエッチングにより行い、エッチングは、ドライエッチング、ウェットエッチング又はその両手段により行う。その後、T F T の用途に応じて、この電極膜 1 1 の上に、他の電極膜、パッシベーション膜、層間絶縁膜、平坦化膜、容量絶縁膜等を適宜形成する。これにより、前述の第 1 の実施形態に係る半導体装置を製造することができる。

40

50

【 0 0 5 5 】

次に、本発明の構成要件における数値限定理由、即ち、半導体層 3 に不純物イオンを注入した後にゲート絶縁膜 4 をエッチングする際の減厚率を 1 乃至 6 5 % とする理由について説明する。図 6 は、エッチング後のゲート絶縁膜の形状を示す断面図であり、図 7 は、横軸にゲート絶縁膜の減厚率をとり、縦軸に T F T のしきい値電圧の変化量をとって、減厚率が T F T の特性に及ぼす影響を示すグラフ図である。図 6 に示すように、ゲート絶縁膜 4 をエッチング可能な洗浄液で洗浄すると、ゲート絶縁膜 4 がウェットエッチングされる。このウェットエッチングは等方的なエッチングであるため、洗浄液がゲート電極 5 の直下域にも回りこみ、ゲート電極 5 の直下域の端部、即ち凸部 4 a の側方に、凹部 4 b が形成されてしまう。この凹部 4 b が小さければ、後の工程で電極保護絶縁膜 9 を形成した
10
ときに、凹部 4 b を埋め戻すことができる。しかし、凹部 4 b が大きいと、この凹部 4 b を電極保護絶縁膜 9 により埋め戻すことが困難になる。そして、凹部 4 b における電極保護絶縁膜 9 により埋め戻すことができなかった部分はボイドとなり、この部分の絶縁耐圧が低下し、電界が印加されたときに破壊されやすくなる。

【 0 0 5 6 】

図 7 は、チャンネル幅が 4 μm であり、チャンネル長が 4 mm であり、L D D 領域の幅が 1 . 2 μm である複数の P チャンネル型 T F T について、ゲート絶縁膜 4 に対する減厚率を相互に異ならせて、各 T F T に対して、ドレイン・ソース間電圧 (V_{ds}) を 0 V とし、ゲート・ソース間電圧 (V_{gs}) を + 1 1 V とするバイアスストレスを 1 0 0 時間印加したときのしきい値電圧の変化量 V_{th} を示している。図 7 に示すように、ゲート絶縁膜 4
20
に対する減厚率が 0 % の場合、即ち、ゲート絶縁膜 4 をエッチングしない場合は、バイアスストレスを印加することにより、T F T のしきい値電圧が大きく変動する。これに対して、減厚率を 1 % 以上とすると、バイアスストレスに起因するしきい値電圧の変動を抑制することができる。

【 0 0 5 7 】

しかしながら、減厚率が 6 5 % を超えると、バイアスストレスに起因するしきい値電圧の変化量が、減厚率が 6 5 % 未満の場合と比較して大幅に増加してしまう。これは、減厚率の増加に従って凹部 4 b が大きくなり、その結果、凹部 4 b を電極保護絶縁膜 9 により完全に埋め戻すことができなくなるとボイドが発生し、ゲート絶縁膜の絶縁耐圧が低下することに起因する。従って、ゲート絶縁膜の減厚率は、1 乃至 6 5 % とすることが好ましい
30
。特に、図 7 に示すように、減厚率を 1 乃至 2 4 % とすれば、バイアスストレスによるしきい値電圧の変化を抑制する効果がより顕著になる。このため、減厚率は 1 乃至 2 4 % とすることがより好ましい。

【 0 0 5 8 】

次に、本実施形態の動作について説明する。本実施形態においては、図 2 (d) に示すゲート電極 5 を形成する工程においてゲート絶縁膜 4 内に金属等が混入し、図 3 (a) に示す半導体層 3 に不純物を注入する工程においてゲート絶縁膜 4 内にダメージが発生することにより、ゲート絶縁膜 4 内にキャリアトラップが導入されるが、図 3 (b) に示すように、ゲート絶縁膜 4 をエッチングしてその表層を除去することにより、このキャリアトラップを取り除くことができる。これは、キャリアトラップは、ゲート絶縁膜の表層に集
40
中しているからである。また、このとき、ゲート絶縁膜 4 の減厚率を 1 乃至 6 5 % とすることにより、ゲート電極 5 の直下域にボイドが発生することを防止し、ゲート絶縁膜 4 の絶縁耐圧を確保できる。

【 0 0 5 9 】

また、図 4 (a) に示す不純物を活性化するための熱処理及び図 4 (b) に示す半導体層を終端処理するための水素プラズマ処理により、電極保護絶縁膜 9 内にキャリアトラップが導入されるが、図 5 (a) に示すように電極保護絶縁膜 9 をエッチングしてその表層を除去することにより、このキャリアトラップを取り除くことができる。このように、ゲート絶縁膜 4 及び電極保護絶縁膜 9 からキャリアトラップを除去することにより、T F T
50
2 1 にバイアスストレスが印加されても、キャリアトラップにキャリアが捕獲されること

が少なく、しきい値電圧が変動することを抑制できる。

【0060】

多機能な集積回路等を形成するTFTは、例えば、ゲートとソース間、又はゲートとドレイン間に電圧が印加されたまま保持される状態（バイアス状態）で使用される場合がある。このような場合、LDD領域上のゲート絶縁膜中にキャリアを捕獲する原因（キャリアトラップ）が存在すると、バイアス状態時にゲート絶縁膜中に流入したキャリアがこのキャリアトラップに捕獲され、ゲート絶縁膜中に蓄積される。また、電極保護絶縁膜中にキャリアトラップが存在すると、TFTで構成される半導体装置に電圧が印加されたときに、電極保護絶縁膜中にキャリアが蓄積される。これらのゲート絶縁膜中及び電極保護絶縁膜中に蓄積されたキャリアが形成する電界によって、LDD領域に影響が現れ、この影響は、TFTの経時変化、例えば、しきい値電圧の変化となって出現する。LDD領域上のゲート絶縁膜中にキャリアトラップが生成される理由としては、不純物イオンを注入することによって、シリコンと酸素若しくはシリコンと窒素との間のボンドが切れること、又はゲート電極形成工程及び不純物注入工程において金属類が混入すること等が挙げられる。

10

【0061】

本実施形態においては、上述の如く、不純物注入工程後に機能水を用いた洗浄を行っているため、表面の残留物が除去される。そして、引き続き、ゲート絶縁膜をエッチング可能な洗浄液でゲート絶縁膜の洗浄を行っているため、上述のゲート絶縁膜中のキャリアトラップが除去される。

20

【0062】

特に、この洗浄工程において、ゲート絶縁膜の減厚率を1%以上とすることによって、不純物の注入工程で生成されたキャリアトラップが存在する層を確実に除去することができる。一方、減厚率を65%以下とすることによって、ボイドの生成を防止できるため、ゲート絶縁膜自体の絶縁耐圧を下げることがない。このように、減厚率の範囲を定めることによって、バイアス状態におけるTFTの経時変化が少なく、信頼性が高いTFTを形成することができる。

【0063】

また、この後、半導体層内の不純物を活性化させるための熱処理を施し、次いで、半導体層を終端処理するための水素プラズマ処理を施す。しかしながら、近時、半導体装置が微細化することにより、ゲート絶縁膜とゲート電極との間の接触面積が減少し、また、ゲート電極を形成する材料の種類によっては、加熱されたときにゲート絶縁膜との間の密着性が低下することから、この不純物活性化熱処理の前に、不純物活性化熱処理時におけるゲート電極の剥離を抑制するための電極保護絶縁膜を形成する必要がある。また、終端している水素が脱離する温度は、不純物活性化熱処理時の処理温度よりも低いため、水素プラズマ処理の後に不純物活性化熱処理を行うと、不純物活性化熱処理工程において水素の脱離が発生してしまい、水素プラズマ処理の効果が低減してしまう。このため、水素プラズマ処理は、不純物活性化熱処理よりも後に行う必要がある。この結果、必然的に、電極保護絶縁膜の形成後に水素プラズマ処理を行うことになり、電極保護絶縁膜が水素プラズマによりダメージを受けてしまう。これにより、電極保護絶縁膜中にキャリアトラップが生成される。

30

40

【0064】

このため、本実施形態においては、水素プラズマ処理工程後に機能水洗浄を行い、電極保護絶縁膜の表面から残留物を除去し、さらに続けて、電極保護絶縁膜をエッチングできる洗浄液で洗浄し、このキャリアトラップ除去している。これにより、バイアス状態においても、電極保護絶縁膜にキャリアが蓄積されにくくなる。

【0065】

このように、本実施形態によれば、TFTを作製する過程で半導体装置内に不可避免的に導入されるキャリアトラップを効果的に除去することにより、バイアスストレスが印加されたときにTFTのしきい値電圧が変動することを抑制し、TFTの特性を安定させるこ

50

とができる。これにより、バイアスストレスによる劣化が抑制され、且つバイアスストレスに対して十分な絶縁耐圧を備えたTFTを得ることができる。この結果、信頼性が高い半導体装置を得ることができる。

【0066】

これに対して、前述の特許文献1に記載されているように、ゲート絶縁膜をその膜厚方向に途中まで除去しただけでは、水素プラズマ処理により電極保護絶縁膜内に導入されたキャリアトラップを除去することができず、TFTを安定化させる効果が不十分となる。また、特許文献2に記載されているように、不純物注入前にゲート絶縁膜を電解液に浸漬しても、セルフアライン方式の不純物注入工程においてゲート絶縁膜内に導入されたキャリアトラップを除去することはできず、また、電極保護絶縁膜内に導入されたキャリアトラップを除去することもできないため、TFTの特性を安定化する効果は不十分である。

10

【0067】

なお、本実施形態においては、電極保護絶縁膜9を形成した後、水素プラズマ処理を施す例を示したが、水素プラズマ処理に要する時間を短縮するために、電極保護絶縁膜を水素プラズマ処理前後の2回に分けて形成してもよい。但し、この場合は、1回目の電極保護絶縁膜の形成を不純物活性化熱処理よりも前に実施し、そのとき形成される電極保護絶縁膜の膜厚を、不純物活性化熱処理においてゲート電極が剥離しない程度の膜厚とすることが必要である。そして、1回目の電極保護絶縁膜の形成後に、不純物活性化熱処理及び水素プラズマ処理を行い、電極保護絶縁膜をエッチング可能な洗浄液により洗浄し、その後、2回目の電極保護絶縁膜の形成を行う。

20

【0068】

次に、本発明の第5の実施形態について説明する。本実施形態は、前述の第2の実施形態に係る半導体装置の製造方法の実施形態である。本実施形態は、前述の第4の実施形態と比較して、ゲート絶縁膜4の上面をエッチングする際に、必ずしも減厚率を1乃至65%に規定するのではなく、ゲート絶縁膜4の上面の金属濃度が 1.0×10^{11} 原子/cm²以下となるようにエッチングする点が異なっている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

【0069】

即ち、図2(a)乃至(d)に示すように、絶縁性基板1上に下地層2、半導体層3、ゲート絶縁膜4及びゲート電極5をこの順に形成し、図3(a)に示すように、半導体層3に不純物を注入して、ソース領域6、ドレイン領域7及びLDD領域8を形成する。これらの工程は、前述の第4の実施形態と同様である。

30

【0070】

次に、図3(b)に示すように、基板を機能水により洗浄し、その後、ゲート絶縁膜4を、このゲート絶縁膜4をエッチング可能な洗浄液、例えば、パフアードフッ酸により洗浄する。これにより、ゲート絶縁膜4におけるゲート電極5の直下域に相当する部分以外の部分の上面がエッチングされ、ゲート絶縁膜4上に堆積された金属、例えば、Al、Cr、Mo、W、Nb、Ta、Ndが除去される。このとき、このエッチングは、ゲート絶縁膜4の上面における金属濃度が 1.0×10^{11} 原子/cm²以下となるように行う。これにより、後の工程において電極保護絶縁膜9を形成したときに、ゲート絶縁膜4と電極保護絶縁膜9との界面における金属濃度が 1.0×10^{11} 原子/cm²以下となる。なお、このとき、このエッチングによるゲート絶縁膜4の減厚率は、必ずしも1乃至65%には限定されない。また、ゲート絶縁膜4をエッチング可能な洗浄液で洗浄をするときには、洗浄液を溜めた槽に基板を浸漬してもよいが、基板全面で均一な処理を行うためには、基板を回転させた状態で洗浄液をゲート絶縁膜4上に滴下するスピン洗浄法を用いることが望ましい。

40

【0071】

以後の工程は、前述の第4の実施形態と同様である。即ち、図3(c)に示すように、ゲート絶縁膜4及びゲート電極5上に電極保護絶縁膜9を形成し、図4(a)及び(b)に示すように不純物活性化熱処理及び水素プラズマ処理を行い、図5(a)に示すように

50

、電極保護絶縁膜 9 の上面を機能水で洗浄した後、電極保護絶縁膜 9 をエッチング可能な洗浄液により洗浄して電極保護絶縁膜 9 からキャリアトラップを除去し、図 5 (b) 及び図 1 に示すように、コンタクトホール 10 及び電極膜 11 を形成する。これにより、前述の第 2 の実施形態に係る半導体装置が製造される。

【 0 0 7 2 】

次に、本発明の構成要件における数値限定理由、即ち、ゲート絶縁膜 4 と電極保護絶縁膜 9 との界面における金属濃度を 1.0×10^{11} 原子 / cm^2 以下とする理由について説明する。表 1 に、ゲート絶縁膜 4 と電極保護絶縁膜 9 との界面における Al 濃度が相互に異なる 3 種類の T F T に、バイアスストレスを 10 時間印加したときのしきい値電圧の変化量を示す。各 T F T は P チャネル型 T F T であり、そのチャネル幅は $4 \mu\text{m}$ であり、チャンネル長は 4mm であり、L D D 領域の幅は $1.2 \mu\text{m}$ である。また、ドレイン・ソース間電圧 (V_{ds}) は 0V とし、ゲート・ソース間電圧 (V_{gs}) は $+11 \text{V}$ とする。

10

【 0 0 7 3 】

【表 1】

	TFT-A	TFT-B	TFT-C
Al 濃度 (原子 / cm^2)	2.3×10^{12}	1.0×10^{11}	2.8×10^{10}
しきい値電圧の変化量 (V)	4.9	0.10	0.08

【 0 0 7 4 】

ゲート絶縁膜 4 と電極保護絶縁膜 9 との界面における金属濃度が高いほど、しきい値電圧の変化量が増大する。表 1 に示すように、T F T - A は、ゲート絶縁膜 4 と電極保護絶縁膜 9 との界面における Al 濃度が 2.3×10^{12} 原子 / cm^2 であり、しきい値電圧の変化量が 4.9V と大きい。これに対して、T F T - B 及び T F T - C は、Al 濃度が 1.0×10^{11} 原子 / cm^2 以下であり、しきい値電圧の変化量が 0.10V 以下と小さい。なお、Al 以外の金属についても、同様な傾向が認められる。従って、ゲート絶縁膜と電極保護絶縁膜との界面における金属濃度は、 1.0×10^{11} 原子 / cm^2 以下とすることが好ましい。

20

【 0 0 7 5 】

次に、本実施形態の動作について説明する。本実施形態においては、図 2 (d) に示すゲート電極 5 の形成工程において、スパッタリング法又は C V D 法により導電膜を成膜し、この導電膜をエッチングすることによりパターンニングしている。このとき、スパッタリング、C V D 又はエッチングを行うチャンバーの内壁を構成する金属、例えば、Al、Cr、Mo、W、Nb、Ta、Nd 等の金属が、ゲート絶縁膜 4 上に堆積する。この結果、この金属がゲート絶縁膜 4 と電極保護絶縁膜 9 との界面に残留し、T F T の動作時にキャリアトラップとして作用する。

30

【 0 0 7 6 】

そこで、本実施形態においては、図 2 (d) に示す工程においてゲート電極 5 を形成した後、図 3 (b) に示す工程において、ゲート絶縁膜 4 の上面を、ゲート絶縁膜 4 をエッチング可能な洗浄液により洗浄してエッチングし、ゲート絶縁膜 4 上に堆積された金属を除去する。このとき、ゲート絶縁膜 4 と電極保護絶縁膜 9 との界面の金属濃度は 1.0×10^{11} 原子 / cm^2 以下となるまで洗浄する。これにより、前記界面からキャリアトラップを除去し、T F T の動作を安定化させる。本実施形態における上記以外の動作及び効果は、前述の第 4 の実施形態と同様である。

40

【 0 0 7 7 】

次に、本発明の第 6 の実施形態について説明する。本実施形態は、前述の第 3 の実施形態に係る半導体装置の製造方法の実施形態である。本実施形態は、前述の第 4 の実施形態と比較して、ゲート絶縁膜 4 の上面をエッチングする際に、必ずしも減厚率を 1 乃至 65 % に規定するのではなく、ゲート絶縁膜 4 の L D D 領域 8 の直上域に相当する部分におけるキャリアの捕獲面密度 D_{tr} と、L D D 領域 8 における不純物の体積濃度 C_{LDD} との

50

比 (D_{tr} / C_{LDD}) の値が 0.4 以下となるようにエッチングする点が異なっている。本実施形態における上記以外の構成は、前述の第 4 の実施形態と同様である。

【0078】

即ち、図 2 (a) 乃至 (d) 及び図 3 (a) に示すように、前述の第 4 の実施形態と同様な工程により、絶縁性基板 1 上に下地層 2、半導体層 3、ゲート絶縁膜 4 及びゲート電極 5 をこの順に形成し、半導体層 3 に不純物を注入して、ソース領域 6、ドレイン領域 7 及び LDD 領域 8 を形成する。

【0079】

次に、図 3 (b) に示すように、機能水により基板を洗浄し、その後、ゲート絶縁膜 4 を、このゲート絶縁膜 4 をエッチング可能な洗浄液、例えば、バッファードフッ酸により 10
洗浄する。この結果、ゲート絶縁膜 4 におけるゲート電極 5 の直下域に相当する部分以外の部分の上面がエッチングされ、キャリアトラップが除去される。このとき、ゲート絶縁膜 4 の LDD 領域 8 の直上域に相当する部分におけるキャリアの捕獲面密度 D_{tr} と、LDD 領域 8 における不純物の体積濃度 C_{LDD} との比 (D_{tr} / C_{LDD}) の値が 0.4 以下となるまで洗浄する。なお、このエッチングによるゲート絶縁膜 4 の減厚率は、必ずしも 1 乃至 65 % には限定されない。比 (D_{tr} / C_{LDD}) の値は、ゲート絶縁膜 4 に対するエッチング量を調整して制御するか、又は、LDD 領域に注入する不純物量を調整して制御する。また、ゲート絶縁膜 4 をエッチング可能な洗浄液で洗浄をするときには、20
洗浄液を溜めた槽に基板を浸漬してもよいが、基板全面で均一な処理を行うためには、基板を回転させた状態で洗浄液をゲート絶縁膜 4 上に滴下するスピン洗浄法を用いることが望ましい。

【0080】

以後の工程は、前述の第 4 の実施形態と同様である。即ち、図 3 (c) 乃至図 5 (b) 及び図 1 に示すように、ゲート絶縁膜 4 及びゲート電極 5 上に電極保護絶縁膜 9 を形成し、不純物活性化熱処理及び水素プラズマ処理を行い、電極保護絶縁膜 9 の上面を機能水で洗浄した後、電極保護絶縁膜 9 をエッチング可能な洗浄液により洗浄して電極保護絶縁膜 9 からキャリアトラップを除去し、コンタクトホール 10 及び電極膜 11 を形成する。これにより、前述の第 3 の実施形態に係る半導体装置が製造される。

【0081】

次に、本発明の構成要件における数値限定理由、即ち、ゲート絶縁膜 4 の LDD 領域 8 30
の直上域に相当する部分におけるキャリアの捕獲面密度 D_{tr} と、LDD 領域 8 における不純物の体積濃度 C_{LDD} との比 (D_{tr} / C_{LDD}) の値を 0.4 以下とする理由について説明する。表 2 に、LDD 領域 8 における不純物の体積濃度が相互に異なる 3 種類の TFT について、前述の比 (D_{tr} / C_{LDD}) の値、及びこれらの TFT に対して、バイアスストレスを 50 時間印加したときのしきい値電圧の変化率を示す。前述の如く、比 (D_{tr} / C_{LDD}) の値は、ゲート絶縁膜における LDD 領域の直上域部分に存在するキャリアの捕獲面密度を、LDD 領域の不純物の体積濃度で規格化した値である。

【0082】

【表 2】

	TFT-D	TFT-E	TFT-F
比 (D_{tr} / C_{LDD})	0.30	0.40	0.65
しきい値電圧の変化率 (%)	1	5	22

【0083】

比 (D_{tr} / C_{LDD}) の値が増加するほど、しきい値電圧の変化率が增加する。表 2 に示すように、TFT-D 及び TFT-E は、比 (D_{tr} / C_{LDD}) の値が 0.4 以下であり、しきい値電圧の変化率は 5 % 以下となっている。これに対して、TFT-F は、比 (D_{tr} / C_{LDD}) の値が 0.65 であり、しきい値電圧の変化率は 22 % となっ 40
ている。実用的には、しきい値電圧の変化率は 5 % 以下に抑えることが好ましく、従って、 50

比 (D_{tr} / C_{LDD}) の値は 0.4 以下とすることが好ましい。

【0084】

上述の如く、ゲート絶縁膜中にキャリアトラップが存在すると、TFTをバイアス状態にしたときに、このキャリアトラップにキャリアが捕獲される。そして、この捕獲されたキャリアが形成する電界が、半導体層中のキャリアを、この半導体層におけるゲート絶縁膜に接する表層部分に引き寄せる。このため、LDD領域の電界緩和の効果が、LDD領域の不純物濃度だけではなく、引き寄せられたキャリアの濃度にも影響されるようになり、TFTの特性が変動する。

【0085】

そこで、本実施形態においては、上述の比 (D_{tr} / C_{LDD}) の値を 0.4 以下に設定することによって、キャリアトラップに捕獲されたキャリアがLDD領域の電界緩和の効果に及ぼす影響を抑制することができる。この結果、バイアス状態になったときに経時変化が少ないTFT、即ち、信頼性が高いTFTを形成することができる。

【0086】

このように、本実施形態においては、LDD領域のキャリア濃度に対するキャリアの捕獲面密度の比を 0.4 以下としているため、TFTにバイアスストレスが印加されたときに捕獲されるキャリア数が少なく、TFTの特性がバイアスストレスによって経時的に変化することを抑制できる。これにより、信頼性が高い半導体装置を得ることができる。本実施形態における上記以外の動作及び効果は、前述の第4の実施形態と同様である。

【0087】

以下、本発明のより具体的な実施形態について説明する。まず、本発明の第7の実施形態について説明する。本実施形態は、前述の第4の実施形態をより具体的に説明するものである。まず、図2(a)に示すように、絶縁性基板1としてガラス基板を用意する。そして、このガラス基板上に、プラズマCVD法により厚さが300nmのシリコン酸化膜の単層を成膜し、下地層2とする。次に、図2(b)に示すように、減圧CVD法により膜厚が50nmのアモルファスシリコン層3aを形成する。そして、XeClエキシマレーザーアニール装置を使用して、アモルファスシリコン層3aにXeClエキシマレーザーを照射して結晶化させ、結晶化シリコン層を形成する。

【0088】

次に、図2(c)に示すように、この結晶化シリコン層上にレジストパターンを形成し、このレジストパターンをマスクとしてドライエッチングを行い、結晶化シリコン層をアイランド形状にパターニングする。これにより、半導体層3を形成する。その後、レジストパターンを除去する。

【0089】

次に、ゲート絶縁膜4として、プラズマCVD装置により、下地層2上に膜厚が100nmのシリコン酸化膜を成膜した後、大気暴露せずに同じ装置で、リンが微量に添加され、膜厚が100nmである微結晶シリコン層を連続して成膜する。次に、スパッタリング法により、膜厚が200nmのCr層を成膜する。その後、レジストパターン(図示せず)を形成し、このレジストパターンをマスクとしてドライエッチングを行ってCr層及び微結晶シリコン層をパターニングし、図2(d)に示すように、微結晶シリコン層及びCr層からなるゲート電極5を形成する。

【0090】

次に、図3(a)に示すように、ゲート絶縁膜4及びゲート電極5上に、半導体層3におけるソース領域6及びドレイン領域7を形成する予定の領域が開口されたレジストパターンを形成する。そして、イオン注入装置を用いて、このレジストパターンをマスクとしてボロンイオンを注入し、半導体層3内にソース領域6及びドレイン領域7を形成する。このとき、ボロンイオンの注入量を 3×10^{15} 原子/cm² とし、加速エネルギーを 80keV とする。その後、O₂ プラズマアッシング及びレジスト剥離液への浸漬を行ってレジストパターンを剥離する。次に、ゲート電極5をマスクとして、ソース領域6及びドレイン領域7を形成するときよりも低い濃度で半導体層3内にボロンを注入し、LDD領

10

20

30

40

50

域 8 を形成する。このとき、ボロンイオンの注入量を 3×10^{13} 原子 / cm^2 とし、加速電圧を 30 kV とする。

【 0 0 9 1 】

次に、図 3 (b) に示すように、基板を回転させながら水素水を基板上に滴下し、基板を洗浄する。その後、続けてオゾン水を基板上に滴下して洗浄を行う。これにより、異物を除去する。更に続けて、濃度が 0 . 5 % の希フッ酸を基板上に滴下し、ゲート絶縁膜 4 におけるゲート電極 5 の直下域からはみ出した部分を洗浄し、エッチングする。このとき、ゲート絶縁膜 4 の減厚率が 2 % になるように、時間を制御して洗浄を行う。

【 0 0 9 2 】

次に、図 3 (c) に示すように、プラズマ CVD 装置を使用して、ゲート絶縁膜 4 及びゲート電極 5 上に、電極保護絶縁膜 9 として、膜厚が 400 nm のシリコン酸化膜を成膜する。次に、図 4 (a) に示すように、基板を窒素ガスで充填したアニール炉内に装入し、温度が 500 、時間が 4 時間の熱処理を行い、半導体層 3 内に注入した不純物を活性化させる。次に、図 4 (b) に示すように、基板を真空チャンパー内に装入し、この真空チャンパー内に水素ガスを導入し、周波数が 13 . 56 MHz の高周波電界を印加して水素ガスを励起し、プラズマ化する。これにより、基板に対して 1 時間の水素プラズマ処理を施す。このときの処理温度は 350 とする。これにより、半導体層 3 に対して終端処理を行う。

【 0 0 9 3 】

次に、図 5 (a) に示すように、基板を回転させながら、水素水を基板上に滴下して洗浄を行う。その後、続けてオゾン水を基板上に滴下して洗浄を行う。これにより、シリコン酸化膜の表面から異物を除去する。更に続けて、濃度が 0 . 5 % の希フッ酸を基板上に滴下し、洗浄を行う。これにより、シリコン酸化膜の上面の全面をエッチングし、不純物活性化熱処理及び水素プラズマ処理により導入されたキャリアトラップを除去する。

【 0 0 9 4 】

次に、プラズマ CVD 法により、膜厚が 500 nm のシリコン酸化膜 (図示せず) を成膜する。次に、図 5 (b) に示すように、このシリコン酸化膜上にレジストパターンを形成し、このレジストパターンをマスクとしてドライエッチングを行い、続けて同じレジストパターンをマスクとして濃度が 0 . 5 % の希フッ酸を用いてウェットエッチングを行い、シリコン酸化膜、電極保護絶縁膜 9 及びゲート電極膜 4 におけるソース領域 6 の直上域及びドレイン領域 7 の直上域、並びにシリコン酸化膜及び電極保護絶縁膜 9 におけるゲート電極 5 の直上域を選択的に除去し、コンタクトホール 10 を形成する。

【 0 0 9 5 】

次に、図 1 に示すように、スパッタリング法によって AlSi 層を成膜する。次に、この AlSi 層上にレジストパターンを形成し、このレジストパターンをマスクとしてドライエッチングを行い、AlSi 層を所望の形状にパターニングする。これにより、電極膜 11 を形成する。その後、レジストパターンを剥離する。これにより、Pチャネル型 TFT を製造することができる。

【 0 0 9 6 】

本実施形態によれば、バイアスストレスが印加された状態であっても経時変化が少なく、信頼性が高い TFT を製造することができる。本実施形態における上記以外の動作及び効果は、前述の第 4 の実施形態と同様である。

【 0 0 9 7 】

次に、本発明の第 8 の実施形態について説明する。本実施形態は、前述の第 5 の実施形態をより具体的に説明するものである。先ず、図 2 (a) に示すように、絶縁性基板 1 としてガラス基板を用意する。そして、図 2 (a) 及び (b) に示すように、このガラス基板上に、プラズマ CVD 法により、下地層 2 としての厚さが 300 nm のシリコン酸化膜と、厚さが 50 nm のアモルファスシリコン層 3 a とを、途中で大気暴露せずに連続成膜する。そして、アモルファスシリコン層 3 a に XeCl エキシマレーザを照射して結晶化させ、結晶化シリコン層を形成する。

10

20

30

40

50

【0098】

次に、図2(c)乃至図3(a)に示す工程を実施する。これらの工程における各条件は、前述の第7の実施形態と同様である。

【0099】

次に、図3(b)に示すように、基板を回転させながら水素水を基板上に滴下し、基板を洗浄する。その後、続けてオゾン水を基板上に滴下して洗浄を行う。これにより、異物を除去する。次に、濃度が1.0%の希フッ酸を基板上に滴下し、ゲート絶縁膜4におけるゲート電極5の直下域からはみ出した部分を洗浄し、エッチングする。このとき、洗浄が進むにつれて、ゲート絶縁膜4の露出面(上面)における金属の濃度が低下するが、本実施形態においては、この金属濃度が 2.8×10^{10} 原子/cm²になるまで洗浄を行う。

10

【0100】

次に、図3(c)に示すように、プラズマCVD装置を使用して、ゲート絶縁膜4及びゲート電極5上に、電極保護絶縁膜9として、膜厚が100nmのシリコン酸化膜を成膜する。次に、図4(a)に示すように不純物活性化熱処理を行い、図4(b)に示すように水素プラズマ処理を行う。これらの処理の条件は前述の第7の実施形態と同様である。

【0101】

次に、図5(a)に示すように、基板を回転させながら、水素水を基板上に滴下して洗浄を行う。その後、続けてオゾン水を基板上に滴下して洗浄を行う。これにより、シリコン酸化膜の表面から異物を除去する。次に、濃度が1.0%の希フッ酸を基板上に滴下し、洗浄を行う。これにより、シリコン酸化膜の上面をエッチングし、前述の不純物活性化熱処理及び水素プラズマ処理により導入されたキャリアトラップを除去する。

20

【0102】

次に、プラズマCVD法により、膜厚が500nmのシリコン酸化膜を成膜する。次に、図5(b)に示すように、このシリコン酸化膜上にレジストパターンを形成し、このレジストパターンをマスクとしてドライエッチングを行い、続けて同じレジストパターンをマスクとして濃度が1.0%の希フッ酸を用いてウェットエッチングを行い、コンタクトホール10を形成する。以後の工程は、前述の第7の実施形態と同様である。また、本実施形態の動作及び効果は、前述の第5の実施形態と同様である。

【0103】

次に、本発明の第9の実施形態について説明する。本実施形態は、前述の第6の実施形態をより具体的に説明するものである。先ず、図2(a)乃至(d)及び図3(a)に示す工程を実施する。これらの工程における各条件は、前述の第7の実施形態と同様である。

30

【0104】

次に、図3(b)に示すように、基板を回転させながら水素水を基板上に滴下し、基板を洗浄する。その後、続けてオゾン水を基板上に滴下して洗浄を行う。これにより、異物を除去する。次に、濃度が1.5%の希フッ酸を基板上に滴下し、ゲート絶縁膜4におけるゲート電極5の直下域からはみ出した部分を洗浄し、エッチングする。このとき、洗浄が進むにつれて、ゲート絶縁膜4におけるLDD領域8の直上域に相当する部分の捕獲面密度 D_{tr} と、LDD領域8における不純物の体積濃度 C_{LDD} との比(D_{tr}/C_{LDD})の値が低下する。本実施形態においては、この比(D_{tr}/C_{LDD})の値が約0.3になるまで洗浄を行う。

40

【0105】

次に、図3(c)に示すように、プラズマCVD装置を使用して、ゲート絶縁膜4及びゲート電極5上に、電極保護絶縁膜9として、膜厚が100nmのシリコン酸化膜を成膜する。次に、図4(a)に示すように不純物活性化熱処理を行い、図4(b)に示すように水素プラズマ処理を行う。これらの処理の条件は前述の第7の実施形態と同様である。

【0106】

次に、図5(a)に示すように、基板を回転させながら、水素水を基板上に滴下して洗

50

浄を行う。その後、続けてオゾン水を基板上に滴下して洗浄を行う。これにより、シリコン酸化膜の表面から異物を除去する。更に続けて、濃度が1.5%の希フッ酸を基板上に滴下し、洗浄を行う。これにより、シリコン酸化膜の上面をエッチングし、不純物活性化熱処理及び水素プラズマ処理により導入されたキャリアトラップを除去する。

【0107】

次に、プラズマCVD法により、膜厚が500nmのシリコン酸化膜を成膜する。次に、図5(b)に示すように、このシリコン酸化膜上にレジストパターンを形成し、このレジストパターンをマスクとしてドライエッチングを行い、続けて同じレジストパターンをマスクとして濃度が2.0%の希フッ酸を用いてウェットエッチングを行い、コンタクトホール10を形成する。以後の工程は、前述の第7の実施形態と同様である。本実施形態の動作及び効果は、前述の第6の実施形態と同様である。

10

【図面の簡単な説明】

【0108】

【図1】本発明の第1の実施形態に係る半導体装置を示す断面図である。

【図2】(a)乃至(d)は、本発明の第4の実施形態に係る半導体装置の製造方法をその工程順に示す断面図である。

【図3】(a)乃至(c)は、本実施形態に係る半導体装置の製造方法をその工程順に示す断面図であり、図2(d)の次の工程を示す。

【図4】(a)及び(b)は、本実施形態に係る半導体装置の製造方法をその工程順に示す断面図であり、図3(c)の次の工程を示す。

20

【図5】(a)及び(b)は、本実施形態に係る半導体装置の製造方法をその工程順に示す断面図であり、図4(b)の次の工程を示す。

【図6】本実施形態において、エッチング後のゲート絶縁膜の形状を示す断面図である。

【図7】横軸にゲート絶縁膜の減厚率をとり、縦軸にTFTのしきい値電圧の変化量をとって、減厚率がTFTの特性に及ぼす影響を示すグラフ図である。

【符号の説明】

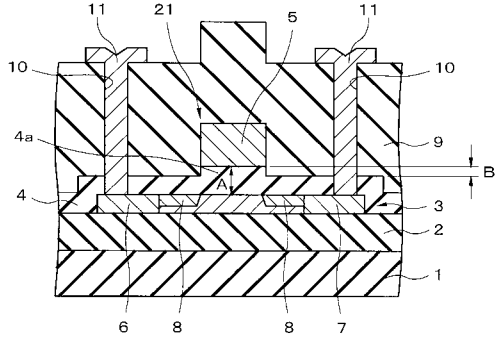
【0109】

- 1 ; 絶縁性基板
- 2 ; 下地層
- 3 ; 半導体層
- 3 a ; アモルファスシリコン層
- 4 ; ゲート絶縁膜
- 4 a ; 凸部
- 4 b ; 凹部
- 5 ; ゲート電極
- 6 ; ソース領域
- 7 ; ドレイン領域
- 8 ; LDD領域
- 9 ; 電極保護絶縁膜
- 10 ; コンタクトホール
- 11 ; 電極膜
- 21 ; TFT

30

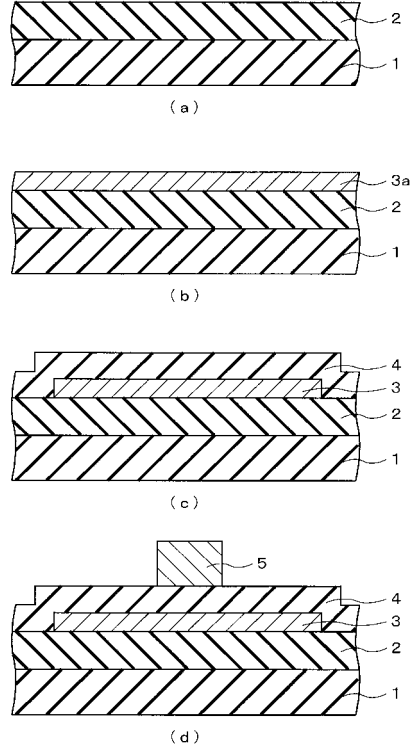
40

【図1】



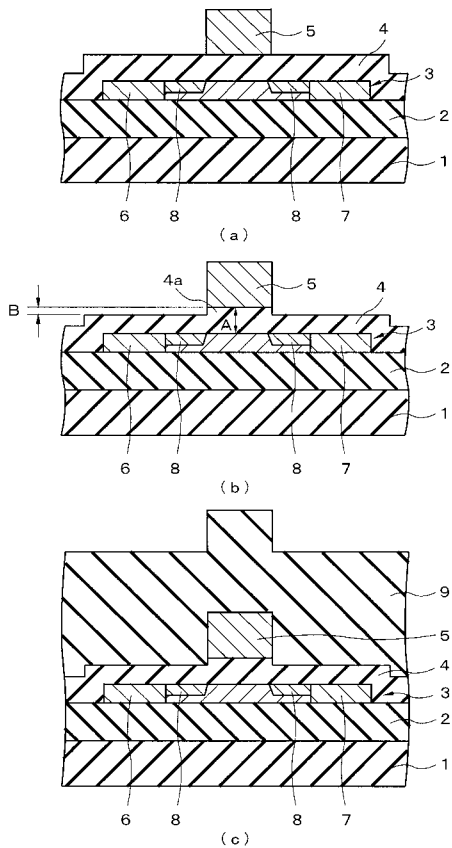
- | | | |
|------------|--------------|----------|
| 1: 絶縁性基板 | 2: 下地層 | 3: 半導体層 |
| 4: ゲート絶縁膜 | 4a: 凸部 | 5: ゲート電極 |
| 6: ソース領域 | 7: ドレイン領域 | 8: LDD領域 |
| 9: 電極保護絶縁膜 | 10: コンタクトホール | |
| 11: 電極膜 | 21: TFT | |

【図2】

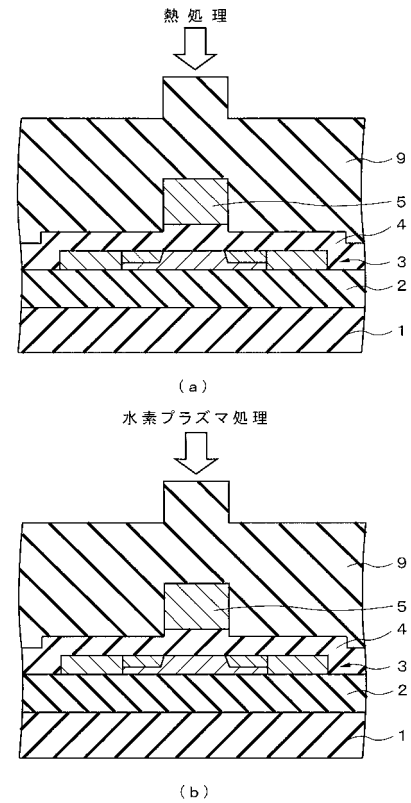


3a: アモルファスシリコン層

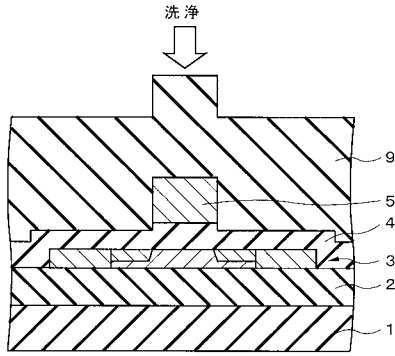
【図3】



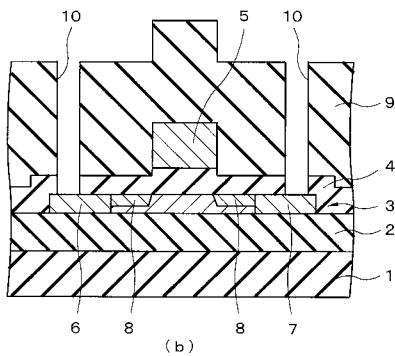
【図4】



【図5】

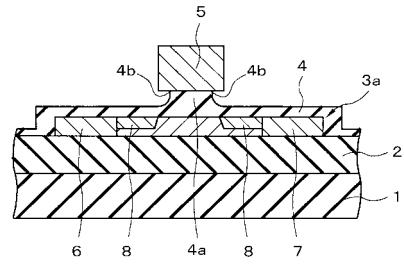


(a)



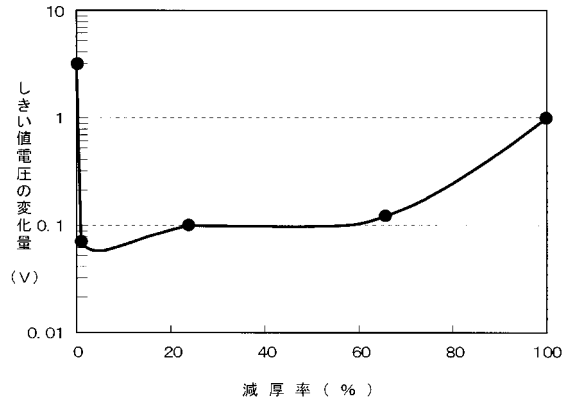
(b)

【図6】



4b:凹部

【図7】



フロントページの続き

- (72)発明者 松崎 忠弘
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 田邊 浩
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 綿引 隆

- (56)参考文献 特開2001-007334(JP,A)
特開平11-145479(JP,A)
特開平07-028088(JP,A)
特開2003-318194(JP,A)
特開2003-163216(JP,A)
特開2004-095625(JP,A)
特開平07-142735(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 21/336 |
| H01L | 29/786 |