

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第6990516号  
(P6990516)

(45)発行日 令和4年2月3日(2022.2.3)

(24)登録日 令和3年12月8日(2021.12.8)

(51)国際特許分類

F I

G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 4 2 K
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36	
G 0 2 F	1/133(2006.01)	G 0 9 G	3/20	6 2 1 M
G 0 2 F	1/1343(2006.01)	G 0 9 G	3/20	6 2 2 D
G 0 2 F	1/1368(2006.01)	G 0 9 G	3/20	6 2 2 C

請求項の数 21 (全21頁) 最終頁に続く

(21)出願番号 特願2017-45737(P2017-45737)  
 (22)出願日 平成29年3月10日(2017.3.10)  
 (65)公開番号 特開2018-151434(P2018-151434  
 A)  
 (43)公開日 平成30年9月27日(2018.9.27)  
 審査請求日 令和2年2月5日(2020.2.5)

(73)特許権者 501426046  
 エルジー ディスプレイ カンパニー リ  
 ミテッド  
 大韓民国 ソウル、ヨンドンポーク、  
 ヨウイ - テロ 1 2 8  
 (74)代理人 110002077  
 園田・小林特許業務法人  
 (72)発明者 市川 勉  
 東京都品川区東品川4 - 1 3 - 1 4 グラ  
 スキューブ品川2 F エルジー ディスプ  
 レイ カンパニー リミテッド 日本研究  
 所内  
 審査官 斎藤 厚志

最終頁に続く

(54)【発明の名称】 画素データ書き込み方法および画像表示装置

## (57)【特許請求の範囲】

## 【請求項1】

4種類の副画素を有し、前記4種類の副画素のうち、2種類の副画素の組が、異なる副ゲート線に接続され、かつ、副ゲート線に接続する2種類の副画素の組とは異なる2種類の副画素の組が異なるデータ線に接続されたディスプレイパネルと、前記4種類の副画素を表示するデータ電圧を生成し、データ線に印加するデータ駆動部と、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むためのゲート信号を副ゲート線に印加するゲート駆動部と、を備え、前記副ゲート線が少なくとも3本ある画像表示装置において、

前記副ゲート線に別個のゲート信号を印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むことと、

その後、前記副ゲート線に同じゲート信号を同時に印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むことと、

と含み、

前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込む回数は、前記副ゲート線の総数より少ない、画素データ書き込み方法。

## 【請求項2】

前記副ゲート線の総数が $6 \times n$  ( $n$ は整数)本である場合、

前記副ゲート線の少なくとも $n$ 本に別個のゲート信号を印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むことと、

前記副ゲート線の少なくとも  $2 \times n$  本に同じゲート信号を同時に印加し、前記データ線に印加されたデータ電圧を前記 4 種類の副画素に書き込むことと、  
と含む、請求項 1 に記載の画素データ書き込み方法。

【請求項 3】

前記副ゲート線の  $2 \times n$  本に別個のゲート信号を印加する、請求項 2 に記載の画素データ書き込み方法。

【請求項 4】

前記副ゲート線の  $3 \times n$  本に別個のゲート信号を印加する、請求項 2 に記載の画素データ書き込み方法。

【請求項 5】

前記副ゲート線の  $3 \times n$  本に同じゲート信号を同時に印加する、請求項 4 に記載の画素データ書き込み方法。

【請求項 6】

前記同じゲート信号を印加する前記副ゲート線に対応するデータ線に、データ電圧としてゼロを印加する、請求項 1 から 5 のいずれか一項に記載の画素データ書き込み方法。

【請求項 7】

別個のゲート信号を印加する副ゲート線と同じゲート信号を印加する副ゲート線を、画素フレームごとに変更する、請求項 1 から 6 のいずれか一項に記載の画素データ書き込み方法。

【請求項 8】

前記データ線に印加されたデータ電圧を前記 4 種類の副画素に書き込む時間が 1.5 倍である、請求項 5 から 7 のいずれか一項に記載の画素データ書き込み方法。

【請求項 9】

前記ディスプレイパネルが、 $(3840 \times 3)$  列  $\times$  2160 行 = 8,294,400  $\times$  3 個の前記副画素を有し、リフレッシュ周期 120 Hz の場合、前記データ線に印加されたデータ電圧を前記副ゲート線 1 本に印加する時間が、約 2.9  $\mu$ s である、請求項 5 から 8 のいずれか一項に記載の画素データ書き込み方法。

【請求項 10】

前記 4 種類の副画素は、R (レッド)、G (グリーン)、B (ブルー)、W (ホワイト) の 4 種類の副画素である、請求項 1 から 9 のいずれか一項に記載の画素データ書き込み方法。

【請求項 11】

4 種類の副画素を有し、前記 4 種類の副画素のうち、2 種類の副画素の組が、異なる副ゲート線に接続され、かつ、副ゲート線に接続する 2 種類の副画素の組とは異なる 2 種類の副画素の組が異なるデータ線に接続されたディスプレイパネルと、

前記 4 種類の副画素を表示するデータ電圧を生成し、データ線に印加するデータ駆動部と、前記データ線に印加されたデータ電圧を前記 4 種類の副画素に書き込むためのゲート信号を副ゲート線に印加するゲート駆動部と、

を備えた画像表示装置において、

前記ゲート駆動部は、前記副ゲート線の総数より少ない回数で、前記副ゲート線の全てにゲート信号を印加し、前記データ線に印加されたデータ電圧を前記 4 種類の副画素に書き込む、画像表示装置。

【請求項 12】

前記ゲート駆動部は、複数の D 型フリップフロップ、及び、複数の OR ゲートで構成される、請求項 11 に記載の画像表示装置。

【請求項 13】

前記複数の D 型フリップフロップは、シフトレジスタとして機能する、請求項 12 に記載の画像表示装置。

【請求項 14】

前記ゲート駆動部は、前記副ゲート線のうち、任意の数の副ゲート線に、同じゲート信号

10

20

30

40

50

を同時に印加する、請求項 1 1 から 1 3 のいずれか一項に記載の画像表示装置。

【請求項 1 5】

前記データ駆動部は、前記任意の数の副ゲート線に対応するデータ線に、データ電圧としてゼロを印加する、請求項 1 4 に記載の画像表示装置。

【請求項 1 6】

前記ゲート駆動部は、同じゲート信号を印加する任意の数の副ゲート線を画素フレームごとに変更する、請求項 1 4 または 1 5 に記載の画像表示装置。

【請求項 1 7】

前記副ゲート線の総数が  $6 \times n$  ( $n$  は整数) 本の場合、同じゲート信号を印加する前記副ゲート線の本数は、 $3 \times n$  ( $n$  は整数) 本である、請求項 1 4 から 1 6 のいずれか一項に記載の画像表示装置。

10

【請求項 1 8】

$4 \times n$  ( $n$  は整数) に相当する回数で、前記副ゲート線の全てにゲート信号を印加し、前記データ線に印加されたデータ電圧を前記 4 種類の副画素に書き込む、請求項 1 7 に記載の画像表示装置。

【請求項 1 9】

前記データ線に印加されたデータ電圧を前記 4 種類の副画素に書き込む時間が 1 . 5 倍である、請求項 1 7 または 1 8 に記載の画像表示装置。

【請求項 2 0】

前記ディスプレイパネルが、 $(3840 \times 3)$  列  $\times$  2160 行 = 8 , 294 , 400  $\times$  3 個の前記副画素を有し、リフレッシュ周期 120 Hz の場合、前記データ線に印加されたデータ電圧を前記副ゲート線 1 本に印加する時間が、約 2 . 9  $\mu$  s である、請求項 1 7 から 1 9 のいずれか一項に記載の画像表示装置。

20

【請求項 2 1】

前記 4 種類の副画素は、R (レッド)、G (グリーン)、B (ブルー)、W (ホワイト) の 4 種類の副画素である、請求項 1 2 から 2 0 のいずれか一項に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ書き込み時間を伸張し、データを確実に書き込むことができる画素データ書き込み方法および画像表示装置に関する。

30

【背景技術】

【0002】

近年、ディスプレイパネルでは、通常の R (レッド)、G (グリーン)、B (ブルー) 副画素とは別に W (ホワイト) の副画素を備えた R G B W ディスプレイパネルが使用されている。そして、副画素に W を追加することで、輝度の向上や消費電力の抑制が可能となっている。例えば、特許文献 1 には、R G B W パネルを用いた表示装置が開示されている。

【先行技術文献】

【特許文献】

【0003】

【文献】韓国公開特許第 10 - 2011 - 0077899 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

FHD (フルハイビジョン) から UHD (ウルトラハイビジョン) 4K へと解像度が増加し、また画像のリフレッシュ周期も高速化が求められている。それに伴い、R G B W ディスプレイパネルにおけるデータ書き込み時間も、より短くなってきている。この場合、副ゲート線の駆動が不十分となってデータ書き込みが不確実となる可能性もある。

【0005】

そこで、本発明は、リフレッシュ周期が短くても、データ書き込み時間を伸張し、確実な

50

データの書き込みが可能な画素データ書き込み方法および画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上述した課題を解決し、目的を達成するために、本発明における画素データ書き込み方法は、4種類の副画素を有し、前記4種類の副画素のうち、2種類の副画素の組が、異なる副ゲート線に接続され、かつ、副ゲート線に接続する2種類の副画素の組とは異なる2種類の副画素の組が異なるデータ線に接続されたディスプレイパネルと、前記RGBWの4種類の副画素を表示するデータ電圧を生成し、データ線に印加するデータ駆動部と、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むためのゲート信号を副ゲート線に印加するゲート駆動部と、を備え、前記副ゲート線が少なくとも3本ある画像表示装置において、前記副ゲート線に別個のゲート信号を印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むことと、前記副ゲート線に同じゲート信号を同時に印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むことと、と含み、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込む回数は、前記副ゲート線の回数より少ない、ことを特徴とする。

10

【0007】

また、本発明の一実施態様では、前記副ゲート線の総数が $6 \times n$  ( $n$ は整数)本である場合、前記副ゲート線の少なくとも $n$ 本に別個のゲート信号を印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むことと、前記副ゲート線の少なくとも

20

【0008】

また、本発明の一実施態様では、前記副ゲート線の $2 \times n$ 本に別個のゲート信号を印加する、ことを特徴とする。

【0009】

また、本発明の一実施態様では、前記副ゲート線の $3 \times n$ 本に別個のゲート信号を印加する、ことを特徴とする。

【0010】

また、本発明の一実施態様では、前記副ゲート線の $3 \times n$ 本に同じゲート信号を印加する、ことを特徴とする。

30

【0011】

また、本発明の一実施態様では、前記同じゲート信号を印加する前記副ゲート線に対応するデータ線に、データ電圧としてゼロを印加する、ことを特徴とする。

【0012】

また、本発明の一実施態様では、別個のゲート信号を印加する副ゲート線と同じゲート信号を印加する副ゲート線を、画素フレームごとに変更する、ことを特徴とする。

【0013】

また、本発明の一実施態様では、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込む時間が1.5倍である、ことを特徴とする。

40

【0014】

また、本発明の一実施態様では、前記ディスプレイパネルが、 $(3840 \times 3)$ 列 $\times$ 2160行 $= 8,294,400 \times 3$ 個の前記副画素を有し、リフレッシュ周期120Hzの場合、前記データ線に印加されたデータ電圧を前記副ゲート線1本に印加する時間が、約 $2.9 \mu s$ である、ことを特徴とする。

【0015】

また、本発明の一実施態様では、前記4種類の副画素は、R(レッド)、G(グリーン)、B(ブルー)、W(ホワイト)の4種類の副画素である、ことを特徴とする。

【0016】

また、本発明における画像表示装置は、4種類の副画素を有し、前記4種類の副画素のう

50

ち、2種類の副画素の組が、異なる副ゲート線に接続され、かつ、副ゲート線に接続する2種類の副画素の組とは異なる2種類の副画素の組が異なるデータ線に接続されたディスプレイパネルと、前記RGBWの4種類の副画素を表示するデータ電圧を生成し、データ線に印加するデータ駆動部と、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込むためのゲート信号を副ゲート線に印加するゲート駆動部と、を備えた画像表示装置において、前記ゲート駆動部は、前記副ゲート線の総数より少ない回数で、前記副ゲート線の全てにゲート信号を印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込む、ことを特徴とする。

【0017】

また、本発明の一実施態様では、前記ゲート駆動部は、複数のD型フリップフロップ、及び、複数のORゲートで構成される、ことを特徴とする。

10

【0018】

また、本発明の一実施態様では、前記複数のD型フリップフロップは、シフトレジスタとして機能する、ことを特徴とする。

【0019】

また、本発明の一実施態様では、前記ゲート駆動部は、前記副ゲート線のうち、任意の数の副ゲート線に、同じゲート信号を印加する、ことを特徴とする。

【0020】

また、本発明の一実施態様では、前記データ駆動部は、前記任意の数の副ゲート線に対応するデータ線に、データ電圧としてゼロを印加する、ことを特徴とする。

20

【0021】

また、本発明の一実施態様では、前記ゲート駆動部は、同じゲート信号を印加する任意の数の副ゲート線を画素フレームごとに変更する、ことを特徴とする。

【0022】

また、本発明の一実施態様では、前記副ゲート線の総数が $6 \times n$  ( $n$ は整数)本の場合、同じゲート信号を印加する前記副ゲート線の数は、 $3 \times n$  ( $n$ は整数)本である、ことを特徴とする。

【0023】

また、本発明の一実施態様では、 $4 \times n$  ( $n$ は整数)に相当する回数で、前記副ゲート線の全てにゲート信号を印加し、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込む、ことを特徴とする。

30

【0024】

また、本発明の一実施態様では、前記データ線に印加されたデータ電圧を前記4種類の副画素に書き込む時間が1.5倍である、ことを特徴とする。

【0025】

また、本発明の一実施態様では、前記ディスプレイパネルが、 $(3840 \times 3)$ 列 $\times$ 2160行 $= 8,294,400 \times 3$ 個の前記副画素を有し、リフレッシュ周期120Hzの場合、前記データ線に印加されたデータ電圧を前記副ゲート線1本に印加する時間が、約 $2.9 \mu s$ である、ことを特徴とする。

【0026】

また、本発明の一実施態様では、前記4種類の副画素は、R(レッド)、G(グリーン)、B(ブルー)、W(ホワイト)の4種類の副画素である、ことを特徴とする。

40

【発明の効果】

【0027】

本発明によれば、データ書き込み時間を伸張することができるので、確実なデータの書き込みが可能となり、表示画質の劣化を防ぐことができるという効果を奏する。

【図面の簡単な説明】

【0028】

【図1】第1の実施の形態に係る画像表示装置のブロック図である。

【図2】ゲート駆動部の構成を示す図である。

50

【図3】第Nフレームにおいて、副ゲート線が順番に駆動し、各副画素に副画素データが順番に書き込まれる場合を説明する図である。

【図4】第Nフレームにおいて、本実施の形態に係る画像表示装置がジグザク状のインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。

【図5】第N+1フレームにおいて、本実施の形態に係る画像表示装置がジグザク状のインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。

【図6】第2の実施の形態に係る画像表示装置のブロック図である。

【図7】第2の実施の形態に係るゲート駆動部の構成を示す図である。

【図8】第Nフレームにおいて、本実施の形態に係る画像表示装置がノーマルなインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。

10

【図9】第N+1フレームにおいて、本実施の形態に係る画像表示装置がノーマルなインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。

【発明を実施するための形態】

【0029】

以下、添付図面を参照して、本発明による画素データ書き込み方法および画像表示装置を実施するための形態について、図面に基づいて説明する。

【0030】

本願発明の目的、長所および新規な特徴は、添付の図面と関連する以下の詳細な説明からより明白になる。異なる図面において、同一または機能的に類似の要素を示すために、同一の参照符号が使用される。図面は概略を示しており、図面の縮尺は正確でないことを理解されたい。

20

【0031】

(第1の実施の形態)

第1の実施の形態について、添付図面を参照して説明する。図1は、第1の実施の形態に係る画像表示装置のブロック図である。図1に示すように、画像表示装置1は、ディスプレイパネル2、グレイスケール電圧生成器3、信号制御部4、データ駆動部5、ゲート駆動部6、及び、バックライトユニット7を備えている。

【0032】

ディスプレイパネル2は、RGB画像を表示する。ディスプレイパネル2は、ゲート駆動部6からゲート信号(走査信号)を受信する複数の副ゲート線 $GL_n, a \sim GL_{n+5}, b$ 、及び、データ駆動部5からデータ電圧を受信する複数のデータ線 $DL_m \sim DL_{m+5}$ を含む。副ゲート線 $GL_n, a \sim GL_{n+5}, b$ は、互いにほぼ平行に列方向に伸び、データ線 $DL_m \sim DL_{m+5}$ は、互いにほぼ平行に行方向に伸びている。

30

【0033】

さらに、ディスプレイパネル2は、副ゲート線 $GL_n, a \sim GL_{n+5}$ 、及び、データ線 $DL_m \sim DL_{m+5}$ に接続され、マトリックス状に配置された複数の副画素を備えている。本発明の説明のため、ディスプレイパネル2は、12列×6行=72個の副画素を備えている前提となっているが、実際には、4K解像度である(3840×3)列×2160行=8,294,400×3個の副画素、または、それ以上の副画素を備えても良い。そして、ディスプレイパネル2は、R(レッド)、G(グリーン)、B(ブルー)、及び、W(ホワイト)の4種類の副画素を備えている。

40

【0034】

本実施の形態では、4種類の副画素は、最初の行は、WRGBの順番に並んでおり、2行目は、GBWRの順番に並んでいる。3行目は再びWRGBの順番に並んでおり、以下、同じ配置を繰り返している。なお、この並びは任意であり、WRGBの4種類の副画素が循環的に配置されていれば良い。ディスプレイパネル2は、WRGBの4種類の副画素が配置されている仕様のものであれば、LCDディスプレイ、OLEDディスプレイ等を問わずあらゆるディスプレイに適用可能である。

【0035】

50

ディスプレイパネル 2 は、スイッチング素子 T R を備えている。副画素 { W , G } と副画素 { R , B } は、副画素 { W , G } と副画素 { R , B } の副画素対毎に異なる副ゲート線  $G L n , a \sim G L n + 5 , b$  に、スイッチング素子 T R を介して接続している。例えば、副ゲート線  $G L n , a$  には、スイッチング素子 T R を介して副画素 { W , G } が接続され、ゲート線  $G L n , b$  には、スイッチング素子 T R を介して副画素 { R , B } が接続されている。また、ディスプレイパネル 2 は、{ W , R } と { G , B } の副画素でそれぞれデータ線  $D L m \sim D L m + 5$  を共有しており、各副画素は、スイッチング素子 T R を介してデータ線  $D L m \sim D L m + 5$  に接続している。例えば、データ線  $D L m$  には、スイッチング素子 T R を介して副画素 { W , R } が接続され、データ線  $D L m + 1$  には、スイッチング素子 T R を介して副画素 { G , B } が接続されている。そのため、ディスプレイパネル 2 は、ゲート線（副ゲート線）の数が通常の R G B W ディスプレイパネルと比べて 2 倍となる一方、データ線の数が通常の R G B W ディスプレイパネルと比べて半分で構成されている。

10

## 【 0 0 3 6 】

グレイスケール電圧生成器 3 は、各副画素で表現可能な全グレイスケールに対応する全グレイスケール電圧、又は、全グレイスケールの一部分に対応する基準グレイスケール電圧を生成する。

## 【 0 0 3 7 】

信号制御部 4 は、データ駆動部 5、ゲート駆動部 6、及び、バックライトユニット 7 の動作を制御する。信号制御部 4 は、外部のグラフィックコントローラ（図示せず）から入力映像信号 R G B、及び、入力映像信号 R G B の表示を制御する入力制御信号を受信する。

20

## 【 0 0 3 8 】

入力画像信号 R G B は、例えば、4 0 9 6 ( 2 1 4 ) のグレイスケールで表現することができる、各副画素の輝度に関する情報を含む。入力制御信号は、垂直同期信号 V S Y N C、水平同期信号 H S Y N C、メインクロック信号 M C L K、及び、データイネーブル信号 D E を含む。

## 【 0 0 3 9 】

信号制御部 4 は、入力映像信号 R G B、及び、入力制御信号に基づいて入力映像信号 R G B をディスプレイパネル 2 の動作条件に適合するように処理して、映像信号 D A T A、ゲート制御信号 C O N T 1、及び、データ制御信号 C O N T 2 を生成する。ゲート制御信号 C O N T 1 はゲート駆動部 6 に供給され、データ制御信号 C O N T 2、及び、映像信号 D A T A はデータ駆動部 5 に供給される。

30

## 【 0 0 4 0 】

ゲート制御信号 C O N T 1 は、走査動作の開始を指示する走査開始信号、及び、ゲートオン電圧の出力期間を制御する少なくとも一つのクロック信号を含む。ゲート制御信号 C O N T 1 は、ゲートオン電圧の持続時間を制限する出力イネーブル信号をさらにも含む。

## 【 0 0 4 1 】

データ制御信号 C O N T 2 は、副画素の列に対する画像信号 D A T A の伝送の開始をデータ駆動部 5 に通知するための水平開始時間、及び、データ線  $D L m \sim D L m + 5$  にデータ電圧の印加を指示するためのロード信号をさらにも含む。データ制御信号 C O N T 2 は、共通電圧に対するデータ電圧の極性を反転させるための反転信号 R V S をさらにも含む。

40

## 【 0 0 4 2 】

データ駆動部 5 は、ディスプレイパネル 2 のデータ線  $D L m \sim D L m + 5$  に接続され、映像信号 D A T A を受信して、映像信号 D A T A に対応するグレイスケール電圧を選択してアナログデータ電圧を生成し、データ線  $D L m \sim D L m + 5$  に印加する。しかしながら、グレイスケール電圧生成器 3 がデータ駆動部 5 に基準グレイスケール電圧を供給する場合、データ駆動部 5 は基準グレイスケール電圧を分割して、所望のデータ電圧を生成する。

## 【 0 0 4 3 】

50

ゲート駆動部 6 は、ディスプレイパネル 2 の副ゲート線  $GL_n, a \sim GL_{n+5}, b$  に接続され、各副ゲート線にゲートオン電圧とゲートオフ電圧の組み合わせを含むゲート信号を印加する。そして、画像を表示する場合には、信号制御部 4 から伝達されるゲート制御信号  $CONT_1$  に応じてディスプレイパネル 2 の副ゲート線  $GL_n, a \sim GL_{n+5}, b$  にゲートオン電圧を印加して副ゲート線  $GL_n, a \sim GL_{n+5}, b$  に接続されたスイッチング素子  $TR$  をターンオンさせる。ターンオンされたスイッチング素子  $TR$  を介してデータ線  $DL_m \sim DL_{m+5}$  に印加されたデータ電圧が各副画素  $WRGB$  に印加される。

【0044】

なお、これらの動作を、1 水平期間（水平同期信号  $HSYNC$  とデータイネーブル信号  $DE$  の 1 期間と一致している）単位で繰り返すことにより、ゲートオン電圧が、全ての副ゲート線  $GL_n, a \sim GL_{n+5}, b$  に順次印加され、データ電圧が全ての副画素  $WRGB$  に印加されることにより、1 フレームの画像が表示される。

10

【0045】

図 2 は、ゲート駆動部 6 の構成を示す図である。本図では、ゲート駆動部 6 の機能のうち、本願発明に係る副ゲート線  $GL_n, a \sim GL_{n+5}, b$  のオン（スイッチング素子  $TR$  のターンオン）に係る部分のみ示している。図 2 の様に、ゲート駆動部 6 は、複数の D 型フリップフロップ（ $D-FF(A \sim P)$ ）、及び、複数の OR ゲート 8（ $A \sim L$ ）で構成される。そして、複数の  $D-FF(A \sim P)$  は、シフトレジスタとして機能する。ゲート駆動部 6 を用いてデータを書き込む方法を、以後、ジグザク状のインターレース書き込み方法と呼ぶ。

20

【0046】

次に、ゲート駆動部 6 の動作について、以下に詳細に説明する。第  $N$  フレームにおいて副ゲート線  $GL_n, a \sim GL_{n+5}, b$  をオンする場合を考える。初めに、 $CTL_0$  からのコントロール信号と、 $CK_0$  からの立ち上がりのクロック信号が  $D-FF(A)$  に入力される。その結果、 $D-FF(A)$  の出力は  $H$  となる。 $D-FF(A)$  の出力  $H$  は、OR ゲート 8（ $A$ ）に入力される。その結果、OR ゲート 8（ $A$ ）の出力は  $H$  となり、副ゲート線  $GL_n, a$  がオンする。

【0047】

次に、 $D-FF(A)$  の出力  $H$  と、 $CK_0$  からの次の立ち上がりのクロック信号が  $D-FF(B)$  に入力される。その結果、 $D-FF(B)$  の出力は  $H$  となる。 $D-FF(B)$  の出力  $H$  は、OR ゲート 8（ $B$ ）に入力される。OR ゲート 8（ $B$ ）の出力は  $H$  となり、副ゲート線  $GL_{n+1}, b$  がオンする。

30

【0048】

次に、 $D-FF(B)$  の出力  $H$  と、 $CK_0$  からの次の立ち上がりのクロック信号が  $D-FF(C)$  に入力される。その結果、 $D-FF(C)$  の出力は  $H$  となる。 $D-FF(C)$  の出力  $H$  は、OR ゲート 8（ $C$ ）に入力される。OR ゲート 8（ $C$ ）の出力は  $H$  となり、副ゲート線  $GL_{n+2}, a$  がオンする。

【0049】

次に、 $D-FF(C)$  の出力  $H$  と、 $CK_0$  からの次の立ち上がりのクロック信号が  $D-FF(D)$  に入力される。その結果、 $D-FF(D)$  の出力は  $H$  となる。 $D-FF(D)$  の出力  $H$  は、OR ゲート 8（ $D$ ）、OR ゲート 8（ $E$ ）、及び、OR ゲート 8（ $F$ ）に同時に入力される。OR ゲート 8（ $D$ ）、OR ゲート 8（ $E$ ）、及び、OR ゲート 8（ $F$ ）の出力は  $H$  となり、副ゲート線  $GL_n, b$ 、 $GL_{n+1}, a$ 、及び、 $GL_{n+2}, b$  が同時にオンする。

40

【0050】

以下、同様に、副ゲート線  $GL_{n+3}, b$ 、 $GL_{n+4}, a$ 、 $GL_{n+5}, b$  が順次オンし、次に、副ゲート線  $GL_{n+3}, a$ 、 $GL_{n+4}, b$ 、 $GL_{n+5}, a$  が同時にオンする。

【0051】

さらに、第  $N+1$  フレームにおいて副ゲート線  $GL_n, a \sim GL_{n+5}, b$  をオンする場

50



合を考える。初めに、CTL 1からのコントロール信号と、CK 1からの立ち上がりのクロック信号がD - FF ( E )に入力される。その結果、D - FF ( E )の出力はHとなる。D - FF ( E )の出力Hは、ORゲート8 ( D )に入力される。その結果、ORゲート8 ( D )の出力はHとなり、副ゲート線GL n , bがオンする。

【0052】

次に、D - FF ( E )の出力Hと、CK 1からの次の立ち上がりのクロック信号がD - FF ( F )に入力される。その結果、D - FF ( F )の出力はHとなる。D - FF ( F )の出力Hは、ORゲート8 ( E )に入力される。ORゲート8 ( E )の出力はHとなり、副ゲート線GL n + 1 , aがオンする。

【0053】

次に、D - FF ( F )の出力Hと、CK 1からの次の立ち上がりのクロック信号がD - FF ( G )に入力される。その結果、D - FF ( G )の出力はHとなる。D - FF ( G )の出力Hは、ORゲート8 ( F )に入力される。ORゲート8 ( F )の出力はHとなり、副ゲート線GL n + 2 , bがオンする。

【0054】

次に、D - FF ( G )の出力Hと、CK 1からの次の立ち上がりのクロック信号がD - FF ( H )に入力される。その結果、D - FF ( H )の出力はHとなる。D - FF ( H )の出力Hは、ORゲート8 ( A )、ORゲート8 ( B )、及び、ORゲート8 ( C )に同時に入力される。ORゲート8 ( A )、ORゲート8 ( B )、及び、ORゲート8 ( C )の出力はHとなり、副ゲート線GL n , a、GL n + 1 , b、及び、GL n + 2 , aが同時にオンする。

【0055】

以下、同様に、副ゲート線GL n + 3 , a、GL n + 4 , b、GL n + 5 , aが順次オンし、次に、副ゲート線GL n + 3 , b、GL n + 4 , a、GL n + 5 , bが同時にオンする。

【0056】

よって、ゲート駆動部6は、1フレームあたり8回のクロックタイミングで副ゲート線GL n , a ~ GL n + 5 , bをオンする。ゲート駆動部6を用いて、ジグザク状のインターレース書き込み方法で画素データを書き込み方法については、後ほど詳しく説明する。

【0057】

バックライトユニット7は、ディスプレイパネル2に光を供給する。バックライトユニット7は、ディスプレイパネル2に光を供給するバックライト(図示せず)と、バックライトに電流を供給するインバータ(図示せず)を含む。インバータ駆動信号は、画像の同期信号に同期させることができる。

【0058】

信号制御部4、データ駆動部5、及び、ゲート駆動部6は、少なくとも一つのICチップの形態でディスプレイパネル2上に直接実装されても良く、テープキャリアパッケージ(TCP)の形態でディスプレイパネル2に取り付けられているフレキシブルプリント回路フィルム(図示せず)に実装されても良い。また、信号制御部4、データ駆動部5、及び、ゲート駆動部6は、別の印刷回路基板(図示せず)に実装されても良い。

【0059】

さらに、データ駆動部5、及び、ゲート駆動部6は、薄膜プロセスにより、データ線DL m ~ DL m + 5、副ゲート線GL n , a ~ GL n + 5 , b、及び、スイッチング素子TRと一緒にディスプレイパネル2上に集積化されても良い。信号制御部4、データ駆動部5、及び、ゲート駆動部6は、単一のチップの形態で集積化されても良い。信号制御部4、データ駆動部5、及び、ゲート駆動部6のうちの少なくとも一つ、又は、信号制御部4を含む回路素子、データ駆動部5を含む回路素子、及び、ゲート駆動部6を含む回路素子を単一のチップの外部に設けても良い。

【0060】

(画素データ書き込み方法)

10

20

30

40

50

本実施の形態に係る画像表示装置 1 においては、前述した様に、ディスプレイパネル 2 は、 $\{W, R\}$  と  $\{G, B\}$  の副画素でそれぞれデータ線  $D L m \sim D L m + 5$  を共有しており、各副画素は、スイッチング素子  $T R$  を介してデータ線  $D L m \sim D L m + 5$  に接続している。そのため、ディスプレイパネル 2 は、データ線の本数が通常の  $R G B W$  ディスプレイパネルと比べて半分で構成されている。

#### 【 0 0 6 1 】

そして、本実施の形態に係る画像表示装置 1 が図 2 で説明したゲート駆動部 6 の構成を有しない場合には、副ゲート線は、 $G L n, a \sim G L n + 5, b$  の順番に駆動し、各副画素に副画素データが書き込まれる。以下に、副ゲート線を順番に駆動し、各副画素に副画素データを順番に書き込む方法について説明する。図 3 は、第  $N$  フレームにおいて、副ゲート線が順番に駆動し、各副画素に副画素データが順番に書き込まれる場合を説明する図である。なお、図 3 において、“ - ” は、 $N - 1$  フレームに書き込まれた副画素データを表す。

10

#### 【 0 0 6 2 】

第  $N$  フレームにおいて、全ての副画素に副画素データを書き込むために、以下の 1 2 回のステップを必要とする。

- ・第 1 ステップ：副ゲート線  $G L n, a$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 1 行目の副画素  $\{W, G\}$  に対するデータ書き込み。
- ・第 2 ステップ：副ゲート線  $G L n, b$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 1 行目の副画素  $\{R, B\}$  に対するデータ書き込み。
- ・第 3 ステップ：副ゲート線  $G L n + 1, a$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 2 行目の副画素  $\{W, G\}$  に対するデータ書き込み。
- ・第 4 ステップ：副ゲート線  $G L n + 1, b$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 2 行目の副画素  $\{R, B\}$  に対するデータ書き込み。
- ・第 5 ステップ：副ゲート線  $G L n + 2, a$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 3 行目の副画素  $\{W, G\}$  に対するデータ書き込み。
- ・第 6 ステップ：副ゲート線  $G L n + 2, b$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 3 行目の副画素  $\{R, B\}$  に対するデータ書き込み。
- ・第 7 ステップ：副ゲート線  $G L n + 3, a$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 4 行目の副画素  $\{W, G\}$  に対するデータ書き込み。
- ・第 8 ステップ：副ゲート線  $G L n + 3, b$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 4 行目の副画素  $\{R, B\}$  に対するデータ書き込み。
- ・第 9 ステップ：副ゲート線  $G L n + 4, a$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 5 行目の副画素  $\{W, G\}$  に対するデータ書き込み。
- ・第 10 ステップ：副ゲート線  $G L n + 4, b$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 5 行目の副画素  $\{R, B\}$  に対するデータ書き込み。
- ・第 11 ステップ：副ゲート線  $G L n + 5, a$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 6 行目の副画素  $\{W, G\}$  に対するデータ書き込み。
- ・第 12 ステップ：副ゲート線  $G L n + 5, b$  の駆動、及び、データ線  $D L m \sim D L m + 5$  を介した 6 行目の副画素  $\{R, B\}$  に対するデータ書き込み。

20

30

#### 【 0 0 6 3 】

これにより第  $N$  フレームの書き込み動作を終了する。そして、以後のフレーム ( $N + 1, N + 2, \dots$ ) においても、上述した 1 2 回のステップが繰り返される。一方、副ゲート線ではなくゲート線を備え、その本数を副ゲート線の半分の 6 本とした上で、副画素  $\{W, R, G, B\}$  が各ゲート線に接続されているタイプの  $R G B W$  ディスプレイパネルでは、半分の 6 回のステップで全ての副画素に副画素データを書くことが可能である。従って、副ゲート線を 1 2 本備えているタイプの  $R G B W$  ディスプレイパネルは、ゲート線を 6 本備えているタイプの  $R G B W$  ディスプレイパネルに比べて、データを書き込みための時間が  $1 / 2$  と短くなる。その代わりに、データ線の本数を 1 2 本から 6 本へと削減できるので、外部に設けるデータドライバ IC の数が削減可能な他、PCB の小型化や T - CONT のピン数削減などによるコスト削減が可能である。なお、データ駆動部に関して、G I

40

50

P ( Gate - i n - P a n e l ) で構成するためにコスト増加などの問題は無い。

【 0 0 6 4 】

(ジグザク状のインターレース書き込み方法)

前述した様に、FHD (フルハイビジョン) からUHD (ウルトラハイビジョン) 4Kへと解像度が増加している。そのため、また画像のリフレッシュ周期も高速化が、具体的には、60Hzから120Hzへと求められており、したがってRGBWディスプレイパネルにおけるデータ書き込み時間も、より短くなってきている。具体的には、副ゲート線1本あたりの書き込みに費やせる時間は、4K解像度でリフレッシュ周期120Hzの場合は約1.9 $\mu$ sと非常に短い。この場合、副ゲート線の駆動が不十分となってデータ書き込みが不確実となる可能性もある。

10

【 0 0 6 5 】

これに対して、本実施の形態に係る画像表示装置1では、図2で説明したゲート駆動部6の構成を備え、ジグザク状のインターレース書き込みを行い、各副画素に副画素データを書き込む。以下に、ジグザク状のインターレース書き込み方法について説明する。図4は、第Nフレームにおいて、本実施の形態に係る画像表示装置1がジグザク状のインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。なお、図4において、“-”は、N-1フレームに書き込まれた副画素データを表す。

【 0 0 6 6 】

第Nフレームにおいて、全ての副画素に副画素データを書き込むために、以下の8回のステップを必要とする。

20

・第1ステップ：副ゲート線GL<sub>n</sub>, aの駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した1行目の副画素{W, G}に対するデータ書き込み。

・第2ステップ：副ゲート線GL<sub>n+1</sub>, bの駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した2行目の副画素{R, B}に対するデータ書き込み。

・第3ステップ：副ゲート線GL<sub>n+2</sub>, aの駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した3行目の副画素{W, G}に対するデータ書き込み。

・第4ステップ：副ゲート線GL<sub>n</sub>, b、GL<sub>n+1</sub>, a、及び、GL<sub>n+2</sub>, bの同時駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した1行目の副画素{R, B}、2行目の副画素{W, G}、及び、3行目の副画素{R, B}に対するデータ“0”の書き込み。

・第5ステップ：副ゲート線GL<sub>n+3</sub>, bの駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した4行目の副画素{R, B}に対するデータ書き込み。

30

・第6ステップ：副ゲート線GL<sub>n+4</sub>, aの駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した5行目の副画素{W, G}に対するデータ書き込み。

・第7ステップ：副ゲート線GL<sub>n+5</sub>, bの駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した6行目の副画素{R, B}に対するデータ書き込み。

・第8ステップ：副ゲート線GL<sub>n+3</sub>, a、GL<sub>n+4</sub>, b、及び、GL<sub>n+5</sub>, aの同時駆動、及び、データ線DL<sub>m</sub>~DL<sub>m+5</sub>を介した4行目の副画素{W, G}、5行目の副画素{R, B}、及び、3行目の副画素{W, G}に対するデータ“0”の書き込み。これにより第Nフレームの書き込み動作を終了する。

【 0 0 6 7 】

40

本実施の形態に係る画像表示装置1では、8回のステップで各副画素に副画素データが書き込まれる。従って、副ゲート線が、GL<sub>n</sub>, a~GL<sub>n+5</sub>, bの順番に駆動し、12回のステップで各副画素に副画素データが書き込まれる場合と比べて、書きこむステップが8/12=2/3減少する。この結果、1回当たりのデータ書き込み時間を、3/2=1.5倍伸張することができ、副ゲート線1本あたりの書き込みに費やせる時間は、4K, 120Hzの場合、約1.9 $\mu$ s 約2.9 $\mu$ sとなり、書き込み不具合を防止することができる。

【 0 0 6 8 】

本発明においては、各フレーム内でデータ書き込みを行う副画素の数を副ゲート線単位で間引くことにより、データ書き込み時間の伸張を行う。ただし、書き込みを行わなかった

50

副画素で前フレームのデータが残存する場合、表示画像内の物体やテクスチャの端部において偽色が派生したり、線の崩れが生じるなどし、表示画質が劣化する。そこで本発明では更に、複数行内の複数の副ゲート線について書き込みを行った後、当該行の書き込みを行わなかった複数の副ゲート線について同時にまとめて“0”データを書き込むことにより、画像劣化を防いでいる。

#### 【0069】

一方、第N+1フレームにおいては、第Nフレームで通常の前データ書き込みを行う副ゲート線すなわち副画素と、同時にまとめて“0”データ書き込みを行う副ゲート線すなわち副画素を入れ換えて同様の書き込み動作を行う。図5は、第N+1フレームにおいて、本実施の形態に係る画像表示装置1がジグザク状のインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。なお、図5において、“-”は、Nフレームに書き込まれた画素データを表す。

10

#### 【0070】

第N+1フレームにおいて、全ての副画素に副画素データを書き込むために、以下の8回のステップを必要とする。

・第1ステップ：副ゲート線 $GL_n$ 、 $b$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した1行目の副画素 $\{R, B\}$ に対するデータ書き込み。

・第2ステップ：副ゲート線 $GL_{n+1}$ 、 $a$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した2行目の副画素 $\{W, G\}$ に対するデータ書き込み。

・第3ステップ：副ゲート線 $GL_{n+2}$ 、 $b$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した3行目の副画素 $\{R, B\}$ に対するデータ書き込み。

20

・第4ステップ：副ゲート線 $GL_n$ 、 $a$ 、 $GL_{n+1}$ 、 $b$ 、及び、 $GL_{n+2}$ 、 $a$ の同時駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した1行目の副画素 $\{W, G\}$ 、2行目の副画素 $\{R, B\}$ 、及び、3行目の副画素 $\{W, G\}$ に対するデータ“0”の書き込み。

・第5ステップ：副ゲート線 $GL_{n+3}$ 、 $a$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した4行目の副画素 $\{W, G\}$ に対するデータ書き込み。

・第6ステップ：副ゲート線 $GL_{n+4}$ 、 $b$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した5行目の副画素 $\{R, B\}$ に対するデータ書き込み。

・第7ステップ：副ゲート線 $GL_{n+5}$ 、 $a$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した6行目の副画素 $\{W, G\}$ に対するデータ書き込み。

30

・第8ステップ：副ゲート線 $GL_{n+3}$ 、 $b$ 、 $GL_{n+4}$ 、 $a$ 、及び、 $GL_{n+5}$ 、 $b$ の同時駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した4行目の副画素 $\{R, B\}$ 、5行目の副画素 $\{W, G\}$ 、及び、3行目の副画素 $\{R, B\}$ に対するデータ“0”の書き込み。これにより第N+1フレームの書き込み動作を終了する。

#### 【0071】

このように、第Nフレームと第N+1フレームにおいて、通常の前データ書き込みを行う副ゲート線すなわち副画素と、同時にまとめて“0”データ書き込みを行う副ゲート線すなわち副画素を入れ換えて書き込み動作を行うことにより、画像劣化を防ぐことができる。

#### 【0072】

第1の実施の形態によれば、RGBWの4種類の副画素を有する画像表示装置において、4種類の副画素のうち、2種類の副画素の組を異なる副ゲート線に接続して、かつ、副ゲート線に接続する2種類の副画素の組とは異なる2種類の副画素の組を異なるデータ線に接続することにより、ゲート線（副ゲート線）の数が通常のRGBWディスプレイパネルと比べて2倍で、データ線の数が通常のRGBWディスプレイパネルと比べて半分で構成されている場合でも、画素データを書き込む回数を減少させることにより、1回当たりのデータ書き込み時間を伸張することができるので、確実なデータの書き込みが可能となる。その結果、表示画質の劣化を防ぐことができる。

40

#### 【0073】

（第2の実施の形態）

次に、本発明にかかる画像表示装置の第2の実施の形態について説明する。なお、以下に

50

説明する第2の実施の形態においては、第1の実施の形態と共通する構成については図中に同符号を付してその説明を省略する。第2の実施の形態では、第1の実施の形態と比べて、データを書き込む順番が異なっており、これは、ゲート線ドライバの構成を異ならせることにより実現している。

【0074】

図6は、第2の実施の形態に係る画像表示装置のブロック図である。図2に示すように、画像表示装置11は、ディスプレイパネル2、グレイスケール電圧生成器3、信号制御部4、データ駆動部5、ゲート駆動部16、及び、バックライトユニット7を備えている。

【0075】

ディスプレイパネル2は、RGB画像を表示する。ディスプレイパネル2は、ゲート駆動部6からゲート信号（走査信号）を受信する複数の副ゲート線 $GL_n, a \sim GL_n + 5, b$ 、及び、データ駆動部5からデータ電圧を受信する複数のデータ線 $DL_m \sim DL_m + 5$ を含む。副ゲート線 $GL_n, a \sim GL_n + 5, b$ は、互いにほぼ平行に行方向に伸び、データ線 $DL_m \sim DL_m + 5$ は、互いにほぼ平行に列方向に伸びている。

10

【0076】

さらに、ディスプレイパネル2は、副ゲート線 $GL_n, a \sim GL_n + 5$ 、及び、データ線 $DL_m \sim DL_m + 5$ に接続され、マトリクス状に配置された複数の副画素を備えている。ディスプレイパネル2は、R（レッド）、G（グリーン）、B（ブルー）、及び、W（ホワイト）の4種類の副画素を備えている。

【0077】

ディスプレイパネル2は、スイッチング素子TRを備えている。副画素 $\{W, G\}$ と副画素 $\{R, B\}$ は、副画素 $\{W, G\}$ と副画素 $\{R, B\}$ の副画素対毎に異なる副ゲート線 $GL_n, a \sim GL_n + 5, b$ に、スイッチング素子TRを介して接続している。また、ディスプレイパネル2は、 $\{W, R\}$ と $\{G, B\}$ の副画素でそれぞれデータ線 $DL_m \sim DL_m + 5$ を共有しており、各副画素は、スイッチング素子TRを介してデータ線 $DL_m \sim DL_m + 5$ に接続している。そのため、ディスプレイパネル2は、ゲート線（副ゲート線）の数が通常のRGBWディスプレイパネルと比べて2倍となる一方、データ線の数が通常のRGBWディスプレイパネルと比べて半分で構成されている。

20

【0078】

グレイスケール電圧生成器3は、各副画素で表現可能な全グレイスケールに対応する全グレイスケール電圧、又は、全グレイスケールの一部分に対応する基準グレイスケール電圧を生成する。

30

【0079】

信号制御部4は、データ駆動部5、ゲート駆動部6、及び、バックライトユニット7の動作を制御する。信号制御部4は、外部のグラフィックコントローラ（図示せず）から入力映像信号RGB、及び、入力映像信号RGBの表示を制御する入力制御信号を受信し、これらの信号に基づいて、映像信号DATA、ゲート制御信号CONT1、及び、データ制御信号CONT2を生成する。

【0080】

データ駆動部5は、ディスプレイパネル2のデータ線 $DL_m \sim DL_m + 5$ に接続され、映像信号DATAを受信して、映像信号DATAに対応するグレイスケール電圧を選択してアナログデータ電圧を生成し、データ線 $DL_m \sim DL_m + 5$ に印加する。しかしながら、グレイスケール電圧生成器3がデータ駆動部5に基準グレイスケール電圧を供給する場合、データ駆動部5は基準グレイスケール電圧を分割して、所望のデータ電圧を生成する。

40

【0081】

バックライトユニット7は、ディスプレイパネル2に光を供給する。

【0082】

ゲート駆動部16は、ディスプレイパネル2の副ゲート線 $GL_n, a \sim GL_n + 5, b$ に接続され、各副ゲート線にゲートオン電圧とゲートオフ電圧の組み合わせを含むゲート信号を印加する。そして、画像を表示する場合には、信号制御部4から伝達されるゲート制

50

御信号CONT1に応じてディスプレイパネル2の副ゲート線 $GLn, a \sim GLn+5, b$ にゲートオン電圧を印加して副ゲート線 $GLn, a \sim GLn+5, b$ に接続されたスイッチング素子TRをターンオンさせる。ターンオンされたスイッチング素子TRを介してデータ線 $DLm \sim DLm+5$ に印加されたデータ電圧が各副画素WRGBに印加される。

【0083】

図7は、ゲート駆動部16の構成を示す図である。ゲート駆動部16の回路構成は、第1の実施の形態に係るゲート駆動部6と同一であるが、各出力と副ゲート線との対応関係が異なっている。本図では、ゲート駆動部16の機能のうち、本願発明に係る副ゲート線 $GLn, a \sim GLn+5, b$ のオン(スイッチング素子TRのターンオン)に係る部分のみ示している。図7の様に、ゲート駆動部6は、複数のD型フリップフロップ(D-FF(A~P))、及び、複数のORゲート8(A~L)で構成される。そして、複数のD-FF(A~P)は、シフトレジスタとして機能する。ゲート駆動部16を用いてデータを書き込む方法を、以後、ノーマルなインターレース書き込み方法と呼ぶ。

10

【0084】

次に、ゲート駆動部16の動作について、以下に詳細に説明する。第Nフレームにおいて副ゲート線 $GLn, a \sim GLn+5, b$ をオンする場合を考える。初めに、CTL0からのコントロール信号と、CK0からの立ち上がりのクロック信号がD-FF(A)に入力される。その結果、D-FF(A)の出力はHとなる。D-FF(A)の出力Hは、ORゲート8(A)に入力される。その結果、ORゲート8(A)の出力はHとなり、副ゲート線 $GLn, a$ がオンする。

20

【0085】

次に、D-FF(A)の出力Hと、CK0からの次の立ち上がりのクロック信号がD-FF(B)に入力される。その結果、D-FF(B)の出力はHとなる。D-FF(B)の出力Hは、ORゲート8(B)に入力される。ORゲート8(B)の出力はHとなり、副ゲート線 $GLn, b$ がオンする。

【0086】

次に、D-FF(B)の出力Hと、CK0からの次の立ち上がりのクロック信号がD-FF(C)に入力される。その結果、D-FF(C)の出力はHとなる。D-FF(C)の出力Hは、ORゲート8(C)に入力される。ORゲート8(C)の出力はHとなり、副ゲート線 $GLn+2, a$ がオンする。

30

【0087】

次に、D-FF(C)の出力Hと、CK0からの次の立ち上がりのクロック信号がD-FF(D)に入力される。その結果、D-FF(D)の出力はHとなる。D-FF(D)の出力Hは、ORゲート8(D)、ORゲート8(E)、及び、ORゲート8(F)に同時に入力される。ORゲート8(D)、ORゲート8(E)、及び、ORゲート8(F)の出力はHとなり、副ゲート線 $GLn+1, a$ 、 $GLn+1, b$ 、及び、 $GLn+3, a$ が同時にオンする。

【0088】

以下、同様に、副ゲート線 $GLn+2, b$ 、 $GLn+4, a$ 、 $GLn+4, b$ が順次オンし、次に、副ゲート線 $GLn+3, b$ 、 $GLn+5, a$ 、 $GLn+5, b$ が同時にオンする。

40

【0089】

さらに、第N+1フレームにおいて副ゲート線 $GLn, a \sim GLn+5, b$ をオンする場合を考える。初めに、CTL1からのコントロール信号と、CK1からの立ち上がりのクロック信号がD-FF(E)に入力される。その結果、D-FF(E)の出力はHとなる。D-FF(E)の出力Hは、ORゲート8(D)に入力される。その結果、ORゲート8(D)の出力はHとなり、副ゲート線 $GLn+1, a$ がオンする。

【0090】

次に、D-FF(E)の出力Hと、CK1からの次の立ち上がりのクロック信号がD-FF(F)に入力される。その結果、D-FF(F)の出力はHとなる。D-FF(F)の

50

出力Hは、ORゲート8(E)に入力される。ORゲート8(E)の出力はHとなり、副ゲート線 $GL_{n+1}$ , bがオンする。

【0091】

次に、D-FF(F)の出力Hと、CK1からの次の立ち上がりのクロック信号がD-FF(G)に入力される。その結果、D-FF(G)の出力はHとなる。D-FF(G)の出力Hは、ORゲート8(F)に入力される。ORゲート8(F)の出力はHとなり、副ゲート線 $GL_{n+3}$ , aがオンする。

【0092】

次に、D-FF(G)の出力Hと、CK1からの次の立ち上がりのクロック信号がD-FF(H)に入力される。その結果、D-FF(H)の出力はHとなる。D-FF(H)の出力Hは、ORゲート8(A)、ORゲート8(B)、及び、ORゲート8(C)に同時に入力される。ORゲート8(A)、ORゲート8(B)、及び、ORゲート8(C)の出力はHとなり、副ゲート線 $GL_n$ , a、 $GL_n$ , b、及び、 $GL_{n+2}$ , aが同時にオンする。

10

【0093】

以下、同様に、副ゲート線 $GL_{n+3}$ , b、 $GL_{n+5}$ , a、 $GL_{n+5}$ , bが順次オンし、次に、副ゲート線 $GL_{n+2}$ , b、 $GL_{n+4}$ , a、 $GL_{n+4}$ , bが同時にオンする。

【0094】

よって、ゲート駆動部16は、1フレームあたり8回のクロックタイミングで副ゲート線 $GL_n$ , a~ $GL_{n+5}$ , bをオンする。

20

【0095】

(ノーマルなインターレース書き込み方法)

本実施の形態に係る画像表示装置11では、図7で説明したゲート駆動部16の構成を備え、ノーマルなインターレース書き込みを行い、各副画素に副画素データを書き込む。以下に、ノーマルなインターレース書き込み方法について説明する。図8は、第Nフレームにおいて、本実施の形態に係る画像表示装置11がノーマルなインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。なお、図8において、“-”は、N-1フレームに書き込まれた副画素データを表す。

【0096】

第Nフレームにおいて、全ての副画素に副画素データを書き込むために、以下の8回のステップを必要とする。

30

・第1ステップ：副ゲート線 $GL_n$ , aの駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した1行目の副画素{W, G}に対するデータ書き込み。

・第2ステップ：副ゲート線 $GL_n$ , bの駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した1行目の副画素{R, B}に対するデータ書き込み。

・第3ステップ：副ゲート線 $GL_{n+2}$ , aの駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した3行目の副画素{W, G}に対するデータ書き込み。

・第4ステップ：副ゲート線 $GL_{n+1}$ , a、 $GL_{n+1}$ , b、及び、 $GL_{n+3}$ , aの同時駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した2行目の副画素{W, R, G, B}、及び、4行目の副画素{W, G}に対するデータ“0”の書き込み。

40

・第5ステップ：副ゲート線 $GL_{n+2}$ , bの駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した3行目の副画素{R, B}に対するデータ書き込み。

・第6ステップ：副ゲート線 $GL_{n+4}$ , aの駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した5行目の副画素{W, G}に対するデータ書き込み。

・第7ステップ：副ゲート線 $GL_{n+4}$ , bの駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した5行目の副画素{R, B}に対するデータ書き込み。

・第8ステップ：副ゲート線 $GL_{n+3}$ , b、 $GL_{n+5}$ , a、及び、 $GL_{n+5}$ , bの同時駆動、及び、データ線 $DL_m$ ~ $DL_{m+5}$ を介した4行目の副画素{R, B}、及び、6行目の副画素{W, R, G, B}に対するデータ“0”の書き込み。

50

これにより第Nフレームの書き込み動作を終了する。

【0097】

本実施の形態に係る画像表示装置11では、8回のステップで各副画素に副画素データが書き込まれる。従って、副ゲート線が、 $GL_n, a \sim GL_{n+5}, b$ の順番に駆動し、12回のステップで各副画素に副画素データが書き込まれる場合と比べて、書きこむステップが $8/12 = 2/3$ 減少する。この結果、1回当たりのデータ書き込み時間を、 $3/2 = 1.5$ 倍伸張することができ、副ゲート線1本あたりの書き込みに費やせる時間は、 $4K, 120Hz$ の場合、約 $1.9 \mu s$  約 $2.9 \mu s$ となり、書き込み不具合を防止することができる。

【0098】

本発明においては、各フレーム内でデータ書き込みを行う副画素の数を副ゲート線単位で間引くことにより、データ書き込み時間の伸張を行う。ただし、書き込みを行わなかった副画素で前フレームのデータが残存する場合、表示画像内の物体やテクスチャの端部において偽色が派生したり、線の崩れが生じるなどし、表示画質が劣化する。そこで本発明では更に、複数行内の複数の副ゲート線について書き込みを行った後、当該行の書き込みを行わなかった複数の副ゲート線について同時にまとめて“0”データを書き込むことにより、画像劣化を防いでいる。

【0099】

一方、第N+1フレームにおいては、第Nフレームで通常データ書き込みを行う副ゲート線すなわち副画素と、同時にまとめて“0”データ書き込みを行う副ゲート線すなわち副画素を入れ換えて同様の書き込み動作を行う。図9は、第N+1フレームにおいて、本実施の形態に係る画像表示装置1がノーマルなインターレース書き込みを行い、各副画素に副画素データを書き込む方法を説明する図である。なお、図9において、“-”は、Nフレームに書き込まれた副画素データを表す。

【0100】

第N+1フレームにおいて、全ての副画素に副画素データを書き込むために、以下の8回のステップを必要とする。

- ・第1ステップ：副ゲート線 $GL_{n+1}, a$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した2行目の副画素{W, G}に対するデータ書き込み。
- ・第2ステップ：副ゲート線 $GL_{n+1}, b$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した2行目の副画素{R, B}に対するデータ書き込み。
- ・第3ステップ：副ゲート線 $GL_{n+3}, a$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した4行目の副画素{W, G}に対するデータ書き込み。
- ・第4ステップ：副ゲート線 $GL_n, a, GL_n, b$ 、及び、 $GL_{n+2}, a$ の同時駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した1行目の副画素{W, R, G, B}、及び、3行目の副画素{W, G}に対するデータ“0”の書き込み。
- ・第5ステップ：副ゲート線 $GL_{n+3}, b$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した4行目の副画素{R, B}に対するデータ書き込み。
- ・第6ステップ：副ゲート線 $GL_{n+5}, a$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した6行目の副画素{W, G}に対するデータ書き込み。
- ・第7ステップ：副ゲート線 $GL_{n+5}, b$ の駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した6行目の副画素{R, B}に対するデータ書き込み。
- ・第8ステップ：副ゲート線 $GL_{n+2}, b, GL_{n+4}, a$ 、及び、 $GL_{n+4}, b$ の同時駆動、及び、データ線 $DL_m \sim DL_{m+5}$ を介した3行目の副画素{R, B}、及び、5行目の副画素{W, R, G, B}に対するデータ“0”の書き込み。

これにより第N+1フレームの書き込み動作を終了する。

【0101】

このように、第Nフレームと第N+1フレームにおいて、通常データ書き込みを行う副ゲート線すなわち副画素と、同時にまとめて“0”データ書き込みを行う副ゲート線すなわち副画素を入れ換えて書き込み動作を行うことにより、画像劣化を防ぐことができる。

10

20

30

40

50



## 【 0 1 0 2 】

第2の実施の形態によれば、第1の実施の形態と比べて信ゲート駆動部の構成が異なるものの第1の実施の形態と同様に、R G B Wの4種類の副画素を有する画像表示装置において、4種類の副画素のうち、2種類の副画素の組を異なる副ゲート線に接続して、かつ、副ゲート線に接続する2種類の副画素の組とは異なる2種類の副画素の組を異なるデータ線に接続することにより、ゲート線（副ゲート線）の数が通常のR G B Wディスプレイパネルと比べて2倍で、データ線の数が通常のR G B Wディスプレイパネルと比べて半分で構成されている場合でも、画素データを書き込む回数を減少させることにより、1回当たりのデータ書き込み時間を伸張することができるので、確実なデータの書き込みが可能となる。その結果、表示画質の劣化を防ぐことができる。

10

## 【 0 1 0 3 】

以上、本発明の好ましい実施の形態について詳細に説明したが、当該技術分野における通常の知識を有する者であればこれから様々な変形及び均等な実施の形態が可能である。

## 【 0 1 0 4 】

第1及び第2の実施形態に係る画像表示装置では、副ゲート線6本をゲートオンするために、副ゲート線3本に順次個別のゲートオン信号を印加し、データ線に印加された個別のデータ電圧を順次印加し、さらに副ゲート線3本に同一のゲートオン信号を印加し、3本のデータ線にデータ電圧としてゼロを印加することにより、表示画質のレベルを維持しながらディスプレイパネル2に画素データを書き込む回数を2/3減少させている。しかしながら、個別のゲートオン信号を印加する副ゲート線の本数と同一のゲートオン信号を印加する副ゲート線の本数の割合はこれに限られない。個別のゲートオン信号を印加する副ゲート線の本数と同一のゲートオン信号を印加する副ゲート線の本数の割合は、表示画像の画質が要求されるレベルを満足すれば、任意に変更可能である。例えば、副ゲート線1本に個別のゲートオン信号を印加し、さらに副ゲート線2本に同一のゲートオン信号を印加することも可能である。

20

## 【 0 1 0 5 】

さらに、ダミーの処理ステップを入れるなどして、個別のゲートオン信号を副ゲート線に印加する回数と、同一のゲートオン信号を副ゲート線に印加する回数の割合とを、任意に変更することが可能である。

## 【 0 1 0 6 】

よって、本発明の権利範囲はこれに限定されるものではなく、特許請求の範囲で定義される本発明の基本概念を用いた当業者の様々な変形や改良形態も本発明に含まれる。

30

## 【符号の説明】

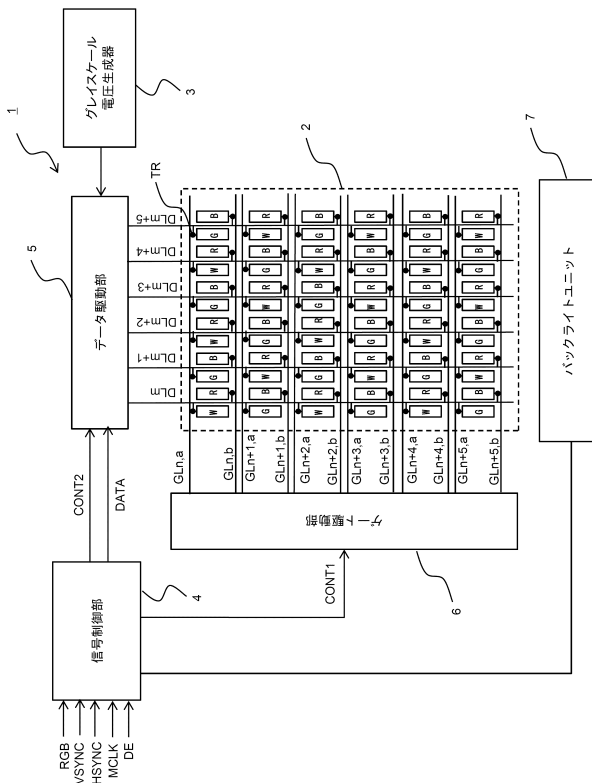
## 【 0 1 0 7 】

- 1、 1 1 画像表示装置
- 2 ディスプレイパネル
- 3 グレイスケール電圧生成器
- 4 信号制御部
- 5 データ駆動部
- 6、 1 6 ゲート駆動部
- 7 バックライトユニット
- 8 O Rゲート
- T R スイッチング素子
- D - F F

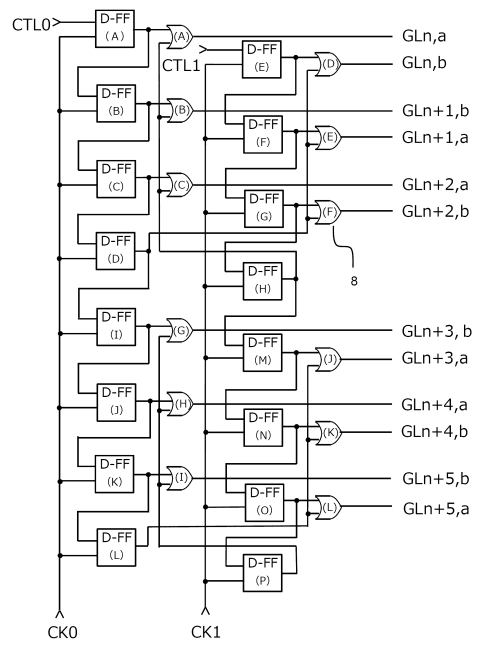
40

【図面】

【図 1】



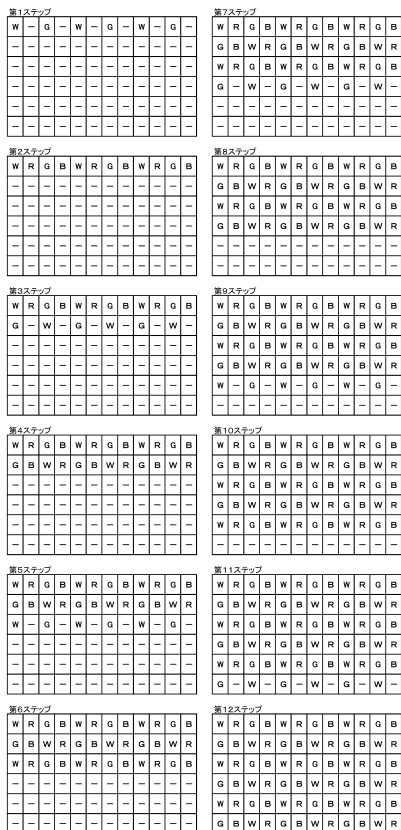
【図 2】



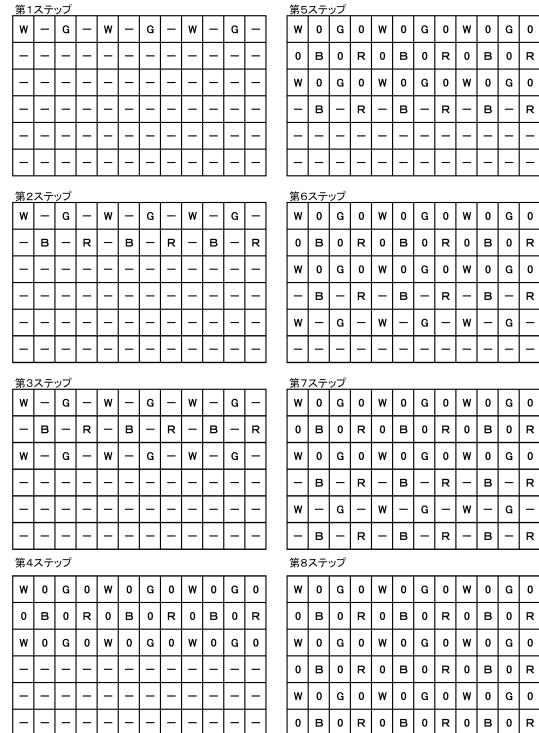
10

20

【図 3】



【図 4】

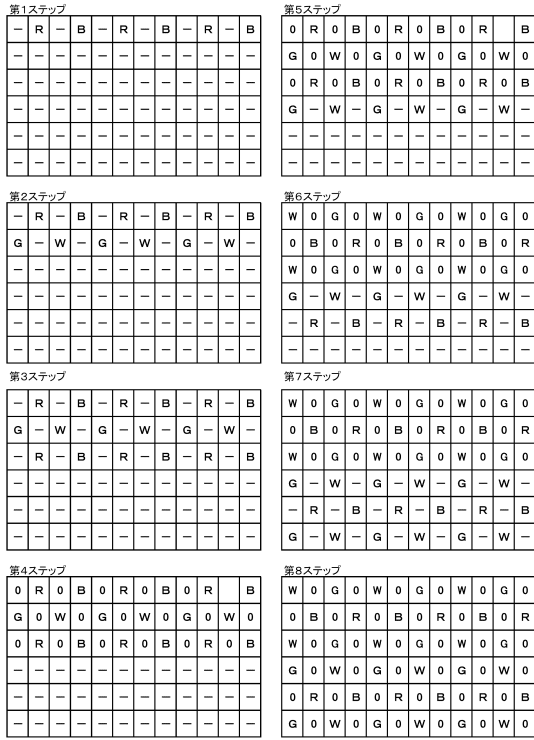


30

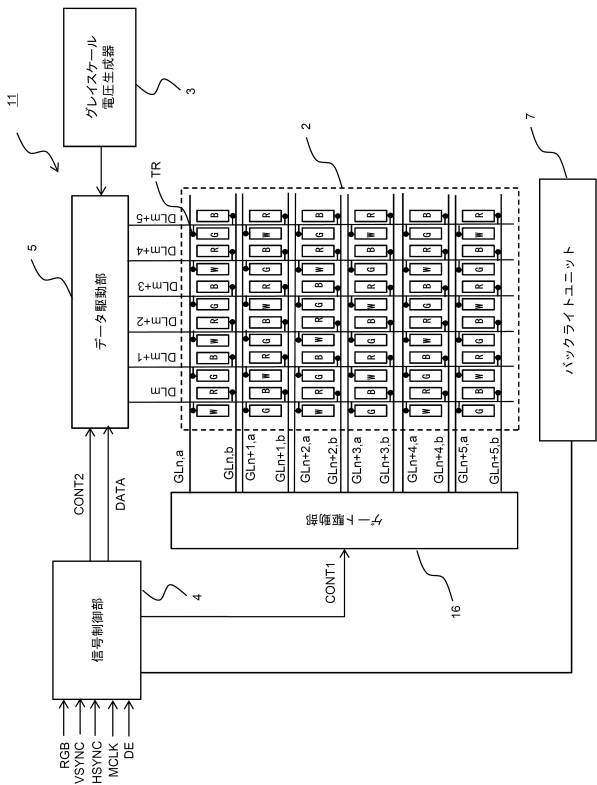
40

50

【図5】



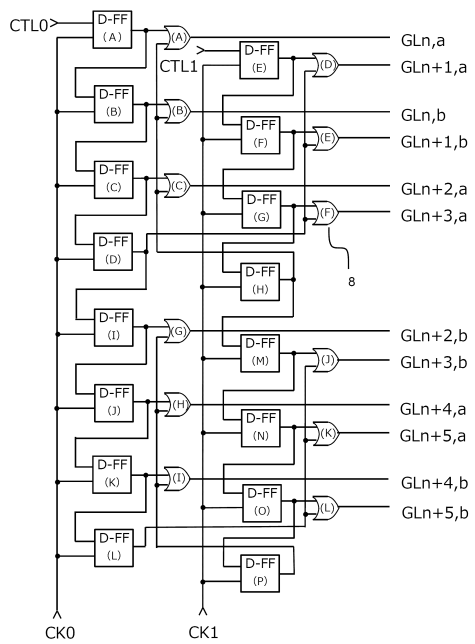
【図6】



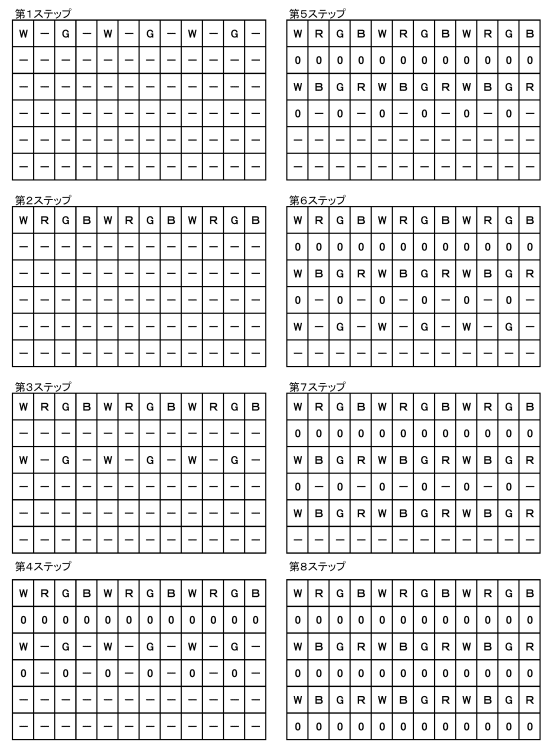
10

20

【図7】



【図8】



30

40

50

【 図 9 】

第1ステップ

-	-	-	-	-	-	-	-	-	-		
G	-	W	-	G	-	W	-	G	-	W	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-

第5ステップ

0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R
0	-	0	-	0	-	0	-	0	-	0	-
G	B	W	R	G	B	W	R	G	B	W	R
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-

第2ステップ

-	-	-	-	-	-	-	-	-	-		
G	B	W	R	G	B	W	R	G	B	W	R
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-

第6ステップ

0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R
0	-	0	-	0	-	0	-	0	-	0	-
G	B	W	R	G	B	W	R	G	B	W	R
-	-	-	-	-	-	-	-	-	-	-	-
G	-	W	-	G	-	W	-	G	-	W	-

第3ステップ

-	-	-	-	-	-	-	-	-	-		
G	B	W	R	G	B	W	R	G	B	W	R
-	-	-	-	-	-	-	-	-	-	-	-
G	-	W	-	G	-	W	-	G	-	W	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-

第7ステップ

0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R
0	-	0	-	0	-	0	-	0	-	0	-
G	B	W	R	G	B	W	R	G	B	W	R
-	-	-	-	-	-	-	-	-	-	-	-
G	B	W	R	G	B	W	R	G	B	W	R

第4ステップ

0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R
0	-	0	-	0	-	0	-	0	-	0	-
G	-	W	-	G	-	W	-	G	-	W	-
-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-

第8ステップ

0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R
0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R
0	0	0	0	0	0	0	0	0	0	0	0
G	B	W	R	G	B	W	R	G	B	W	R

10

20

30

40

50

---

フロントページの続き

(51)国際特許分類

F I

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 2 E
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 1 0
G 0 2 F	1/1343	
G 0 2 F	1/133	5 5 0
G 0 2 F	1/1368	

(56)参考文献 米国特許出願公開第 2 0 1 6 / 0 0 7 8 8 2 6 ( U S , A 1 )  
特開 2 0 1 5 - 1 2 9 9 0 7 ( J P , A )

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8