

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-12837  
(P2019-12837A)

(43) 公開日 平成31年1月24日(2019.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 X	4 K O 2 9
HO 1 L 21/363 (2006.01)	HO 1 L 21/363	4 K O 3 0
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 C	5 F O 5 8
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 0 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 9 A	5 F 1 1 0

審査請求 有 請求項の数 3 O L (全 60 頁) 最終頁に続く

(21) 出願番号 特願2018-166552 (P2018-166552)  
 (22) 出願日 平成30年9月6日 (2018.9.6)  
 (62) 分割の表示 特願2017-41252 (P2017-41252) の分割  
 原出願日 平成25年3月14日 (2013.3.14)  
 (31) 優先権主張番号 特願2012-87432 (P2012-87432)  
 (32) 優先日 平成24年4月6日 (2012.4.6)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2012-156492 (P2012-156492)  
 (32) 優先日 平成24年7月12日 (2012.7.12)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 岡崎 健一  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 佐々木 俊成  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 横山 周平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 羽持 貴士  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 最終頁に続く

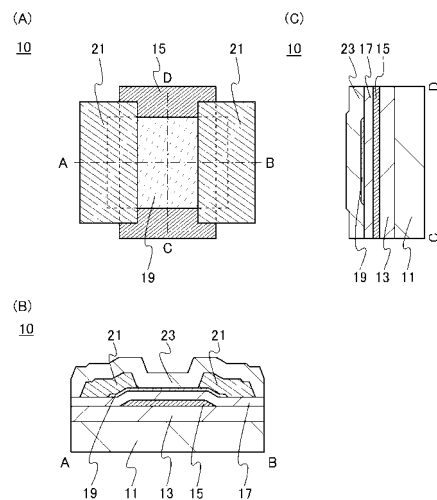
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 酸化物半導体を用いた半導体装置において、酸素欠損の含有量を低減する。また、酸化物半導体を用いた半導体装置において、電気特性を向上させる。

【解決手段】 酸化物半導体膜を有するトランジスタと、当該トランジスタ上に形成される保護膜とを有する半導体装置において、真空排気された処理室内に載置された基板を 180 以上 260 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下とし、処理室内に設けられる電極に 0.17 W/cm<sup>2</sup> 以上 0.5 W/cm<sup>2</sup> 以下の高周波電力を供給する条件により、上記保護膜として化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

絶縁膜上に酸化物半導体膜を形成する工程と、  
前記酸化物半導体膜上に酸化絶縁膜を形成する工程と、  
前記酸化絶縁膜を形成した後、300 以上450 以下の温度で加熱処理を行う工程と、を有し、

前記酸化絶縁膜は、真空排気された処理室内に基板を配置し、前記処理室内に原料ガスとしてシリコンを含む堆積性気体及び酸化性気体を導入して、前記処理室内における圧力を100 Pa以上250 Pa以下とし、前記処理室内に設けられる電極に高周波電力を供給することにより形成され、

10

前記酸化絶縁膜の成膜温度は、前記加熱処理の温度よりも低い温度で行われ、  
前記堆積性気体は、シラン、ジシラン、トリシラン、又はフッ化シランを有し、  
前記酸化性気体は、酸素、オゾン、一酸化窒素、又は二酸化窒素を有することを特徴とする半導体装置の作製方法。

**【請求項 2】**

絶縁膜上に酸化物半導体膜を形成する工程と、  
前記酸化物半導体膜上に酸化絶縁膜を形成する工程と、  
前記酸化絶縁膜を形成した後、300 以上450 以下の温度で加熱処理を行う工程と、を有し、

前記酸化絶縁膜は、真空排気された処理室内に基板を配置し、前記処理室内に原料ガスとしてシリコンを含む堆積性気体及び酸化性気体を導入して、前記処理室内における圧力を100 Pa以上250 Pa以下とし、前記処理室内に設けられる電極に0.17 W/cm<sup>2</sup>以上0.5 W/cm<sup>2</sup>以下の高周波電力を供給することにより形成され、

20

前記酸化絶縁膜の成膜温度は、前記加熱処理の温度よりも低い温度で行われ、  
前記堆積性気体は、シラン、ジシラン、トリシラン、又はフッ化シランを有し、  
前記酸化性気体は、酸素、オゾン、一酸化窒素、又は二酸化窒素を有することを特徴とする半導体装置の作製方法。

**【請求項 3】**

請求項 1 又は請求項 2 において、

前記酸化絶縁膜は、前記酸化物半導体膜と接する領域を有することを特徴とする半導体装置の作製方法。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、絶縁膜及び電界効果トランジスタを有する半導体装置の作製方法に関する。

**【背景技術】****【0002】**

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路(IC)などにも利用されている。

40

**【0003】**

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

**【0004】**

例えば、酸化物半導体として、酸化亜鉛、またはIn-Ga-Zn系酸化物を用いたトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている(特許文献1及び特許文献2参照)。

**【先行技術文献】**

50

## 【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に含まれる酸素欠損は、トランジスタの電気特性の不良に繋がる。例えば、膜中に酸素欠損が含まれている酸化物半導体を用いたトランジスタは、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性となりやすい。これは、酸化物半導体に含まれる酸素欠損に起因して電荷が生じてしまい、低抵抗化するためである。

10

【0007】

また、酸化物半導体膜に酸素欠陥が含まれると、経時変化や光ゲートBT (Bias-Temperature) ストレス試験により、トランジスタの電気特性、代表的にはしきい値電圧が変動してしまうという問題がある。

【0008】

そこで、本発明の一態様は、酸化物半導体を用いた半導体装置において、酸素欠損の含有量を低減することを課題の一とする。また、本発明の一態様は、酸化物半導体を用いた半導体装置において、電気特性を向上させることを課題の一とする。

20

【課題を解決するための手段】

【0009】

本発明の一態様は、プラズマCVD法を用いて化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することを特徴とする。

【0010】

また、本発明の一態様は、酸化物半導体膜を有するトランジスタと、当該トランジスタ上に形成される保護膜とを有する半導体装置において、当該保護膜として、プラズマCVD法を用いて化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することを特徴とする。

30

【0011】

また、本発明の一態様は、酸化物半導体膜を有するトランジスタと、当該トランジスタ上に形成される保護膜とを有する半導体装置において、真空排気された処理室内に載置された基板を180以上260以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下とし、処理室内に設けられる電極に0.17W/cm<sup>2</sup>以上0.5W/cm<sup>2</sup>以下の高周波電力を供給する条件により、上記保護膜として化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することを特徴とする。

【0012】

また、本発明の一態様は、酸化物半導体膜を有するトランジスタと、当該トランジスタ上に形成される保護膜とを有する半導体装置において、真空排気された処理室内に載置された基板を180以上260以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下とし、処理室内に設けられる電極に0.17W/cm<sup>2</sup>以上0.5W/cm<sup>2</sup>以下の高周波電力を供給する条件により、上記保護膜として化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成した後、加熱処理を行い、保護膜に含まれる酸素を酸化物半導体膜に拡散させることを特徴とする。

40

【0013】

また、本発明の一態様は、ゲート電極と、ゲート電極の一部とゲート絶縁膜を介して重なる酸化物半導体膜と、酸化物半導体膜に接する一对の電極とを有するトランジスタと、酸化物半導体膜上に設けられる保護膜と、を有し、保護膜は、電子スピン共鳴測定によるg = 2.001に現れる信号のスピン密度が1.5 × 10<sup>18</sup> spins/cm<sup>3</sup>未満であ

50

る酸化絶縁膜である。

【0014】

なお、一对の電極は、ゲート絶縁膜及び酸化物半導体膜の間に設けられる。または、一对の電極は、酸化物半導体膜及び保護膜の間に設けられる。

【0015】

また、本発明の一態様は、酸化物半導体膜と、酸化物半導体膜に接する一对の電極と、酸化物半導体膜上に設けられるゲート絶縁膜と、酸化物半導体膜の一部とゲート絶縁膜を介して重なるゲート電極とを有するトランジスタと、ゲート絶縁膜及びゲート電極を覆う保護膜と、を有し、保護膜は、電子スピン共鳴測定による  $g = 2.001$  に現れる信号のスピン密度が  $1.5 \times 10^{18} \text{ spins/cm}^3$  未満である酸化絶縁膜であることを特徴とする半導体装置である。

10

【発明の効果】

【0016】

酸化物半導体を有するトランジスタにおいて、トランジスタ上に形成される保護膜として化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することで、更には当該保護膜から酸化物半導体膜に酸素を拡散させることで、酸化物半導体膜に含まれる酸素欠損量を低減することができる。このため、本発明の一態様により、優れた電気特性を有する半導体装置を作製することができる。

【図面の簡単な説明】

【0017】

20

【図1】トランジスタの一形態を説明する上面図及び断面図である。

【図2】トランジスタの作製方法の一形態を説明する断面図である。

【図3】トランジスタの一形態を説明する断面図である。

【図4】トランジスタの作製方法の一形態を説明する断面図である。

【図5】トランジスタの一形態を説明する上面図及び断面図である。

【図6】トランジスタの作製方法の一形態を説明する断面図である。

【図7】トランジスタの一形態を説明する上面図及び断面図である。

【図8】トランジスタの一形態を説明する上面図及び断面図である。

【図9】トランジスタの一形態を説明する断面図である。

30

【図10】トランジスタの一形態を説明する断面図である。

【図11】トランジスタの一形態を説明する断面図である。

【図12】トランジスタの一形態を説明する断面図である。

【図13】半導体装置の一形態を説明する断面図である。

【図14】半導体装置の一形態を示す回路図である。

【図15】半導体装置の一形態を示すブロック図である。

【図16】半導体装置の一形態を示すブロック図である。

【図17】半導体装置の一形態を示すブロック図である。

【図18】作製した試料のTDS分析結果を示す図である。

【図19】作製した試料の酸素分子脱離量を示す図である。

40

【図20】作製した試料のTDS分析結果を示す図である。

【図21】作製した試料における電力と、単位面積あたりのスピン数の関係を示す図である。

【図22】作製した試料におけるシラン流量と、単位面積あたりのスピン数の関係を示す図である。

【図23】作製した試料のCPM測定結果を示す図である。

【図24】作製した試料の電流 - 電圧特性の初期特性を示す図である。

【図25】作製した試料の電流 - 電圧特性の初期特性を示す図である。

【図26】C - V測定用のMOS構造素子を示す図である。

【図27】作製した試料のC - V測定結果を示す図である。

50

【図28】作製した試料のESR測定結果を示す図である。

【図 29】作製した試料の欠陥密度とヒステリシス量の関係を示す図である。

【発明を実施するための形態】

【0018】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態及び実施例において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0019】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0020】

また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。

【0021】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

20

【0022】

本明細書において、フォトリソグラフィ工程を行った後にエッチング工程を行う場合は、フォトリソグラフィ工程で形成したマスクはエッチング工程後に除去するものとする。

【0023】

(実施の形態 1)

本実施の形態では、本発明の一態様である半導体装置、及び当該半導体装置の作製方法について図面を参照して説明する。

【0024】

図 1 (A) 乃至図 1 (C) に、半導体装置が有するトランジスタ 10 の上面図及び断面図を示す。図 1 (A) はトランジスタ 10 の上面図であり、図 1 (B) は、図 1 (A) の一点鎖線 A - B 間の断面図であり、図 1 (C) は、図 1 (A) の一点鎖線 C - D 間の断面図である。なお、図 1 (A) では、明瞭化のため、トランジスタ 10 の構成要素の一部 (例えば、基板 11、下地絶縁膜 13、ゲート絶縁膜 17)、保護膜 23 などを省略している。

30

【0025】

図 1 (B) 及び図 1 (C) に示すトランジスタ 10 は、下地絶縁膜 13 上に形成されるゲート電極 15 と、下地絶縁膜 13 及びゲート電極 15 上に形成されるゲート絶縁膜 17 と、ゲート絶縁膜 17 を介して、ゲート電極 15 と重なる酸化物半導体膜 19 と、酸化物半導体膜 19 に接する一对の電極 21 と、を有する。また、ゲート絶縁膜 17、酸化物半導体膜 19、及び一对の電極 21 を覆う保護膜 23 を有する。

40

【0026】

本実施の形態に示すトランジスタ 10 は、保護膜 23 が、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である。さらに好ましくは、保護膜 23 は、酸化物半導体膜 19 に含まれる酸素欠損量以上の酸素を含む。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、加熱により酸素の一部が脱離する酸化絶縁膜である。このため、加熱により酸素の一部が脱離する酸化絶縁膜を保護膜 23 として設けることで、加熱処理により酸化物半導体膜 19 に酸素を拡散させ、酸化物半導体膜 19 に含まれる酸素欠損を補填することが可能である。この結果、酸化物半導体膜 19 に含まれる酸素欠損量

50

が低減され、しきい値電圧のマイナスシフトを抑制したトランジスタとなる。また、経時変化や光ゲートBTストレスによって、しきい値電圧の変動が少なく、優れた電気特性を有するトランジスタとなる。

【0027】

なお、トランジスタ10においては、保護膜23に含まれる酸素は、直接、酸化物半導体膜19に移動すると共に、ゲート絶縁膜17及び保護膜23が接する領域からゲート絶縁膜17を介して、酸化物半導体膜19に移動する。

【0028】

また、保護膜23において、電子スピン共鳴測定による  $g = 2.001$  に現れる信号のスピン密度が  $1.5 \times 10^{18} \text{ spins/cm}^3$  未満、さらには  $1.0 \times 10^{18} \text{ spins/cm}^3$  以下であることが好ましい。保護膜23のスピン密度が上記範囲を満たすことで、酸化物半導体膜19及び保護膜23の界面、並びに保護膜23における欠陥を低減することが可能であり、当該領域における電子のトラップを低減することができる。この結果、トランジスタの電気特性において、異なるドレイン電圧におけるオン電流の立ち上がり電圧が略同一となる。即ち、優れた電気特性を有するトランジスタを作製することができる。なお、保護膜23の上記スピン密度は加熱処理後の値である。

10

【0029】

保護膜23としては、厚さが30nm以上500nm以下、好ましくは100nm以上400nm以下の酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

【0030】

以下に、トランジスタ10の他の構成の詳細について説明する。

20

【0031】

基板11の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板11として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板11として用いてもよい。

【0032】

また、基板11として、可撓性基板を用い、可撓性基板上に直接、下地絶縁膜13及びトランジスタ10を形成してもよい。または、基板11と下地絶縁膜13の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板11より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ10は耐熱性の劣る基板や可撓性の基板にも転載できる。

30

【0033】

下地絶縁膜13としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、下地絶縁膜13として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム等を用いることで、基板11から酸化物半導体膜19へ、アルカリ金属、水、水素等の不純物が拡散することを抑制できる。

40

【0034】

ゲート電極15は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極15は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化タンタル膜または窒化タンゲステン膜上にタンゲステン膜を積層する二層構造、チ

50

タン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせ合わせた合金膜、もしくは窒化膜を用いてもよい。

【0035】

また、ゲート電極15は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

10

【0036】

また、ゲート電極15とゲート絶縁膜17との間に、In-Ga-Zn系酸窒化物半導体膜、In-Sn系酸窒化物半導体膜、In-Ga系酸窒化物半導体膜、In-Zn系酸窒化物半導体膜、Sn系酸窒化物半導体膜、In系酸窒化物半導体膜、金属窒化膜(InN、ZnN等)等を設けることが好ましい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸窒化物半導体膜を用いる場合、少なくとも酸化物半導体膜19より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体膜を用いる。

20

【0037】

ゲート絶縁膜17としては、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn系金属酸化物、などを用いればよく、積層または単層で設ける。また、ゲート絶縁膜17において酸化物半導体膜19に接する側に、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。ゲート絶縁膜17に加熱により酸素が脱離する膜を用いることで、酸化物半導体膜19及びゲート絶縁膜17の界面における界面準位を低減することが可能であり、電気特性の劣化の少ないトランジスタを得ることができる。また、ゲート絶縁膜17のゲート電極側に、酸素、水素、水等のブロッキング効果を有する絶縁膜を設けることで、酸化物半導体膜19からの酸素の外部への拡散と、外部から酸化物半導体膜19への水素、水の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

30

【0038】

また、ゲート絶縁膜17として、ハフニウムシリケート(HfSiO<sub>x</sub>)、窒素が添加されたハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>)、窒素が添加されたハフニウムアルミネート(HfAl<sub>x</sub>O<sub>y</sub>N<sub>z</sub>)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることでトランジスタのゲートリークを低減できる。

【0039】

ゲート絶縁膜17の厚さは、5nm以上400nm以下、より好ましくは10nm以上300nm以下、より好ましくは50nm以上250nm以下とするとよい。

40

【0040】

酸化物半導体膜19は、少なくともインジウム(In)若しくは亜鉛(Zn)を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーの一または複数を有することが好ましい。

【0041】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、またはジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(P

50

r)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)等がある。

【0042】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物であるIn-Zn系金属酸化物、Sn-Zn系金属酸化物、Al-Zn系金属酸化物、Zn-Mg系金属酸化物、Sn-Mg系金属酸化物、In-Mg系金属酸化物、In-Ga系金属酸化物、三元系金属酸化物であるIn-Ga-Zn系金属酸化物(IGZOとも表記する)、In-Al-Zn系金属酸化物、In-Sn-Zn系金属酸化物、Sn-Ga-Zn系金属酸化物、Al-Ga-Zn系金属酸化物、Sn-Al-Zn系金属酸化物、In-Hf-Zn系金属酸化物、In-La-Zn系金属酸化物、In-Ce-Zn系金属酸化物、In-Pr-Zn系金属酸化物、In-Nd-Zn系金属酸化物、In-Sm-Zn系金属酸化物、In-Eu-Zn系金属酸化物、In-Gd-Zn系金属酸化物、In-Tb-Zn系金属酸化物、In-Dy-Zn系金属酸化物、In-Ho-Zn系金属酸化物、In-Er-Zn系金属酸化物、In-Tm-Zn系金属酸化物、In-Yb-Zn系金属酸化物、In-Lu-Zn系金属酸化物、四元系金属酸化物であるIn-Sn-Ga-Zn系金属酸化物、In-Hf-Ga-Zn系金属酸化物、In-Al-Ga-Zn系金属酸化物、In-Sn-Al-Zn系金属酸化物、In-Sn-Hf-Zn系金属酸化物、In-Hf-Al-Zn系金属酸化物を用いることができる。

10

20

【0043】

なお、ここで、例えば、In-Ga-Zn系金属酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0044】

また、酸化物半導体として、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ、 $m$ は整数でない)で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$  ( $n > 0$ 、且つ、 $n$ は整数)で表記される材料を用いてもよい。

【0045】

例えば、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ 、あるいは $In:Ga:Zn = 3:1:2 (= 1/2:1/6:1/3)$ の原子数比のIn-Ga-Zn系金属酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系金属酸化物やその組成の近傍の酸化物を用いとよい。なお、金属酸化物の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

30

【0046】

しかし、これらに限られず、必要とする半導体特性及び電気特性(電界効果移動度、しきい値電圧等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性及び電気特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

40

【0047】

例えば、In-Sn-Zn系金属酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系金属酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0048】

また、酸化物半導体膜19に形成することが可能な金属酸化物は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。このように

50



、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0049】

また、酸化物半導体膜19は、非晶質構造、単結晶構造、または多結晶構造であってもよい。

【0050】

また、酸化物半導体膜19は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部の一以上を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystal Oxide Semiconductor)と呼ぶ。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない。

10

【0051】

酸化物半導体膜19は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1nm以上10nm未満のサイズの微結晶(ナノ結晶ともいう。)を膜中に含む。

【0052】

酸化物半導体膜19は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

20

【0053】

なお、酸化物半導体膜19が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

【0054】

なお、酸化物半導体膜19は、例えば、単結晶を有してもよい。酸化物半導体膜は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

30

【0055】

ここでCAAC-OS膜の詳細について説明する。CAAC-OS膜に結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

40

【0056】

CAAC-OS膜に含まれる結晶部は、例えばc軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状または六角形状に配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好まし

50

くは - 5 ° 以上 5 ° 以下の範囲も含まれることとする。

【 0 0 5 7 】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【 0 0 5 8 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

10

【 0 0 5 9 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 0 6 0 】

また、酸化物半導体膜 1 9 は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜 1 9 を、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の積層として、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜に、異なる組成の金属酸化物を用いてもよい。例えば、第 1 の酸化物半導体膜に二元系金属酸化物乃至四元系金属酸化物の一を用い、第 2 の酸化物半導体膜に第 1 の酸化物半導体膜と異なる二元系金属酸化物乃至四元系金属酸化物を用いてもよい。

20

【 0 0 6 1 】

また、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第 1 の酸化物半導体膜の原子数比を  $I n : G a : Z n = 1 : 1 : 1$  とし、第 2 の酸化物半導体膜の原子数比を  $I n : G a : Z n = 3 : 1 : 2$  としてもよい。また、第 1 の酸化物半導体膜の原子数比を  $I n : G a : Z n = 1 : 3 : 2$  とし、第 2 の酸化物半導体膜の原子数比を  $I n : G a : Z n = 2 : 1 : 3$  としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス 2 0 % の変動を含む。

30

【 0 0 6 2 】

この時、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜のうち、ゲート電極に近い側（チャネル側）の酸化物半導体膜の  $I n$  と  $G a$  の含有率を  $I n > G a$  とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体膜の  $I n$  と  $G a$  の含有率を  $I n < G a$  とするとよい。

【 0 0 6 3 】

酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 $I n$  の含有率を多くすることにより、より多くの s 軌道が重なるため、 $I n > G a$  の組成となる酸化物は  $I n < G a$  の組成となる酸化物と比較して高い移動度を備える。また、 $G a$  は  $I n$  と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、 $I n < G a$  の組成となる酸化物は  $I n > G a$  の組成となる酸化物と比較して安定した特性を備える。

40

【 0 0 6 4 】

チャネル側に  $I n > G a$  の組成となる酸化物半導体を適用し、バックチャネル側に  $I n < G a$  の組成となる酸化物半導体を適用することで、トランジスタの電界効果移動度および信頼性をさらに高めることが可能となる。

【 0 0 6 5 】

また、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、微結晶酸化物半

50

導体、非晶質酸化物半導体、またはC A A C - O Sを適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜と第2の酸化物半導体膜の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体膜19の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

【0066】

酸化物半導体膜19の厚さは、1nm以上100nm以下、更に好ましくは1nm以上50nm以下、更に好ましくは1nm以上30nm以下、更に好ましくは3nm以上20nm以下とすることが好ましい。

【0067】

酸化物半導体膜19において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流の上昇の原因となるためである。

【0068】

酸化物半導体膜19には、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素が含まれてもよい。

【0069】

一对の電極21は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0070】

なお、ここでは、一对の電極21は、酸化物半導体膜19及び保護膜23の間に設けられているが、ゲート絶縁膜17及び酸化物半導体膜19の間に一对の電極21を設けてもよい。

【0071】

次に、図1に示すトランジスタの作製方法について、図2を用いて説明する。

【0072】

図2(A)に示すように、基板11上に下地絶縁膜13及びゲート電極15を形成し、ゲート電極15上にゲート絶縁膜17を形成する。次に、ゲート絶縁膜17上に酸化物半導体膜18を形成する。

【0073】

下地絶縁膜13は、スパッタリング法、CVD法等により形成する。ここでは、厚さ100nmの酸化窒化シリコン膜をCVD法により形成する。

【0074】

ゲート電極15の形成方法を以下に示す。はじめに、スパッタリング法、CVD法、蒸着法等により導電膜を形成し、導電膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜の一部をエッチングして、ゲート電極15を形成する。この後、マスクを除去する。

【0075】

なお、ゲート電極15は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェ

10

20

30

40

50

ット法等で形成してもよい。

【0076】

ここでは、厚さ100nmのタングステン膜をスパッタリング法により形成する。次に、フォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜をドライエッチングして、ゲート電極15を形成する。

【0077】

ゲート絶縁膜17は、スパッタリング法、CVD法、蒸着法等で形成する。

【0078】

ここでは、厚さ50nmの窒化シリコン膜をCVD法により形成した後、厚さ200nmの酸化窒化シリコン膜をCVD法により形成することで、ゲート絶縁膜17を形成する。

【0079】

酸化物半導体膜18は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法等により形成する。

【0080】

スパッタリング法で酸化物半導体膜18を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0081】

スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガス雰囲気を適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

【0082】

また、ターゲットは、形成する酸化物半導体膜18の組成にあわせて、適宜選択すればよい。

【0083】

なお、酸化物半導体膜18を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150以上750以下、好ましくは150以上450以下、さらに好ましくは200以上350以下として、酸化物半導体膜18を成膜することで、CAAC-Os膜を形成することができる。

【0084】

なお、CAAC-Os膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-Os膜を成膜することができる。

【0085】

また、CAAC-Os膜を成膜するために、以下の条件を適用することが好ましい。

【0086】

成膜時の不純物混入を抑制することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0087】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上基板歪み点未満、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0088】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージ

10

20

30

40

50

を軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0089】

スパッタリング用ターゲットの一例として、In-Ga-Zn系金属酸化物ターゲットについて以下に示す。

【0090】

InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末およびZnO<sub>z</sub>粉末を所定のmol数で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系金属酸化物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末およびZnO<sub>z</sub>粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0091】

次に、図2(B)に示すように、素子分離された酸化物半導体膜19がゲート絶縁膜17上において、ゲート電極15の一部と重なるように形成する。酸化物半導体膜18上にフォトリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜18の一部をエッチングすることで、素子分離された酸化物半導体膜19を形成することができる。

20

【0092】

また、酸化物半導体膜19として印刷法を用いることで、素子分離された酸化物半導体膜19を直接的に形成することができる。

【0093】

ここでは、スパッタリング法により、厚さ35nmの酸化物半導体膜18を形成した後、当該酸化物半導体膜18上にマスクを形成し、酸化物半導体膜18の一部を選択的にエッチングすることで、酸化物半導体膜19を形成する。こののち、マスクを除去する。

【0094】

次に、図2(C)に示すように、一对の電極21を形成する。

【0095】

一对の電極21の形成方法を以下に示す。はじめに、スパッタリング法、CVD法、蒸着法等で導電膜を形成する。次に、該導電膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜をエッチングして、一对の電極21を形成する。この後、マスクを除去する。

30

【0096】

ここでは、スパッタリング法により厚さ50nmのタングステン膜、厚さ400nmのアルミニウム膜、及び厚さ100nmのチタン膜を順にスパッタリング法により積層する。次に、チタン膜上にフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜、アルミニウム膜、及びチタン膜をドライエッチングして、一对の電極21を形成する。

40

【0097】

なお、一对の電極21を形成した後、エッチング残渣を除去するため、洗浄処理を行うことが好ましい。この洗浄処理を行うことで、一对の電極21の短絡を抑制することができる。当該洗浄処理は、TMAH(Tetramethylammonium Hydroxide)溶液などのアルカリ性の溶液、希フッ酸、シュウ酸、リン酸などの酸性の溶液、または水を用いて行うことができる。

【0098】

次に、図2(D)に示すように、保護膜23を形成する。

【0099】

保護膜23は一对の電極21を形成した後、プラズマCVD装置の真空排気された処理室内に載置された基板11を180以上260以下、好ましくは180以上250

50

以下、さらに好ましくは180以上230以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に $0.17\text{W}/\text{cm}^2$ 以上 $0.5\text{W}/\text{cm}^2$ 以下、好ましくは $0.25\text{W}/\text{cm}^2$ 以上 $0.40\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.26\text{W}/\text{cm}^2$ 以上 $0.35\text{W}/\text{cm}^2$ 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を基板11上に形成する。

#### 【0100】

保護膜23の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

10

#### 【0101】

保護膜23の成膜条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、シリコンを含む堆積性気体の酸化が進むため、保護膜23中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。これらの結果、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することができる。即ち、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。

20

#### 【0102】

なお、保護膜23の原料ガスとして、酸化性気体に対するシリコンを含む堆積性気体の割合を多くし、且つ高周波電力を上記パワー密度とすることで、堆積速度を速くできると共に、保護膜に含まれる酸素含有量を増加させることができる。

#### 【0103】

ここでは、保護膜23として、流量 $160\text{sccm}$ のシラン及び流量 $4000\text{sccm}$ の一酸化二窒素を原料ガスとし、処理室の圧力を200Pa、基板温度を220とし、 $27.12\text{MHz}$ の高周波電源を用いて $1500\text{W}$ の高周波電力を平行平板電極に供給したプラズマCVD法により、厚さ $400\text{nm}$ の酸化窒化シリコン膜を形成する。なお、プラズマCVD装置は電極面積が $6000\text{cm}^2$ である平行平板型のプラズマCVD装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると $0.25\text{W}/\text{cm}^2$ である。

30

#### 【0104】

次に、加熱処理を行うことで、保護膜23に含まれる酸素を酸化物半導体膜19に拡散させ、酸化物半導体膜19に含まれる酸素欠損を補填することで、酸化物半導体膜19に含まれる酸素欠損量を低減することができる。また、保護膜23形成後の加熱処理により、保護膜23の電子スピン共鳴測定による $g = 2.001$ に現れる信号のスピン密度が $1.5 \times 10^{18}\text{spins}/\text{cm}^3$ 未満、好ましくは $1.0 \times 10^{18}\text{spins}/\text{cm}^3$ 以下となる。該加熱処理の温度は、代表的には、150以上基板歪み点未満、好ましくは250以上450以下、更に好ましくは300以上450以下とする。

40

#### 【0105】

なお、当該加熱処理の温度を保護膜23の成膜温度より高くすることで、保護膜23に含まれる酸素をより多く酸化物半導体膜19に拡散させ、酸化物半導体膜19に含まれる酸素欠損を補填することができる。この時の加熱処理の温度は、250以上基板歪み点未満、好ましくは250以上450以下、更に好ましくは300以上450以下とすることができる。

#### 【0106】

該加熱処理は、電気炉、RTA (Rapid Thermal Anneal) 装置等を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、保護膜23から酸化物半導体膜19への酸素拡散時間を短縮することができる。

50

## 【0107】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。

## 【0108】

ここでは、窒素及び酸素雰囲気、350、1時間の加熱処理を行い、保護膜23に含まれる酸素を酸化半導体膜19に拡散する。本実施の形態においては、保護膜23からの固相拡散により、酸化半導体膜19に酸素を拡散させることが可能であるため、ダメージが少なく、酸化半導体膜19に酸素を添加することができる。

## 【0109】

以上の工程により、しきい値電圧のマイナスシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

10

## 【0110】

次に、図1と異なる構造のトランジスタについて、図3及び図4を用いて説明する。ここでは、トランジスタ10と比較して、酸化半導体膜に接するように緻密で膜密度の高い膜を設ける構造について、図3を用いて説明する。

## 【0111】

図3に示すトランジスタ30は、基板11上に設けられる下地絶縁膜13と、下地絶縁膜13上に形成されるゲート電極15とを有する。また、下地絶縁膜13及びゲート電極15上に、絶縁膜31及び絶縁膜32で構成されるゲート絶縁膜33が形成され、ゲート絶縁膜33を介して、ゲート電極15と重なる酸化半導体膜20と、酸化半導体膜20に接する一对の電極21とを有する。また、ゲート絶縁膜33、酸化半導体膜20、及び一对の電極21上には、絶縁膜34及び絶縁膜36で構成される保護膜37が形成される。

20

## 【0112】

本実施の形態に示すトランジスタ30において、酸化半導体膜20が、酸化雰囲気で発生したプラズマに曝されている。酸化雰囲気としては、酸素、オゾン、一酸化二窒素等の雰囲気がある。さらには、プラズマ処理において、平行平板型のプラズマCVD装置を用い、上部電極にバイアスを印加し、基板11が搭載される下部電極にバイアスを印加しない状態で発生させたプラズマに酸化半導体膜を曝すことが好ましい。この結果、ダメージが少なく、且つ酸素が酸化半導体膜20に供給されるため、酸化半導体膜20に含まれる酸素欠損量を低減することができる。

30

## 【0113】

また、トランジスタ30は、酸化半導体膜20に接するように、絶縁膜32及び絶縁膜34が形成されている。絶縁膜32及び絶縁膜34は、緻密な膜であり、膜密度が高い。このため、後に形成する絶縁膜36の形成工程において、酸化半導体膜20へのダメージ低減が可能である。

## 【0114】

絶縁膜32及び絶縁膜34としては、厚さが5nm以上400nm以下、好ましくは5nm以上50nm以下、より好ましくは10nm以上30nm以下の酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

40

## 【0115】

また、トランジスタ30上に設けられる保護膜37の一部である絶縁膜36が、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である。さらに好ましくは、絶縁膜36は、酸化半導体膜20に含まれる酸素欠損量以上の酸素を含む。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、加熱により酸素の一部が脱離する酸化絶縁膜である。このため、加熱により酸素の一部が脱離する酸化絶縁膜を保護膜37として設けることで、加熱処理により酸化半導体膜20に酸素を拡散させることができる。加熱処理により、絶縁膜36に含まれる酸素が酸化半導体膜20に拡散し、酸化半

50

導体膜 20 に含まれる酸素欠損を補填することが可能である。この結果、酸化物半導体膜 20 に含まれる酸素欠損量が低減され、しきい値電圧のマイナスシフトが抑制されたトランジスタとなる。また、経時変化や光ゲート BT ストレス試験によって、しきい値電圧の変動が少なく、優れた電気特性を有するトランジスタとなる。

【0116】

なお、トランジスタ 30 においては、絶縁膜 36 に含まれる酸素は、絶縁膜 31、絶縁膜 32、及び絶縁膜 34 の一以上を介して、酸化物半導体膜 20 に移動する。

【0117】

次に、図 3 に示すトランジスタの作製方法について、図 4 を用いて説明する。

【0118】

図 4 (A) に示すように、基板 11 上に実施の形態 1 と同様に、下地絶縁膜 13 及びゲート電極 15 を形成する。次に、ゲート絶縁膜 33 として機能する絶縁膜 31 及び絶縁膜 32 を形成する。

【0119】

絶縁膜 31 としては、CVD 法により厚さ 5 nm 以上 400 nm 以下の窒化シリコン膜または窒化酸化シリコン膜を形成する。次に、絶縁膜 32 として、CVD 法により厚さ 5 nm 以上 400 nm 以下の酸化シリコン膜または酸化窒化シリコン膜を形成する。なお、絶縁膜 31 及び絶縁膜 32 の厚さは、2 つの絶縁膜の合計の厚さが図 1 に示すトランジスタ 10 のゲート絶縁膜 17 の範囲となるように、適宜選択すればよい。

【0120】

ここでは、絶縁膜 31 として、流量 50 sccm のシラン及び流量 5000 sccm の一酸化二窒素を原料ガスとし、処理室の圧力を 60 Pa、基板温度を 350 とし、27.12 MHz の高周波電源を用いて 1500 W の高周波電力を平行平板電極に供給したプラズマ CVD 法により、厚さ 50 nm の窒化シリコン膜を形成する。

【0121】

絶縁膜 32 として、流量 20 sccm のシラン及び流量 3000 sccm の一酸化二窒素を原料ガスとし、処理室の圧力を 40 Pa、基板温度を 350 とし、27.12 MHz の高周波電源を用いて 100 W の高周波電力を平行平板電極に供給したプラズマ CVD 法により、厚さ 200 nm の酸化窒化シリコン膜を形成する。当該条件により、緻密な膜であり、絶縁膜 31 よりも膜密度が高い酸化窒化シリコン膜を形成することができる。

【0122】

ここでは、ゲート絶縁膜 33 の厚さを厚くすることで、さらに好ましくは抵抗率が  $5 \times 10^{13} \cdot \text{cm}$  以上  $1 \times 10^{15} \cdot \text{cm}$  以下の窒化シリコン膜と、酸化窒化シリコン膜とを積層することで、後に形成されるトランジスタのゲート電極 15 と、酸化物半導体膜 20 または一对の電極 21 との間に発生する静電気破壊を抑制することができる。

【0123】

次に、図 4 (B) に示すように、実施の形態 1 と同様に、ゲート絶縁膜 33 上に酸化物半導体膜 19 を形成する。

【0124】

次に、図 4 (C) に示すように、一对の電極 21 を形成する。次に、酸化物半導体膜 19 を酸化雰囲気で発生させたプラズマに曝し、酸化物半導体膜 19 に酸素 22 を供給し、図 4 (D) に示す酸化物半導体膜 20 を形成する。酸化雰囲気としては、酸素、オゾン、一酸化二窒素等の雰囲気がある。さらに、プラズマ処理において、基板 11 が搭載される下部電極にバイアスを印加しない状態で発生したプラズマを酸化物半導体膜 19 に曝すことが好ましい。この結果、酸化物半導体膜 19 にダメージを与えず、且つ酸素を供給することが可能である。

【0125】

ここでは、プラズマ CVD 装置の処理室に一酸化二窒素を導入し、処理室に設けられる上部電極に 27.12 MHz の高周波電源を用いて 150 W の高周波電力を供給して発生させた酸素プラズマに酸化物半導体膜 19 を曝す。

10

20

30

40

50



## 【0126】

次に、酸化半導体膜20及び一对の電極21上に絶縁膜34を形成する。ここでは、流量20sccmのシラン及び流量3000sccmの一酸化二窒素を原料ガスとし、処理室の圧力を200Pa、基板温度を350とし、27.12MHzの高周波電源を用いて100Wの高周波電力を平行平板電極に供給したプラズマCVD法により、厚さ10nmの酸化窒化シリコン膜を形成する。当該条件により、緻密な膜であり、膜密度が後の工程で形成される絶縁膜36よりも高い酸化窒化シリコン膜を形成することができる。

## 【0127】

次に、絶縁膜34に酸素35を添加してもよい。絶縁膜34に酸素35を添加する方法としては、イオン注入法、イオンドーピング法、プラズマ処理等がある。この結果、絶縁膜34を、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とすることができる。

10

## 【0128】

次に、図4(E)に示すように、絶縁膜34上に絶縁膜36を形成する。トランジスタ10上に形成された保護膜23と同様に、プラズマCVD装置の真空排気された処理室内に載置された基板11を180以上260以下、好ましくは180以上250以下、さらに好ましくは180以上230以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に0.17W/cm<sup>2</sup>以上0.5W/cm<sup>2</sup>以下、好ましくは0.25W/cm<sup>2</sup>以上0.40W/cm<sup>2</sup>以下、さらに好ましくは0.26W/cm<sup>2</sup>以上0.35W/cm<sup>2</sup>以下の高周波電力を供給する条件により、絶縁膜34として酸化シリコン膜または酸化窒化シリコン膜を形成する。

20

## 【0129】

次に、トランジスタ10と同様に、加熱処理を行うことで、絶縁膜36に含まれる酸素を酸化半導体膜20に拡散させ、酸化半導体膜20に含まれる酸素欠損を補填することで、酸化半導体膜20に含まれる酸素欠損量を低減することができる。

## 【0130】

以上の工程により、しきい値電圧のマイナスシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

30

## 【0131】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

## 【0132】

(実施の形態2)

本実施の形態では、実施の形態1及と異なる構造のトランジスタについて、図5を用いて説明する。本実施の形態に示すトランジスタ100は、実施の形態1に示すトランジスタと比較して、トップゲート構造のトランジスタである点異なる。

## 【0133】

図5(A)乃至図5(C)に、トランジスタ100の上面図及び断面図を示す。図5(A)はトランジスタ100の上面図であり、図5(B)は、図5(A)の一点鎖線A-B間の断面図であり、図5(C)は、図5(A)の一点鎖線C-D間の断面図である。なお、図5(A)では、明瞭化のため、トランジスタ100の構成要素の一部(例えば、基板101、下地絶縁膜103、ゲート絶縁膜109)、保護膜113などを省略している。

40

## 【0134】

図5(B)及び図5(C)に示すトランジスタ100は、下地絶縁膜103上に形成される酸化半導体膜105と、酸化半導体膜105に接する一对の電極107と、下地絶縁膜103、酸化半導体膜105、及び一对の電極107に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化半導体膜105と重なるゲート電極111とを有する。また、ゲート絶縁膜109及びゲート電極111を覆う保護膜113と、ゲート絶

50

縁膜 109 及び保護膜 113 の開口部 110 ( 図 5 ( A ) 参照。 ) において、一對の電極 107 と接する配線 115 とを有してもよい。

【 0 1 3 5 】

本実施の形態に示すトランジスタ 100 上に設けられる保護膜 113 が、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である。さらに好ましくは、保護膜 113 は、酸化物半導体膜 105 に含まれる酸素欠損量以上の酸素を含む。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、加熱により酸素の一部が脱離する酸化絶縁膜である。このため、加熱により酸素の一部が脱離する酸化絶縁膜を保護膜 113 として設けることで、加熱処理により酸化物半導体膜 105 に酸素を拡散させ、酸化物半導体膜 105 に含まれる酸素欠損を補填することが可能である。この結果、酸化物半導体膜 105 に含まれる酸素欠損量が低減され、しきい値電圧のマイナスシフトを抑制したトランジスタとなる。また、経時変化や光ゲート BT ストレス試験によって、しきい値電圧の変動が少なく、優れた電気特性を有するトランジスタとなる。

10

【 0 1 3 6 】

なお、トランジスタ 100 においては、保護膜 113 に含まれる酸素は、下地絶縁膜 103 及びゲート絶縁膜 109 の一以上を介して、酸化物半導体膜 105 に移動する。

【 0 1 3 7 】

また、保護膜 113 において、電子スピン共鳴測定による  $g = 2.001$  に現れる信号のスピン密度が  $1.5 \times 10^{18} \text{ spins/cm}^3$  未満、好ましくは  $1.0 \times 10^{18} \text{ spins/cm}^3$  以下であると、優れた電気特性を有するトランジスタとなるため好ましい。

20

【 0 1 3 8 】

保護膜 113 としては、厚さが  $30 \text{ nm}$  以上  $500 \text{ nm}$  以下、好ましくは  $100 \text{ nm}$  以上  $400 \text{ nm}$  以下の酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

【 0 1 3 9 】

以下に、トランジスタ 100 の他の構成の詳細について説明する。

【 0 1 4 0 】

基板 101 は、実施の形態 1 に示す基板 11 に列挙する基板を適宜用いることができる。

【 0 1 4 1 】

下地絶縁膜 103 は、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いることが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜は、加熱処理により酸化物半導体膜に酸素を拡散させることができる。下地絶縁膜 103 の代表例としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。

30

【 0 1 4 2 】

下地絶縁膜 103 は、 $50 \text{ nm}$  以上、好ましくは  $200 \text{ nm}$  以上  $3000 \text{ nm}$  以下、好ましくは  $300 \text{ nm}$  以上  $1000 \text{ nm}$  以下とする。下地絶縁膜 103 を厚くすることで、下地絶縁膜 103 の酸素脱離量を増加させることができると共に、下地絶縁膜 103 及び後に形成される酸化物半導体膜との界面における界面準位を低減することが可能である。

40

【 0 1 4 3 】

ここで、「加熱により酸素の一部が脱離する」とは、TDS ( Thermal Desorption Spectroscopy : 昇温脱離ガス分光法 ) 分析にて、酸素原子に換算しての酸素の脱離量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上であることをいう。

【 0 1 4 4 】

上記構成において、加熱により酸素の一部が脱離する絶縁膜は、酸素が過剰な酸化シリコン (  $\text{SiO}_x$  (  $X > 2$  ) ) であってもよい。酸素が過剰な酸化シリコン (  $\text{SiO}_x$  (  $X > 2$  ) ) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである

50

。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0145】

ここで、TDS分析にて、酸素原子に換算しての酸素の脱離量の測定方法について、以下に説明する。

【0146】

TDS分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の脱離量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

10

【0147】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の脱離量( $N_{O_2}$ )は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして $CH_3OH$ があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0148】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad (\text{数式1})$$

20

【0149】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$  とする。 $S_{O_2}$  は、絶縁膜をTDS分析したときのスペクトルの積分値である。 $\times$  は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の脱離量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定する。

。

【0150】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の $\times$ は酸素分子のイオン化率を含むため、酸素分子の脱離量を評価することで、酸素原子の脱離量についても見積もることができる。

30

【0151】

なお、 $N_{O_2}$  は酸素分子の脱離量である。絶縁膜においては、酸素原子に換算したときの酸素の脱離量は、酸素分子の脱離量の2倍となる。

【0152】

下地絶縁膜103から酸化物半導体膜105に酸素が供給されることで、下地絶縁膜103及び酸化物半導体膜105の界面準位を低減できる。この結果、トランジスタの動作などに起因して生じる電荷などが、上述の下地絶縁膜103及び酸化物半導体膜105の界面に捕獲されることを抑制することができ、電気特性の変動の少ないトランジスタを得ることができる。

40

【0153】

即ち、酸化物半導体膜105に酸素欠損が生じると、下地絶縁膜103と酸化物半導体膜105との界面において電荷が捕獲され、当該電荷がトランジスタの電気特性に影響してしまうところ、下地絶縁膜103として、加熱により酸素が脱離する絶縁膜を設けることで、酸化物半導体膜105及び下地絶縁膜103の界面準位を低減し、酸化物半導体膜105及び下地絶縁膜103の界面における電荷捕獲の影響を小さくすることができる。

【0154】

50

酸化物半導体膜 105 は、実施の形態 1 に示す酸化物半導体膜 19 と同様に形成することができる。

【0155】

一对の電極 107 は、実施の形態 1 に示す一对の電極 21 と同様に形成することができる。なお、一对の電極 107 において、チャンネル幅方向における長さが酸化物半導体膜 105 より長く、更にはチャンネル長方向と交差する端部を覆う構造とし、一对の電極 107 及び酸化物半導体膜 105 の接触面積を増大させることで、酸化物半導体膜 105 と一对の電極 107 との接触抵抗を低減することが可能であり、トランジスタのオン電流を高めることができる。

【0156】

なお、ここでは、一对の電極 107 は、酸化物半導体膜 105 及びゲート絶縁膜 109 の間に設けられているが、下地絶縁膜 103 及び酸化物半導体膜 105 の間に一对の電極 107 を設けてもよい。

【0157】

ゲート絶縁膜 109 は、実施の形態 1 に示すゲート絶縁膜 17 と同様に形成することができる。

【0158】

ゲート電極 111 は、実施の形態 1 に示すゲート電極 15 と同様に形成することができる。

【0159】

配線 115 は、一对の電極 107 に列挙する材料を適宜用いることができる。

【0160】

次に、図 5 に示すトランジスタの作製方法について、図 6 を用いて説明する。

【0161】

図 6 (A) に示すように、基板 101 上に下地絶縁膜 103 を形成する。次に、下地絶縁膜 103 上に酸化物半導体膜 105 を形成する。

【0162】

下地絶縁膜 103 は、スパッタリング法、CVD 法等により形成する。

【0163】

下地絶縁膜 103 として、加熱により酸素の一部が脱離する酸化絶縁膜をスパッタリング法により形成する場合は、成膜ガス中の酸素量が高いことが好ましく、酸素、または酸素及び希ガスの混合ガス等を用いることができる。代表的には、成膜ガス中の酸素濃度を 6% 以上 100% 以下にすることが好ましい。

【0164】

また、下地絶縁膜 103 として CVD 法で酸化絶縁膜を形成する場合、原料ガス由来の水素または水が酸化絶縁膜中に混入される場合がある。このため、CVD 法で酸化絶縁膜を形成した後、脱水素化または脱水化として、加熱処理を行うことが好ましい。

【0165】

さらに、CVD 法で形成した酸化絶縁膜に、酸素を導入することで、加熱により脱離する酸素量を増加させることができる。酸化絶縁膜に酸素を導入する方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等がある。

【0166】

ここで、酸化物半導体膜 105 は、実施の形態 1 に示す酸化物半導体膜 19 と同様の形成方法を適宜用いることができる。

【0167】

また、CAAC-OS 膜に含まれる結晶部の配向を高めるためには、酸化物半導体膜の下地絶縁膜である、下地絶縁膜 103 の表面の平坦性を高めることが好ましい。代表的には、下地絶縁膜 103 の平均面粗さ (Ra) を、1 nm 以下、0.3 nm 以下、または 0.1 nm 以下とすることが好ましい。なお、本明細書等において、平均面粗さ (Ra) とは

10

20

30

40

50

、JIS B 0601:2001 (ISO 4287:1997) で定義されている算術平均粗さを、曲面に対して適用できるように三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。また、平坦化処理としては、化学的機械的研磨 (Chemical Mechanical Polishing: CMP) 処理、ドライエッチング処理、真空のチャンバーに不活性ガス、例えばアルゴンガスを導入し、被処理面を陰極とする電界をかけて、表面の微細な凹凸を平坦化するプラズマ処理 (いわゆる逆スパッタ) 等の一または複数を適用することができる。

【0168】

次に、加熱処理を行うことが好ましい。当該加熱処理により、下地絶縁膜103に含まれる酸素の一部を、下地絶縁膜103及び酸化物半導体膜105の界面近傍に拡散させることができる。この結果、下地絶縁膜103及び酸化物半導体膜105の界面近傍における界面準位を低減することができる。

10

【0169】

加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

【0170】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気で加熱した後、酸素雰囲気でもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分～24時間とする。

20

【0171】

なお、後に酸化物半導体膜105となる酸化物半導体膜を下地絶縁膜103上に形成し、上記加熱処理を行った後、該酸化物半導体膜の一部をエッチングして、酸化物半導体膜105を形成してもよい。当該工程により、下地絶縁膜103に含まれる酸素において、より多くの酸素を下地絶縁膜103及び酸化物半導体膜105の界面近傍に拡散させることができる。

【0172】

次に、図6(B)に示すように、一对の電極107を形成する。一对の電極107は実施の形態1に示す一对の電極21と同様の形成方法を適宜用いることができる。または、印刷法またはインクジェット法により一对の電極107を形成することができる。

30

【0173】

次に、図6(C)に示すように、ゲート絶縁膜109を形成した後、ゲート絶縁膜109上にゲート電極111を形成する。

【0174】

ゲート絶縁膜109は、実施の形態1に示すゲート絶縁膜17と同様の形成方法を適宜用いることができる。

【0175】

また、CAAC-OS膜は、被形成面または表面に沿って酸素が移動しやすい。このため、素子分離した酸化物半導体膜105の側面から酸素の脱離が生じやすく、酸素欠損が形成されやすい。しかしながら、酸化物半導体膜105上に加熱により酸素の一部が脱離する酸化絶縁膜と、当該酸化絶縁膜上に金属酸化膜とをゲート絶縁膜109として設けることにより、酸化物半導体膜105の側面からの酸素脱離を抑制することが可能である。この結果、酸化物半導体膜105の側面の導電性の上昇を抑制することを抑制することができる。

40

【0176】

ゲート電極111は、実施の形態1に示すゲート電極15の形成方法を適宜用いることができる。

【0177】

ここで、露光装置の解像限界以下の幅にまで微細化されたゲート電極の形成方法の一例について説明する。ゲート電極111の形成に用いるマスクに対してスリミング処理を行い

50

、より微細な構造のマスクとすることが好ましい。スリミング処理としては、例えば、酸素ラジカルなどを用いるアッシング処理を適用することができる。ただし、スリミング処理はフォトリソグラフィ法などによって形成されたマスクをより微細な構造に加工できる処理であれば、アッシング処理以外の方法を用いてもよい。また、スリミング処理によって形成されるマスクによって、トランジスタのチャンネル長が決定されることになるため、制御性の良好な処理を適用することが好ましい。スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは、 $1/2$ 以下、より好ましくは $1/3$ 以下の幅にまで微細化することが可能である。例えば、形成されたマスクの幅は、 $20\text{ nm}$ 以上 $2000\text{ nm}$ 以下、好ましくは $50\text{ nm}$ 以上 $350\text{ nm}$ 以下を達成することができる。また、スリミングしたマスクを後退させながら、導電膜をエッチングすることで、露光装置の解像限界以下の幅にまで微細化されたゲート電極111を形成することができる。

10

**【0178】**

次に、図6(D)に示すように、ゲート絶縁膜109及びゲート電極111上に保護膜113を形成した後、一对の電極107に接続する配線115を形成する。

**【0179】**

保護膜113は、実施の形態1に示す保護膜23と同様に、プラズマCVD装置の真空排気された処理室内に載置された基板101を $180$ 以上 $260$ 以下、好ましくは $180$ 以上 $250$ 以下、さらに好ましくは $180$ 以上 $230$ 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を $100\text{ Pa}$ 以上 $250\text{ Pa}$ 以下、さらに好ましくは $100\text{ Pa}$ 以上 $200\text{ Pa}$ 以下とし、処理室内に設けられる電極に $0.17\text{ W/cm}^2$ 以上 $0.5\text{ W/cm}^2$ 以下、好ましくは $0.25\text{ W/cm}^2$ 以上 $0.40\text{ W/cm}^2$ 以下、さらに好ましくは $0.26\text{ W/cm}^2$ 以上 $0.35\text{ W/cm}^2$ 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

20

**【0180】**

保護膜113の成膜条件として、上記圧力において上記パワー密度の高周波電力を供給することで、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成することができる。

**【0181】**

次に、実施の形態1と同様に、加熱処理を行うことで、保護膜113に含まれる酸素を酸化物半導体膜105に拡散させ、酸化物半導体膜105に含まれる酸素欠損を補填することで、酸化物半導体膜105に含まれる酸素欠損量を低減することができる。また、保護膜113形成後の加熱処理により、保護膜113の電子スピン共鳴測定による $g = 2.001$ に現れる信号のスピン密度が $1.5 \times 10^{18}\text{ spins/cm}^3$ 未満、好ましくは $1.0 \times 10^{18}\text{ spins/cm}^3$ 以下となる。該加熱処理の温度は、代表的には、 $150$ 以上基板歪み点未満、好ましくは $250$ 以上 $450$ 以下、更に好ましくは $300$ 以上 $450$ 以下とする。

30

**【0182】**

配線115は、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜上にマスクを形成して導電膜をエッチングして形成する。導電膜上に形成するマスクは、印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。この後マスクを除去する。また、配線115をデュアルダマシン法で形成してもよい。

40

**【0183】**

以上の工程により、しきい値電圧のマイナスシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

**【0184】**

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

**【0185】**

50

## (実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2と異なる構造のトランジスタについて、図7を用いて説明する。本実施の形態に示すトランジスタ120は、実施の形態2に示すトランジスタ100と比較して、酸化物半導体膜にドーパントが添加されている点異なる。

## 【0186】

図7(A)及び図7(B)に、トランジスタ120の上面図及び断面図を示す。図7(A)はトランジスタ120の上面図であり、図7(B)は、図7(A)の一点鎖線A-B間の断面図である。なお、図7(A)では、明瞭化のため、トランジスタ120の構成要素の一部(例えば、基板101、下地絶縁膜103、ゲート絶縁膜109)、保護膜113などを省略している。

10

## 【0187】

図7(B)に示すトランジスタ120は、下地絶縁膜103上に形成される酸化物半導体膜121と、酸化物半導体膜121に接する一对の電極107と、下地絶縁膜103、酸化物半導体膜121、及び一对の電極107に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化物半導体膜121と重なるゲート電極111とを有する。また、ゲート絶縁膜109及びゲート電極111を覆う保護膜113を有する。また、ゲート絶縁膜109及び保護膜113の開口部110(図7(A)参照。)において、一对の電極107と接する配線115とを有してもよい。

20

## 【0188】

本実施の形態に示すトランジスタ120は、酸化物半導体膜121において、ゲート電極111とゲート絶縁膜109を介して重なる第1の領域123と、ドーパントが添加された第2の領域125と、一对の電極107と接する第3の領域127とを有する。なお、第1の領域123及び第3の領域127には、ドーパントが添加されていない。第1の領域123を挟むように対となる第2の領域125が設けられる。また、第1の領域123及び第2の領域125を間に挟むように対となる第3の領域127が設けられる。

## 【0189】

第1の領域123は、トランジスタ120においてチャネル領域として機能する。第3の領域127において一对の電極107と接する領域は、一对の電極107によって酸素の一部が一对の電極107に拡散し、酸素欠損ができ、n型化する。このため、第3の領域127の一部はソース領域及びドレイン領域として機能する。第2の領域は、ドーパントが添加され、導電率が高いため、低抵抗領域として機能し、チャネル領域と、ソース領域及びドレイン領域との間の抵抗を低減することができる。このため、実施の形態1に示すトランジスタ100と比較して、トランジスタ120のオン電流及び電界効果移動度を高めることができる。

30

## 【0190】

第2の領域125に添加されるドーパントとしては、ホウ素、窒素、リン、及びヒ素の少なくとも一以上がある。または、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上がある。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とが適宜組み合わせられて含まれていてもよい。

40

## 【0191】

また、第2の領域125に含まれるドーパントの濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満とする。

## 【0192】

第2の領域125はドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第1の領域123及び第3の領域127と比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、第2の領域125の導電性を低下させること

50

になる。

【0193】

第2の領域125は、導電率が0.1S/cm以上1000S/cm以下、好ましくは10S/cm以上1000S/cm以下とすることが好ましい。

【0194】

次に、本実施の形態に示すトランジスタ120の作製方法について、図6及び図7を用いて説明する。

【0195】

実施の形態1と同様に、図6(A)乃至図6(C)の工程を経て、基板101上に下地絶縁膜103を形成し、下地絶縁膜103上に酸化物半導体膜121を形成し、酸化物半導体膜121上に一对の電極107を形成する。次に、酸化物半導体膜121及び一对の電極107上にゲート絶縁膜109を形成し、ゲート絶縁膜109を介して、酸化物半導体膜121の一部と重なるように、ゲート電極111を形成する。

10

【0196】

次に、一对の電極107及びゲート電極111をマスクとして、酸化物半導体膜121にドーパントを添加する。酸化物半導体膜121にドーパントを添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。

【0197】

また、上記酸化物半導体膜121へのドーパントの添加は、酸化物半導体膜121を覆って、ゲート絶縁膜109が形成されている状態を示したが、酸化物半導体膜121が露出している状態でドーパントの添加を行ってもよい。

20

【0198】

さらに、上記ドーパントの添加はイオンドーピング法またはイオンインプランテーション法などによる注入以外の方法でも行うことができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、酸化物半導体膜121に対してプラズマ処理を行うことによって、ドーパントを添加することができる。上記プラズマを発生させる装置としては、ドライエッチング装置、プラズマCVD装置などを用いることができる。

【0199】

なお、ドーパントの添加処理は、基板101を加熱しながら行ってもよい。

【0200】

ここでは、イオンインプランテーション法により、リンを酸化物半導体膜121に添加する。

30

【0201】

この後、加熱処理を行う。当該加熱処理の温度は、代表的には、150以上450以下、好ましくは250以上325以下とする。または、250から325まで徐々に温度上昇させながら加熱してもよい。

【0202】

当該加熱処理により、第2の領域125の導電率を高めることができる。なお、当該加熱処理において、第1の領域123、第2の領域125、及び第3の領域127は、多結晶構造、非晶質構造、またはCAAC-OSとなる。

40

【0203】

こののち、実施の形態1と同様に、保護膜113を形成し、加熱処理して保護膜113に含まれる酸素を酸化物半導体膜121に拡散させ、酸化物半導体膜121の酸素欠損を低減した後、配線115を形成して、図7に示すトランジスタ120を形成することができる。

【0204】

本実施の形態に示すトランジスタ120は、酸化物半導体膜121において、チャネル領域となる第1の領域123と、ソース領域及びドレイン領域として機能する第3の領域127の間に、低抵抗領域である第2の領域125を有する。このため、実施の形態2に示すトランジスタ100と比較して、チャネル領域と、ソース領域及びドレイン領域との間

50



の抵抗を低減することが可能であり、オン電流を高めたトランジスタを作製することができる。また、トランジスタ120上に保護膜113を設けることで、しきい値電圧のマイナシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0205】

なお、トランジスタ120においては、保護膜113に含まれる酸素は、下地絶縁膜103及びゲート絶縁膜109の一以上を介して、酸化半導体膜121に移動する。

【0206】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

10

【0207】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3と異なる構造のトランジスタについて、図8を用いて説明する。本実施の形態に示すトランジスタ130は、他の実施の形態に示すトランジスタと比較して、酸化半導体膜の構造が異なり、チャンネル領域と、ソース領域及びドレイン領域との間に、電界緩和領域を有する。

【0208】

図8(A)及び図8(B)に、トランジスタ130の上面図及び断面図を示す。図8(A)はトランジスタ130の上面図であり、図8(B)は、図8(A)の一点鎖線A-B間の断面図である。なお、図8(A)では、明瞭化のため、トランジスタ130の構成要素の一部(例えば、基板101、下地絶縁膜103、ゲート絶縁膜109)、保護膜113などを省略している。

20

【0209】

図8(B)に示すトランジスタ130は、基板101上に設けられる下地絶縁膜103と、下地絶縁膜103上に形成される酸化半導体膜131と、酸化半導体膜131に接する一对の電極139と、下地絶縁膜103、酸化半導体膜131、及び一对の電極139に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化半導体膜131と重なるゲート電極111とを有する。また、ゲート絶縁膜109及びゲート電極111を覆う保護膜113を有する。また、ゲート絶縁膜109及び保護膜113の開口部110において、一对の電極139と接する配線115とを有してもよい。

30

【0210】

本実施の形態に示すトランジスタ130は、酸化半導体膜131において、ゲート電極111とゲート絶縁膜109を介して重なる第1の領域133と、ドーパントが添加された第2の領域135と、一对の電極139と接し、且つドーパントが添加された第3の領域137とを有する。なお、第1の領域133には、ドーパントが添加されていない。第1の領域133を挟むように対となる第2の領域135が設けられる。また、第1の領域133及び第2の領域135を間に挟むように対となる第3の領域137が設けられる。

【0211】

第2の領域135及び第3の領域137に添加されるドーパントとしては、実施の形態3に示す第2の領域125と同様のドーパントを適宜用いることができる。

40

【0212】

また、第2の領域135及び第3の領域137に含まれるドーパントの濃度及び導電率は、実施の形態3に示す第2の領域125と同様のドーパントの濃度とすることができる。なお、本実施の形態においては、第2の領域135より第3の領域137の方がドーパントの濃度及び導電率が高い。

【0213】

第1の領域133は、トランジスタ130においてチャンネル領域として機能する。第2の領域135は、電界緩和領域として機能する。第3の領域137において一对の電極139と接する領域は、一对の電極139の材料によっては酸素の一部が一对の電極139に

50

拡散し、酸素欠損ができ、n型化する。また、第3の領域137にはドーパントが添加され、導電率が高いため、実施の形態2に示すトランジスタ120と比較して、第3の領域137及び一对の電極139のコンタクト抵抗をさらに低減することができる。このため、実施の形態2に示すトランジスタと比較して、トランジスタ130は、オン電流及び電界効果移動度を高めることができる。

【0214】

なお、一对の電極139は、第3の領域137にドーパントを添加させるために、膜厚を薄くすることが好ましく、代表的には、10nm以上100nm以下、好ましくは20nm以上50nm以下とする。

【0215】

次に、本実施の形態に示すトランジスタ130の作製方法について、図6及び図8を用いて説明する。

【0216】

実施の形態2と同様に、図6(A)乃至図6(C)の工程を経て、基板101上に下地絶縁膜103を形成し、下地絶縁膜103上に酸化物半導体膜131を形成し、酸化物半導体膜131上に一对の電極139(図8(B)参照。)を形成する。次に、酸化物半導体膜131及び一对の電極139上にゲート絶縁膜109を形成し、ゲート絶縁膜109を介して、酸化物半導体膜131の一部と重なるように、ゲート電極111を形成する。

【0217】

次に、ゲート電極111をマスクとして、酸化物半導体膜131にドーパントを添加する。ドーパントの添加方法は、実施の形態2に示す方法を適宜用いることができる。なお、本実施の形態では、第2の領域135と共に、第3の領域137にもドーパントを添加する。さらに、第2の領域135より第3の領域137の方がドーパントの濃度が高い。このため、ドーパント濃度のプロファイルのピークが第3の領域137となるように、添加方法の条件を適宜用いる。このとき、第3の領域137は一对の電極139と重なるが、第2の領域135は、一对の電極139と重ならない。このため、第2の領域135では、ドーパント濃度のプロファイルのピークが下地絶縁膜103となるため、第2の領域135におけるドーパントの濃度は、第3の領域137より低くなる。

【0218】

この後、加熱処理を行う。当該加熱処理の温度は、代表的には、150以上450以下、好ましくは250以上325以下とする。または、250から325まで徐々に温度上昇させながら加熱してもよい。

【0219】

当該加熱処理により、第2の領域135及び第3の領域137の導電率を高めることができる。なお、当該加熱処理において、第1の領域133、第2の領域135、及び第3の領域137は、多結晶構造、非晶質構造、またはCAAC-Osとなる。

【0220】

こののち、実施の形態2と同様に、保護膜113を形成し、加熱処理して保護膜113に含まれる酸素を酸化物半導体膜131に拡散させ、酸素欠損量を低減させた後、配線115を形成して、図8に示すトランジスタ130を形成することができる。

【0221】

本実施の形態に示すトランジスタ130は、酸化物半導体膜131において、チャネル領域となる第1の領域133と、ソース領域及びドレイン領域として機能する第3の領域137の間に、電界緩和領域として機能する第2の領域135を有する。このため、実施の形態2に示すトランジスタ100と比較して、トランジスタの劣化を抑制することができる。また、一对の電極139と接する第3の領域137にドーパントが含まれるため、一对の電極139及び第3の領域137の接触抵抗をさらに低減することが可能であり、オン電流を高めたトランジスタを作製することができる。また、トランジスタ130上に保護膜113を設けることで、しきい値電圧のマイナスシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス

10

20

30

40

50

試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0222】

なお、トランジスタ130においては、保護膜113に含まれる酸素は、下地絶縁膜103及びゲート絶縁膜109の一以上を介して、酸化物半導体膜131に移動する。

【0223】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0224】

(実施の形態5)

本実施の形態では、実施の形態2乃至実施の形態4に適用可能なトランジスタの構造について、図9を用いて説明する。

【0225】

本実施の形態に示すトランジスタは、ゲート電極111の側面に接するサイドウォール絶縁膜を有することを特徴とする。ここでは、実施の形態2に示すトランジスタを用いて説明する。

【0226】

図9(A)に示すトランジスタ140は、下地絶縁膜103上に形成される酸化物半導体膜105と、酸化物半導体膜105に接する一对の電極107と、下地絶縁膜103、酸化物半導体膜105、及び一对の電極107に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化物半導体膜105と重なるゲート電極111とを有する。また、ゲート電極111の側面に接するサイドウォール絶縁膜141を有する。ゲート絶縁膜109、ゲート電極111、及びサイドウォール絶縁膜141を覆う保護膜113を有する。また、ゲート絶縁膜109及び保護膜113の開口部において、一对の電極107と接する配線115とを有してもよい。

【0227】

サイドウォール絶縁膜141の端部は一对の電極107と重なり、一对の電極107及びゲート電極111の間を充填するように設けられている。一对の電極107及びゲート電極111の間の凹凸を緩和することができる。このため、保護膜113の被覆率を高めることが可能である。

【0228】

図9(B)に示すトランジスタ150は、トランジスタ140と比較して、ゲート電極111の側面に接するサイドウォール絶縁膜151の形状が異なる。具体的には、サイドウォール絶縁膜151の端部は、一对の電極107と重ならず、ゲート電極111及び一对の電極107の間に位置する。

【0229】

図9(C)に示すトランジスタ160は、図9(B)に示すトランジスタ150と比較して、酸化物半導体膜161にドーパントが添加されている点異なる。

【0230】

酸化物半導体膜161において、ゲート電極111とゲート絶縁膜109を介して重なる第1の領域163と、ドーパントが添加され、且つサイドウォール絶縁膜151と重なる第2の領域165と、ドーパントが添加された第3の領域167と、一对の電極107と接する第4の領域169とを有する。なお、第1の領域163及び第4の領域169には、ドーパントが添加されていない。第1の領域163を挟むように対となる第2の領域165が設けられる。また、第1の領域163及び第2の領域165を間に挟むように対となる第3の領域167が設けられる。また、第1の領域163乃至第3の領域167を間に挟むように対となる第4の領域169が設けられる。

【0231】

第1の領域163は、トランジスタ160においてチャンネル領域として機能する。

【0232】

10

20

30

40

50

第2の領域165及び第3の領域167は、ドーパントが添加され、導電率が高いため、低抵抗領域として機能し、チャンネル領域と、ソース領域及びドレイン領域との間の抵抗を低減することができる。また、第2の領域165は第3の領域167よりドーパントの濃度及び導電率が低いため、電界緩和領域として機能する。このため、トランジスタ160の劣化を低減することができる。

【0233】

第2の領域165及び第3の領域167に添加されるドーパントとしては、実施の形態3に示す第2の領域125と同様のドーパントを適宜用いることができる。

【0234】

また、第2の領域165及び第3の領域167に含まれるドーパントの濃度、及び導電率は、実施の形態3に示す第2の領域125と同様のドーパントの濃度とすることができる。なお、本実施の形態においては、第2の領域165より第3の領域167の方がドーパントの濃度及び導電率が高い。

10

【0235】

第4の領域169において一对の電極107と接する領域は、一对の電極107によっては酸素の一部が一对の電極107に拡散し、酸素欠損ができ、n型化する。この結果、第4の領域169の一部はソース領域及びドレイン領域として機能する。

【0236】

本実施の形態に示すトランジスタ160は、酸化物半導体膜161において、第1の領域163を挟むように、低抵抗領域である第2の領域165及び第3の領域167を有する。このため、チャンネル領域と、ソース領域及びドレイン領域との間の抵抗を低減することが可能であり、オン電流を高めたトランジスタを作製することができる。

20

【0237】

また、トランジスタ140、150、160上に保護膜113を設けることで、しきい値電圧のマイナスシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲートBTストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0238】

なお、トランジスタ140、150、160においては、保護膜113に含まれる酸素は、下地絶縁膜103、ゲート絶縁膜109の一以上を介して、酸化物半導体膜に移動する。

30

【0239】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0240】

(実施の形態6)

本実施の形態では、実施の形態2乃至実施の形態5と異なる構造のトランジスタについて、図10を用いて説明する。本実施の形態に示すトランジスタは、実施の形態2乃至実施の形態5と比較して、一对の電極及びゲート電極がゲート絶縁膜を介して重なっている点が異なる。

40

【0241】

図10に示すトランジスタ170は、下地絶縁膜103上に形成される酸化物半導体膜105と、酸化物半導体膜105に接する一对の電極107と、下地絶縁膜103、酸化物半導体膜105、及び一对の電極107に接するゲート絶縁膜109と、ゲート絶縁膜109を介して酸化物半導体膜105と重なるゲート電極171とを有する。また、ゲート絶縁膜109及びゲート電極171を覆う保護膜113を有する。また、ゲート絶縁膜109及び保護膜113の開口部において、一对の電極107と接する配線115とを有してもよい。

【0242】

本実施の形態に示すトランジスタ170は、一对の電極107及びゲート電極171がゲ

50

ート絶縁膜 109 を介して重なっている。このため、酸化物半導体膜 105 において、ゲート絶縁膜 109 を介してゲート電極 171 と対向する領域がチャンネル領域として機能し、一对の電極 107 と接する領域がソース領域及びドレイン領域として機能する。即ち、チャンネル領域と、ソース領域及びドレイン領域とが接している。チャンネル領域と、ソース領域及びドレイン領域との間に抵抗となる領域がないため、実施の形態 2 乃至実施の形態 5 に示すトランジスタと比較して、オン電流及び電界効果移動度が高い。

【0243】

また、トランジスタ 170 上に保護膜 113 を設けることで、しきい値電圧のマイナスシフトを抑制した、優れた電気特性を有するトランジスタを作製することができる。また、経時変化や光ゲート BT ストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

10

【0244】

なお、トランジスタ 170 においては、保護膜 113 に含まれる酸素は、下地絶縁膜 103、ゲート絶縁膜 109 の一以上を介して、酸化物半導体膜 105 に移動する。

【0245】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0246】

(実施の形態 7)

本実施の形態では、実施の形態 1 乃至実施の形態 6 と異なる構造のトランジスタについて、図 11 を用いて説明する。

20

【0247】

図 11 (A) に示すトランジスタ 210 は、下地絶縁膜 103 上に形成される酸化物半導体膜 211 と、下地絶縁膜 103 及び酸化物半導体膜 211 に接するゲート絶縁膜 109 と、ゲート絶縁膜 109 を介して酸化物半導体膜 211 と重なるゲート電極 111 とを有する。また、ゲート絶縁膜 109 及びゲート電極 111 を覆う保護膜 217 と、ゲート絶縁膜 109 及び保護膜 217 の開口部において、酸化物半導体膜 211 と接する配線 219 を有する。

【0248】

本実施の形態に示すトランジスタ 210 は、酸化物半導体膜 211 は、ゲート電極 111 とゲート絶縁膜 109 を介して重なる第 1 の領域 213 と、ドーパントが添加された第 2 の領域 215 とを有する。なお、第 1 の領域 213 には、ドーパントが添加されていない。また、第 1 の領域 213 を挟むように対となる第 2 の領域 215 が設けられる。

30

【0249】

第 1 の領域 213 は、トランジスタ 210 においてチャンネル領域として機能する。第 2 の領域 215 はソース領域及びドレイン領域として機能する。

【0250】

第 2 の領域 215 に添加されるドーパントとしては、実施の形態 3 に示す第 2 の領域 125 と同様のドーパントを適宜用いることができる。

【0251】

また、第 2 の領域 215 に含まれるドーパントの濃度及び導電率は、実施の形態 3 に示す第 2 の領域 125 と同様のドーパントの濃度とすることができる。

40

【0252】

図 11 (B) に示すトランジスタ 220 は、下地絶縁膜 103 上に設けられる酸化物半導体膜 211 と、酸化物半導体膜 211 に接する、ソース電極及びドレイン電極として機能する一对の電極 225 と、酸化物半導体膜 211 の少なくとも一部と接するゲート絶縁膜 223 と、ゲート絶縁膜 223 上であって、且つ酸化物半導体膜 211 と重畳するゲート電極 111 とを有する。

【0253】

また、ゲート電極 111 の側面に接するサイドウォール絶縁膜 221 を有する。また、下

50

地絶縁膜 103、ゲート電極 111、サイドウォール絶縁膜 221、及び一对の電極 225 上に保護膜 217 を有する。また、保護膜 217 の開口部において、酸化半導体膜 211 と接する配線 219 を有する。

【0254】

図 11 (B) に示すトランジスタにおいて、酸化半導体膜 211 は、ゲート電極 111 とゲート絶縁膜 223 を介して重なる第 1 の領域 213 と、ドーパントが添加された第 2 の領域 215 とを有する。なお、第 1 の領域 213 には、ドーパントが添加されていない。第 1 の領域 213 を挟むように対となる第 2 の領域 215 が設けられる。

【0255】

トランジスタの一对の電極 225 の端部が、サイドウォール絶縁膜 221 上に位置し、更に酸化半導体膜 211 において、一对の電極 225 が、ドーパントを含む一对の第 2 の領域 215 の露出部を全て覆っている。このため、チャンネル長方向におけるソース - ドレイン間の距離 (より正確には、一对の電極 225 と接する酸化半導体膜 211 の間の距離) を、サイドウォール絶縁膜 221 の幅で制御することができる。つまりマスクを用いてパターンを形成するのが困難な微細なデバイスにおいて、酸化半導体膜 211 と接する一对の電極 225 のチャンネル側の端部を、マスクを用いずに形成させることができる。また、マスクを使用しないため、複数のトランジスタにおける加工ばらつきを低減することができる。

10

【0256】

本実施の形態に示すトランジスタ 210、220 上に設けられる保護膜 217 は、実施の形態 1 に示す保護膜 23 と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である。さらに好ましくは、保護膜 217 は、酸化半導体膜 211 に含まれる酸素欠損量以上の酸素を含む。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、加熱により酸素の一部が脱離する酸化絶縁膜である。このため、加熱により酸素の一部が脱離する酸化絶縁膜を保護膜として設けることで、加熱処理により酸化半導体膜に酸素を拡散させ、酸化半導体膜 211 に含まれる酸素欠損を補填することが可能である。この結果、酸化半導体膜 211 に含まれる酸素欠損量が低減され、しきい値電圧のマイナスシフトを抑制したトランジスタとなる。また、経時変化や光ゲート BT ストレス試験によって、しきい値電圧の変動が少なく、優れた電気特性を有するトランジスタとなる。

20

30

【0257】

また、保護膜 217 において、電子スピン共鳴測定による  $g = 2.001$  に現れる信号のスピン密度が  $1.5 \times 10^{18} \text{ spins/cm}^3$  未満、好ましくは  $1.0 \times 10^{18} \text{ spins/cm}^3$  以下であると、優れた電気特性を有するトランジスタとなるため好ましい。

【0258】

なお、トランジスタ 220 においては、保護膜 217 に含まれる酸素は、下地絶縁膜 103、ゲート絶縁膜 223、及びサイドウォール絶縁膜 221 の一以上を介して、酸化半導体膜 211 に移動する。

【0259】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせることができる。

40

【0260】

(実施の形態 8)

本実施の形態では、実施の形態 1 乃至実施の形態 7 と異なる構造のトランジスタについて、図 12 を用いて説明する。本実施の形態に示すトランジスタは、酸化半導体膜を介して対向する複数のゲート電極を有することを特徴とする。なお、本実施の形態では、実施の形態 6 に示すトランジスタを用いて説明するが、適宜他の実施の形態と組み合わせることができる。

【0261】

50

図 1 2 に示すトランジスタ 2 3 0 は、基板 1 0 1 上に設けられるゲート電極 2 3 1 と、ゲート電極 2 3 1 を覆う絶縁膜 2 3 3 を有する。また、絶縁膜 2 3 3 上に形成される酸化物半導体膜 1 0 5 と、酸化物半導体膜 1 0 5 に接する一对の電極 1 0 7 と、絶縁膜 2 3 3、酸化物半導体膜 1 0 5、及び一对の電極 1 0 7 に接するゲート絶縁膜 1 0 9 と、ゲート絶縁膜 1 0 9 を介して酸化物半導体膜 1 0 5 と重なるゲート電極 1 7 1 とを有する。また、ゲート絶縁膜 1 0 9 及びゲート電極 1 7 1 を覆う保護膜 1 1 3 を有する。また、ゲート絶縁膜 1 0 9 及び保護膜 1 1 3 の開口部において、一对の電極 1 0 7 と接する配線 1 1 5 とを有してもよい。

#### 【 0 2 6 2 】

ゲート電極 2 3 1 は、実施の形態 1 に示すゲート電極 1 5 と同様に形成することができる。なお、ゲート電極 2 3 1 は、後に形成される絶縁膜 2 3 3 の被覆性を高めるために、側面がテーパ形状であることが好ましく、基板 1 0 1 とゲート電極 2 3 1 の側面のなす角度は、20 度以上 70 度以下、好ましくは 30 度以上 60 度以下とする。

10

#### 【 0 2 6 3 】

絶縁膜 2 3 3 は、実施の形態 2 に示す下地絶縁膜 1 0 3 と同様に形成することができる。なお、後に、絶縁膜 2 3 3 上に酸化物半導体膜 1 0 5 を形成するため、絶縁膜 2 3 3 の表面は平坦であることが好ましい。このため、後に絶縁膜 2 3 3 となる絶縁膜を基板 1 0 1 及びゲート電極 2 3 1 上に形成した後、当該絶縁膜を平坦化処理して、表面の凹凸が少ない絶縁膜 2 3 3 を形成する。

20

#### 【 0 2 6 4 】

本実施の形態に示すトランジスタ 2 3 0 は、酸化物半導体膜 1 0 5 を介して対向するゲート電極 2 3 1 及びゲート電極 1 7 1 を有する。ゲート電極 2 3 1 とゲート電極 1 7 1 に異なる電位を印加することで、トランジスタ 2 3 0 のしきい値電圧を制御し、好ましくは、しきい値電圧をプラスシフトさせることができる。

#### 【 0 2 6 5 】

本実施の形態に示すトランジスタ 2 3 0 上に保護膜 1 1 3 が設けられる。保護膜 1 1 3 は、実施の形態 1 に示す保護膜 2 3 と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である。さらに好ましくは、保護膜 1 1 3 は、酸化物半導体膜 1 0 5 に含まれる酸素欠損量以上の酸素を含む。この結果、酸化物半導体膜 1 0 5 に含まれる酸素欠損量が低減され、しきい値電圧のマイナスシフトを抑制したトランジスタとなる。また、経時変化や光ゲート B T ストレス試験によって、しきい値電圧の変動が少なく、優れた電気特性を有するトランジスタとなる。

30

#### 【 0 2 6 6 】

(実施の形態 9)

本実施の形態では、実施の形態 1 乃至実施の形態 8 に示すトランジスタにおいて、酸化物半導体膜中に含まれる水素濃度を低減したトランジスタの作製方法について説明する。ここでは、代表的に実施の形態 1 及び実施の形態 2 を用いて説明するが、適宜他の実施の形態と組み合わせることができる。なお、本実施の形態に示す工程の一以上と、実施の形態 1 及び実施の形態 2 に示すトランジスタの作製工程とが組み合わせればよく、全て組み合わせる必要はない。

40

#### 【 0 2 6 7 】

実施の形態 1 に示す酸化物半導体膜 1 9 及び実施の形態 2 に示す酸化物半導体膜 1 0 5 において、水素濃度を  $5 \times 10^{19} \text{ atoms/cm}^3$  未満、好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  未満、より好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以下とすることが好ましい。

#### 【 0 2 6 8 】

酸化物半導体膜 1 9、1 0 5 に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子(あるいは酸素が脱離した部分)には欠損が形成されてしまう。また、水素が酸素と結合することで、キャリアである電子が生じてしまう。これ

50

らのため、酸化物半導体膜の成膜工程において、水素を含む不純物を極めて減らすことにより、酸化物半導体膜の水素濃度を低減することが可能である。このため、水素をできるだけ除去し、高純度化させた酸化物半導体膜をチャネル領域とすることにより、しきい値電圧のマイナスシフトを低減することができ、またトランジスタのソース及びドレインにおけるリーク電流を、代表的には、チャネル幅あたりのオフ電流を数  $y$  A /  $\mu$ m ~ 数  $z$  A /  $\mu$ m にまで低減することが可能であり、トランジスタの電気特性を向上させることができる。

#### 【0269】

酸化物半導体膜 19 中の水素濃度を低減する第 1 の方法として、酸化物半導体膜 19 を形成する前に、加熱処理またはプラズマ処理により、基板 11、下地絶縁膜 13、ゲート電極 15、ゲート絶縁膜 17 それぞれに含まれる水素または水を脱離させる方法がある。この結果、後の加熱処理において、基板 11 乃至ゲート絶縁膜 17 に付着または含有する水素若しくは水が、酸化物半導体膜 19 中に拡散することを防ぐことができる。なお、加熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、100 以上基板の歪み点未満の温度で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化二窒素、二酸化窒素等）を用いる。なお、実施の形態 2 乃至実施の形態 8 においては、酸化物半導体膜 105 を形成する前に、加熱処理またはプラズマ処理により、基板 101 及び下地絶縁膜 103 それぞれに含まれる水素または水を脱離させる。

10

#### 【0270】

酸化物半導体膜 19、105 中の水素濃度を低減する第 2 の方法として、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または防着板に付着した水素、水等を取り除く方法がある。この結果、酸化物半導体膜中への水素または水等の混入を低減することが可能である。

20

#### 【0271】

酸化物半導体膜 19、105 中の水素濃度を低減する第 3 の方法として、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を 150 以上 750 以下、好ましくは 150 以上 450 以下、さらに好ましくは 200 以上 350 以下として、酸化物半導体膜を成膜する方法がある。この方法により、酸化物半導体膜中への水素または水等の混入を低減することが可能である。

30

#### 【0272】

ここで、酸化物半導体膜 19、105 中に含まれる水素濃度を低減することが可能なスパッタリング装置について、以下に詳細を説明する。

#### 【0273】

酸化物半導体膜を成膜する処理室は、リークレートを  $1 \times 10^{-10}$  Pa  $\cdot$  m<sup>3</sup> / 秒以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への水素または水等の混入を低減することができる。

#### 【0274】

また、スパッタリング装置の処理室の排気として、ドライポンプ等の粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプ等の高真空ポンプとを適宜組み合わせるとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素及び水の排気能力が低い。さらに、水素の排気能力の高いスパッタイオンポンプまたは水の排気能力の高いクライオポンプを組み合わせることが有効となる。

40

#### 【0275】

処理室の内側に存在する吸着物は、内壁に吸着しているために処理室の圧力に影響しないが、処理室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、処理室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、処理室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100 以上 450 以下で行えばよい。このとき、不活性

50



ガスを導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。

【0276】

このように、酸化物半導体膜の成膜工程において、処理室の圧力、処理室のリークレートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素または水等の混入を低減することができる。

【0277】

酸化物半導体膜19、105中の水素濃度を低減する第4の方法として、原料ガスに水素を含む不純物が除去された高純度ガスを用いる方法がある。この結果、酸化物半導体膜中の水素または水等の混入を低減することが可能である。

10

【0278】

酸化物半導体膜19、105中の水素濃度を低減する第5の方法として、酸化物半導体膜を形成した後、加熱処理を行う方法がある。当該加熱処理により、酸化物半導体膜の脱水素化または脱水化をすることができる。

【0279】

加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

【0280】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気中で加熱した後、酸素雰囲気中で加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分～24時間とする。

20

【0281】

なお、図2(B)及び図6(A)に示すように、素子分離した酸化物半導体膜19、105を形成した後、上記脱水素化または脱水化のための加熱処理を行ってもよい。このような工程を経ることで、脱水素化または脱水化のための加熱処理において、ゲート絶縁膜17または下地絶縁膜103に含まれる水素または水等を効率よく放出させることができる。

【0282】

また、脱水化または脱水素化のための加熱処理は、複数回行ってよく、他の加熱処理と兼ねてもよい。

30

【0283】

以上の酸化物半導体膜中の水素濃度を低減する第1の方法乃至第5の方法の一以上を実施の形態1乃至実施の形態8に示すトランジスタの作製方法に組み合わせることで、水素または水等をできるだけ除去し、高純度化させた酸化物半導体膜をチャンネル領域に有するトランジスタを作製することができる。この結果、しきい値電圧のマイナスシフトを低減することができる。またトランジスタのソース及びドレインにおけるリーク電流を、代表的には、チャンネル幅あたりのオフ電流を数y A /  $\mu\text{m}$ ～数z A /  $\mu\text{m}$ にまで低減することが可能であり、トランジスタの電気特性を向上させることができる。以上のことから、本実施の形態により、しきい値のマイナスシフトが低減され、リーク電流が低く、電気特性を有するトランジスタを作製することができる。

40

【0284】

(実施の形態10)

本実施の形態では、下部に第1の半導体材料を用いたトランジスタを有し、上部に第2の半導体材料を用いたトランジスタを有する半導体装置であって、第1の半導体材料を用いたトランジスタに半導体基板を用いた構造を、図13を用いて説明する。

【0285】

図13は、下部に第1の半導体材料を用いたトランジスタを有し、上部に第2の半導体材料を用いたトランジスタを有する半導体装置の断面構成を示す一例である。ここで、第1の半導体材料と第2の半導体材料とは異なる材料を用いる。例えば、第1の半導体材料を

50

酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体または多結晶半導体を用いることが好ましい。単結晶半導体を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、チャネル幅あたりのオフ電流が数  $y \text{ A} / \mu\text{m}$  ~ 数  $z \text{ A} / \mu\text{m}$  程度と十分低い特性を利用した回路に用いることができる。これらのことから、図13に示す半導体装置を用いて、例えば低消費電力の論理回路を構成することもできる。なお、第1の半導体材料として、有機半導体材料などを用いてもよい。

#### 【0286】

トランジスタ704a、トランジスタ704b及びトランジスタ704cはそれぞれ、nチャネル型トランジスタ(NMOSFET)またはpチャネル型トランジスタ(PMOSFET)も用いることができる。ここでは、トランジスタ704a及びトランジスタ704bとしてpチャネル型のトランジスタを示し、トランジスタ704cとしてnチャネル型のトランジスタを示す。図13に示す例においては、トランジスタ704a及びトランジスタ704bは、STI(Shallow Trench Isolation)702によって他の素子と絶縁分離されている。一方、トランジスタ704cは、STI702によってトランジスタ704a及び704bと絶縁分離されている。STI702を用いることにより、LOCOSによる素子分離法で発生した素子分離部のバズピークを抑制することができ、素子分離部の縮小等が可能となる。一方で、トランジスタの構造の微細化が要求されない半導体装置においてはSTI702の形成は必ずしも必要ではなく、LOCOS等の素子分離手段を用いることもできる。

#### 【0287】

図13におけるトランジスタ704a、トランジスタ704b及びトランジスタ704cは、それぞれ基板701中に設けられたチャネル領域と、チャネル領域を挟むように設けられた不純物領域705(ソース領域及びドレイン領域ともいう)と、チャネル領域上に設けられたゲート絶縁膜706と、ゲート絶縁膜706上にチャネル領域と重畳するように設けられたゲート電極707、708とを有する。ゲート電極は加工精度を高めるための第1の材料からなるゲート電極707と、配線として低抵抗化を目的とした第2の材料からなるゲート電極708を積層した構造とすることができるが、この構造に限らず、適宜要求される仕様に依じて材料、積層数、形状等を調整することができる。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上このような状態を含めてトランジスタとよぶ場合がある。

#### 【0288】

また、基板701中に設けられた不純物領域705には、コンタクトプラグ714aが接続されている。ここでコンタクトプラグ714aは、トランジスタ704a等のソース電極やドレイン電極としても機能する。また、不純物領域705とチャネル領域の間には、不純物領域705と異なる不純物領域が設けられている。該不純物領域は、導入された不純物の濃度によって、LDD領域やエクステンション領域としてチャネル領域近傍の電界分布を制御する機能を果たす。ゲート電極707、708の側壁には絶縁膜709を介してサイドウォール絶縁膜710を有する。絶縁膜709やサイドウォール絶縁膜710を用いることで、LDD領域やエクステンション領域を形成することができる。

#### 【0289】

また、トランジスタ704a、トランジスタ704b及びトランジスタ704cは、絶縁膜711により被覆されている。絶縁膜711には保護膜としての機能を持たせることができ、外部からチャネル領域への不純物の侵入を防止することができる。また、絶縁膜711をCVD法による窒化シリコン等の材料とすることで、チャネル領域に単結晶シリコンを用いた場合には加熱処理によって、単結晶シリコンの水素化を行うことができる。また、絶縁膜711に引張応力または圧縮応力を有する絶縁膜を用いることで、チャネル領域を構成する半導体材料に歪みを与えることができる。nチャネル型のトランジスタの場合

合にはチャネル領域となるシリコン材料に引張応力を、pチャネル型のトランジスタの場合にはチャネル領域となるシリコン材料に圧縮応力を付加することで、各トランジスタの移動度を向上させることができる。

【0290】

ここでは、図13におけるトランジスタ750は、実施の形態6に示すトランジスタ170と同様の構造を有する。さらに、トランジスタ750の下地絶縁膜は、絶縁膜725a、絶縁膜725bの2層構造であり、下地絶縁膜を介して、トランジスタ750の酸化物半導体膜と対向するゲート電極751を有する。絶縁膜725aは、水素、水、及び酸素のブロッキング効果を有する絶縁膜で形成することが好ましく、酸化物半導体膜からの酸素の外部への拡散と、外部から酸化物半導体膜への水素、水の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、代表的には酸化アルミニウム膜で形成する。絶縁膜725bは、実施の形態2に示す下地絶縁膜103を適宜用いることができる。

10

【0291】

なお、トランジスタ750としてここでは実施の形態6に示すトランジスタ170を用いて説明したが、実施の形態1乃至実施の形態9で示したトランジスタを適宜用いることができる。

【0292】

第2の半導体材料を用いたトランジスタ750は、必要な回路構成に応じて下層のトランジスタ704a等の第1の半導体材料を用いたトランジスタと電氣的に接続する。図13においては、一例としてトランジスタ750のソースまたはドレインがトランジスタ704aのソースまたはドレインと電氣的に接続している構成を示している。

20

【0293】

第2の半導体材料を用いたトランジスタ750のソースまたはドレインの一方は、トランジスタ750のゲート絶縁膜726、絶縁膜727、絶縁膜728、絶縁膜729を貫通するコンタクトプラグ730bを介して、トランジスタ750よりも上方に形成された配線734aと接続する。ゲート絶縁膜726及び絶縁膜727は、実施の形態1乃至実施の形態9で示した構造、材料を適宜用いることができる。

【0294】

配線734aは、絶縁膜731中に埋め込まれている。配線734aは、例えば銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。低抵抗な導電性材料を用いることで、配線734aを伝播する信号のRC遅延を低減することができる。配線734aに銅を用いる場合には、銅のチャネル領域への拡散を防止するため、バリア膜733を形成する。バリア膜として、例えば窒化タンタル、窒化タンタルとタンタルとの積層、窒化チタン、窒化チタンとチタンの積層等による膜を用いることができるが、配線材料の拡散防止機能、及び配線材料や下地膜等との密着性が確保される程度においてこれらの材料からなる膜に限られない。バリア膜733は配線734aとは別個の層として形成してもよく、バリア膜となる材料を配線材料中に含有させ、加熱処理によって絶縁膜731に設けられた開口の内壁に析出させて形成しても良い。

30

【0295】

絶縁膜731には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、BPSG (Borophosphosilicate glass)、PSG (Phosphorus Silicate Glass)、炭素を添加した酸化シリコン (SiOC)、フッ素を添加した酸化シリコン (SiOF)、 $Si(OC_2H_5)_4$ を原料とした酸化シリコンであるTEOS (Tetraethyl orthosilicate)、HSQ (Hydrogen silsesquioxane)、MSQ (Methyl silsesquioxane)、OSG (Organosilicate Glass)、有機ポリマー系の材料等の絶縁体を用いることができる。特に半導体装置の微細化を進める場合には、配線間の寄生容量が顕著になり信号遅延が増大するため酸化シリコンの比誘電率 ( $k = 4.0 \sim 4.5$ )では高く、 $k$ が3.0以下の材料を用いることが好ましい。また該

40

50

絶縁膜に配線を埋め込んだ後にCMP処理を行うため、絶縁膜には機械的強度が要求される。この機械的強度が確保できる限りにおいて、これらを多孔質（ポラス）化させて低誘電率化することができる。絶縁膜731は、スパッタリング法、CVD法、スピコート法（Spin On Glass：SOGともいう）を含む塗布法等により形成する。

【0296】

絶縁膜731上には、絶縁膜732を設けても良い。絶縁膜732は、配線材料を絶縁膜731中に埋め込んだ後、CMP等による平坦化処理を行う際のエッチングストップパとして機能する。

【0297】

配線734a上には、バリア膜735が設けられており、バリア膜735上に保護膜740が設けられている。バリア膜735は銅等の配線材料の拡散を防止することを目的とした膜である。バリア膜735は、配線734aの上面のみに限らず、絶縁膜731、732上に形成してもよい。バリア膜735は、窒化シリコンやSiC、SiBON等の絶縁性材料で形成することができる。

10

【0298】

配線734aはコンタクトプラグ730aを介して、バリア膜724よりも下層に設けられた配線723と接続する。コンタクトプラグ730aは、コンタクトプラグ730bと異なり、バリア膜724、絶縁膜725a、絶縁膜725b、ゲート絶縁膜726、絶縁膜727、絶縁膜728、絶縁膜729を貫通して配線723と電氣的に接続している。従って、コンタクトプラグ730aは、コンタクトプラグ730bに比べ高さが高い。コンタクトプラグ730aとコンタクトプラグ730bとで径を等しくした場合には、コンタクトプラグ730aの方がアスペクト比は大きくなるが、コンタクトプラグ730aとコンタクトプラグ730bとで異なった径とすることもできる。なお、コンタクトプラグ730aは一の材料で形成した一続きのものとして記しているが、例えばバリア膜724、絶縁膜725a、及び絶縁膜725bを貫通するコンタクトプラグと、ゲート絶縁膜726、絶縁膜727、絶縁膜728、及び729を貫通するコンタクトプラグとに分離して別々に形成してもよい。

20

【0299】

配線723は、既述した配線734a、734bと同様にバリア膜722、724により被覆され、絶縁膜720中に埋め込まれて設けられている。図13に示すように、配線723は上部の配線部分と、下部のビアホール部分から構成される。下部のビアホール部分は下層の配線718と接続する。該構造の配線723はいわゆるデュアルダマシン法等により形成することができる。また、上下層の配線間の接続はデュアルダマシン法によらず、コンタクトプラグを用いて接続してもよい。絶縁膜720上には、CMP等による平坦化処理を行う際のエッチングストップパとして機能する絶縁膜721を設けてもよい。

30

【0300】

配線723が電氣的に接続する配線718についても、既述したトランジスタ750の上層の配線層と同様の構成により形成することができる。シリコン等の第1の半導体材料をチャネル領域に用いたトランジスタ704aは、絶縁膜711、絶縁膜712、絶縁膜713を貫通するコンタクトプラグ714aを介して配線718と接続する。シリコン等の第1の半導体材料をチャネル領域に用いたトランジスタ704cのゲート電極は、絶縁膜711、絶縁膜712、絶縁膜713を貫通するコンタクトプラグ714bを介して配線718と接続する。配線718は、既述した配線734a、734bと同様にバリア膜717、719により被覆され、絶縁膜715中に埋め込まれて設けられている。絶縁膜715上には、CMP等による平坦化処理を行う際のエッチングストップパとして機能する絶縁膜716を設けてもよい。

40

【0301】

以上のように、半導体装置の下部に設けられた第1の半導体材料を用いたトランジスタ704aは、複数のコンタクトプラグ及び複数の配線を介して、上部に設けられた第2の半導体材料を用いたトランジスタ750と電氣的に接続する。半導体装置を以上のような構

50

成とすることで、高速動作性能を有する第1の半導体材料を用いたトランジスタと、オフ電流が極めて小さい第2の半導体材料を用いたトランジスタとを組み合わせ、低消費電力化が可能な高速動作の論理回路を有する半導体装置を作製することができる。

#### 【0302】

このような半導体装置は、既述の構成に限らず、発明の趣旨を逸脱しない範囲において、任意に変更が可能である。例えば、説明においては第1の半導体材料を用いたトランジスタと、第2の半導体材料を用いたトランジスタの間の配線層は2層として説明したが、これを1層あるいは3層以上とすることもでき、また配線を用いることなく、コンタクトプラグのみによって両トランジスタを直接接続することもできる。この場合、例えばシリコン貫通電極(Through Silicon Via:TSV)技術を用いることもできる。また、配線は銅等の材料を絶縁膜中に埋め込むことで形成する場合について説明したが、例えばバリア膜、配線材料層、及びバリア膜の三層構造としてフォトリソグラフィ工程により配線パターンに加工したものをを用いてもよい。

10

#### 【0303】

特に、銅配線を第1の半導体材料を用いたトランジスタ704a、704bと第2の半導体材料を用いたトランジスタ750との間の階層に形成する場合には、第2の半導体材料を用いたトランジスタ750の製造工程において付加する熱処理の影響を十分考慮する必要がある。換言すれば、第2の半導体材料を用いたトランジスタ750の製造工程において付加する熱処理の温度を配線材料の性質に適合するように留意する必要がある。例えば、トランジスタ750の構成部材に対して高温で熱処理を行った場合、銅配線では熱応力が発生し、これに起因したストレスマイグレーションなどの不都合が生じるためである。

20

#### 【0304】

##### (実施の形態11)

先の実施の形態で示した半導体装置の一例としては、中央演算処理装置、マイクロプロセッサ、マイクロコンピュータ、記憶装置、イメージセンサ、電気光学装置、発光表示装置等がある。また、該半導体装置をさまざまな電子機器に適用することができる。電子機器としては、例えば、表示装置、照明装置、パーソナルコンピュータ、ワードプロセッサ、画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、時計、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、スマートフォン、電子書籍、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器、空調設備、食器洗浄器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、工具、煙感知器、医療機器、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電気自動車、ハイブリッド車、プラグインハイブリッド車、装軌車両、原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船等がある。本実施の形態では、先の実施の形態で示した半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図14乃至図17を用いて説明する。

30

40

#### 【0305】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

#### 【0306】

通常のSRAMは、図14(A)に示すように1つのメモリセルがトランジスタ801～806の6個のトランジスタで構成されており、それをXデコーダ807、Yデコーダ

50

ー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を  $F$  としたときに S R A M のメモリセル面積は通常  $100 \sim 150 F^2$  である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

#### 【 0 3 0 7 】

それに対して、D R A M はメモリセルが図 1 4 ( B ) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダ 8 1 3、Y デコーダ 8 1 4 にて駆動している。1 つのセルが 1 トランジスタ及び 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常  $10 F^2$  以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

10

#### 【 0 3 0 8 】

しかしながら、トランジスタ 8 1 1 に先の実施の形態で説明した、オフ電流の低いトランジスタを用いることで、保持容量 8 1 2 の電荷を長時間保持することが可能であり頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力を低減することができる。

#### 【 0 3 0 9 】

図 1 5 に携帯機器のブロック図を示す。図 1 5 に示す携帯機器は R F 回路 9 0 1、アナログベースバンド回路 9 0 2、デジタルベースバンド回路 9 0 3、バッテリー 9 0 4、電源回路 9 0 5、アプリケーションプロセッサ 9 0 6、フラッシュメモリ 9 1 0、ディスプレイコントローラ 9 1 1、メモリ回路 9 1 2、ディスプレイ 9 1 3、タッチセンサ 9 1 9、音声回路 9 1 7、キーボード 9 1 8 などより構成されている。ディスプレイ 9 1 3 は表示部 9 1 4、ソースドライバ 9 1 5、ゲートドライバ 9 1 6 によって構成されている。アプリケーションプロセッサ 9 0 6 は、中央演算処理装置 ( C P U 9 0 7 )、D S P 9 0 8、インターフェイス ( I F ) 9 0 9 を有している。一般にメモリ回路 9 1 2 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。また、C P U 9 0 7 に含まれる、データや命令を記憶するための主記憶装置、及び高速でデータの書き込みと読み出しができるレジスタ、キャッシュなどの緩衝記憶装置に、先の実施の形態で説明した半導体装置を採用することにより、C P U の消費電力が十分に低減することができる。

20

30

#### 【 0 3 1 0 】

図 1 6 に、ディスプレイのメモリ回路 9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図 1 6 に示すメモリ回路 9 5 0 は、メモリ 9 5 2、メモリ 9 5 3、スイッチ 9 5 4、スイッチ 9 5 5 及びメモリコントローラ 9 5 1 により構成されている。また、メモリ回路は、信号線から入力された画像データ ( 入力画像データ )、メモリ 9 5 2、及びメモリ 9 5 3 に記憶されたデータ ( 記憶画像データ ) を読み出し、及び制御を行うディスプレイコントローラ 9 5 6 と、ディスプレイコントローラ 9 5 6 からの信号により表示するディスプレイ 9 5 7 が接続されている。

40

#### 【 0 3 1 1 】

まず、ある画像データがアプリケーションプロセッサ ( 図示しない ) によって、形成される ( 入力画像データ A )。入力画像データ A は、スイッチ 9 5 4 を介してメモリ 9 5 2 に記憶される。そしてメモリ 9 5 2 に記憶された画像データ ( 記憶画像データ A ) は、スイッチ 9 5 5、及びディスプレイコントローラ 9 5 6 を介してディスプレイ 9 5 7 に送られ、表示される。

#### 【 0 3 1 2 】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常  $30 \sim 60 \text{ Hz}$  程度の周期でメモリ 9 5 2 からスイッチ 9 5 5 を介して、ディスプレイコントローラ 9 5 6 から読み出される。

50

## 【0313】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

10

## 【0314】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

## 【0315】

図17に電子書籍のブロック図を示す。図17はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

20

## 【0316】

ここでは、図17のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

## 【0317】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

## 【0318】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

40

## 【実施例1】

## 【0319】

本実施例では、実施の形態1に示す保護膜23の作製方法を用いて形成した酸化窒化シリコン膜の特性について説明する。具体的には、該作製方法で形成した酸化窒化シリコン膜に含まれる酸素量のTDS分析（昇温脱離ガス分析）の結果を用いて説明する。

## 【0320】

まず、作製した試料について説明する。作製した試料は、実施の形態1に示す保護膜23の条件を用いてシリコンウェハ上に厚さ400nmの酸化窒化シリコン膜を形成した構造の試料である。

## 【0321】

50

シリコンウェハをプラズマCVD装置の処理室内に設置し、処理室内に原料ガスであるシランを160 sccm、原料ガスである一酸化二窒素を4000 sccm供給し、処理室内の圧力を200 Paに制御し、27.12 MHzの高周波電源を用いて1500 Wの電力を供給して酸化窒化シリコン膜を形成した。また、酸化窒化シリコン膜を形成する際の基板温度は220 °Cとした。なお、本実施例で用いたプラズマCVD装置は電極面積が6000 cm<sup>2</sup>である平行平板型のプラズマCVD装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると0.25 W/cm<sup>2</sup>である。

【0322】

上記した方法で作製した試料を試料A1とする。

【0323】

また、比較例として、試料A1の作製に用いたプラズマCVD装置を用いて、シリコンウェハ上に酸化窒化シリコン膜を形成した試料A2を作製した。試料A2の酸化窒化シリコン膜は、処理室内にシランを30 sccm、一酸化二窒素を4000 sccm供給し、処理室内の圧力を200 Paに制御し、27.12 MHzの高周波電源を用いて150 Wの電力を供給することで形成した。なお、試料A2の酸化窒化シリコン膜を形成する際に供給した電力は、単位面積あたりの電力（電力密度）に換算すると0.025 W/cm<sup>2</sup>である。

【0324】

次に、試料A1及び試料A2についてTDS分析を行った。TDS分析の結果を図18に示す。図18の横軸は試料A1及び試料A2の基板温度を表し、縦軸はTDSスペクトルのピーク強度を表す。

【0325】

TDS分析において、基板温度300 °C以上400 °C以下の領域に見られるピークは、分析した試料（本実施例では試料A1または試料A2）に含まれる酸素（詳細には酸素原子または酸素分子）が外部に脱離することで現れるピークである。なお、外部に脱離する酸素の総量は該ピークの積分値に相当する。また、酸化窒化シリコン膜において、化学量論的組成よりも多くの酸素を有する場合、過剰な酸素は脱離しやすく、外部に脱離しやすいと考えられる。それゆえ、該ピーク強度の強弱によって酸化窒化シリコン膜に含まれる酸素量を評価できる。

【0326】

図18より、酸素が外部に脱離することで現れるピークは、試料A2よりも試料A1の強度が大きいと確認できた。従って、試料A1の酸化窒化シリコン膜に含まれる酸素量は試料A2の酸化窒化シリコン膜に含まれる酸素量より多いことが確認できた。

【0327】

続いて、実施の形態1に示す保護膜23の作製方法において、絶縁膜を形成する際に供給する電力の影響について説明する。

【0328】

まず、作製した試料について説明する。作製した試料は、試料A1と同じ構造であり、絶縁膜として酸化窒化シリコン膜を形成する際に供給する電力を1000 W（0.17 W/cm<sup>2</sup>）、または2000 W（0.33 W/cm<sup>2</sup>）とした試料である。なお、酸化窒化シリコン膜を形成する際の他の条件は試料A1と同じである。

【0329】

ここでは、供給する電力を1000 W（0.17 W/cm<sup>2</sup>）とした試料を試料A3とし、供給する電力を2000 W（0.33 W/cm<sup>2</sup>）とした試料を試料A4とする。

【0330】

試料A3及び試料A4についてTDS分析を行った。TDS分析より得られる酸素量に関する説明は上記の通りである。TDS分析より得られた試料A1、試料A3、試料A4、及び試料A2の各試料に含まれる酸素量を図19（A）に示した。

【0331】

図19（A）より、酸化窒化シリコン膜を形成する際に供給する電力を大きくするにつれ

10

20

30

40

50



て、作製した試料に含まれる酸素量が増加することを確認した。

【0332】

続いて、実施の形態1に示す保護膜23の作製方法において、絶縁膜を形成する際に制御する圧力の影響について説明する。

【0333】

まず、作製した試料について説明する。作製した試料は、試料A1と同じ構造であり、酸化窒化シリコン膜を形成する際に制御する圧力を120Pa、または250Paとした試料である。なお、酸化窒化シリコン膜を形成する際の他の条件は試料A1と同じである。

【0334】

ここでは、制御する圧力を120Paとした試料を試料A5とし、制御する圧力を250Paとした試料を試料A6とする。

【0335】

試料A5及び試料A6についてTDS分析を行った。TDS分析より得られる酸素量に関する説明は上記の通りである。TDS分析より得られた試料A1、試料A5及び試料A6の各試料に含まれる酸素量を図19(B)に示した。

【0336】

図19(B)より、酸化窒化シリコン膜を形成する際に制御する圧力を高くすることで、作製した試料に含まれる酸素量が増加することを確認した。

【0337】

以上より、実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成することで、化学量論的組成よりの多くの酸素を有する酸化窒化シリコン膜を形成できることが確認できた。該酸化窒化シリコン膜は加熱されることで酸素の一部が脱離するため、該酸化窒化シリコン膜をトランジスタの保護膜として用いることで、該酸素をトランジスタの酸化物半導体膜に拡散させることができる。この結果、優れた電気特性を有するトランジスタを作製することができる。

【実施例2】

【0338】

本実施例では、実施の形態1に示す保護膜23の作製方法を用いて形成した酸化窒化シリコン膜の特性について、実施例1とは異なる構造の試料をTDS分析した結果を用いて説明する。

【0339】

本実施例で作製した試料は、シリコンウェハ上に厚さ50nmの窒化シリコン膜を形成し、該窒化シリコン膜上に厚さ200nmの酸化窒化シリコン膜を形成した積層構造の試料である。

【0340】

シリコンウェハをプラズマCVD装置の処理室内に設置し、処理室内に50sccmのシラン、5000sccmの窒素を供給し、処理室内の圧力を60Paに制御し、27.12MHzの高周波電源を用いて150Wの電力を供給して窒化シリコン膜を形成した。また、窒化シリコン膜を形成する際の基板温度は350とした。なお、本実施例で用いたプラズマCVD装置は実施例1と同様であり、電力密度に換算すると0.25W/cm<sup>2</sup>である。

【0341】

続いて、160sccmのシラン、4000sccmの一酸化二窒素を処理室内に供給し、処理室内の圧力を200Paに制御し、27.12MHzの高周波電源を用いて1500W(0.25W/cm<sup>2</sup>)の電力を供給して、窒化シリコン膜上に酸化窒化シリコン膜を形成した。また、当該酸化窒化シリコン膜を形成する際の基板温度は220とした。このようにして作製した試料を試料B1とする。

【0342】

また、上記窒化シリコン膜上に100sccmのシラン、3000sccmの一酸化二窒素を処理室内に供給し、処理室内の圧力を40Paに制御し、27.12MHzの高周波

10

20

30

40

50

電源を用いて1500W(0.25W/cm<sup>2</sup>)の電力を供給して、窒化シリコン膜上に酸化窒化シリコン膜を形成した試料を試料B2とする。また、当該酸化窒化シリコン膜を形成する際の基板温度は350とした。

【0343】

試料B1及び試料B2についてTDS分析を行った。TDS分析の結果を図20に示す。本実施例におけるTDS分析は実施例1と同様に行った。図20(A)及び図20(B)において、横軸は試料B1及び試料B2の基板温度を表し、縦軸はTDSスペクトルのピーク強度を表す。

【0344】

図20(A)は、試料B1及び試料B2において外部に脱離する酸素量に対応する結果を表し、図20(B)は、試料B1及び試料B2において外部に脱離する水の量に対応する結果を表している。なお、実施例1と同様に図20(A)及び図20(B)のピーク強度の強弱によって試料B1または試料B2の酸化窒化シリコン膜に含まれる酸素量、及び水の量を評価できる。

10

【0345】

図20(A)より、酸素が外部に脱離することで現れるピークは試料B2よりも試料B1のほうが大きいと確認できた。従って、試料B1の酸化窒化シリコン膜に含まれる酸素量は試料B2の酸化窒化シリコン膜に含まれる酸素量より多いことが確認できた。

【0346】

このことから、基板温度を180以上250以下とする実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成することで、化学量論的組成よりの多くの酸素を有する酸化窒化シリコン膜を形成できることが確認できた。

20

【0347】

なお、図20(B)より、水が外部に脱離することで現れるピークは試料B2よりも試料B1のほうが大きいと確認された。なお、基板温度が100付近に現れるピークは、吸着水の脱離を示すピークである。このことから、試料B1は、試料B2と比較して、粗な膜であり、水を吸着しやすいことがわかる。以上のことから、試料B1の酸化窒化シリコン膜に含まれる水の量は試料B2の酸化窒化シリコン膜に含まれる水の量より多いといえる。これは、試料B1の酸化窒化シリコン膜を形成する際のシランの流量が試料B2の酸化窒化シリコン膜を形成する際のシランの流量より多いこと、及び基板温度が試料B1の方が低いことが理由と推察される。

30

【実施例3】

【0348】

本実施例では、酸化物半導体膜上に酸化窒化シリコン膜を形成する際に、酸化物半導体膜に生じる欠陥量について説明する。具体的には、酸化物半導体膜上に酸化窒化シリコン膜を形成した試料のESR測定結果、及びCPM(Constant photocurrent method)測定結果を用いて説明する。

【0349】

はじめに、ESR測定結果について説明する。まず、作製した試料について説明する。作製した試料は、石英基板上に厚さ100nmの酸化物半導体膜を形成し、該酸化物半導体膜上に厚さ400nmの酸化窒化シリコン膜を形成した積層構造の試料である。

40

【0350】

石英基板上にスパッタリング法を用いてCAAC-Os膜であるIGZO膜を形成した。該IGZO膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1(原子数比)のターゲットとし、スパッタリングガスとして50sccmのArと50sccmの酸素をスパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御し、5kWの直流電力を供給して形成した。なお、IGZO膜を形成する際の基板温度は170とした。また、該IGZO膜を形成した後、窒素雰囲気中で第1の加熱処理を行い、続けて窒素及び酸素を含む雰囲気中で第2の加熱処理を行った。加熱処理の温度は共に350とし、加熱処理を行った時間は第1の加熱処理及び第2の加熱処理共に1時間とした。

50

## 【0351】

次に、IGZO膜を形成した石英基板をプラズマCVD装置の処理室内に設置し、処理室内に原料ガスであるシランを160 sccm、原料ガスである一酸化二窒素を4000 sccm供給し、処理室内の圧力を120 Paに制御し、27.12 MHzの高周波電源で電力を供給して酸化窒化シリコン膜を形成した。なお、該プラズマCVD装置は6000 cm<sup>2</sup>である平行平板型のプラズマCVD装置である。供給する電力（電力密度）は1000 W（0.17 W/cm<sup>2</sup>）、1500 W（0.25 W/cm<sup>2</sup>）、2000 W（0.33 W/cm<sup>2</sup>）の3条件とし、それぞれを試料C1、試料C2、試料C3とする。

## 【0352】

そして、試料C1乃至試料C3についてESR測定を行った。ESR測定は下記の条件で行った。測定温度は室温（25℃）とし、9.2 GHzの高周波電力（マイクロ波パワー）は20 mWとし、磁場の向きは作製した試料の酸化窒化シリコン膜の表面と平行とし、IGZO膜の酸素欠損に由来する $g = 1.93$ に現れる信号の、単位面積あたりのスピンの検出下限を $1.0 \times 10^{12}$  spins/cm<sup>2</sup>とした。

10

## 【0353】

ESR測定の結果を図21に示す。図21は酸化窒化シリコン膜を形成する際に供給する電力と、酸化物半導体膜中の $g = 1.93$ に現れる信号の単位面積あたりのスピンの数との関係を表した図である。単位面積あたりのスピンの数が小さいほど酸化物半導体膜に含まれる酸素欠損は少ないといえる。

20

## 【0354】

図21より、試料C1と比較して、試料C2及び試料C3の単位面積あたりのスピンの数が低減していると確認できた。従って、酸化物半導体膜上に酸化窒化シリコン膜を形成する際、実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成することで、該酸化窒化シリコン膜を形成したときに生じる酸化物半導体膜中の酸素欠損をさらに低減することができる。

## 【0355】

また、酸化窒化シリコン膜を形成する際の電力を1500 W（0.25 W/cm<sup>2</sup>）と一定にし、シランの流量を120 sccmまたは200 sccmとして酸化窒化シリコン膜を形成した試料を作製した。シランの流量が120 sccmである試料を試料C4とし、シランの流量が200 sccmである試料を試料C5とする。

30

## 【0356】

試料C2、試料C4及び試料C5についても上記と同様条件でESR測定を行った。結果を図22に示す。図22は酸化窒化シリコン膜を形成する際に供給するシランの流量と、酸化物半導体膜中の $g = 1.93$ に現れる信号の単位面積あたりのスピンの数との関係を表した図である。

## 【0357】

図22より、酸化窒化シリコン膜を形成する際にシランの流量を増大すると、単位面積あたりのスピンの数が低減する傾向にあると確認できた。従って、酸化物半導体膜上に酸化窒化シリコン膜を形成する際、シランの流量を増大して形成することによって、該酸化窒化シリコン膜を形成したときに生じる酸化物半導体膜中の酸素欠損をさらに低減することができる。

40

## 【0358】

次に、試料C2、試料C4、及び試料C5を300℃で加熱処理を行った後、ESR測定を行った。この結果、試料C2、試料C4、及び試料C5におけるIGZO膜の酸素欠損に由来する $g = 1.93$ に現れる信号の単位面積あたりのスピンの数は、検出下限（ $1.0 \times 10^{12}$  spins/cm<sup>2</sup>）以下であった。

## 【0359】

以上のことから、酸化物半導体膜上に実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成した後、加熱処理することで、酸化物半導体膜に含まれる酸素欠損を低減できることがわかった。

50

## 【0360】

次に、CPMの測定結果について説明する。まず、作製した試料について説明する。

## 【0361】

まず、基板としてガラス基板を用い、基板上に酸化物半導体膜を形成した。

## 【0362】

酸化物半導体膜としては、CAAC-OS膜であるIGZO膜をスパッタリング法で形成し、フォトリソグラフィ工程により該IGZO膜上にマスクを形成し、該マスクを用いて該IGZO膜の一部をエッチングした。その後、エッチングされたIGZO膜に加熱処理を行い、酸化物半導体膜を形成した。なお、本実施例では厚さ100nmのIGZO膜を形成した。

10

## 【0363】

IGZO膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1(原子数比)のターゲットとし、スパッタリングガスとして50sccmのArと50sccmの酸素をスパッタリング装置の処理室内に供給し、処理室内の圧力を0.7Paに制御し、5kWの直流電力を供給して形成した。なお、IGZO膜を形成する際の基板温度を170とした。

## 【0364】

エッチングされたIGZO膜に行った加熱処理は、窒素雰囲気で行う第1の加熱処理と、第1の加熱処理の後、続けて窒素及び酸素雰囲気で行う第2の加熱処理とした。第1の加熱処理及び第2の加熱処理の温度は共に450とし、処理時間は第1の加熱処理及び第2の加熱処理共に1時間とした。

20

## 【0365】

次に、酸化物半導体膜に接する一对の電極を形成した。

## 【0366】

酸化物半導体膜上に導電膜を形成し、フォトリソグラフィ工程により該導電膜上にマスクを形成し、該マスクを用いて該導電膜の一部をエッチングし、一对の電極を形成した。なお、該導電膜は、厚さ100nmのチタン膜上に厚さ400nmのアルミニウム膜を形成し、該アルミニウム膜上に厚さ100nmのチタン膜を形成した。

## 【0367】

次に、加熱処理を行った。当該加熱処理は、温度を300とし、酸素及び窒素を含む雰囲気で行った。

30

## 【0368】

次に、酸化物半導体膜、及び一对の電極上に絶縁膜を形成した。

## 【0369】

絶縁膜は、実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成した。具体的には、160sccmのシラン、4000sccmの一酸化二窒素をプラズマCVD装置の処理室に供給し、処理室の圧力を200Paに制御し、27.12MHzの高周波電源を用いて1500W(0.25W/cm<sup>2</sup>)の電力を供給して、厚さ400nmの酸化窒化シリコン膜を形成した。また、絶縁膜を形成する際の基板温度は220とした。

40

## 【0370】

絶縁膜を形成した後、ここまでの工程で得られた構成に加熱処理を行った。当該加熱処理は、温度を300とし、酸素及び窒素を含む雰囲気で行った。

## 【0371】

以上の工程により、得られた試料を試料C6とする。

## 【0372】

ここで、比較例となる試料の作製工程について説明する。比較例となる試料(以下、試料C7とする。)は、上記試料C6の絶縁膜を下記のようにして形成したトランジスタであり、他の工程は全て同じである。試料C7の絶縁膜は、30sccmのシラン、4000sccmの一酸化二窒素をプラズマCVD装置の処理室に供給し、処理室の圧力を200

50

Paに制御し、27.12MHzの高周波電源を用いて150W(0.025W/cm<sup>2</sup>)の電力を供給して、厚さ400nmの酸化窒化シリコン膜を形成した。また、絶縁膜を形成する際の基板温度は220とした。

#### 【0373】

次に、試料C6及び試料C7のCPM測定を行った。CPM測定は、試料に設けられた一対の電極の間に電圧を印加した状態で光電流値が一定となるように試料面に照射する光量を調整し、照射光量から吸光係数を測定する方法である。CPM測定においては、試料に欠陥があるとき、欠陥の存在する準位に応じたエネルギー(波長より換算)における吸光係数が増加する。この吸光係数の増加分に定数を掛けることにより、試料の欠陥密度を評価することができる。

10

#### 【0374】

試料C6及び試料C7それぞれをCPM測定して得られた吸収係数からバンドテイル起因の吸収係数を除いた吸収係数、即ち欠陥に起因する吸収係数を図23に示す。図23において、横軸は吸収係数を表し、縦軸は光エネルギーを表す。なお、図23の縦軸において、酸化半導体膜の伝導帯の下端を0eVとし、価電子帯の上端を3.15eVとする。また、図23において、各曲線は吸収係数と光エネルギーの関係を示す曲線であり、欠陥準位に相当する。実線で示す曲線は試料C6の欠陥準位に相当し、破線で示す曲線は試料C7の欠陥準位に相当する。試料C6における欠陥準位による吸収係数は $1.00 \times 10^{-2} / \text{cm}$ であり、試料C7における欠陥準位による吸収係数は $6.52 \times 10^{-2} / \text{cm}$ であった。

20

#### 【0375】

図23より、試料C7と比較して試料C6の欠陥準位が少ないことが分かる。

#### 【0376】

以上のことから酸化半導体膜上に酸化窒化シリコン膜を形成する際、シランの流量を増大させると共に、供給電力を増大させることによって、該酸化窒化シリコン膜を形成したときに生じる酸化半導体膜中の酸素欠損をさらに低減することができる。

#### 【0377】

以上より、酸化半導体膜を有するトランジスタ上に保護膜として酸化窒化シリコン膜を形成する際、実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成することで、優れた電気特性を有するトランジスタを作製することができる。

30

#### 【実施例4】

#### 【0378】

本実施例は、本発明の一態様である半導体装置の電気特性について説明する。具体的には本発明の一態様であるトランジスタの電流-電圧特性の結果を用いて説明する。

#### 【0379】

はじめに、トランジスタの作製工程について説明する。本実施例では図4を参照して説明する。

#### 【0380】

まず、基板11としてガラス基板を用い、基板11上にゲート電極15を形成した。

#### 【0381】

スパッタリング法で厚さ100nmのタンゲステン膜を形成し、フォトリソグラフィ工程により該タンゲステン膜上にマスクを形成し、該マスクを用いて該タンゲステン膜の一部をエッチングし、ゲート電極15を形成した。

40

#### 【0382】

次に、ゲート電極15上に絶縁膜31及び絶縁膜32で構成されるゲート絶縁膜33を形成した。

#### 【0383】

絶縁膜31として厚さ50nmの窒化シリコン膜を形成し、絶縁膜32として厚さ200nmの酸化窒化シリコン膜を形成した。該窒化シリコン膜は、シラン50sccm、窒素5000sccmをプラズマCVD装置の処理室に供給し、処理室内の圧力を60Paに

50

制御し、27.12MHzの高周波電源を用いて150Wの電力を供給して形成した。該酸化窒化シリコン膜は、シラン20sccm、一酸化二窒素3000sccmをプラズマCVD装置の処理室に供給し、処理室内の圧力を40Paに制御し、27.12MHzの高周波電源を用いて100Wの電力を供給して形成した。なお、該窒化シリコン膜及び該酸化窒化シリコン膜は、基板温度を350として形成した。

【0384】

ここまでの工程で得られた構成は図4(A)を参照できる。なお、図4(A)には下地絶縁膜13が図示されているが、本実施例において下地絶縁膜13は形成していない。

【0385】

次に、ゲート絶縁膜33を介してゲート電極15に重なる酸化物半導体膜19を形成した。

10

【0386】

ここでは、酸化物半導体膜19として、CAAC-Os膜であるIGZO膜をスパッタリング法で形成した。

【0387】

IGZO膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1(原子数比)のターゲットとし、スパッタリングガスとして50sccmのアルゴンと50sccmの酸素をスパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御し、5kWの直流電力を供給して形成した。なお、IGZO膜を形成する際の基板温度は170とした。

20

【0388】

次に、フォトリソグラフィ工程により該IGZO膜上にマスクを形成し、該マスクを用いて該IGZO膜の一部をエッチングした。その後、エッチングされたIGZO膜に加熱処理を行い、酸化物半導体膜19を形成した。なお、本実施例では厚さ35nmのIGZO膜を形成した。

【0389】

エッチングされたIGZO膜に行った加熱処理は、窒素雰囲気で行う第1の加熱処理と、第1の加熱処理の後、窒素及び酸素雰囲気で行う第2の加熱処理とした。第1の加熱処理及び第2の加熱処理の温度は共に350とし、処理時間は第1の加熱処理及び第2の加熱処理共に1時間とした。

30

【0390】

ここまでの工程で得られた構成は図4(B)を参照できる。

【0391】

次に、酸化物半導体膜19に接する一对の電極21を形成した。

【0392】

ゲート絶縁膜17及び酸化物半導体膜19上に導電膜を形成し、フォトリソグラフィ工程により該導電膜上にマスクを形成し、該マスクを用いて該導電膜の一部をエッチングし、一对の電極21を形成した。なお、該導電膜は、厚さ50nmのタングステン膜上に厚さ400nmのアルミニウム膜を形成し、該アルミニウム膜上に厚さ100nmのチタン膜を形成した。この後、マスクを除去した。

40

【0393】

ここまでの工程で得られた構成は図4(C)を参照できる。なお、本実施例では、図4(C)に図示してある酸素雰囲気が発生させたプラズマに曝す処理を行っていない。

【0394】

次に、ここまでの工程で得られた構成に加熱処理を行った。当該加熱処理は、温度を300とし、窒素及び窒素を含む雰囲気で行う1時間行った。

【0395】

次に、ゲート絶縁膜17、酸化物半導体膜19、及び一对の電極21上に絶縁膜34を形成した後、絶縁膜34を酸素プラズマ処理して絶縁膜34に酸素35を添加した。

【0396】

50

本実施例では、絶縁膜34として、20 s c c mのシラン、3000 s c c mの一酸化二窒素をプラズマCVD装置の処理室に供給し、処理室の圧力を200 Paに制御し、27.12 MHzの高周波電源を用いて100 Wの電力を供給して、厚さ30 nmの酸化窒化シリコン膜を形成した。また、絶縁膜34を形成する際の基板温度は350 とした。

【0397】

また、250 s c c mの酸素をプラズマ処理装置の処理室に供給し、処理室内の圧力を15 Paに制御し、バイアス電極を0 Wとしてソース電極に4500 Wの電力を供給して、酸素プラズマを発生させた。また、絶縁膜34を当該酸素プラズマに600秒曝した。

【0398】

ここまでの工程で得られた構成は図4(D)を参照できる。

10

【0399】

次に、酸素35が添加された絶縁膜34上に絶縁膜36を形成した。

【0400】

絶縁膜36は、実施の形態1に示す保護膜23の作製方法を用いて酸化窒化シリコン膜を形成した。具体的には、160 s c c mのシラン、4000 s c c mの一酸化二窒素をプラズマCVD装置の処理室に供給し、処理室の圧力を200 Paに制御し、27.12 MHzの高周波電源を用いて1500 W ( $0.25 \text{ W/cm}^2$ )の電力を供給して、厚さ370 nmの酸化窒化シリコン膜を形成した。また、絶縁膜36を形成する際の基板温度は220 とした。

【0401】

20

絶縁膜36を形成した後、ここまでの工程で得られた構成に加熱処理を行った。当該加熱処理は、温度を350 とし、酸素及び窒素を含む雰囲気中で1時間行った。

【0402】

以上の工程により、本発明の一態様であるトランジスタを作製した。なお、以上の工程により作製したトランジスタを試料D1とする。

【0403】

ここで、比較例となるトランジスタの作製工程について説明する。比較例となるトランジスタ(以下、試料D2とする。)は、上記試料D1の絶縁膜36を下記のようにして形成したトランジスタであり、他の工程は全て同じである。試料D2の絶縁膜36は、30 s c c mのシラン、4000 s c c mの一酸化二窒素をプラズマCVD装置の処理室に供給し、処理室の圧力を200 Paに制御し、27.12 MHzの高周波電源を用いて150 W ( $0.025 \text{ W/cm}^2$ )の電力を供給して、厚さ370 nmの酸化窒化シリコン膜を形成した。また、絶縁膜36を形成する際の基板温度は350 とした。

30

【0404】

そして、試料D1及び試料D2について電流-電圧特性の初期特性を測定した。その結果を図24に示す。図24(A)は試料D1の電流-電圧特性の初期特性であり、図24(B)は試料D2の電流-電圧特性の初期特性である。図24(A)及び図24(B)共に横軸はゲート電圧( $V_g$ )を表し、左縦軸は一对の電極21間を流れるドレイン電流( $I_d$ )を表し、右縦軸は電界効果移動度( $\mu_{FE}$ )を表す。また、太い実線はドレイン電圧( $V_d$ )を10 Vとした際の電流-電圧特性の初期特性を表し、太い破線は $V_d$ を1 Vとした際の電流-電圧特性の初期特性を表し、細い実線は $V_d$ を10 Vとした際のゲート電圧に対する電界効果移動度を表す。なお、当該電界効果移動度は各試料の飽和領域での結果である。

40

【0405】

図24(B)より、試料D2はしきい値電圧がマイナス方向に大きくシフトしており、ノーマリーオン特性であった。一方、図24(A)より、試料D1はしきい値電圧がゲート電圧0 V付近であり、試料D2で確認されたノーマリーオン特性が解消されていると確認できた。

【0406】

また、試料D2では、ドレイン電圧が1 Vと10 Vのとき、それぞれのオン電流の立ち上

50

がり電圧が異なるが、試料D1では、ドレイン電圧が1Vと10Vのとき、それぞれのオン電流の立ち上がり電圧がほぼ同一であることが確認された。

【0407】

以上より、実施の形態1に示す保護膜23の作製方法を用いた試料D1は優れた電気特性を有していることが確認できた。従って、本発明の一態様により、優れた電気特性を有するトランジスタを作製することができる。

【実施例5】

【0408】

本実施例は、本発明の一態様である半導体装置の電気特性と、本発明の一態様の絶縁膜の欠陥密度の関係について説明する。具体的には本発明の一態様であるトランジスタの電流-電圧特性の初期特性の結果と、該トランジスタと類似の構造により形成した素子のC-V測定によるヒステリシス量と、本発明の一態様の絶縁膜である酸化窒化シリコン膜の欠陥密度について、説明する。

10

【0409】

はじめに、トランジスタの作製工程について説明する。本実施例では図2を参照して説明する。

【0410】

まず、基板11としてガラス基板を用い、基板11上にゲート電極15を形成した。

【0411】

スパッタリング法で厚さ100nmのタンゲステン膜を形成し、フォトリソグラフィ工程により該タンゲステン膜上にマスクを形成し、該マスクを用いて該タンゲステン膜の一部をエッチングし、ゲート電極15を形成した。

20

【0412】

次に、ゲート電極15上にゲート絶縁膜17を形成した。

【0413】

ゲート絶縁膜17として厚さ50nmの窒化シリコン膜と、厚さ200nmの酸化窒化シリコン膜を積層して形成した。該窒化シリコン膜は、シラン50sccm、窒素5000sccmをプラズマCVD装置の処理室に供給し、処理室内の圧力を60Paに制御し、27.12MHzの高周波電源を用いて150Wの電力を供給して形成した。

30

【0414】

該酸化窒化シリコン膜はマイクロ波を用いたプラズマCVD法で酸化窒化シリコン膜を10nm形成した。なお、当該マイクロ波を用いたプラズマCVD法の条件を以下に記す。マイクロ波プラズマCVD装置の処理室で発生させるプラズマを安定させるために、はじめに、当該処理室にシランを10sccm、一酸化二窒素を300sccm、アルゴンを2500sccm導入し、処理室内の圧力を20Paに調節し、基板を325℃に保持し、2.45GHzマイクロ波電源を用いて5kWの電力を加えた。発生したプラズマが安定した後、当該処理室に導入するシランを30sccmに、一酸化二窒素を1500sccm、アルゴンを2500sccmに流量を増大して酸化窒化シリコン膜を形成した。

【0415】

次に、ゲート絶縁膜17を介してゲート電極15に重なる酸化物半導体膜19を形成した。

40

【0416】

ゲート絶縁膜17上にCAAC-OS膜であるIGZO膜をスパッタリング法で形成した。

【0417】

IGZO膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1(原子数比)のターゲットとし、スパッタリングガスとして50sccmのArと50sccmの酸素をスパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御し、5kWの直流電力を供給して形成した。なお、IGZO膜を形成する際の基板温度は170℃とした。

50



## 【0418】

ここまでの工程で得られた構成は図2(A)を参照できる。なお、図2(A)には下地絶縁膜13が図示されているが、本工程において下地絶縁膜13は形成していない。

## 【0419】

次に、フォトリソグラフィ工程により該IGZO膜上にマスクを形成し、該マスクを用いて該IGZO膜の一部をエッチングした。その後、エッチングされたIGZO膜に加熱処理を行い、酸化物半導体膜19を形成した。なお、本実施例では厚さ35nmのIGZO膜を形成した。

## 【0420】

エッチングされたIGZO膜に行った加熱処理は、窒素雰囲気で行う第1の加熱処理と、第1の加熱処理の後、窒素及び酸素雰囲気で行う第2の加熱処理とした。第1の加熱処理及び第2の加熱処理の温度は共に450とし、処理時間は第1の加熱処理及び第2の加熱処理共に1時間とした。

10

## 【0421】

ここまでの工程で得られた構成は図2(B)を参照できる。

## 【0422】

次に、酸化物半導体膜19に接する一对の電極21を形成した。

## 【0423】

ゲート絶縁膜17及び酸化物半導体膜19上に導電膜を形成し、フォトリソグラフィ工程により該導電膜上にマスクを形成し、該マスクを用いて該導電膜の一部をエッチングし、一对の電極21を形成した。なお、該導電膜は、厚さ100nmのチタン膜上に厚さ400nmのアルミニウム膜を形成し、該アルミニウム膜上に厚さ100nmのチタン膜を形成した。

20

## 【0424】

ここまでの工程で得られた構成は図2(C)を参照できる。

## 【0425】

次に、ここまでの工程で得られた構成に加熱処理を行った。当該加熱処理は、温度を300とし、酸素及び窒素を含む雰囲気中で1時間行った。

## 【0426】

次に、ゲート絶縁膜17、酸化物半導体膜19、及び一对の電極21上に保護膜23を形成した。

30

## 【0427】

本実施例では、保護膜23として、200sccmのシラン、3000sccmの一酸化二窒素をプラズマCVD装置の処理室に供給し、処理室の圧力を200Paに制御し、27.12MHzの高周波電源を用いて1500Wの電力を供給して、厚さ370nmの酸化窒化シリコン膜を形成した。また、保護膜23を形成する際の基板温度は220とした。

## 【0428】

ここまでの工程で得られた構成は図2(D)を参照できる。

## 【0429】

保護膜23を形成した後、ここまでの工程で得られた構成に加熱処理を行った。当該加熱処理は、温度を300とし、酸素及び窒素を含む雰囲気中で1時間行った。

40

## 【0430】

次に、保護膜23上に平坦化膜を形成した(図示しない)。ここでは、組成物を保護膜23上に塗布した後、露光及び現像を行って、一对の電極の一部を露出する開口部を有する平坦化膜を形成した。なお、平坦化膜として厚さ1.5μmのアクリル樹脂を形成した。こののち、加熱処理を行った。当該加熱処理は、温度を250とし、窒素を含む雰囲気中で1時間行った。

## 【0431】

次に、一对の電極の一部に接続する導電膜を形成した(図示しない)。ここでは、スパッ

50

タリング法により厚さ100nmの酸化シリコンを含むITOを形成した。こののち、加熱処理を行った。当該加熱処理は、温度を250とし、窒素を含む雰囲気中で1時間行った。

【0432】

以上の工程により、トランジスタを作製した。なお、以上の工程により作製したトランジスタを試料E1とする。

【0433】

また、保護膜23の形成条件において、試料E1とシランの流量の異なる条件を用いて、保護膜23を形成して、トランジスタを作製した。

【0434】

保護膜23の形成条件として、シランの流量を160sccmとしてトランジスタを形成した試料を試料E2とする。

【0435】

保護膜23の形成条件として、シランの流量を120sccmとしてトランジスタを形成した試料を試料E3とする。

【0436】

また、保護膜23の形成条件において、試料E1とシランの流量及び供給電力の異なる条件を用いて、保護膜23を形成して、トランジスタを作製した。

【0437】

保護膜23の形成条件として、シランの流量を30sccm、供給電力を150Wとしてトランジスタを形成した試料を試料E4とする。

【0438】

なお、試料E2乃至試料E4は、図2(A)に示す下地絶縁膜13を形成した。また、ゲート絶縁膜17において、窒化シリコン膜を形成せず、酸化窒化シリコン膜の単層とした。

【0439】

次に、試料E1乃至試料E4について電流-電圧特性の初期特性を測定した。その結果を図25に示す。図25(A)は試料E1の電流-電圧特性の初期特性であり、図25(B)は試料E2の電流-電圧特性の初期特性であり、図25(C)は試料E3の電流-電圧特性の初期特性であり、図25(D)は試料E4の電流-電圧特性の初期特性である。図25において、横軸はゲート電圧( $V_g$ )を表し、左縦軸は一对の電極21間を流れるドレイン電流( $I_d$ )を表し、右縦軸は電界効果移動度( $\mu_{FE}$ )を表す。また、実線はドレイン電圧( $V_d$ )を1Vまたは10Vとした際の電流-電圧特性の初期特性を表し、破線は $V_d$ を10Vとした際のゲート電圧に対する電界効果移動度を表す。なお、当該電界効果移動度は各試料の飽和領域での結果である。

【0440】

図25(B)及び図25(C)に示す電流-電圧特性の初期特性は、ドレイン電圧が1Vと10Vのとき、それぞれのオン電流の立ち上がり電圧が異なる。図25(D)に示す電流-電圧特性の初期特性は、しきい値電圧がマイナス方向にシフトすると共に、しきい値電圧がばらついている。一方、図25(A)に示す電流-電圧特性の初期特性は、ドレイン電圧が1Vと10Vのとき、それぞれのオン電流の立ち上がり電圧がほぼ同一であり、しきい値電圧がゲート電圧0V付近であり、かつしきい値電圧がばらついていない。

【0441】

次に、試料E1乃至試料E4それぞれの条件を用いて形成した保護膜23の膜特性について説明する。はじめに、MOS(Metal Oxide Semiconductor)構造素子を作製し、C-V(Capacitance-Voltage)測定を行った結果を図27に示す。

【0442】

はじめに、C-V測定用のMOS構造素子の作製工程について説明する。本実施例では図26を参照して説明する。

10

20

30

40

50

## 【0443】

図26に示すように、基板961上に第1の電極963を形成した。基板961としてガラス基板を用いた。第1の電極963として、試料E1乃至試料E4で形成したゲート電極15と同様の条件を用いて形成した。

## 【0444】

基板961及び第1の電極963上に絶縁膜965を形成した。絶縁膜965として、試料E1乃至試料E4で形成したゲート絶縁膜17と同様の条件を用いて形成した。

## 【0445】

絶縁膜965上に酸化物半導体膜967を形成した。酸化物半導体膜967として、試料E1乃至試料E4で形成した酸化物半導体膜19と同様の条件を用いて形成した。

10

## 【0446】

酸化物半導体膜967上に第2の電極969を形成した。第2の電極969として、試料E1乃至試料E4で形成した一对の電極21と同様の条件を用いて形成した。

## 【0447】

絶縁膜965、酸化物半導体膜967、及び第2の電極969上に絶縁膜971を形成した。絶縁膜971として、試料E1乃至試料E4で形成した保護膜23と同様の条件を用いて形成した。

## 【0448】

以上の工程により、C-V測定用のMOS構造素子を形成した。なお、試料E1と同様の条件を用いて形成したMOS構造素子を試料E5とし、試料E2と同様の条件を用いて形成したMOS構造素子を試料E6とし、試料E3と同様の条件を用いて形成したMOS構造素子を試料E7とし、試料E4と同様の条件を用いて形成したMOS構造素子を試料E8とする。

20

## 【0449】

試料E5乃至試料E8のC-V測定結果をそれぞれ、図27(A)乃至図27(D)に示す。また、各試料において、第1の電極963の電圧Vを-10Vから10Vに掃引したときのフラットバンド電圧Vfb1と、第1の電極963の電圧Vを10Vから-10Vに掃引したときのフラットバンド電圧Vfb2との差の絶対値であるヒステリシス量(Vfb)を表1に示す。

## 【0450】

30

## 【表1】

	試料E1	試料E2	試料E3	試料E4
$\Delta V_{fb}(V)$	1.17	2.86	6.93	0.2

## 【0451】

図27(A)乃至図27(C)及び表1より、ヒステリシス量(Vfb)が増大すると共に、図25(A)乃至図25(C)に示すように、ドレイン電圧が1Vと10Vのときの、それぞれのオン電流の立ち上がり電圧の差が大きくなる。すなわち、トランジスタの電流-電圧特性の初期特性において、オン電流の立ち上がり電圧は、ヒステリシス量(Vfb)と関係することがわかる。

40

## 【0452】

次に、試料E1乃至試料E4において形成した保護膜23の欠陥密度について、ESR測定結果を用いて説明する。

## 【0453】

まず、作製した試料について説明する。作製した試料は、石英基板上に、試料E1乃至試料E4の保護膜23と同様の条件を用いて、厚さ400nmの酸化窒化シリコン膜を形成した。次に、窒素及び酸素を含む雰囲気中で300 1時間の加熱処理を行った。

## 【0454】

酸化窒化シリコン膜として、試料E1の保護膜23と同様の条件を用いて形成した試料を

50

試料 E 9 とし、試料 E 2 の保護膜 2 3 と同様の条件を用いて形成した試料を試料 E 1 0 とし、試料 E 3 の保護膜 2 3 と同様の条件を用いて形成した試料を試料 E 1 1 とし、試料 E 4 の保護膜 2 3 と同様の条件を用いて形成した試料を試料 E 1 2 とした。

【 0 4 5 5 】

次に、試料 E 9 乃至試料 E 1 2 を E S R 測定した。E S R 測定は下記の条件で行った。測定温度は室温 ( 2 5 ) とし、9 . 2 G H z の高周波電力 ( マイクロ波パワー ) は 2 0 m W とし、磁場の向きは作製した試料 E 9 乃至試料 E 1 2 の酸化窒化シリコン膜の表面と平行とした。酸化窒化シリコン膜に含まれるシリコンのダングリングボンドに由来する  $g = 2 . 0 0 1$  に現れる信号のスピン密度の検出下限は  $1 . 0 \times 1 0 ^ { 1 5 } \text{ spins / cm } ^ 2$  である。

10

【 0 4 5 6 】

E S R 測定の結果を図 2 8 に示す。図 2 8 ( A ) 乃至図 2 8 ( D ) はそれぞれ、試料 E 9 乃至試料 E 1 2 における酸化窒化シリコン膜の 1 次微分曲線を示す。図 2 7 及び図 2 8 から、 $V_{fb}$  が小さくなるにつれ、 $g$  値が  $2 . 0 0 1$  における信号強度が小さくなることが確認された。よって、絶縁膜 9 7 1 を欠陥の少ない膜とすることで、C - V 測定ヒステリシス量を低減できると共に、トランジスタの電気特性において、ドレイン電圧が 1 V と 1 0 V、それぞれのオン電流の立ち上がり電圧が略同一となる優れた電気特性とすることができる。

【 0 4 5 7 】

次に、試料 E 5 乃至試料 E 8 と同様の構造であって、且つ試料 E 5 乃至試料 E 8 と異なる成膜条件を用いて形成した絶縁膜 9 7 1 を有する M O S 構造素子を作製した。また、試料 E 9 乃至試料 E 1 2 と同様の構造であって、且つ試料 E 9 乃至試料 E 1 2 と異なる成膜条件を用いて形成した酸化窒化シリコン膜を有する E S R 測定用の試料を作製した。

20

【 0 4 5 8 】

次に、各 M O S 構造素子を C - V 測定した。また、各 E S R 測定用の試料を E S R 測定した。

【 0 4 5 9 】

試料 E 5 乃至試料 E 8、及び試料 E 5 乃至試料 E 8 と異なる成膜条件を用いて形成した絶縁膜 9 7 1 を有する M O S 構造素子の、 $g = 2 . 0 0 1$  に現れる信号のスピン密度と、試料 E 9 乃至試料 E 1 2、及び試料 E 9 乃至試料 E 1 2 と異なる成膜条件を用いて形成した酸化窒化シリコン膜を有する E S R 測定用の試料のヒステリシス量の関係を、図 2 9 に示す。

30

【 0 4 6 0 】

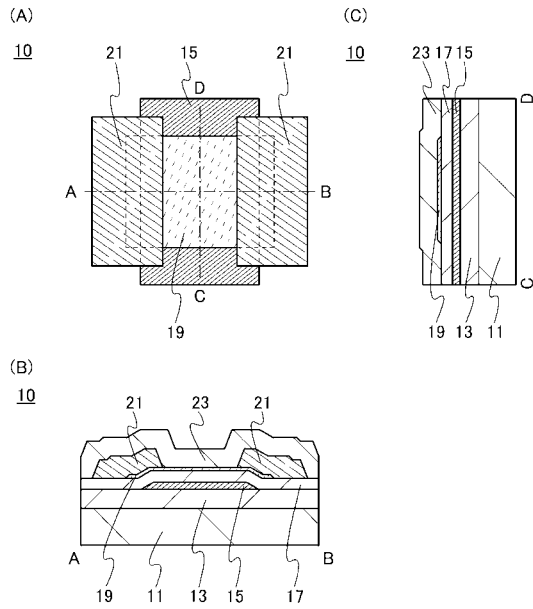
図 2 5 及び図 2 7 より、トランジスタにおいて、ドレイン電圧が 1 V と 1 0 V のとき、それぞれのオン電流の立ち上がり電圧がほぼ同一であるための好ましいヒステリシス量 (  $V_{fb}$  ) は、2 . 0 V 以下である。また、それを満たす試料の  $g = 2 . 0 0 1$  に現れる信号のスピン密度は、図 2 9 より、 $1 . 5 \times 1 0 ^ { 1 8 } \text{ spins / cm } ^ 3$  未満、好ましくは  $1 . 0 \times 1 0 ^ { 1 8 } \text{ spins / cm } ^ 3$  以下である。

【 0 4 6 1 】

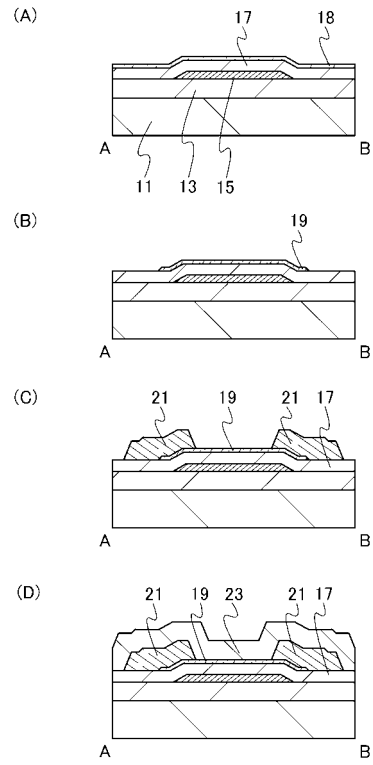
以上のことから、トランジスタ上に設けられる保護膜として、電子スピン共鳴測定による  $g = 2 . 0 0 1$  に現れる信号のスピン密度が  $1 . 5 \times 1 0 ^ { 1 8 } \text{ spins / cm } ^ 3$  未満、さらには  $1 . 0 \times 1 0 ^ { 1 8 } \text{ spins / cm } ^ 3$  以下である酸化絶縁膜を設けることで、優れた電気特性を有するトランジスタを作製することができる。

40

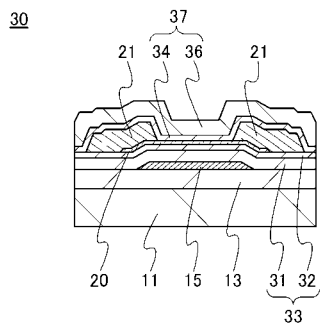
【 図 1 】



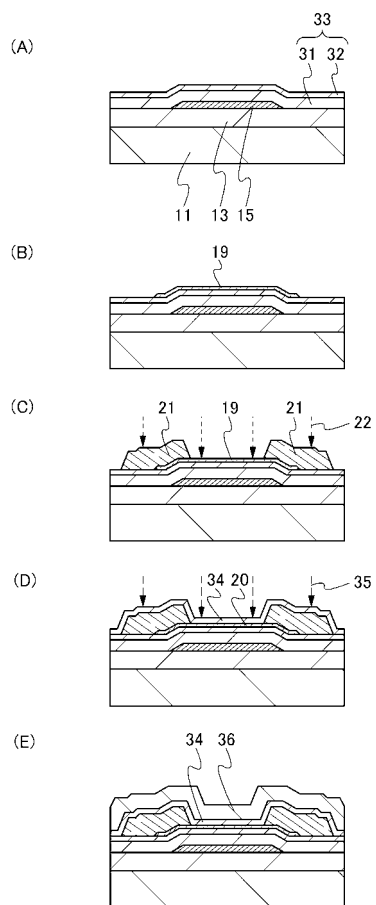
【 図 2 】



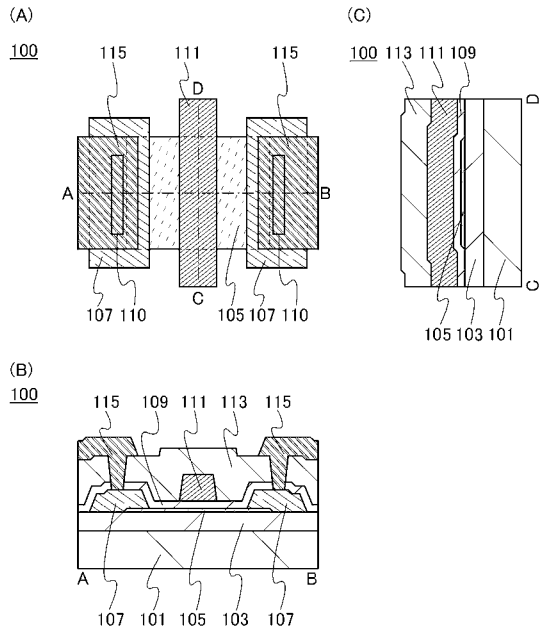
【 図 3 】



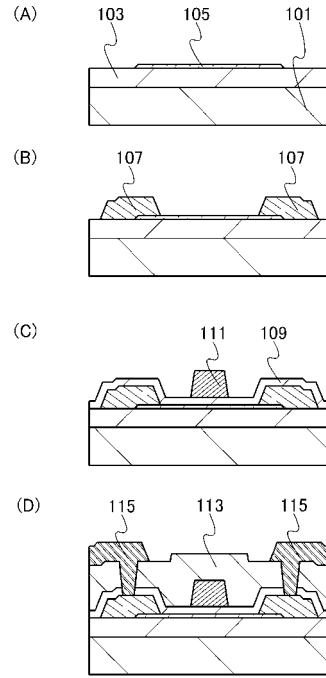
【 図 4 】



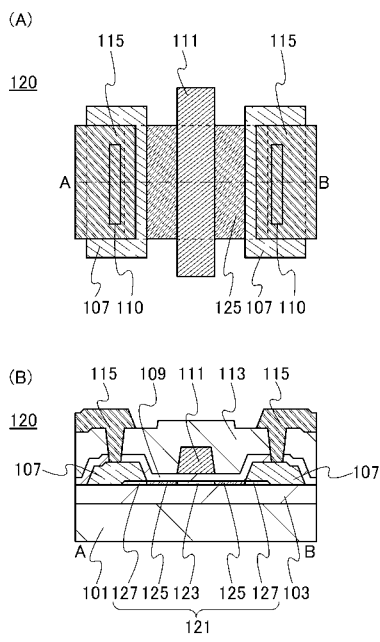
【 図 5 】



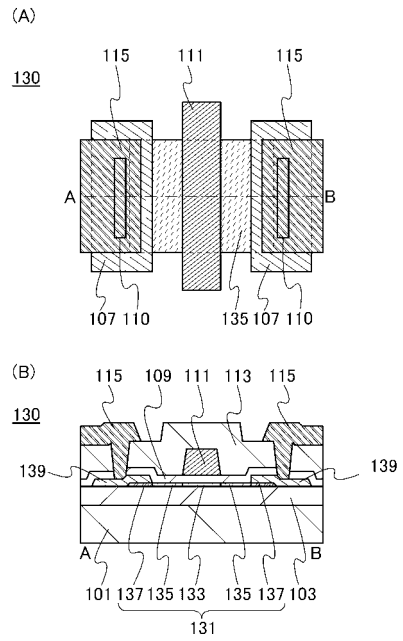
【 図 6 】



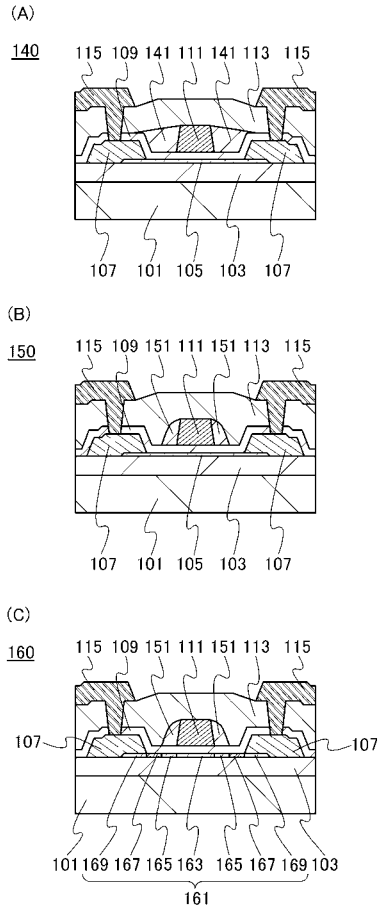
【 図 7 】



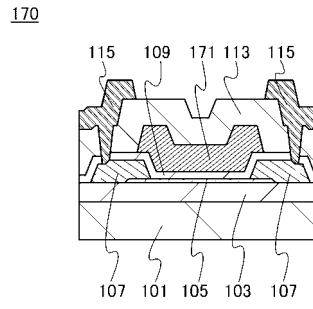
【 図 8 】



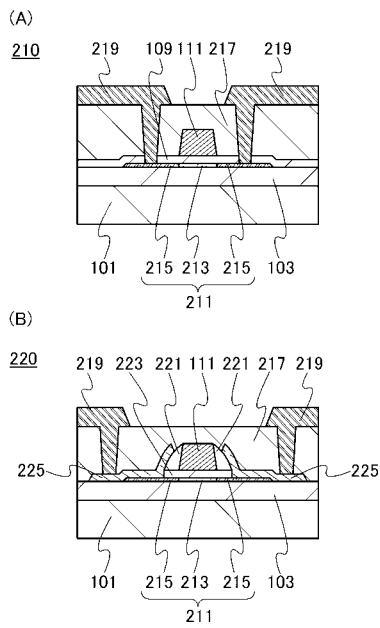
【 図 9 】



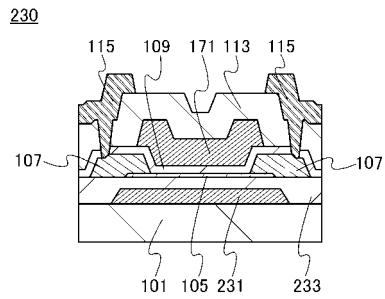
【 図 1 0 】



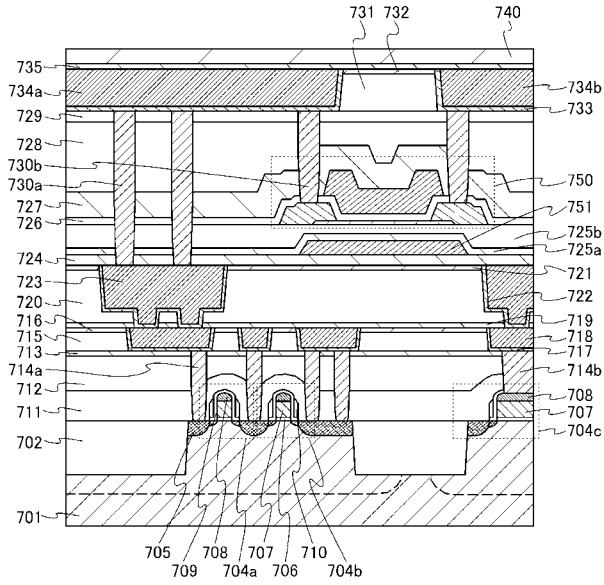
【 図 1 1 】



【 図 1 2 】

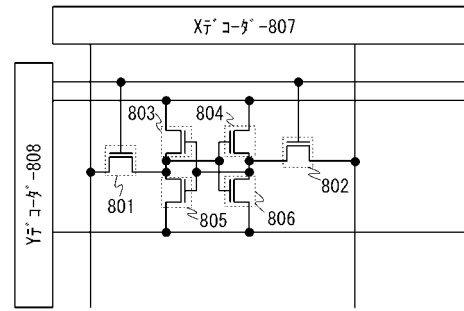


【 図 1 3 】

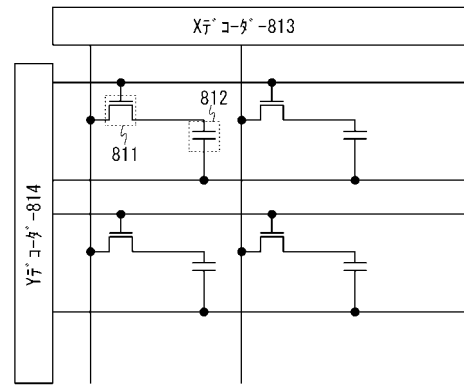


【 図 1 4 】

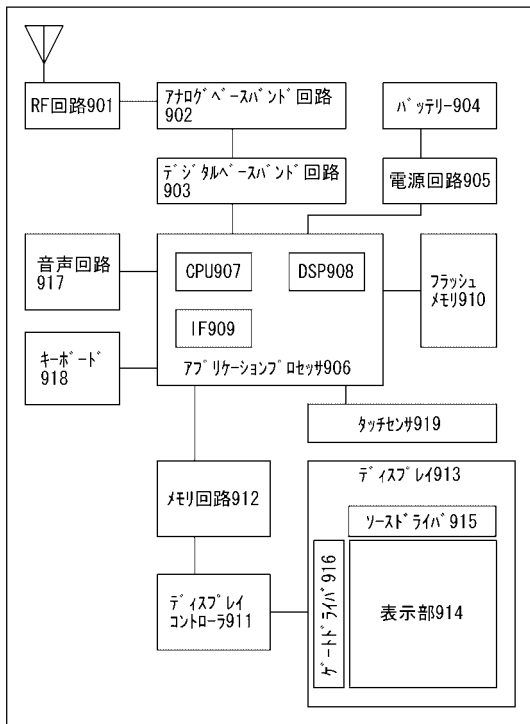
(A)



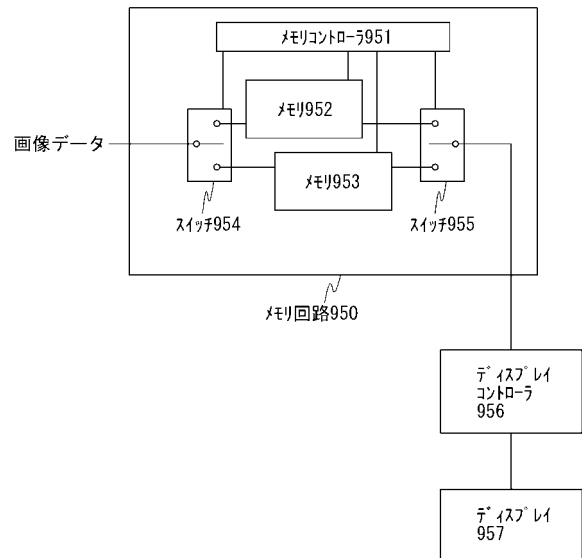
(B)



【 図 1 5 】

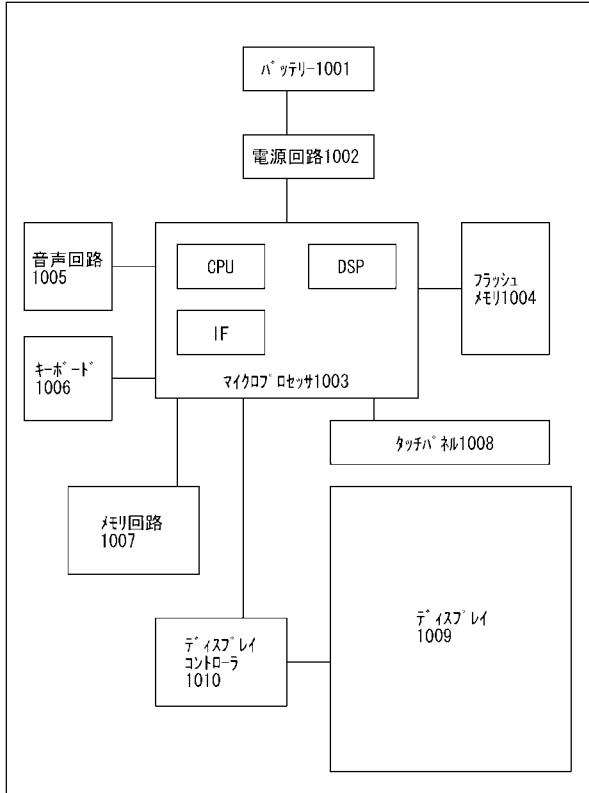


【 図 1 6 】

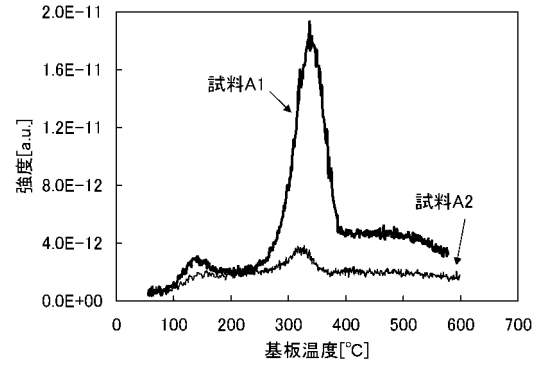




【図 17】

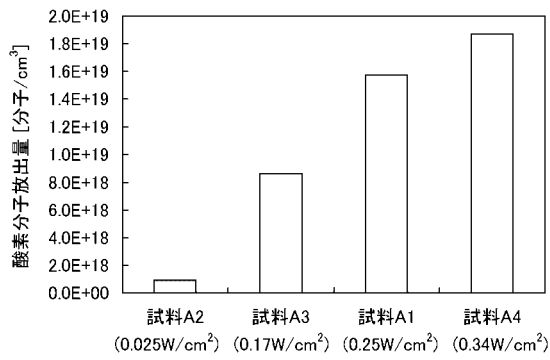


【図 18】

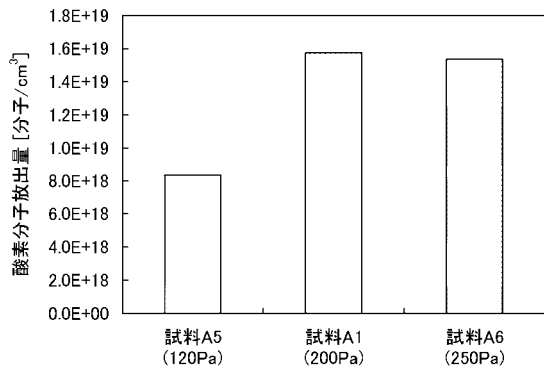


【図 19】

(A)

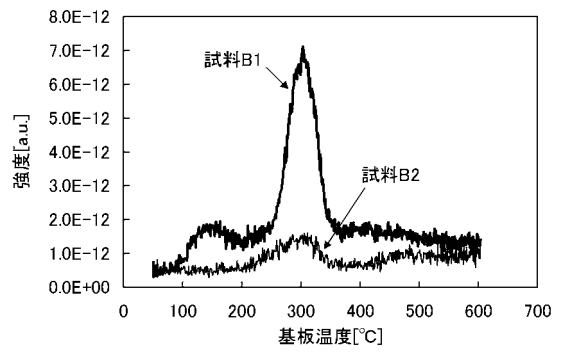


(B)

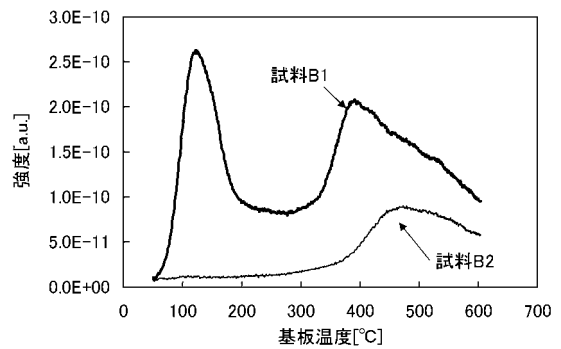


【図 20】

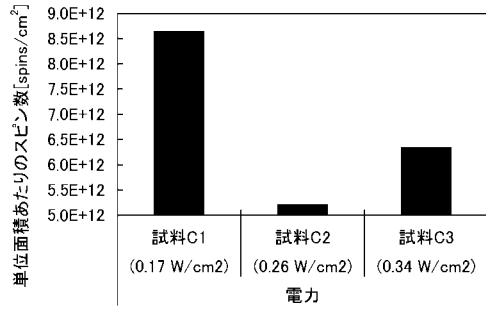
(A)



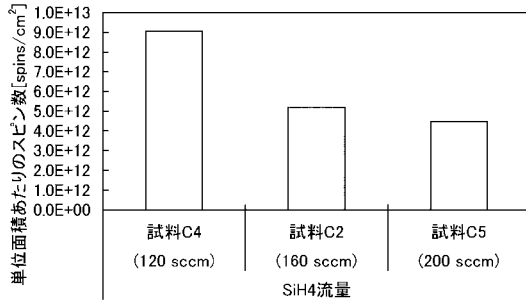
(B)



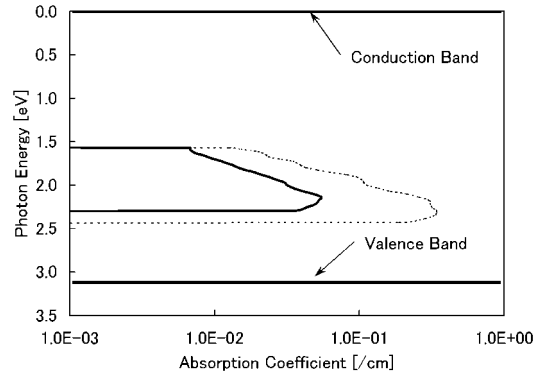
【 図 2 1 】



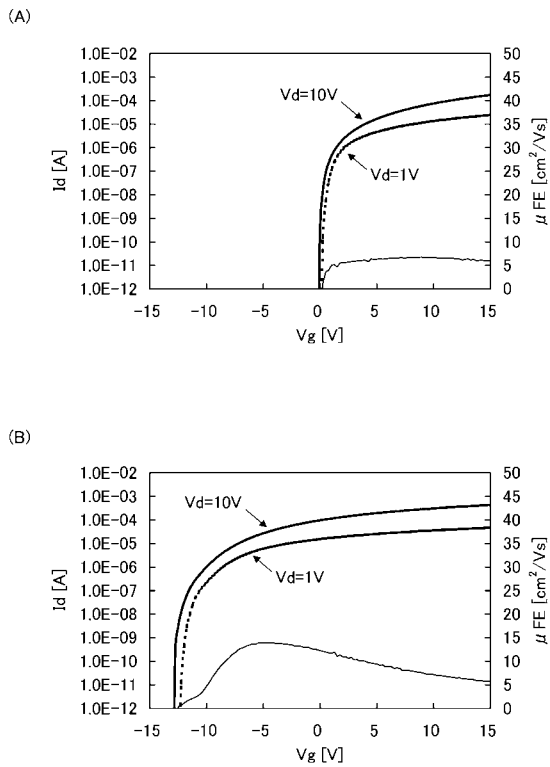
【 図 2 2 】



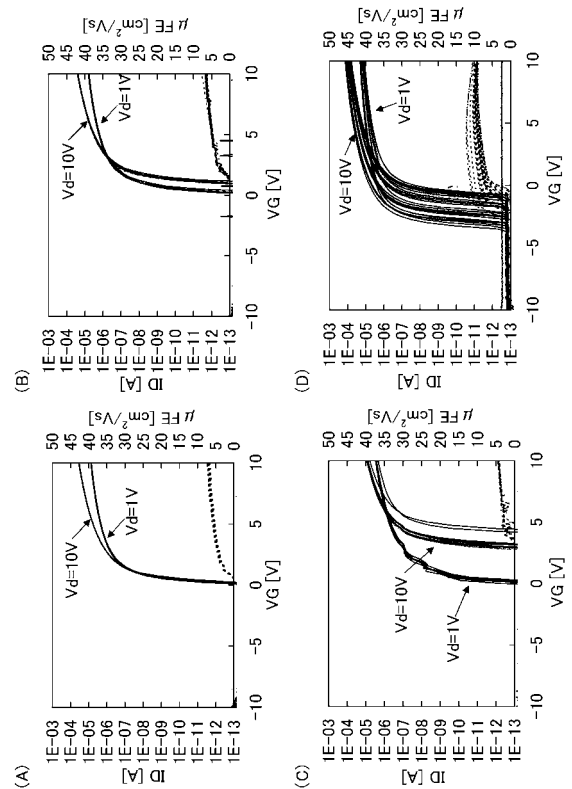
【 図 2 3 】



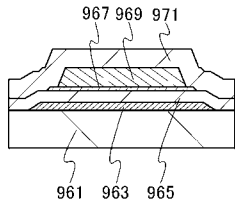
【 図 2 4 】



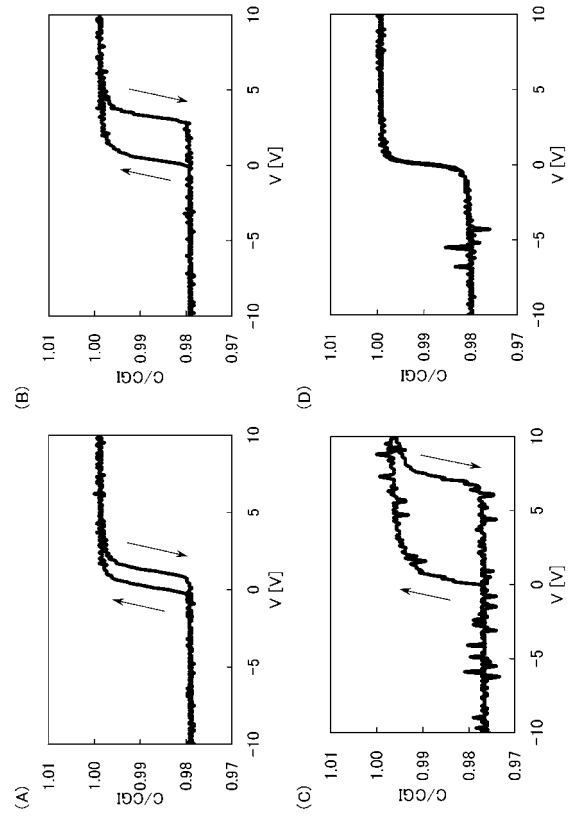
【 図 2 5 】



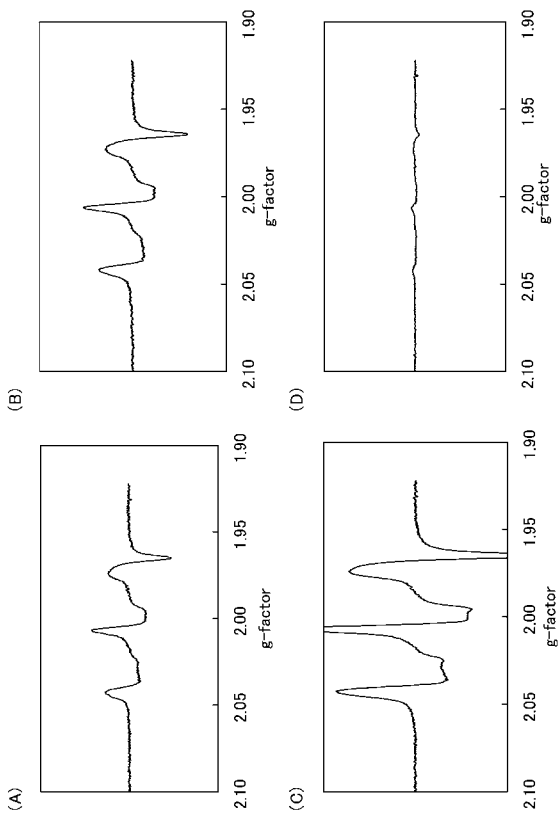
【図 2 6】



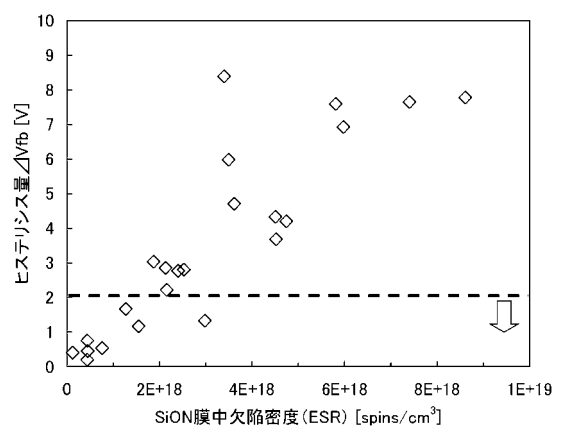
【図 2 7】



【図 2 8】



【図 2 9】



## フロントページの続き

(51) Int.Cl.	F I			テーマコード(参考)
C 2 3 C 14/08 (2006.01)	C 2 3 C	14/08		K
C 2 3 C 16/42 (2006.01)	C 2 3 C	14/08		D
C 2 3 C 16/505 (2006.01)	C 2 3 C	14/08		C
C 2 3 C 16/56 (2006.01)	C 2 3 C	16/42		
	C 2 3 C	16/505		
	C 2 3 C	16/56		

F ターム(参考)	4K029	AA06	AA08	AA09	AA24	BA43	BA45	BA49	BA50	BD01	CA06
		DA04	DA08	DC05	DC09	DC34	DC35	GA01			
	4K030	AA04	AA06	AA14	AA16	BA40	BA44	CA04	CA06	CA12	CA17
		FA01	JA01	JA05	JA09	JA16	JA18	LA02	LA15		
	5F058	BA20	BB10	BC02	BC11	BD04	BD15	BF07	BF23	BF24	BF29
		BF30	BF36	BF37	BF39	BH02	BH03	BH04	BJ03		
	5F103	AA08	BB22	DD30	GG01	GG02	GG03	HH03	HH04	KK03	KK10
		LL08	LL13	NN01	NN04	NN06	PP03	PP15	PP20	RR05	
	5F110	AA08	AA14	BB03	BB06	BB11	CC01	CC02	CC07	DD01	DD02
		DD03	DD04	DD05	DD12	DD13	DD14	DD15	DD25	EE01	EE02
		EE03	EE04	EE06	EE07	EE08	EE11	EE14	EE15	EE23	EE30
		EE31	EE42	EE43	EE44	EE45	FF01	FF02	FF03	FF04	FF05
		FF09	FF27	FF28	FF29	GG01	GG06	GG07	GG12	GG13	GG14
		GG15	GG17	GG19	GG25	GG32	GG33	GG34	GG42	GG43	HJ01
		HJ04	HJ12	HJ13	HJ22	HJ30	HK01	HK02	HK03	HK04	HK06
		HK07	HK21	HK22	HK32	HK33	HK34	HL01	HL02	HL03	HL04
		HL06	HL07	HL22	HL23	HL24	HM14	NN03	NN04	NN22	NN23
		NN28	NN35	NN40	NN74	QQ06	QQ11				