

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5177953号  
(P5177953)

(45) 発行日 平成25年4月10日 (2013. 4. 10)

(24) 登録日 平成25年1月18日 (2013.1.18)

(51) Int. Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 611H
	G09G 3/20 641A
	G09G 3/20 670K
	請求項の数 9 (全 79 頁) 最終頁に続く

(21) 出願番号	特願2006-10411 (P2006-10411)	(73) 特許権者	000153878
(22) 出願日	平成18年1月18日 (2006. 1. 18)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-227603 (P2006-227603A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年8月31日 (2006. 8. 31)	(72) 発明者	木村 肇
審査請求日	平成20年10月31日 (2008. 10. 31)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-14890 (P2005-14890)		半導体エネルギー研究所内
(32) 優先日	平成17年1月21日 (2005. 1. 21)	審査官	奈良田 新一
(33) 優先権主張国	日本国 (JP)		
			最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

入力端子と出力端子と高電位側端子と低電位側端子とを有するインバータと、  
前記入力端子に電氣的に接続された容量素子と、  
前記出力端子に電氣的に接続された表示素子と、  
前記表示素子に電氣的に接続された第1の配線と、  
前記入力端子と前記出力端子とを電氣的に接続できるトランジスタと、が配置された画素を複数有し、

前記トランジスタのゲート端子が複数の走査線のうちのーに電氣的に接続されているとともに、前記高電位側端子又は前記低電位側端子のいずれか一方が前記複数の走査線のうちの他のーに電氣的に接続され、

前記第1の配線は、第1の電位又は第2の電位の一方を選択して前記表示素子に供給する機能を有し、

前記第1の電位は、前記第1の配線がフローティング状態におかれることにより供給され、

前記第2の電位は、スイッチを介して前記第1の配線と電氣的に接続された第2の配線から供給されることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、  
複数の信号線を有し、

前記容量素子の一方の端子に、前記複数の信号線のうちのーが電氣的に接続されており、

前記容量素子の他方の端子に、前記入力端子が電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 において、

第 1 の複数の信号線と第 2 の複数の信号線を有し、

前記画素に第 1 及び第 2 のスイッチング素子が配置されており、

前記容量素子の一方の端子には、前記第 1 の複数の信号線のうちのーが前記第 1 のスイッチング素子を介して電氣的に接続されているとともに、前記第 2 の複数の信号線のうちのーが前記第 2 のスイッチング素子を介して電氣的に接続されており、

前記容量素子の他方の端子に、前記入力端子が電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記インバータは、CMOS インバータであることを特徴とする半導体装置。

【請求項 5】

ゲート端子、ソース端子、ドレイン端子を有する第 1 のトランジスタと、

ゲート端子、ソース端子、ドレイン端子を有する第 2 のトランジスタと、

ゲート端子、ソース端子、ドレイン端子を有する第 3 のトランジスタと、

第 1 の電極と第 2 の電極を有する容量素子と、

第 1 の電極と第 2 の電極を有する表示素子と、を有し、

前記第 1 のトランジスタのゲート端子は第 1 の走査線に電氣的に接続され、

前記第 2 のトランジスタのソース端子又はドレイン端子の一方は電源線に電氣的に接続され、

前記第 3 のトランジスタのソース端子又はドレイン端子の一方は第 2 の走査線に電氣的に接続され、

前記容量素子の第 1 の電極が前記第 2 のトランジスタのゲート端子および前記第 3 のトランジスタのゲート端子に電氣的に接続され、

前記容量素子の第 2 の電極が信号線に電氣的に接続され、

前記第 2 のトランジスタのソース端子又はドレイン端子の他方および前記第 3 のトランジスタのソース端子又はドレイン端子の他方が前記表示素子の第 1 の電極に電氣的に接続され、

前記第 1 のトランジスタのソース端子又はドレイン端子の一方が、前記第 2 のトランジスタのソース端子又はドレイン端子の他方および前記第 3 のトランジスタのソース端子又はドレイン端子の他方に電氣的に接続され、

前記第 1 のトランジスタのソース端子又はドレイン端子の他方が、前記第 2 のトランジスタのゲート端子および前記第 3 のトランジスタのゲート端子に電氣的に接続され、

前記表示素子の第 2 の電極が、第 1 の電位又は第 2 の電位の一方を選択して供給する機能を有する第 1 の配線に電氣的に接続され、

前記第 1 の電位は、前記第 1 の配線がフローティング状態におかれることにより供給され、

前記第 2 の電位は、スイッチを介して前記第 1 の配線と電氣的に接続された第 2 の配線から供給されることを特徴とする半導体装置。

【請求項 6】

請求項 5 において、

前記第 1 のトランジスタおよび前記第 3 のトランジスタは N チャンネル型トランジスタであり、

前記第 2 のトランジスタは P チャンネル型トランジスタであることを特徴とする半導体装置。

## 【請求項 7】

Pチャネル型トランジスタ及びNチャネル型トランジスタを有するCMOSインバータと、

前記CMOSインバータの入力端子と出力端子とを電氣的に接続するスイッチと、アナログの電位がされる信号線と、

前記CMOSインバータの入力端子と前記信号線との電位差を保持する手段と、

前記CMOSインバータの出力により発光又は非発光が制御される発光素子と、

前記発光素子に第1の電位又は第2の電位の一方を選択して供給する機能を有する第1の配線と、をそれぞれ備える複数の画素がマトリクスに配置され、

前記CMOSインバータの片方の電源として、他の画素のスイッチのオン又はオフを制御するための信号が用いられ、

前記第1の電位は、前記第1の配線がフローティング状態におかれることにより供給され、

前記第2の電位は、スイッチを介して前記第1の配線と電氣的に接続された第2の配線から供給されることを特徴とする表示装置。

## 【請求項 8】

入力端子と出力端子と高電位側端子と低電位側端子とを有するインバータと、

前記入力端子に電氣的に接続された容量素子と、

前記出力端子に電氣的に接続された表示素子と、

前記表示素子に電氣的に接続された第1の配線と、が配置された画素を複数有し、

第1の期間において、前記入力端子と前記出力端子を電氣的に接続し、前記低電位側端子の電位を前記高電位側端子の電位よりも低くし、且つ前記容量素子に第1の信号を供給することによって、前記容量素子の電荷の放電又は蓄積を行い、

前記第1の期間の後の第2の期間において、前記入力端子と前記出力端子を電氣的に分離し、前記低電位側端子の電位を前記高電位側端子の電位よりも低くし、且つ前記容量素子に第2の信号を供給することによって、前記表示素子の表示制御を行い、

前記入力端子と前記出力端子との電氣的な接続又は分離の制御を複数の走査線のうちの一を用いて行うとともに、前記低電位側端子と前記高電位側端子との間の電位差の制御を複数の走査線のうちの他の一を用いて行い、

前記第1の配線は、前記第1の期間において前記表示素子に第1の電位を供給し、第2の期間において前記表示素子に第2の電位を供給し、

前記第1の電位は、前記第1の配線がフローティング状態におかれることにより供給され、

前記第2の電位は、スイッチを介して前記第1の配線と電氣的に接続された第2の配線から供給されることを特徴とする半導体装置。

## 【請求項 9】

請求項8において、

前記インバータは、CMOSインバータであることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、特に電流によって輝度に変化する電流駆動型発光素子で形成された画素や、その信号線駆動回路を含む表示装置に関する。また、その駆動方法に関する。また、その表示装置を表示部に有する電子機器に関する。

## 【背景技術】

## 【0002】

近年、画素を発光ダイオード(LED)などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(OLED(Organic Light Emittin

10

20

30

40

50

g Diode))、有機EL素子、エレクトロルミネッセンス(Electro Luminescence: EL)素子などが注目を集めており、ELディスプレイなどに用いられるようになってきている。OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。なお、発光素子の輝度は、そこを流れる電流値によって制御される。

#### 【0003】

このような表示装置の階調を表現する駆動方式として、デジタル方式とアナログ方式がある。デジタル方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。デジタル方式の場合、発光・非発光の2状態しかないため、このままでは、2階調しか表現できない。そこで、別の手法を組み合わせ、多階調化を図ることが行われている。多階調化のための手法としては、時間階調法を用いられることが多い。デジタル時間階調方式は、画素毎の輝度の均一性に優れる反面、周波数を高くする必要があり、消費電力が大きくなってしまふ。一方、アナログ方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。発光強度をアナログ制御する方式は、画素毎の薄膜トランジスタ(以下TFTともいう)の特性のバラツキの影響を受けやすく、画素毎の発光にもバラツキが生じてしまふ。これに対して、発光時間をアナログ制御し、画素毎の発光の均一性に優れるアナログ時間階調方式の表示装置が非特許文献1に記載されている(非特許文献1参照)。

10

#### 【0004】

非特許文献1に記載の表示装置の画素は、発光素子と発光素子を駆動するトランジスタとによりインバータを構成している。駆動トランジスタのゲート端子がインバータの入力端子となり、駆動トランジスタのドレイン端子がインバータの出力端子となる。そして、インバータの出力を、発光素子の陽極に入力する。画素に映像信号電圧を書き込む際には、インバータをオンとオフの中間に設定する。そして、発光期間には画素に三角波電圧を入力することでインバータの出力を制御する。つまり、発光素子の陽極に入力される電位となるインバータの出力を制御することで、発光素子の発光・非発光を制御している。

20

【非特許文献1】SID 04 DIGEST P1394~P1397

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0005】

ここで、抵抗負荷型インバータを図10(b)に示し、その抵抗負荷型インバータ伝達特性を図10(a)に示す。図10(a)の横軸は抵抗負荷型インバータの入力端子への入力電位 $V_{in}$ を示し、縦軸は抵抗負荷型インバータの出力端子からの出力電位 $V_{out}$ を示している。抵抗負荷型インバータはトランジスタと抵抗素子から構成され、トランジスタのソース端子には高電源電位 $V_{dd}$ が入力され、ドレイン端子には抵抗素子の一方の端子が接続されている。また抵抗素子の他方の端子に低電源電位 $V_{ss}$ が入力されている。なお、ここでは $V_{ss} = 0V$ とする。トランジスタのゲート端子が抵抗負荷型インバータの入力端子となり、トランジスタのドレイン端子が抵抗負荷型インバータの出力端子となる。

30

#### 【0006】

図10(a)に示す曲線1002はある抵抗負荷型インバータのインバータ伝達特性を示し、曲線1001は抵抗負荷型インバータを構成するトランジスタの電流供給能力が高い場合の抵抗負荷型インバータ伝達特性を示し、曲線1003はトランジスタの電流供給能力が低い場合の抵抗負荷型インバータ伝達特性を示している。

40

#### 【0007】

つまり、入力電位が十分に高くトランジスタがオフしているときには、抵抗負荷型インバータの出力端子の電位は $0V$ の電位となり、トランジスタが十分にオンしているときには、抵抗負荷型インバータの出力端子の電位は $V_{dd}$ となる。

#### 【0008】

ここで、抵抗負荷型インバータの出力 $V_{out}$ は、電源電位 $V_{dd}$ と抵抗素子の抵抗 $R$ と

50

トランジスタのソースドレイン間電流  $I_d$  を用いて以下の [ 数 1 ] の式で表される。

【 0 0 0 9 】

【 数 1 】

$$V_{out} = R \times I_d$$

【 0 0 1 0 】

また、トランジスタのソースドレイン間電流  $I_d$  は、飽和領域での動作のときは、次の [ 数 2 ] の式で示される。なお、 $\mu$  はトランジスタのキャリア移動度を、 $C_{ox}$  はゲート絶縁膜の容量を、 $W/L$  はトランジスタのチャネル幅  $W$  とチャネル長  $L$  の比を、 $V_{th}$  はトランジスタのしきい値電圧を示す。

10

【 0 0 1 1 】

【 数 2 】

$$I_d = \frac{1}{2} \times \mu \times C_{ox} \times \frac{W}{L} \times (V_{dd} - V_{in} - |V_{th}|)^2$$

【 0 0 1 2 】

よって、トランジスタの電流供給能力は  $\mu$ 、 $C_{ox}$ 、 $W/L$ 、 $V_{th}$  などの大きさによって異なってくる。したがって、トランジスタのこれらの値のパラツキによって抵抗負荷型インバータ伝達特性が異なってしまう。

20

【 0 0 1 3 】

このような抵抗負荷型インバータ伝達特性のパラツキは、抵抗素子として発光素子を用いた場合にも同様に生じる。すると、非特許文献 1 に記載された画素を有する表示装置においても、曲線 1 0 0 1 や曲線 1 0 0 2 や曲線 1 0 0 3 のような抵抗負荷型インバータ伝達特性の画素が存在することとなる。すると、トランジスタが飽和領域でオンしてからトランジスタがオフし、抵抗負荷型インバータの出力電位が  $V_x$  となるまでの時間はもちろんのこと、入力端子と出力端子が導通され、オフセットキャンセルされたそれぞれの抵抗負荷型インバータの入力電位  $V_{in1}$ 、 $V_{in2}$ 、 $V_{in3}$  から抵抗負荷型インバータの出力電位が  $V_x$  となるそれぞれの入力電位  $V_{a1}$ 、 $V_{a2}$ 、 $V_{a3}$  までの時間も抵抗負荷型インバータの伝達特性の異なる画素毎でばらつくこととなる。

30

【 0 0 1 4 】

したがって、アナログの時間で階調を表現する駆動方式の表示装置において、同じ階調の表示であっても画素間で異なってしまう、きれいな表示ができなくなってしまう。

【 0 0 1 5 】

また、従来の構成では画素中のトランジスタや配線の数が多くなってしまい、開口率が低くなってしまふなどの問題がある。開口率の高い画素と開口率の低い画素で同様の光度を得る場合、開口率の低い画素は、開口率が高い画素に比べて発光素子の輝度を高くする必要がある。よって、開口率の低い画素は、発光素子の劣化の進行が早くなってしまふ。また、輝度を高くするため消費電力も高くなってしまふ。

【 0 0 1 6 】

40

また、画素中のトランジスタや配線の数が多くなると、歩留まりも低くなりやすく、表示パネルのコストも高くなってしまふ。

【 0 0 1 7 】

そこで、トランジスタの特性パラツキに起因する抵抗負荷型インバータ伝達特性がばらついていても、それらの影響を抑制し、きれいに階調を表示することができるアナログ時間階調方式の表示装置を提供することを本発明の課題とする。さらに、開口率の高い画素を有する表示装置を提供し、発光素子の信頼性の向上や、表示パネルのコスト増加を抑制した表示装置を提供することを課題とする。

【 0 0 1 8 】

また、それらの表示装置を表示部に有する電子機器を提供することを課題とする。

50

## 【課題を解決するための手段】

## 【0019】

本発明は、相補的にオンオフするNチャネル型トランジスタとPチャネル型トランジスタで構成されるCMOSインバータを画素に適用し、CMOSインバータの片方の電源電位として他の行の画素の選択を制御する信号の電位を用いるものである。

## 【0020】

本発明の半導体装置は、

ゲート端子、ソース端子、ドレイン端子を有する第1のトランジスタと、  
ゲート端子、ソース端子、ドレイン端子を有する第2のトランジスタと、  
ゲート端子、ソース端子、ドレイン端子を有する第3のトランジスタと、  
第1の電極と第2の電極を有する容量素子と、  
を有し、

該第1のトランジスタのゲート端子は第1の走査線に接続され、  
該第2のトランジスタのソース端子又はドレイン端子の一方は電源線に接続され、  
該第3のトランジスタのソース端子又はドレイン端子の一方は第2の走査線に接続され、  
該容量素子の第1の電極が該第2のトランジスタのゲート端子および該第3のトランジスタのゲート端子に接続され、該容量素子の第2の電極が信号線に接続され、  
該第2のトランジスタのソース端子又はドレイン端子の他方および該第3のトランジスタのソース端子又はドレイン端子の他方が画素電極に接続され、  
該第1のトランジスタのソース端子又はドレイン端子の一方が、該第2のトランジスタのソース端子又はドレイン端子の他方および該第3のトランジスタのソース端子又はドレイン端子の他方に接続され、  
該第1のトランジスタのソース端子又はドレイン端子の他方が、該第2のトランジスタのゲート端子および該第3のトランジスタのゲート端子に接続されている。

## 【0021】

また、本発明の半導体装置は、上記構成において、該第1のトランジスタおよび該第3のトランジスタはNチャネル型トランジスタであり、該第2のトランジスタはPチャネル型トランジスタである。

## 【0022】

本発明の表示装置は、複数の画素がマトリクス状に配置され、  
前記複数の画素の少なくとも1つは、Pチャネル型トランジスタ及びNチャネル型トランジスタからなるCMOSインバータと、  
該CMOSインバータの入力端子と出力端子との間に接続されたスイッチと、  
アナログの電位が入力される信号線と、  
該CMOSインバータの入力端子と該信号線との電位差を保持する容量素子と、  
該CMOSインバータの出力により発光又は非発光が制御される発光素子と、  
をそれぞれ備える複数の画素がマトリクスに配置され、  
該CMOSインバータの片方の電源電位として、前記画素のうち他の少なくとも1つの画素のスイッチのオンオフを制御するための信号の電位が用いられる。

## 【0023】

本発明の他の構成の表示装置は、上記構成において、該スイッチにNチャネル型トランジスタを用いている。

## 【0024】

本発明の他の構成の表示装置は、上記構成において、該スイッチにPチャネル型トランジスタを用いている。

## 【0025】

本発明の表示装置は、

ゲート端子、ソース端子、ドレイン端子を有する第1のトランジスタと、  
ゲート端子、ソース端子、ドレイン端子を有する第2のトランジスタと、  
ゲート端子、ソース端子、ドレイン端子を有する第3のトランジスタと、

第1の電極と第2の電極を有する容量素子と、  
画素電極を有する発光素子と、  
を有し、

該第1のトランジスタのゲート端子は第1の走査線に接続され、  
該第2のトランジスタのソース端子又はドレイン端子の一方は電源線に接続され、  
該第3のトランジスタのソース端子又はドレイン端子の一方は第2の走査線に接続され、  
該容量素子の第1の電極が該第2のトランジスタのゲート端子および該第3のトランジスタのゲート端子に接続され、該容量素子の第2の電極が信号線に接続され、  
該発光素子の画素電極が該第2のトランジスタのソース端子又はドレイン端子の他方および該第3のトランジスタのソース端子又はドレイン端子の他方に接続され、  
該第1のトランジスタのソース端子又はドレイン端子の一方が、該第2のトランジスタのソース端子又はドレイン端子の他方および該第3のトランジスタのソース端子又はドレイン端子の他方に接続され、  
該第1のトランジスタのソース端子又はドレイン端子の他方が、該第2のトランジスタのゲート端子および該第3のトランジスタのゲート端子に接続されている。

【0026】

また、本発明の表示装置は、上記構成において、該第1のトランジスタおよび該第3のトランジスタはNチャンネル型トランジスタであり、該第2のトランジスタはPチャンネル型トランジスタである。

【0027】

なお、明細書に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード(PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど)でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源( $V_{ss}$ 、GND、0Vなど)に近い状態で動作する場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源( $V_{dd}$ など)に近い状態で動作する場合はPチャンネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、スイッチを介して出力する電圧(つまり入力電圧)が、出力電圧に対して、高かったり、低かったりして、状況が変化する場合においても、適切に動作を行うことができる。

【0028】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、間に別の素子やスイッチなどが配置されていてもよい。

【0029】

なお、発光素子は、様々な形態を用いることができる。例えば、EL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、デジタルマイクロミラーデバイス(DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁氣的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron

10

20

30

40

50

- e m i t t e r D i s p l a y ) など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【 0 0 3 0 】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ ( T F T )、半導体基板や S O I 基板を用いて形成される M O S 型トランジスタ、接合型トランジスタ、パイポラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、S O I 基板、ガラス基板、プラスチック基板などにトランジスタを配置することが出来る。

10

【 0 0 3 1 】

本明細書においては、一画素とは色要素の一要素の画素を示すものとする。よって、R ( 赤 ) G ( 緑 ) B ( 青 ) の色要素からなるフルカラー表示装置の場合には、一画素とは R の色要素の画素や G の色要素の画素や B の色要素の画素のいずれか一をいうものとする。

【 0 0 3 2 】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状に配列されているストライプ配置の場合はもちろんのこと、三色の色要素 ( 例えば R G B ) でフルカラー表示を行う場合に、1つの画像の最小要素を表す三つの色要素の画素がいわゆるデルタ配置されている場合も含むものとする。

【 0 0 3 3 】

なお、本明細書において、半導体装置とは半導体素子 ( トランジスタやダイオードなど ) を含む回路を有する装置をいう。

20

【 0 0 3 4 】

なお、本明細書において発光素子の陽極及び陰極とは、発光素子に順方向電圧を印加したときの電極をいうものとする。

【 発明の効果 】

【 0 0 3 5 】

画素内のインバータを構成するトランジスタの特性が画素毎にばらついていても、それらの影響を低減し、きれいに階調を表示することができる表示装置を提供することができる。

【 0 0 3 6 】

また、画素の開口率を高くし、発光素子の劣化の進行を抑え、信頼性の向上を図ることができる。また、歩留まりが向上し、コストの抑制を図ることができる。

30

【 発明を実施するための最良の形態 】

【 0 0 3 7 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 3 8 】

( 実施の形態 1 )

本実施の形態では本発明の表示装置の画素構成とその動作原理について説明する。

40

【 0 0 3 9 】

まず、図 1 を用いて本発明の表示装置の画素構成について詳細に説明する。ここでは、列方向に並んで配置された二画素のみを図示しているが、表示装置の画素部は実際には行方向と列方向にマトリクスに複数の画素が配置されている。

【 0 0 4 0 】

画素は、駆動トランジスタ ( 第 2 のトランジスタ ) 1 0 1 と、相補用トランジスタ ( 第 3 のトランジスタ ) 1 0 2 と、容量素子 1 0 3 と、スイッチング用トランジスタ ( 第 1 のトランジスタ ) 1 0 4 と、発光素子 1 0 5 と、走査線 ( S e l e c t l i n e ) 1 0 6 と、信号線 ( D a t a l i n e ) 1 0 7 と、電源線 1 0 8 とを有している。なお、駆動ト

50



ランジスタ101にはPチャンネル型トランジスタ、相補用トランジスタ102及びスイッチング用トランジスタ104にはNチャンネル型トランジスタを用いている。

【0041】

駆動トランジスタ101は、第1端子(ソース端子又はドレイン端子の一方)が電源線108と接続され、第2端子(ソース端子又はドレイン端子の他方)が相補用トランジスタ102の第2端子(ソース端子又はドレイン端子の他方)と接続され、ゲート端子が相補用トランジスタ102のゲート端子と接続されている。さらに、駆動トランジスタ101及び相補用トランジスタ102のゲート端子は、容量素子103を介して信号線107に接続されると共に、スイッチング用トランジスタ104を介して駆動トランジスタ101及び相補用トランジスタ102の第2端子(ソース端子又はドレイン端子の他方)と接続されている。つまり、スイッチング用トランジスタ104は、第1端子(ソース端子又はドレイン端子の一方)が駆動トランジスタ101及び相補用トランジスタ102の第2端子(ソース端子又はドレイン端子の他方)と接続され、第2端子(ソース端子又はドレイン端子の他方)が駆動トランジスタ101及び相補用トランジスタ102のゲート端子と接続されているため、スイッチング用トランジスタ104をオンオフすることで、駆動トランジスタ101及び相補用トランジスタ102のゲート端子と第2端子(ソース端子又はドレイン端子の他方)とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ104のゲート端子が接続されている走査線106に信号を入力することによりスイッチング用トランジスタ104のオンオフを制御する。また、駆動トランジスタ101及び相補用トランジスタ102の第2端子(ソース端子又はドレイン端子の他方)は、発光素子105の陽極と接続されている。そして、発光素子105の陰極は低電源電位 $V_{ss}$ が供給された配線(Cathode)109と接続されている。なお、 $V_{ss}$ とは、電源線108に供給される電源電位 $V_{dd}$ を基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

【0042】

さらに、相補用トランジスタ102の第1端子(ソース端子又はドレイン端子の一方)は別の行の画素の走査線106Aに接続されている。ここで、駆動トランジスタ101は発光素子105を駆動するトランジスタであり、相補用トランジスタ102は駆動トランジスタ101とは極性が反転しているトランジスタである。つまり、この走査線106Aの信号がLレベルのときに駆動トランジスタ101と相補用トランジスタ102とが相補的にオンオフするインバータを構成している。

【0043】

次に、図1の画素構成の動作原理について詳しく説明する。

【0044】

画素への信号書き込み期間には、信号線107にはアナログ信号電位が供給される。このアナログ信号電位がビデオ信号に相当する。そして、画素へビデオ信号を書き込む際には、走査線106にHレベルの信号を入力してスイッチング用トランジスタ104をオンさせる。なお、このとき、別の行の画素を選択する走査線106AにはLレベルの信号が供給されている。よって、画素へ信号を書き込む際には駆動トランジスタ101と相補用トランジスタ102とはインバータとして動作することになる。なお、インバータとして動作しているときには、駆動トランジスタ101及び相補用トランジスタ102のゲート端子の接続点がインバータの入力端子110となり、駆動トランジスタ101及び相補用トランジスタ102の第2端子の接続点がインバータの出力端子111となる。また、インバータとして動作しているときには、駆動トランジスタ101及び相補用トランジスタ102は共に第1端子がソース端子、第2端子がドレイン端子となる。

【0045】

このようにスイッチング用トランジスタ104がオンすると、インバータの入力端子110は出力端子111と導通し、駆動トランジスタ101、相補用トランジスタ102、発光素子105に電流が流れ、容量素子103では電荷の放電又は蓄積が行われる。

【0046】

こうして、インバータはオフセットキャンセルする。なお、オフセットキャンセルとは、入力端子110と出力端子111を導通し、入力電位と出力電位を等しくし、入力端子110の電位をインバータの論理しきい値電位 $V_{in v}$ にすることをいう。よって、この論理しきい値電位 $V_{in v}$ は、理想的にはインバータのLレベルとHレベルの出力の中間の電位である。

【0047】

なお、インバータの出力のHレベルの電位は電源線108の電源電位 $V_{dd}$ であり、インバータのLレベルの電位は走査線106Aに供給されるLレベルの電位である。また、インバータのHレベルの出力となる電源電位 $V_{dd}$ と、インバータのLレベルの出力となる走査線106や走査線106Aに供給される信号のLレベルの電位は、配線109の電位を基準に設定する。そして、インバータの出力がHレベルのときは、発光素子105が発光し、インバータの出力がLレベルのときには非発光となるようにする。

10

【0048】

つまり、発光素子105が発光し始めるときの電圧を $V_{EL}$ とすると、インバータのLレベルの電位（走査線106や走査線106Aに供給される信号のLレベルの電位）は $V_{ss} + V_{EL}$ よりも低くする必要がある。また、インバータのHレベルの電位は、 $V_{ss} + V_{EL}$ よりも高くする必要がある。

【0049】

なお、インバータのLレベルの電位が配線109の電位よりも低い電位とすると、発光素子105に逆バイアス状態の電圧が加わる。よって、発光素子105の劣化が抑制され、望ましい。

20

【0050】

なお、容量素子103での電荷の放電又は蓄積は、もともと容量素子103に蓄積されていた電荷と、信号線107に供給される電位との関係で決まる。そして、容量素子103での電荷の放電又は蓄積が完了すると、容量素子103には信号線107と、論理しきい値電位 $V_{in v}$ との電位差（電圧 $V_p$ ）分の電荷が蓄積されていることになる。そして、走査線106の信号をLレベルにすることにより、スイッチング用トランジスタ104をオフにし、容量素子103で、この電圧 $V_p$ を保持する。

【0051】

なお、書き込み期間において、配線（Cathode）109の電位を $V_{ss2}$ に設定しても良い。この $V_{ss2}$ は $V_{ss} < V_{ss2}$ を満たす電位であり、インバータをオフセットキャンセルする際、発光素子105に印加される電圧が発光素子105の順方向しきい値電圧 $V_{EL}$ より小さくなるように設定する。つまり、 $V_{in v} - V_{ss2} < V_{EL}$ となるように設定する。こうすれば、書き込み期間において、発光素子105が発光してしまうことにより、表示不良が発生してしまうのを防ぐことができる。また、書き込み期間において発光素子にほとんど電流が流れないようにすることができるため、消費電力を低減することができる。

30

【0052】

また、 $V_{ss2}$ を大きくして、発光素子105に逆バイアスの電圧が加わるようにしてもよい。逆バイアス電圧を加えることにより、発光素子105の信頼性を向上させたり、発光素子105の中で不具合のある部分を焼き切ったりすることができる。

40

【0053】

なお、配線109に電流が流れないようにすればよいので、別の方法を用いることもできる。例えば、配線109をフローティング状態にしてもよい。その結果、発光素子105には電流は流れない。あるいは、インバータの出力端子111から配線109の間にスイッチを入れてもよい。このスイッチを制御することにより、発光素子105に電流が流れないようにすることができる。

【0054】

たとえば、図55に示すように駆動トランジスタ101の第1端子（ソース端子又はドレイン端子の一方）はスイッチ5501を介して電源線108と接続するようにしてもよい

50

。そして、画素への信号書き込み期間においては、その行の画素への信号書き込み時間のときのみスイッチ 5501 をオンさせるようにする。すると、書き込みを行っていない行の画素は、他の行の画素への信号書き込み時間には、非発光とすることができ、画像がおかしくなってしまうことを防止することができるとともに、消費電力の低減を図ることができる。なお、この構成の場合には、発光期間においては、スイッチ 5501 はオンしておく。

【0055】

こうしてこの画素へビデオ信号の書き込みが終了する。

【0056】

なお、画素にビデオ信号が書き込まれた後は、その画素にビデオ信号が書き込まれた際に信号線 107 に供給されたアナログ信号電位を基準にして、信号線 107 の電位の変動に従ってインバータの出力のレベルが制御されるようになる。つまり、信号線 107 の電位が、画素への信号書き込み期間に、画素にビデオ信号が書き込まれた際のアナログ信号電位より高いときにはインバータの出力は L レベルとなり、画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなるとインバータの出力は H レベルとなる。

【0057】

なぜなら、画素にビデオ信号が書き込まれると、容量素子 103 が電位差 (Vp) を保持するため、信号線 107 の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位より高いときには、インバータの入力端子 110 の電位も、画素にビデオ信号が書き込まれた際の入力端子 110 の電位より高くなり、駆動トランジスタ 101 はオフし、相補用トランジスタ 102 はオンし、インバータの出力は L レベルとなる。一方、信号線 107 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると、インバータの入力端子 110 の電位も、画素にビデオ信号が書き込まれた際の入力端子 110 の電位より低くなるため、駆動インバータの出力は H レベルとなる。

【0058】

したがって、画素の発光期間には、走査線 (走査線 106、走査線 106A など) を L レベルにした状態で、信号線 107 に供給する電位をアナログ的に変化させることで、画素内のインバータの出力のレベルを制御する。こうして、発光素子 105 に電流が流れている時間をアナログ的に制御して階調を表現することができる。

【0059】

また、相補用トランジスタの 102 第 1 端子 (ソース端子又はドレイン端子の一方) を走査線 106A に接続したことにより配線数を減らすことができ、開口率が向上する。よって、発光素子 105 の信頼性の向上を図ることができる。また、歩留まりを向上させ、表示パネルのコストの抑制を図ることができる。

【0060】

続いて画素の発光期間において、信号線 107 に供給する電位について説明する。信号線 107 に供給する電位は周期的に変化する波形のアナログ電位を用いることができる。周期的に変化する波形のアナログ電位の波形の例を図 12 (a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i) に示す。

【0061】

例えば、発光期間には、信号線 107 に低電位から高電位にアナログ的に変化する電位を供給する。一例として、波形 1201 のように直線的に電位が上昇するようにしても良い。なお、このような波形をのこぎり波ともいう。

【0062】

また、高電位から低電位へアナログ的に変化する電位を供給しても良い。例えば、波形 1202 のように直線的に電位が下降するようにしても良い。

【0063】

また、それらを組み合わせた波形でも良い。つまり、一例として、波形 1203 のように低電位から高電位へ直線的に上昇し、高電位から低電位へ下降するような電位を供給して

10

20

30

40

50

も良い。なお、以下このような波形 1203 を三角波電位という。または、波形 1204 のように高電位から低電位へ直線的に下降し、低電位から高電位へ直線的に上昇するような三角波電位を供給しても良い。

【0064】

また、信号線 107 に供給する電位は直線的な変化でなくとも良い。波形 1205 のように全波整流回路の出力波形の 1 周期に相当する波形 1205 の電位を供給しても良いし、その波形を上下反転させた波形 1206 の電位を供給しても良い。また、波形 1208 や波形 1209 のような波形の電位を供給してもよい。

【0065】

このような波形にすることにより、ビデオ信号に対する発光時間を自由に設定することができる。よって、ガンマ補正などを行うことも可能となる。

10

【0066】

また、画素の発光期間において、上記の波形 1201、波形 1202、波形 1203、波形 1204、波形 1205、波形 1206、波形 1208 又は波形 1209 のパルスを複数連続して供給しても良い。一例として、波形 1207 に示すように、波形 1201 のパルスを画素の発光期間において、二回連続して供給しても良い。

【0067】

このようにすることにより、発光時間を 1 フレーム内で分割させることができる。その結果、フレーム周波数が見かけ上向上したようになり、画面のちらつきを防止することができる。

20

【0068】

こうして、画素にアナログ信号を書き込む際に信号線 107 に供給されるアナログ信号電位により画素のアナログ時間階調表示が可能となる。なお、階調数が小さい程このアナログ信号電位は低くなり、階調が高い程このアナログ信号電位は高くなる。

【0069】

なぜなら、画素の発光期間において加える三角波電位と、画素への信号書き込み期間に画素に入力したアナログ信号電位との高低関係によって、駆動トランジスタ 101 及び相補用トランジスタ 102 で構成されるインバータの出力のレベルが決定されるからである。画素の発光期間において加えられる三角波電位が画素への信号書き込み期間に画素に入力されるアナログ信号電位よりも低くなると、インバータの出力が H レベルとなり、発光する。よって、画素への信号書き込み期間に画素に入力されるアナログ信号電位が高い方が、画素の発光期間において加えられる三角波電位よりもアナログ信号電位が高い期間が長いことになり、発光する期間も長くなる。よって、階調数も大きくなる。逆に、画素への信号書き込み期間に画素に入力されるアナログ信号電位が低い方が、画素の発光期間において加えられる三角波電位よりもアナログ信号電位が高い期間が短いことになり、発光する期間も短くなる。よって、階調数も小さくなるからである。

30

【0070】

なお、図 1 の構成に限られず、本実施の形態に示す画素は、相補用トランジスタ 102 の第 1 端子（ソース端子又はドレイン端子の一方）を任意の他の行の画素の走査線に接続してもよい。例えば、図 60 に示すように、相補用トランジスタ 102 の第 1 端子（ソース端子又はドレイン端子の一方）を、隣の隣の行の画素のスイッチング用トランジスタのオンオフを制御する走査線 106B と接続してもよい。

40

【0071】

続いて画素部に図 1 の画素構成を有する表示装置について図 2 を用いて説明する。図 2 の表示装置は、信号線駆動回路 201、走査線駆動回路 202 及び画素部 203 を有し、画素部 203 は画素 204 を複数備えている。行方向に配置された走査線（Select line）S1 ~ Sm と列方向に配置された信号線（Data line）D1 ~ Dn に対応して画素 204 がマトリクスに配置されている。

【0072】

画素 204 は駆動トランジスタ（第 2 のトランジスタ）205 と、相補用トランジスタ（

50

第3のトランジスタ) 206と、容量素子207と、スイッチング用トランジスタ(第1のトランジスタ) 208と、発光素子209と、走査線 $S_i$ ( $S_1 \sim S_m$ のうちいずれか一つ)と、信号線 $D_j$ ( $D_1 \sim D_n$ のうちいずれか一つ)と、電源線 $V_j$ ( $V_1 \sim V_n$ のうちいずれか一つ)と、を有している。なお、駆動トランジスタ205にはPチャンネル型トランジスタ、相補用トランジスタ206及びスイッチング用トランジスタ208にはNチャンネル型トランジスタを用いている。なお、画素204は画素部203に複数配置された画素のうちの一画素を示している。

【0073】

駆動トランジスタ205は、第1端子(ソース端子又はドレイン端子の一方)が電源線 $V_j$ と接続され、第2端子(ソース端子又はドレイン端子の他方)が相補用トランジスタ206の第2端子(ソース端子又はドレイン端子の他方)と接続され、ゲート端子が相補用トランジスタ206のゲート端子と接続されている。さらに、駆動トランジスタ205及び相補用トランジスタ206のゲート端子は、容量素子207を介して信号線 $D_j$ に接続されると共に、スイッチング用トランジスタ208を介して駆動トランジスタ205及び相補用トランジスタ206の第2端子(ソース端子又はドレイン端子の他方)と接続されている。つまり、スイッチング用トランジスタ208は、第1端子(ソース端子又はドレイン端子の一方)が駆動トランジスタ205及び相補用トランジスタ206の第2端子(ソース端子又はドレイン端子の他方)と接続され、第2端子が駆動トランジスタ205及び相補用トランジスタ206のゲート端子と接続されているため、スイッチング用トランジスタ208をオンオフすることで、駆動トランジスタ205及び相補用トランジスタ206のゲート端子と第2端子(ソース端子又はドレイン端子の他方)とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ208のゲート端子が接続されている走査線 $S_i$ に信号を入力することによりスイッチング用トランジスタ208のオンオフを制御する。また、駆動トランジスタ205及び相補用トランジスタ206の第2端子(ソース端子又はドレイン端子の他方)は、発光素子209の陽極と接続されている。そして、発光素子209の陰極は低電源電位 $V_{ss}$ が供給された配線(Cathode) 210と接続されている。なお、 $V_{ss}$ とは、電源線 $V_j$ に供給される電源電位 $V_{dd}$ を基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

【0074】

さらに、相補用トランジスタ206の第1端子は別の行の画素の走査線 $S_{i+1}$ に接続されている。なお、図2に示す表示装置のように下行の画素を選択する走査線に、相補用トランジスタ206の第1端子が接続されている構成の場合には、最下行の画素の相補用トランジスタの第1端子に電位を供給する配線 $S_x$ のみ、走査線 $S_1 \sim S_m$ とは別途に設ければ良い。

【0075】

また、電源線 $V_1 \sim V_n$ に供給する電源電位は $V_{dd}$ に限られず、例えば、RGBの色要素からなるフルカラー表示の場合には、RGBのそれぞれの色要素を示す画素毎に供給する電源電位の値を変えても良い。

【0076】

ここで、R、G、Bの色要素の画素列毎に異なる電源電位の供給された電源線を有する場合について図43を用いて説明する。

【0077】

図43は、図2の画素部203の一部を示した図である。図43に示す画素構成は電源線以外は図2の画素204と同じ構成であるため、それぞれの画素を構成する駆動トランジスタ(第2のトランジスタ)、相補用トランジスタ(第3のトランジスタ)、容量素子、スイッチング用トランジスタ(第1のトランジスタ)及び発光素子の符号を省略してある。よって、画素を構成するこれらの素子の符号は図2及びその説明を参照されたい。図43において、 $i$ 行目( $1 \sim m$ 行のいずれか一つ)の画素は電源線 $V_r$ 、 $V_g$ 、 $V_b$ を有している。そして、Rの色要素の列の画素は、駆動トランジスタ205の第1端子が $V_r$ に

10

20

30

40

50

接続され、Gの色要素の列の画素は、駆動トランジスタ205の第1端子がV<sub>g</sub>に接続され、Bの色要素の列の画素は、駆動トランジスタ205の第1端子がV<sub>b</sub>に接続されている。電源線V<sub>r</sub>には発光期間にRの色要素の列の画素の発光素子209に所望の電流を流すための電位V<sub>dd1</sub>が供給される。電源線V<sub>g</sub>には発光期間にGの色要素の列の画素の発光素子209に所望の電流を流すための電位V<sub>dd2</sub>が供給される。電源線V<sub>b</sub>には発光期間にBの色要素の列の画素の発光素子209に所望の電流を流すための電位V<sub>dd3</sub>が供給される。こうして、色要素毎に画素の発光素子209に印加する電圧を設定することができる。その結果、発光素子の発光色毎に異なる大きさの電圧を加えることができる。したがって、発光素子の発光色毎の輝度を個別に制御することができる。なお、色要素としては、RGBに限られず、R(赤)、G(緑)、B(青)、W(白)の4つの色要素を用いてフルカラー表示をするものであっても構わない。この場合も同様に色毎に発光素子に印加する電圧を変えることができる。

10

## 【0078】

次に、図2及び図3を用いて本発明の表示装置の動作原理について説明する。図3は図2における表示装置の画素部203のある画素列(j列目)のタイミングチャートを示す図である。なお、画素部203に複数配置されたそれぞれの画素は、画素204と同様の構成であるため、それぞれの画素の駆動トランジスタ、相補用トランジスタ、容量素子、スイッチング用トランジスタ、発光素子は画素204と同様の符号を用いて説明する。

## 【0079】

図3に示すように、書き込み期間にはj列目の画素のData line(信号線D<sub>j</sub>)にアナログ信号電位が入力されている。そして、i行目の画素の書き込み時間T<sub>i</sub>において、i行目のSelect line(走査線S<sub>i</sub>)にパルス信号(Hレベル)が入力されると、i行目の画素のスイッチング用トランジスタ208がオンし、駆動トランジスタ205、相補用トランジスタ206及び発光素子209に電流が流れる。なお、このとき、i+1行目のSelect line(走査線S<sub>i+1</sub>)はLレベルの信号が入力されたままである。

20

## 【0080】

そして、i行目の画素の容量素子207では電荷の蓄積若しくは放電が行われる。つまり、容量素子207にもともと蓄積されていた電荷とData line(信号線D<sub>j</sub>)に供給された電位(V<sub>a</sub>)との関係で電荷の蓄積か放電のどちらかが起きる。

30

## 【0081】

やがて、容量素子207の電荷の蓄積又は放電が完了し、駆動トランジスタ205、相補用トランジスタ206及び発光素子209に流れる電流が一定となる。このとき、完全に定常状態にならなくてもよい。駆動トランジスタ205と相補用トランジスタ206から構成されるインバータの出力のレベル(駆動トランジスタ205及び相補用トランジスタ206の第2端子の電位)を制御するのに必要な入力電位(駆動トランジスタ205及び相補用トランジスタ206のゲート電位)が取得できれば良い。好ましくは、このとき駆動トランジスタ205及び相補用トランジスタ206が飽和領域で動作するようになっていと良い。

## 【0082】

その後、Select line(走査線S<sub>i</sub>)をLレベルにし、スイッチング用トランジスタ208をオフにする。すると、容量素子207はインバータの出力のレベル(駆動トランジスタ205及び相補用トランジスタ206の第2端子の電位)を制御するのに必要なインバータの入力電位(駆動トランジスタ205及び相補用トランジスタ206のゲート電位)と、スイッチング用トランジスタ208をオフにした瞬間のData line(信号線D<sub>j</sub>)に供給されているアナログ信号電位との電位差を保持する。

40

## 【0083】

こうして、i行目の画素の書き込み時間T<sub>i</sub>には、i行目j列の画素にData line(信号線D<sub>j</sub>)からアナログ信号電位V<sub>a</sub>が供給され、ビデオ信号が書き込まれる。そして、i行目の画素の書き込み時間T<sub>i</sub>には、各画素列毎にそれぞれのData line

50

e (信号線 D 1 ~ D n) からそれぞれのアナログ信号電位が供給され、各列の i 行目の画素にビデオ信号が書き込まれる。

【0084】

次に、i + 1 行目の画素への信号書き込み時間 T<sub>i+1</sub> には、Select line (走査線 S<sub>i+1</sub>) にパルス信号 (Hレベル) が供給され、i + 1 行目 j 列の画素の Data line (信号線 D<sub>j</sub>) には電位 (V<sub>b</sub>) が供給され、i + 1 行目 j 列の画素にビデオ信号が書き込まれる。なお、このとき、各画素列毎にそれぞれの Data line (信号線 D 1 ~ D n) からそれぞれのアナログ信号電位が供給され、各列の i + 1 行目の画素にもビデオ信号が書き込まれる。このとき、i + 2 行目の画素の Select line (走査線 S<sub>i+2</sub>) は Lレベルにしておく。

10

【0085】

このように、画素の各行の Select line (走査線 S 1 ~ S<sub>m</sub>) にパルス信号 (Hレベル) が入力されて、それぞれの画素にビデオ信号が書き込まれると 1 フレーム期間の画素部 203 への信号書き込み期間が終了する。

【0086】

なお、図 3 では S 1、S 2、S 3、・・・、S<sub>m</sub> というように Select line (走査線 S 1 ~ S<sub>m</sub>) にパルス信号を供給して、画素を 1 行目から 2 行目、3 行目、・・・、m 行目と選択したがこれに限定されない。S<sub>m</sub>、S<sub>m-1</sub>、S<sub>m-2</sub>、・・・、S 1 というように Select line (走査線 S 1 ~ S<sub>m</sub>) にパルス信号を供給して、画素を m 行目から m - 1 行目、m - 2 行目、・・・、1 行目というように選択してもよい。このように走査することで、Select line (走査線 S ~ S<sub>m</sub>) に供給する信号のなまりに起因する画素への信号の書き込み不良を防止することができる。

20

【0087】

ここで、図 3 に示す i 行目の Select line (走査線 S<sub>i</sub>) と i + 1 行目の Select line (走査線 S<sub>i+1</sub>) に供給したパルス信号に、なまりが生じた場合のタイミングチャートを図 5 3 に示す。パルス信号になまりが生じると、信号の立ち上がり及び立ち下がりが遅延する。よって、i 行目の画素への信号書き込み時間である期間 T<sub>i</sub> を過ぎても Select line (走査線 S<sub>i</sub>) の信号はスイッチング用トランジスタ 208 をオフにするための Lレベルの電位まで下らない。よって、スイッチング用トランジスタ 208 が、まだオンしている状態で i + 1 行目の Select line (走査線 S<sub>i+1</sub>) の信号の立ち上がりが始まる。すると、インバータの Lレベルの出力電位の基準となる電位が変動してしまい、インバータ特性が変化してしまう。こうして、画素への信号の書き込みが正常に行われなくなってしまう。

30

【0088】

次に、画素の走査方向を逆にした場合において、i 行目の Select line (走査線 S<sub>i</sub>) と i + 1 行目の Select line (走査線 S<sub>i+1</sub>) に供給するパルス信号になまりが生じた場合のタイミングチャートを図 5 4 に示す。この場合、m 行目から画素への信号の書き込みが行われるため、i + 1 行目の画素への信号の書き込みが行われた後、i 行目の画素への書き込みが行われる。つまり、i + 1 行目の Select line (走査線 S<sub>i+1</sub>) にパルス信号が供給された後、i 行目の Select line (走査線 S<sub>i</sub>) にパルス信号が供給される。ここで、i + 1 行目の Select line (走査線 S<sub>i+1</sub>) に供給したパルス信号の立ち下がりが遅延すると、i 行目の画素の書き込み時間である期間 T<sub>i</sub> の前半においては、インバータの Lレベルの出力電位の基準となる電位が変動してしまい、インバータ特性が変化してしまうが、期間 T<sub>i</sub> の後半にはインバータの出力電位の基準となる Lレベルの電位も正常になる。よって、画素への信号の書き込みを正常に行うことができる。

40

【0089】

続いて、発光期間には、Data line (信号線 D 1 ~ D n) には三角波電位を供給する。すると、i 行目 j 列の画素は Data line (信号線 D<sub>j</sub>) が V<sub>a</sub> より高い電位であるときには発光素子 209 は非発光の状態を維持し、Data line (信号線

50

D j ) の電位が V a より低い電位の間 ( T a ) は発光素子 2 0 9 は発光する。また、 i + 1 行目 j 列の画素も同様に、期間 ( T b ) の間は発光素子 2 0 9 が発光する。

【 0 0 9 0 】

なお、画素への信号書き込み期間が終了した後、アナログ信号が書き込まれたアナログ信号電位より高い電位が Data line ( 信号線 D 1 ~ D n ) に供給されている間はその画素の発光素子 2 0 9 は発光せず、信号が書き込まれた際のアナログ信号電位より低くなるとその画素の発光素子 2 0 9 が発光する詳細な原理については、図 1 の画素構成を用いて説明したとおりなのでここでは説明を省略する。

【 0 0 9 1 】

なお、Cathode ( 配線 2 1 0 ) に供給される低電源電位は、画素への信号書き込み期間と発光期間とで電位を異なるようにしても良い。図 3 に示すように、画素への信号書き込み期間におけるCathode ( 配線 2 1 0 ) の電位を発光期間におけるCathode ( 配線 2 1 0 ) の電位より高くしておくことよ。つまり、画素への信号書き込み期間におけるCathode ( 配線 2 1 0 ) の電位を V s s 2 とし、発光期間におけるCathode ( 配線 2 1 0 ) の電位を V s s とする。そして、このとき  $V s s 2 > V s s$  とする。例えば  $V s s = G N D$  ( グラウンド電位 ) としても良い。

10

【 0 0 9 2 】

このように、画素への信号書き込み期間にCathode ( 配線 2 1 0 ) の電位を高くしておくことで、発光素子 2 0 9 が発光してしまい表示不良が発生してしまうのを防ぐとともに画素への信号書き込み期間における消費電力を低減することができる。

20

【 0 0 9 3 】

また、Cathode ( 配線 2 1 0 ) の電位を適宜設定することにより画素の信号書き込み期間において、発光素子 2 0 9 には電流を流さないようにすることができるため、信号書き込み期間において発光素子 2 0 9 が発光してしまい画像の正しい階調が得られなくなってしまうことを防止することができるとともに、さらなる消費電力の低減を図ることができる。例えば、電源線 V 1 ~ V n に供給される電位と、走査線 S 1 ~ S m や冗長配線 S x に供給される電位との中間の電位に設定する。つまり、この電位は駆動トランジスタ 2 0 5 と相補用トランジスタ 2 0 6 から構成されるインバータの理想的な論理しきい値電位である。この理想的な、インバータの論理しきい値電位にしておけば画素毎にインバータ伝達特性が多少異なっても、発光素子 2 0 9 の順方向しきい値電圧  $V_{E L}$  があるため発光素子 2 0 9 には電流が流れないし、Cathode ( 配線 2 1 0 ) の電位の振幅も小さくて済むため、消費電力はあまり大きくならないからである。

30

【 0 0 9 4 】

また、発光素子 2 0 9 の陰極に接続する配線を信号書き込み期間には別の配線と接続させてもよい。例えば、図 5 2 に示すように発光素子 2 0 9 の陰極を第 1 のスイッチ 5 2 0 1 を介してCathode ( 配線 2 1 0 ) と、第 2 のスイッチ 5 2 0 2 を介して第 2 の配線 5 2 0 3 と接続するようにしてもよい。そして、第 1 のスイッチ 5 2 0 1 と第 2 のスイッチ 5 2 0 2 のオンオフを制御する制御信号はそれぞれ反転した信号とする。図 5 2 の構成では、第 2 のスイッチ 5 2 0 2 にはそのまま制御信号を入力し、第 1 のスイッチ 5 2 0 1 にはインバータ 5 2 0 4 を介して制御信号を入力する。つまり、制御信号のレベルは反転され、第 1 のスイッチ 5 2 0 1 に入力される。こうして、発光素子 2 0 9 の陰極は、配線 2 1 0 又は第 2 の配線 5 2 0 3 のいずれかに接続することができる。よって、信号書き込み期間には、発光素子 2 0 9 の陰極を、配線 2 1 0 に供給された電位 V s s より高い電位が供給された第 2 の配線 5 2 0 3 へ接続することにより、画像がおかしくなることを防止できるとともに、信号書き込み期間における消費電力を低減することができる。

40

【 0 0 9 5 】

また、Cathode ( 配線 2 1 0 ) の電位を変化させなくても、発光素子 2 0 9 の陰極をフローティングとすることによっても、画像の正しい階調が得られなくなってしまうことを防止できるとともに、信号書き込み期間における消費電力を低減することができる。例えば、図 5 1 に示すように、発光素子 2 0 9 の陰極とCathode ( 配線 2 1 0 ) と

50



の間にスイッチ5101を接続し、スイッチ5101をオンにして発光素子209の陰極に低電源電位 $V_{ss}$ を供給し、スイッチ5101をオフにして発光素子209の陰極をフローティングにすることができる。なお、発光素子209の陰極がスイッチ5101を介して配線210に接続されているところを除いて、画素の構成は図2と同じなので、詳しくは図2の説明を参照されたい。

#### 【0096】

このように、発光期間においては、全画素の信号線 $D_1 \sim D_n$ に三角波電位が供給され、それぞれ書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子209の発光時間が設定される。こうして、アナログ時間階調表示が可能となる。アナログ的に発光時間を制御するため、デジタル的に発光時間を制御したときのように擬似輪郭が生じることはない。よって、画質不良のない、きれいな表示を行うことができる。

10

#### 【0097】

なお、発光素子209の発光・非発光を制御するインバータの出力のレベルは、上述したように、書き込み期間にData line（信号線 $D_1 \sim D_n$ ）に供給されたアナログ信号電位が、発光期間にData line（信号線 $D_1 \sim D_n$ ）に入力される三角波電位より高いか低いかで決まり、デジタル的に制御することができる。よって、駆動トランジスタ205や相補用トランジスタ206の特性のバラツキの影響を受けることが少なく発光素子209の発光・非発光を制御することができる。つまり、画素毎の発光のバラツキを改善することができる。

20

#### 【0098】

特に、本実施の形態に示した画素構成は、画素内のインバータがPチャネル型のトランジスタでなる駆動トランジスタ205と、Nチャネル型のトランジスタでなる相補用トランジスタ206で構成されるため、駆動トランジスタ205や相補用トランジスタ206のトランジスタ特性がバラツキ、インバータ伝達特性が画素毎に多少異なっても、それらの影響をほとんど受けることなく発光素子209の発光・非発光を制御することができる。

#### 【0099】

ここで、Pチャネル型トランジスタとNチャネル型トランジスタでなるCMOSインバータを図11(b)に、その特性を図11(a)に示す。図11(a)の横軸はCMOSインバータの入力端子への入力電位 $V_{in}$ を示し、縦軸はCMOSインバータの出力端子からの出力電位 $V_{out}$ を示している。CMOSインバータはPチャネル型トランジスタとNチャネル型トランジスタから構成され、Pチャネル型トランジスタのソース端子には高電源電位 $V_{dd}$ が供給され、Nチャネル型トランジスタのソース端子には低電源電位 $V_{ss}$ が供給される。なお、ここでは $V_{ss} = 0V$ とする。また、Pチャネル型トランジスタ及びNチャネル型トランジスタのそれぞれのゲート端子とそれぞれのドレイン端子は共に接続され、ゲート端子がCMOSインバータの入力端子となり、ドレイン端子がCMOSインバータの出力端子となる。

30

#### 【0100】

図11(a)に示す曲線1101はPチャネル型トランジスタの電流供給能力がNチャネル型トランジスタの電流供給能力より高い場合のCMOSインバータ伝達特性を示し、曲線1103はPチャネル型トランジスタの電流供給能力がNチャネル型トランジスタの電流供給能力より低い場合のCMOSインバータ伝達特性を示し、曲線1102は、Pチャネル型トランジスタの電流供給能力とNチャネル型トランジスタの電流供給能力が等しい場合のCMOSインバータ伝達特性を示している。

40

#### 【0101】

つまり、入力電位が十分に高くトランジスタがオフしているときには、CMOSインバータの出力端子の電位は0Vの電位となる。このとき、Nチャネル型トランジスタは線形領域でオンし、Pチャネル型トランジスタはオフしている。そして、入力電位が徐々に低くなってくるとPチャネル型トランジスタは飽和領域でオンする。このとき、Pチャネル型トランジスタとNチャネル型トランジスタの電流供給能力が等しければ曲線1102のよ

50

うなCMOSインバータ伝達特性を示し、Pチャネル型トランジスタの電流供給能力がNチャネル型トランジスタの電流供給能力より高いと、曲線1101側にCMOSインバータ伝達特性がシフトする。一方、Pチャネル型トランジスタの電流供給能力がNチャネル型トランジスタの電流供給能力より低いと、曲線1103側にCMOSインバータ伝達特性がシフトする。

#### 【0102】

このように、インバータ伝達特性が変動しても、CMOSインバータの場合には、出力の電位の変動の割合が高いため、Pチャネル型トランジスタが飽和領域でオンしてからPチャネル型トランジスタがオフし、CMOSインバータの出力電位が $V_x$ となるまでの時間はもちろんのこと、入力端子と出力端子が導通され、オフセットキャンセルされたそれぞれのCMOSインバータの入力電位 $V_{in v 1}$ 、 $V_{in v 2}$ 、 $V_{in v 3}$ からCMOSインバータの出力電位が $V_x$ となるそれぞれの入力電位 $V_{b 1}$ 、 $V_{b 2}$ 、 $V_{b 3}$ までの時間も、CMOSインバータの伝達特性の異なる画素毎においてほとんど変わらない。

10

#### 【0103】

よって、本実施の形態に示す画素構成を適用すれば、画素間のトランジスタ特性のバラツキの影響を低減し、きれいな表示を行うことが可能となる。また、画素の開口率を高くすることができるため、高精細表示にも適している。

#### 【0104】

なお、発光期間において、Data line (信号線D1~Dn)に供給する電位は、図12で示したように、波形1201、波形1202、波形1203、波形1204、波形1205、波形1206、波形1208若しくは波形1209、又はこれらを複数連続して供給しても良い。

20

#### 【0105】

連続して供給することにより、発光時間を1フレーム内で分割させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

#### 【0106】

また、発光期間においてData line (信号線D1~Dn)に供給する電位は、色要素の画素毎に波形を変えてもよい。例えば、色要素の異なる画素を有する表示装置において、同じ電圧を印加しても発光素子から得られる輝度が色毎で異なる場合、三角波電位の電位変化をそれぞれ異ならせて設定するとよい。ここで、一例として図62(a)に示すRGBの色要素の画素を有する表示装置を用いて説明する。Rの色要素の画素には信号線Dr、Gの色要素の画素には信号線Dg、Bの色要素の画素にはDbの信号線から三角波電位を発光期間に供給する。このとき、図62(b)に示す三角波電位6201、三角波電位6202、三角波電位6203のいずれかを、適宜画素の色毎に設定する。つまり、三角波電位6201は1フレーム中において全表示している期間が長く設定することができるので、このような三角波電位は発光素子から得られる輝度が低い画素の信号線に供給するとよい。一方三角波電位6203は1フレーム中において全表示している期間が短いため、このような三角波電位は発光素子から得られる輝度が高い画素の信号線に供給するとよい。

30

40

#### 【0107】

このように、色毎の画素によって、別々の三角波を供給することにより、色毎の発光素子の輝度特性に応じて、発光時間を制御することができるためきれいな表示のフルカラー表示を行うことができる。

#### 【0108】

発光素子の輝度特性と信号線に inputs する三角波との関係を、図63(a-1)、(a-2)、(a-3)を用いて説明する。一例として、Rの色要素となる画素の発光素子の輝度特性を基準に、Gの色要素の画素の発光素子から得られる輝度が低く、Bの色要素の画素の発光素子から得られる輝度が高い場合について説明する。

#### 【0109】

50

この場合には、信号線Dr (Data line R pixel)にする三角波の電位を基準にすると、信号線Dg (Data line G pixel)にする三角波の電位は急勾配にする。つまり、三角波の電位の振幅を大きくする。一方、信号線Db (Data line B pixel)にする三角波電位は緩勾配にする。つまり、三角波電位の振幅を小さくする。

【0110】

こうすることにより、同じ階調であっても画素の色要素毎によって、発光時間を変えることができる。例えば、Rの画素は1フレーム期間中の最も大きな階調の表示期間は $T_{max}(R)$ 、Gの画素は1フレーム期間中の最も大きな階調の表示期間は $T_{max}(G)$ 、Bの画素は1フレーム期間中の最も大きな階調の表示期間は $T_{max}(B)$ となる。

10

【0111】

また、他の構成として、ビデオ信号の電位の幅を色要素毎に変えてもよい。つまり、図64(a-1)、(a-2)、(a-3)に示すように、Rの色要素の画素を基準として、Gの色要素の画素の発光素子から得られる輝度が高い場合には、Gのビデオ信号の幅を小さくする。また、Bの色要素の画素の発光素子から得られる輝度が低い場合には、Bのビデオ信号の幅を大きくする。こうして、同じ階調であっても画素の色要素毎によって、発光時間を変えることができる。例えば、Rの画素は1フレーム期間中の最も大きな階調の表示期間は $T_{max}(R)$ 、Gの画素は1フレーム期間中の最も大きな階調の表示期間は $T_{max}(G)$ 、Bの画素は1フレーム期間中の最も大きな階調の表示期間は $T_{max}(B)$ となる。

20

【0112】

また、他の構成として、色要素毎にビデオ信号のそれぞれの階調に対応する電位をシフトさせる構成と、色要素毎に三角波電位の振幅を変える構成を組み合わせてもよい。こうすることで、振幅を小さくすることができ、消費電力の低減を図ることができる。

【0113】

また、フルカラー表示の場合には、電源線(Supply line)を色要素の画素毎に設け、それぞれの電源線の電位を色要素毎に設定することで、発光素子の輝度を色毎にそれぞれ調整することができるので、発光素子が色毎に異なる輝度特性であっても、色合いを調整することができる。例えば、図2で示したような画素を有する場合には、電源線V1~Vnのうち、R(赤)の色要素の画素の発光素子の陽極にする電位が供給される電源線、G(緑)の色要素の画素の発光素子の陽極にする電位が供給される電源線、B(青)の色要素の画素の発光素子の陽極にする電位が供給される電源線、W(白)の色要素の画素の発光素子の陽極にする電位が供給される電源線にはそれぞれの色毎の輝度特性に応じた電位を定めることができる。

30

【0114】

また、他の構成として、例えば、画素の発光素子に白色(W)の発光素子を適用して、カラーフィルターを用いてフルカラー表示を行うことにより、色要素毎から得られる輝度を概ね等しくすることができる。

【0115】

また、本発明の画素構成は図1の構成に限られない。つまり、図1の構成においてはインバータを構成するPチャンネル型トランジスタとNチャンネル型トランジスタのうち、Nチャンネル型トランジスタのソース端子に電位を供給する配線の代わりに他の行の走査線を用いたが、図4のようにPチャンネル型トランジスタのソース端子に電位を供給する配線の代わりに他の行の走査線を用いてもよい。

40

【0116】

図4に示す画素は、相補用トランジスタ(第3のトランジスタ)401と、駆動トランジスタ(第2のトランジスタ)402と、容量素子403と、スイッチング用トランジスタ(第1のトランジスタ)404と、発光素子405と、走査線(Select line)406と、信号線(Data line)407と、電源線408とを有している。なお、相補用トランジスタ401にはNチャンネル型トランジスタ、駆動トランジスタ402

50

及びスイッチング用トランジスタ404にはPチャンネル型トランジスタを用いている。

【0117】

相補用トランジスタ401は、第1端子(ソース端子又はドレイン端子の一方)が電源線408と接続され、第2端子(ソース端子又はドレイン端子の他方)が駆動トランジスタ402の第2端子(ソース端子又はドレイン端子の他方)と接続され、ゲート端子が駆動トランジスタ402のゲート端子と接続されている。さらに、相補用トランジスタ401及び駆動トランジスタ402のゲート端子は、容量素子403を介して信号線407に接続されると共に、スイッチング用トランジスタ404を介して相補用トランジスタ401及び駆動トランジスタ402の第2端子(ソース端子又はドレイン端子の他方)と接続されている。つまり、スイッチング用トランジスタ404は、第1端子(ソース端子又はドレイン端子の一方)が相補用トランジスタ401及び駆動トランジスタ402の第2端子(ソース端子又はドレイン端子の他方)と接続され、第2端子(ソース端子又はドレイン端子の他方)が相補用トランジスタ401及び駆動トランジスタ402のゲート端子と接続されているため、スイッチング用トランジスタ404をオンオフすることで、相補用トランジスタ401及び駆動トランジスタ402のゲート端子と第2端子(ソース端子又はドレイン端子の他方)とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ404のゲート端子が接続されている走査線406に信号を入力することによりスイッチング用トランジスタ404のオンオフを制御する。また、相補用トランジスタ401及び駆動トランジスタ402の第2端子(ソース端子又はドレイン端子の他方)は、発光素子405の陽極と接続されている。そして、発光素子405の陰極は低電源電位 $V_{ss}$ が供給された配線(Cathode)409と接続されている。なお、 $V_{ss}$ とは、走査線406AのHレベルの電位である電源電位 $V_{dd}$ を基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

【0118】

さらに、駆動トランジスタ402の第1端子は別の行の画素の走査線406Aに接続されている。ここで、駆動トランジスタ402は発光素子405を駆動するトランジスタであり、相補用トランジスタ401は駆動トランジスタ402とは極性が反転しているトランジスタである。つまり、この走査線406Aの信号がHレベルのときに相補用トランジスタ401と駆動トランジスタ402とが相補的にオンオフするインバータを構成している。

【0119】

次に、図4の画素構成の動作原理について詳しく説明する。ここで、走査線406により選択される画素を*i*行目の画素とし、走査線406Aにより選択される画素を*i*+1行目の画素として図5のタイミングチャートを用いて説明する。

【0120】

画素への信号書き込み期間には、信号線407にはアナログ信号電位が供給される。このアナログ信号電位がビデオ信号に相当する。そして、画素へビデオ信号を書き込む際には、走査線406(*i*行目のSelect line)にLレベルの信号を入力してスイッチング用トランジスタ404をオンさせる。なお、このとき、別の行の画素を選択する走査線406A(*i*+1行目のSelect line)はHレベルの信号が入力されている。よって、画素へ信号を書き込む際には相補用トランジスタ401と駆動トランジスタ402とはインバータとして動作することになる。なお、インバータとして動作しているときには、相補用トランジスタ401及び駆動トランジスタ402のゲート端子の接続点がインバータの入力端子410となり、相補用トランジスタ401及び駆動トランジスタ402の第2端子の接続点がインバータの出力端子411となる。また、インバータとして動作しているときには、相補用トランジスタ401及び駆動トランジスタ402は共に第1端子がソース端子、第2端子がドレイン端子となる。

【0121】

このようにスイッチング用トランジスタ404がオンすると、インバータの入力端子410は出力端子411と導通し、相補用トランジスタ401、駆動トランジスタ402、発

10

20

30

40

50

光素子 405 に電流が流れ、容量素子 403 では電荷の放電又は蓄積が行われる。

【0122】

こうして、インバータはオフセットキャンセルする。なお、オフセットキャンセルとは、入力端子 410 と出力端子 411 を導通し、入力電位と出力電位を等しくし、入力端子 410 の電位をインバータの論理しきい値電位  $V_{in v}$  にすることをいう。よって、この論理しきい値電位  $V_{in v}$  は、理想的にはインバータの L レベルと H レベルの出力の中間の電位である。

【0123】

なお、容量素子 403 での電荷の放電又は蓄積は、もともと容量素子 403 に蓄積されていた電荷と、信号線 407 に供給される電位との関係で決まる。そして、容量素子 403 での電荷の放電又は蓄積が完了すると、容量素子 403 には信号線 407 と、論理しきい値電位  $V_{in v}$  との電位差（電圧  $V_p$ ）分の電荷が蓄積されていることになる。そして、走査線 406 の信号を H レベルにすることにより、スイッチング用トランジスタ 404 をオフにし、容量素子 403 で、この電圧  $V_p$  を保持する。

【0124】

なお、書き込み期間において、配線（Cathode）409 に供給される電位を  $V_{ss 2}$  に設定しても良い。この  $V_{ss 2}$  は  $V_{ss} < V_{ss 2}$  を満たす電位であり、インバータをオフセットキャンセルする際、発光素子 405 に印加される電圧が発光素子 405 の順方向しきい値電圧  $V_{E L}$  より小さくなるように設定する。つまり、 $V_{in v} - V_{ss 2} < V_{E L}$  となるように設定する。こうすれば、書き込み期間において、発光素子 405 にほとんど電流が流れることはなく、消費電力を低減することができる。

【0125】

また、 $V_{ss 2}$  を大きくして、発光素子 405 に逆バイアスの電圧が加わるようにしてもよい。逆バイアス電圧を加えることにより、発光素子 405 の信頼性を向上させたり、発光素子 405 の中で不具合のある部分を焼き切ったりすることができる。

【0126】

なお、配線 409 に電流が流れないようにすればよいので、別の方法を用いることもできる。例えば、配線 409 をフローティング状態にしてもよい。その結果、発光素子 405 には電流は流れない。あるいは、インバータの出力端子 411 から配線 409 の間にスイッチを入れてもよい。このスイッチを制御することにより、発光素子 405 に電流が流れないようにすることができる。

【0127】

こうしてこの画素へビデオ信号の書き込みが終了する。

【0128】

なお、画素にビデオ信号が書き込まれた後は、その画素にビデオ信号が書き込まれた際に信号線 407 に供給されたアナログ信号電位を基準にして、信号線 407 の電位の変動に従ってインバータの出力のレベルが制御されるようになる。つまり、信号線 407 の電位が、画素への信号書き込み期間に、画素にビデオ信号が書き込まれた際のアナログ信号電位より低いときにはインバータの出力は H レベルとなり、画素にビデオ信号が書き込まれた際のアナログ信号電位より高くなるとインバータの出力は L レベルとなる。

【0129】

なぜなら、画素にビデオ信号が書き込まれると、容量素子 403 が電位差（ $V_p$ ）を保持するため、信号線 407 の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位より低いときには、インバータの入力端子 410 の電位も、画素にビデオ信号が書き込まれた際の入力端子 410 の電位より低くなり、相補用トランジスタ 401 はオフし、駆動トランジスタ 402 はオンし、インバータの出力は H レベルとなる。一方、信号線 407 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より高くなると、インバータの入力端子 410 の電位も、画素にアナログ信号が書き込まれた際の入力端子 410 の電位より高くなるため、相補用トランジスタ 401 はオンし、駆動トランジスタ 402 はオフし、駆動インバータの出力は L レベルとなる。

## 【 0 1 3 0 】

したがって、画素の発光期間には、走査線（走査線 4 0 6、走査線 4 0 6 A など）を L レベルにした状態で、信号線 4 0 7 に供給する電位をアナログ的に変化させることで、画素内のインバータの出力のレベルを制御する。こうして、発光素子 4 0 5 に電流が流れている時間をアナログ的に制御して階調を表現することができる。

## 【 0 1 3 1 】

また、相補用トランジスタの第 1 端子（ソース端子又はドレイン端子の一方）を走査線 4 0 6 A に接続したことにより配線数を減らすことができ、開口率が向上する。よって、発光素子 4 0 5 の信頼性の向上を図ることができる。また、歩留まりを向上させ、表示パネルのコストの抑制を図ることができる。

10

## 【 0 1 3 2 】

続いて画素の発光期間において、信号線 4 0 7 に供給する電位について説明する。信号線 4 0 7 に供給する電位は周期的に変化する波形のアナログ電位を用いることができる。よって、図 1 2 で示したように、波形 1 2 0 1、波形 1 2 0 2、波形 1 2 0 3、波形 1 2 0 4、波形 1 2 0 5、波形 1 2 0 6、波形 1 2 0 8、若しくは波形 1 2 0 9、又はこれらを複数連続して供給しても良い。

## 【 0 1 3 3 】

連続して供給することにより、発光時間を 1 フレーム内で分割させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

20

## 【 0 1 3 4 】

こうして、画素にアナログ信号を書き込む際に信号線 4 0 7 に供給されるアナログ信号電位により画素のアナログ時間階調表示が可能となる。なお、階調数が小さい程このアナログ信号電位は高くなる。

## 【 0 1 3 5 】

なぜなら、画素の発光期間において加える三角波電位と、画素への信号書き込み期間に画素に入力したアナログ信号電位との高低関係によって、相補用トランジスタ 4 0 1 及び駆動トランジスタ 4 0 2 で構成されるインバータの出力のレベルが決定されるからである。画素への信号書き込み期間に画素に入力されるアナログ信号電位が、画素の発光期間において加えられる三角波電位よりも低い場合は、インバータの出力が H レベルとなり、発光する。よって、画素への信号書き込み期間に画素に入力されるアナログ信号電位が低い方が、画素の発光期間において加えられる三角波電位よりも低い期間が長いことになり、発光する期間も長くなる。よって、階調も高くなる。逆に、画素への信号書き込み期間に画素に入力されるアナログ信号電位が高い方が、画素の発光期間において加えられる三角波電位よりも低い期間が短いことになり、発光する期間も短くなる。よって、階調も小さくなるからである。

30

## 【 0 1 3 6 】

（実施の形態 2）

本実施の形態では、実施の形態 1 の画素構成とは異なる構成を示す。本実施の形態に示す画素構成は、画素にアナログ信号を書き込む際に供給されるアナログ信号電位と、画素の点灯、非点灯を制御するアナログ電位とを別の配線によって画素に供給する構成としている。

40

## 【 0 1 3 7 】

画素は、図 6 に示すように駆動トランジスタ（第 2 のトランジスタ）6 0 1 と、相補用トランジスタ（第 3 のトランジスタ）6 0 2 と、容量素子 6 0 3 と、スイッチング用トランジスタ（第 1 のトランジスタ）6 0 4 と、発光素子 6 0 5 と、走査線（Select line）6 0 6 と、第 1 のスイッチ 6 0 7 と、第 2 のスイッチ 6 0 8 と、第 1 の信号線（Data line 1）6 0 9 と、第 2 の信号線（Data line 2）6 1 0 と、電源線 6 1 1 と、を有している。なお、駆動トランジスタ 6 0 1 には P チャネル型トランジスタ、相補用トランジスタ 6 0 2 及びスイッチング用トランジスタ 6 0 4 には N チャネル

50

型トランジスタを用いている。

【0138】

駆動トランジスタ601は、第1端子(ソース端子又はドレイン端子の一方)が電源線611と接続され、第2端子(ソース端子又はドレイン端子の他方)が相補用トランジスタ602の第2端子(ソース端子又はドレイン端子の他方)と接続され、ゲート端子が相補用トランジスタ602のゲート端子と接続されている。さらに、駆動トランジスタ601及び相補用トランジスタ602のゲート端子は、容量素子603の一方の電極と接続されると共に、スイッチング用トランジスタ604を介して駆動トランジスタ601及び相補用トランジスタ602の第2端子(ソース端子又はドレイン端子の他方)と接続されている。つまり、スイッチング用トランジスタ604は、第1端子(ソース端子又はドレイン端子の一方)が駆動トランジスタ601及び相補用トランジスタ602の第2端子(ソース端子又はドレイン端子の他方)と接続され、第2端子(ソース端子又はドレイン端子の他方)が駆動トランジスタ601及び相補用トランジスタ602のゲート端子と接続されているため、スイッチング用トランジスタ604をオンオフすることで、駆動トランジスタ601及び相補用トランジスタ602のゲート端子と第2端子(ソース端子又はドレイン端子の他方)とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ604のゲート端子が接続されている走査線606に信号を入力することによりスイッチング用トランジスタ604のオンオフを制御する。なお、容量素子603の他方の電極は第1のスイッチ607を介して第1の信号線609と、第2のスイッチ608を介して第2の信号線610と接続されている。また、駆動トランジスタ601及び相補用トランジスタ602の第2端子(ソース端子又はドレイン端子の他方)は、発光素子605の陽極と接続されている。そして、発光素子605の陰極は低電源電位 $V_{ss}$ が供給された配線(Cathode)612と接続されている。なお、 $V_{ss}$ とは、電源線611に供給される電源電位 $V_{dd}$ を基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。なお、電源線611の電位はこれに限られない。色要素の画素毎に電源電位の値を変えてもよい。つまり、RGBの色要素の画素からなるフルカラー表示装置の場合には、RGBの色要素の画素毎に、RGBWの色要素の画素からなるフルカラー表示装置の場合には、RGBWの色要素の画素毎に電源線の電位を供給すればよい。

【0139】

さらに、相補用トランジスタ602の第1端子は別の行の画素の走査線606Aに接続されている。ここで、駆動トランジスタ601は発光素子605を駆動するトランジスタであり、相補用トランジスタ602は駆動トランジスタ601とは極性が反転しているトランジスタである。つまり、この走査線606Aの信号がLレベルのときに駆動トランジスタ601と相補用トランジスタ602とが相補的にオンオフするインバータを構成している。

【0140】

次に、図6の画素構成の動作原理について詳しく説明する。ここで、走査線606により選択される画素を*i*行目の画素とし、走査線606Aにより選択される画素を*i*+1行目の画素として図7のタイミングチャートを用いて説明する。

【0141】

図6の画素では各画素の発光時間を決定するアナログ信号電位が第1の信号線(Data line 1)609に供給され、各画素毎の発光時間を制御するアナログ電位が第2の信号線(Data line 2)610に供給される。

【0142】

なお、第2の信号線(Data line 2)に供給される電位は、実施の形態1の図12で示したように、波形1201、波形1202、波形1203、波形1204、波形1205、波形1206、波形1208、若しくは波形1209、又はこれらを複数連続して供給しても良い。

【0143】

10

20

30

40

50

連続して供給することにより、発光時間を1フレーム内で分割させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0144】

なお、本実施の形態の画素構成を有する表示装置は、画素部の行毎に信号書き込み期間と発光期間が設定される。

【0145】

ここで、 $i$ 行目の画素の信号書き込み期間について説明する。図7に示す期間 $T_i$ が $i$ 行目の画素の信号書き込み時間を示している。そして、期間 $T_i$ 以外の間は $i$ 行目の画素は発光期間となる。

10

【0146】

まず、 $i$ 行目の画素への信号書き込み期間 $T_i$ には、第1のスイッチ607をオンにし、第2のスイッチ608をオフにする。このとき走査線( $i+1$ 行目のSelect line)606AにはLレベルの電位が供給されている。よって、駆動トランジスタ601と相補用トランジスタ602とはインバータとして機能する。よって、駆動トランジスタ601及び相補用トランジスタ602のゲート端子の接続点がインバータの入力端子613となり、駆動トランジスタ601及び相補用トランジスタ602の第2端子の接続点がインバータの出力端子614となる。

【0147】

また、走査線( $i$ 行目のSelect line)606にはHレベルの信号が入力されスイッチング用トランジスタ604がオンする。よって、インバータの入力端子613と出力端子614とが導通され、オフセットキャンセルされる。つまり、インバータの入力端子613の電位はインバータの論理しきい値電位 $V_{inv}$ となっている。よって、このときインバータの入力端子613の電位はインバータの出力のレベルを制御するために必要な電位となっている。

20

【0148】

そして、容量素子603には、インバータの論理しきい値電位 $V_{inv}$ と、書き込み期間 $T_i$ に第1の信号線609に供給される電位 $V_a$ との電位差分(電圧 $V_p$ )の電荷が蓄積される。

【0149】

続いて、第1のスイッチ607をオフにし、第2のスイッチ608をオンにする。そして、走査線( $i$ 行目のSelect line)606にLレベルの信号を入力する。すると、スイッチング用トランジスタ604がオフし、容量素子603で電圧 $V_p$ が保持される。こうして期間 $T_i$ が終了し、 $i$ 行目 $j$ 列の画素にData line 1(第1の信号線609)からアナログ信号が書き込まれる。なお、このとき、各画素列毎にそれぞれのData line 1(第1の信号線609)からそれぞれのアナログ信号電位が入力され、各列の $i$ 行目の画素にアナログ信号が書き込まれる。

30

【0150】

こうして、 $i$ 行目の画素の信号書き込み期間 $T_i$ が終了すると、 $i+1$ 行目の画素の信号書き込み期間 $T_{i+1}$ が始まり、 $i$ 行目の画素の発光期間が始まる。 $i+1$ 行目の画素への信号書き込み時間となる期間 $T_{i+1}$ には走査線606AにHレベルの信号が入力され、 $i$ 行目の画素への信号書き込み動作と同様に信号が書き込まれる。

40

【0151】

なお、図7に示すようにData line 2(第2の信号線610)には三角波電位が供給されている。 $i$ 行目 $j$ 列の画素はData line 2(第2の信号線610)の電位が、 $i$ 行目の画素の信号書き込み期間 $T_i$ にData line 1(第1の信号線609)に供給されたアナログ信号電位より高い電位であるときには発光素子605は非発光の状態を維持し、Data line 2(第2の信号線610)の電位が、 $i$ 行目の画素の信号書き込み期間 $T_i$ にData line 1(第1の信号線609)に供給されたアナログ信号電位より低い電位の間は発光素子605は発光する。よって、それぞれ画素へ

50



の信号書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子605の発光時間が制御される。こうして、アナログ時間階調表示が可能となる。

【0152】

なお、 $i$ 行目の画素への信号書き込み時間が終了し、 $i+1$ 行目の画素への信号書き込み時間になると、 $i$ 行目の画素の相補用トランジスタ602の第1端子(ソース端子又はドレイン端子の一方)が接続されている走査線606AにHレベルの信号を入力する。ここで、第2の信号線610に供給されている三角波電位が、 $i$ 行目の画素の書き込み時間において第1の信号線609により書き込まれたアナログ信号電位より高くなった場合、相補用トランジスタ602がオンする。よって、インバータの出力は走査線606AのHレベルの電位が出力されてしまうことがある。

10

【0153】

したがって、非発光の状態であるべきところの画素が発光してしまうことになる。非発光とすべきところの画素が発光してしまうと人間の目にも目立ってしまうという問題がある。よって図50に示すように、インバータの出力端子614と発光素子605の陽極の間にPチャンネル型トランジスタ5001を介するようにするとよい。つまり、Pチャンネル型トランジスタ5001は、第1端子(ソース端子又はドレイン端子の一方)がインバータの出力端子614と接続され、第2端子(ソース端子又はドレイン端子の他方)が発光素子605の陽極と接続され、ゲート端子が走査線606Aと接続されている。こうすることにより、走査線606AにHレベルの信号が入力され、 $i+1$ 行目の画素が選択されているときには、 $i$ 行目の画素のPチャンネル型トランジスタ5001はオフする。よって、非発光の状態であるべきところの画素が発光してしまうことがなくなる。

20

【0154】

このように本実施の形態の画素構成を有する表示装置は、画素行毎に順次、信号書き込み期間が始まり、信号書き込み期間が終了すると画素行毎に発光期間が始まる。よって、本実施の形態のように線順次で信号が画素に書き込まれる場合には、書き込み期間は一画素分の時間で良いため、発光期間を長くすることができる。つまり、デューティ比(1フレーム期間における発光期間の割合)が高いので、発光素子の瞬間輝度を低くすることができる。よって、発光素子の信頼性を向上することができる。

【0155】

また、一行毎の画素の書き込み期間を長くすることができることから、Data line 1(第1の信号線609)にアナログ信号電位を入力する信号線駆動回路の周波数を低くすることができる。よって、消費電力を小さくすることができる。

30

【0156】

このように、信号線610に三角波電位が供給され、それぞれ書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子605の発光時間が設定される。こうして、アナログ時間階調表示が可能となる。アナログ的に発光時間を制御するため、デジタル的に発光時間を制御したときのように擬似輪郭が生じることはない。よって、画質不良のない、きれいな表示を行うことができる。

【0157】

なお、発光素子605の発光・非発光を制御するインバータの出力のレベルは、上述したように、画素への信号書き込み時間にData line 1(信号線609)に供給されたアナログ信号電位が、発光期間にData line 2(信号線610)に入力される三角波電位より高いか低いかで決まり、デジタル的に制御することができる。よって、駆動トランジスタ601や相補用トランジスタ602の特性のバラツキの影響を受けることが少なく発光素子605の発光・非発光を制御することができる。つまり、画素毎の発光のバラツキを改善することができる。

40

【0158】

特に、本実施の形態に示した画素構成は、画素内のインバータがPチャンネル型のトランジスタでなる駆動トランジスタ601と、Nチャンネル型のトランジスタでなる相補用トランジスタ602で構成されるため、駆動トランジスタ601や相補用トランジスタ602の

50

トランジスタ特性がバラツキ、インバータ伝達特性が画素毎に多少異なっても、それらの影響をほとんど受けることなく発光素子 605 の発光・非発光を制御することができる。

【0159】

また、本実施の形態の画素構成は図 6 の構成に限られない。つまり、図 6 の構成においてはインバータを構成する P チャンネル型トランジスタと N チャンネル型トランジスタのうち、N チャンネル型トランジスタのソース端子に電位を供給する配線の代わりに他の行の走査線を用いたが、図 8 のように P チャンネル型トランジスタのソース端子に電位を供給する配線の代わりに他の行の走査線を用いてもよい。

【0160】

図 8 に示す画素は、相補用トランジスタ（第 3 のトランジスタ）801 と、駆動トランジスタ（第 2 のトランジスタ）802 と、容量素子 803 と、スイッチング用トランジスタ（第 1 のトランジスタ）804 と、発光素子 805 と、走査線（Select line）806 と、第 1 のスイッチ 807 と、第 2 のスイッチ 808 と、第 1 の信号線（Data line 1）809 と、第 2 の信号線（Data line 2）810 と、電源線 811 と、を有している。なお、相補用トランジスタ 801 には N チャンネル型トランジスタ、駆動トランジスタ 802 及びスイッチング用トランジスタ 804 には P チャンネル型トランジスタを用いている。

【0161】

相補用トランジスタ 801 は、第 1 端子（ソース端子又はドレイン端子の一方）が電源線 811 と接続され、第 2 端子（ソース端子又はドレイン端子の他方）が駆動トランジスタ 802 の第 2 端子（ソース端子又はドレイン端子の他方）と接続され、ゲート端子が駆動トランジスタ 802 のゲート端子と接続されている。さらに、相補用トランジスタ 801 及び駆動トランジスタ 802 のゲート端子は、容量素子 803 の一方の電極と接続されると共に、スイッチング用トランジスタ 804 を介して相補用トランジスタ 801 及び駆動トランジスタ 802 の第 2 端子（ソース端子又はドレイン端子の他方）と接続されている。つまり、スイッチング用トランジスタ 804 は、第 1 端子（ソース端子又はドレイン端子の一方）が相補用トランジスタ 801 及び駆動トランジスタ 802 の第 2 端子（ソース端子又はドレイン端子の他方）と接続され、第 2 端子（ソース端子又はドレイン端子の他方）が相補用トランジスタ 801 及び駆動トランジスタ 802 のゲート端子と接続されているため、スイッチング用トランジスタ 804 をオンオフすることで、相補用トランジスタ 801 及び駆動トランジスタ 802 のゲート端子と第 2 端子（ソース端子又はドレイン端子の他方）とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ 804 のゲート端子が接続されている走査線 806 に信号を入力することによりスイッチング用トランジスタ 804 のオンオフを制御する。なお、容量素子 803 の他方の電極は、第 1 のスイッチ 807 を介して第 1 の信号線 809 と、第 2 のスイッチ 808 を介して第 2 の信号線 810 と接続されている。また、相補用トランジスタ 801 及び駆動トランジスタ 802 の第 2 端子（ソース端子又はドレイン端子の他方）は、発光素子 805 の陽極と接続されている。そして、発光素子 805 の陰極は低電源電位  $V_{ss}$  が供給された配線（Cathode）812 と接続されている。なお、 $V_{ss}$  とは、走査線 806 A に入力される H レベルの電位の電源電位  $V_{dd}$  を基準として、 $V_{ss} < V_{dd}$  を満たす電位である。例えば、 $V_{ss} = GND$ （グラウンド電位）としても良い。また、電源線 811 に供給される電位は、配線（Cathode）812 との電位差が発光素子 805 の順方向しきい値電圧以下となるように設定する。つまり、電源線 811 に供給されている電位が発光素子 805 の第 1 電極に供給され、低電源電位  $V_{ss}$  が発光素子 805 の第 2 電極に供給されたときに、発光素子 805 に印加される電圧が順方向しきい値電圧  $V_{EL}$  以下となればよい。なお、このとき、発光素子 805 の第 1 電極は陽極であり、第 2 電極は陰極である。一方、電源線 811 に供給される電位をさらに低い電位、つまり低電源電位  $V_{ss}$  より低い電位とし、発光素子 805 に印加される電圧を逆方向バイアスにしてもよい。逆バイアス電圧を加えることにより、発光素子 805 の信頼性を向上させたり、発光素子 805 の中で不具合のある部分を焼き切ったりすることができる。

10

20

30

40

50

## 【0162】

さらに、駆動トランジスタ802の第1端子は別の行の画素の走査線806Aに接続されている。ここで、駆動トランジスタ802は発光素子805を駆動するトランジスタであり、相補用トランジスタ801は駆動トランジスタ802とは極性が反転しているトランジスタである。つまり、この走査線806Aの信号がHレベルのときに相補用トランジスタ801と駆動トランジスタ802とが相補的にオンオフするインバータを構成している。

## 【0163】

次に、図8の画素構成の動作原理について詳しく説明する。ここで、走査線806により選択される画素を*i*行目の画素とし、走査線806Aにより選択される画素を*i*+1行目の画素として図9のタイミングチャートを用いて説明する。

10

## 【0164】

図8の画素では各画素の発光時間を決定するアナログ信号電位が第1の信号線(Data line 1)809に供給され、各画素毎の発光時間を制御するアナログ電位が第2の信号線(Data line 2)810に供給される。

## 【0165】

なお、第2の信号線(Data line 2)に供給される電位は、実施の形態1の図12で示したように、波形1201、波形1202、波形1203、波形1204、波形1205、波形1206、波形1208、若しくは波形1209、又はこれらを複数連続して供給しても良い。

20

## 【0166】

連続して供給することにより、発光時間を1フレーム内で分割させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

## 【0167】

なお、本実施の形態の画素構成を有する表示装置は、画素部の行毎に信号書き込み期間と発光期間が設定される。

## 【0168】

ここで、*i*行目の画素の信号書き込み期間について説明する。図9に示す期間*T<sub>i</sub>*が*i*行目の画素の信号書き込み時間を示している。そして、期間*T<sub>i</sub>*以外の期間は*i*行目の画素は発光期間となる。

30

## 【0169】

まず、*i*行目の画素への信号書き込み期間*T<sub>i</sub>*には、第1のスイッチ807をオンにし、第2のスイッチ808をオフにする。このとき、走査線(*i*+1行目のSelect line)806AにはHレベルの電位が供給されている。よって、相補用トランジスタ801と駆動トランジスタ802とはインバータとして機能する。よって、相補用トランジスタ801及び駆動トランジスタ802のゲート端子の接続点がインバータの入力端子813となり、相補用トランジスタ801及び駆動トランジスタ802の第2端子の接続点がインバータの出力端子814となる。

## 【0170】

また、走査線(*i*行目のSelect line)806にはLレベルの信号が入力されスイッチング用トランジスタ804がオンする。よって、インバータの入力端子813と出力端子814とが導通され、オフセットキャンセルされる。つまり、インバータの入力端子813の電位はインバータの論理しきい値電位*V<sub>inv</sub>*となっている。よって、このときインバータの入力端子813の電位はインバータの出力のレベルを制御するために必要な電位となっている。

40

## 【0171】

そして、容量素子803には、インバータの論理しきい値電位*V<sub>inv</sub>*と、書き込み期間*T<sub>i</sub>*に第1の信号線809に供給される電位*V<sub>a</sub>*との電位差分(電圧*V<sub>p</sub>*)の電荷が蓄積される。

50

## 【0172】

続いて、第1のスイッチ807をオフにし、第2のスイッチ808をオンにする。そして、走査線( $i$ 行目のSelect line)806にHレベルの信号を入力する。すると、スイッチング用トランジスタ804がオフし、容量素子803で電圧 $V_p$ が保持される。こうして期間 $T_i$ が終了し、 $i$ 行目 $j$ 列の画素にData line 1(第1の信号線809)からアナログ信号が書き込まれる。なお、このとき、各画素列毎にそれぞれのData line 1(第1の信号線809)からそれぞれのアナログ信号電位が入力され、各列の $i$ 行目の画素にアナログ信号が書き込まれる。

## 【0173】

こうして、 $i$ 行目の画素の信号書き込み期間 $T_i$ が終了すると、 $i+1$ 行目の画素の信号書き込み期間 $T_{i+1}$ が始まり、 $i$ 行目の画素の発光期間が始まる。 $i+1$ 行目の画素への信号書き込み時間となる期間 $T_{i+1}$ には走査線806AにLレベルの信号が入力され、 $i$ 行目の画素への信号書き込み動作と同様に信号が書き込まれる。

10

## 【0174】

なお、図7に示すようにData line 2(第2の信号線810)には三角波電位が供給されている。 $i$ 行目 $j$ 列の画素はData line 2(第2の信号線810)の電位が、 $i$ 行目の画素の信号書き込み期間 $T_i$ にData line 1(第1の信号線809)に供給されたアナログ信号電位より高い電位であるときには発光素子805は非発光の状態を維持し、Data line 2(第2の信号線810)の電位が、 $i$ 行目の画素の信号書き込み期間 $T_i$ にData line 1(第1の信号線809)に供給されたアナログ信号電位より低い電位の間は発光素子805は発光する。よって、それぞれ画素への信号書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子805の発光時間が制御される。こうして、アナログ時間階調表示が可能となる。

20

## 【0175】

このように本実施の形態の画素構成を有する表示装置は、画素行毎に順次、信号書き込み期間となり、信号書き込み期間が終了すると画素行毎に発光期間に移る。よって、本実施の形態のように線順次で信号が画素に書き込まれる場合には、書き込み期間は一画素分の時間で良いため、発光期間を長くすることができる。つまり、デューティ比(1フレーム期間における発光期間の割合)が高いので、発光素子の瞬間輝度を低くすることができる。よって、発光素子の信頼性を向上することができる。

30

## 【0176】

また、一行毎の画素の書き込み期間を長くすることができることから、Data line 1(第1の信号線809)にアナログ信号電位を入力する信号線駆動回路の周波数を低くすることができる。よって、消費電力を小さくすることができる。

## 【0177】

このように、信号線810に三角波電位が供給され、それぞれ書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子805の発光時間が設定される。こうして、アナログ時間階調表示が可能となる。アナログ的に発光時間を制御するため、デジタル的に発光時間を制御したときのように擬似輪郭が生じることはない。よって、画質不良のない、きれいな表示を行うことができる。

40

## 【0178】

なお、発光素子805の発光・非発光を制御するインバータの出力のレベルは、上述したように、画素への信号書き込み時間にData line 1(信号線809)に供給されたアナログ信号電位が、発光期間にData line 2(信号線810)に入力される三角波電位より高いか低いかで決まり、デジタル的に制御することができる。よって、相補用トランジスタ801や駆動トランジスタ802の特性のバラツキの影響を受けることが少なく発光素子805の発光・非発光を制御することができる。つまり、画素毎の発光のバラツキを改善することができる。

## 【0179】

特に、本実施の形態に示した画素構成は、画素内のインバータがPチャネル型のトランジ

50

スタでなる駆動トランジスタ802と、Nチャネル型のトランジスタでなる相補用トランジスタ801で構成されるため、相補用トランジスタ801や駆動トランジスタ802のトランジスタ特性バラツキ、インバータ伝達特性が画素毎に多少異なっても、それらの影響をほとんど受けることなく発光素子805の発光・非発光を制御することができる。

【0180】

なお、図6の構成での第1のスイッチ607及び第2のスイッチ608、図8での第1のスイッチ807及び第2のスイッチ808はトランジスタを用いることができる。

【0181】

例えば図6の構成の第1のスイッチ607及び第2のスイッチ608にNチャネル型トランジスタを適用した構成を図57に示す。第1のスイッチ607の代わりに書き込み選択用トランジスタ5701、第2のスイッチ608の代わりに発光選択用トランジスタ5702を用いている。書き込み選択用トランジスタ5701は第2の走査線5703に信号を入力してオンオフを制御し、発光選択用トランジスタ5702は第3の走査線5704に信号を入力してオンオフを制御する。

10

【0182】

ここで、スイッチの代わりに用いるトランジスタはリーク電流（オフ電流及びゲートリーク電流）の少ない構成とすることが望ましいといえる。なお、オフ電流とは、トランジスタがオフしているときにソース・ドレイン間に流れてしまう電流であり、ゲートリーク電流とは、ゲート絶縁膜を介してゲートとソースまたはドレイン間に電流が流れてしまう電流である。

20

【0183】

よって、書き込み選択用トランジスタ5701、発光選択用トランジスタ5702及びスイッチング用トランジスタ604に用いられるNチャネル型のトランジスタは、低濃度不純物領域（Lightly Doped Drains：LDD領域ともいう）を設けた構成とするのが好ましい。LDD領域を設けた構成のトランジスタはオフ電流を低減することができるからである。書き込み選択用トランジスタ5701、発光選択用トランジスタ5702及びスイッチング用トランジスタ604にオフ電流が流れると、容量素子603が電圧を保持できなくなるからである。

【0184】

また、ゲート絶縁膜の膜厚を薄くすることでもオフ電流は低減することができる。よって、駆動トランジスタ601の膜厚よりも書き込み選択用トランジスタ5701、発光選択用トランジスタ5702及びスイッチング用トランジスタ604の膜厚を薄くする良い。

30

【0185】

また、書き込み選択用トランジスタ5701、発光選択用トランジスタ5702及びスイッチング用トランジスタ604をマルチゲートのトランジスタとすることでゲートリーク電流を低減することができる。

【0186】

また、書き込み選択用トランジスタ5701とスイッチング用トランジスタ604のオンオフは同じタイミングで制御することが可能である。よって、図57の構成において、第2の走査線5703を省略し、書き込み選択用トランジスタ5701のゲート端子を走査線606に接続する構成としてもよい。

40

【0187】

ここで、Nチャネル型のトランジスタはLDD領域を容易に形成することができる。よって、Nチャネル型のトランジスタをスイッチとして用いることにより、オフ電流を低減することができる。また、このトランジスタをマルチゲートとすることによりさらなるゲートリーク電流の低減が図られる。よって、トランジスタのスイッチとしての機能をより向上させることができる。

【0188】

また、図6の構成において、第1のスイッチ607の代わりにNチャネル型のトランジスタ、第2のスイッチ608の代わりにPチャネル型のトランジスタを適用した場合につい

50

て図58に示す。

【0189】

第1のスイッチ607の代わりに書き込み選択用トランジスタ5801、第2のスイッチ608の代わりに発光選択用トランジスタ5802を用いている。書き込み選択用トランジスタ5801と発光選択用トランジスタ5802とはいずれか一方がオンしているとき、他方をオフさせるので、書き込み選択用トランジスタ5801及び発光選択用トランジスタ5802のゲート端子を第2の走査線5803に接続し、第2の走査線5803に信号を入力して書き込み選択用トランジスタ5801と発光選択用トランジスタ5802とのオンオフを制御する。なお、図59に示すように書き込み選択用トランジスタ5801及び発光選択用トランジスタ5802のゲート端子を走査線606に接続してオンオフを

10

【0190】

このように、第1のスイッチ607の代わりにNチャネル型のトランジスタ、第2のスイッチ608の代わりにPチャネル型のトランジスタを適用することで、これらを制御するための配線を減らすことができる。つまり、画素の開口率を向上させることができる。よって、発光素子の信頼性を向上させることができる。

【0191】

(実施の形態3)

本実施の形態では、電位が固定されている電源線の代わりに、電位のレベルを信号により制御することができる電位制御線を用いた場合の本発明の画素構成及び表示装置並びにその駆動法について説明する。

20

【0192】

図1の画素構成における電源線108の代わりに電位供給線4808を適用した場合の画素構成を図48に示す。

【0193】

画素は、駆動トランジスタ(第2のトランジスタ)4801と、相補用トランジスタ(第3のトランジスタ)4802と、容量素子4803と、スイッチング用トランジスタ(第1のトランジスタ)4804と、発光素子4805と、走査線(Select line)4806と、信号線(Data line)4807と、電位供給線(Illumination line)4808とを有している。なお、駆動トランジスタ4801にはPチャネル型トランジスタ、相補用トランジスタ4802及びスイッチング用トランジスタ4804にはNチャネル型トランジスタを用いている。

30

【0194】

駆動トランジスタ4801は、第1端子(ソース端子又はドレイン端子の一方)が電位供給線4808と接続され、第2端子(ソース端子又はドレイン端子の他方)が相補用トランジスタ4802の第2端子(ソース端子又はドレイン端子の他方)と接続され、ゲート端子が相補用トランジスタ4802のゲート端子と接続されている。さらに、駆動トランジスタ4801及び相補用トランジスタ4802のゲート端子は、容量素子4803を介して信号線4807に接続されると共に、スイッチング用トランジスタ4804を介して駆動トランジスタ4801及び相補用トランジスタ4802の第2端子(ソース端子又はドレイン端子の他方)と接続されている。つまり、スイッチング用トランジスタ4804は、第1端子(ソース端子又はドレイン端子の一方)が駆動トランジスタ4801及び相補用トランジスタ4802の第2端子(ソース端子又はドレイン端子の他方)と接続され、第2端子(ソース端子又はドレイン端子の他方)が駆動トランジスタ4801及び相補用トランジスタ4802のゲート端子と接続されているため、スイッチング用トランジスタ4804をオンオフすることで、駆動トランジスタ4801及び相補用トランジスタ4802のゲート端子と第2端子(ソース端子又はドレイン端子の他方)とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ4804のゲート端子が接続されている走査線4806に信号を入力することによりスイッチング用トランジスタ4804のオンオフを制御する。また、駆動トランジスタ4801及び相補用トランジスタ

40

50

4802の第2端子(ソース端子又はドレイン端子の他方)は、発光素子4805の陽極と接続されている。そして、発光素子4805の陰極は低電源電位 $V_{ss}$ が供給された配線(Cathode)4809と接続されている。なお、 $V_{ss}$ とは、電位供給線4808に供給されるHレベルの電位 $V_{dd}$ を基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

#### 【0195】

さらに、相補用トランジスタ4802の第1端子は別の行の画素の走査線4806Aに接続されている。ここで、駆動トランジスタ4801は発光素子4805を駆動するトランジスタであり、相補用トランジスタ4802は駆動トランジスタ4801とは極性が反転しているトランジスタである。つまり、電位供給線4808の信号がHレベルであり、走査線4806Aの信号がLレベルのときに駆動トランジスタ4801と相補用トランジスタ4802とが相補的にオンオフするインバータとして機能する。

10

#### 【0196】

画素への信号書き込み期間には、信号線4807にはアナログ信号電位が供給される。このアナログ信号電位がビデオ信号に相当する。そして、画素へビデオ信号を書き込む際には、電位供給線4808に入力する信号をHレベルにし、駆動トランジスタ4801の第1端子(ソース端子又はドレイン端子の一方)に $V_{dd}$ を供給する。また、走査線4806にHレベルの信号を入力してスイッチング用トランジスタ4804をオンさせる。なお、このとき、別の行の画素を選択する走査線4806AはLレベルの信号が入力されている。よって、画素へ信号を書き込む際には駆動トランジスタ4801と相補用トランジスタ4802とはインバータとして動作することになる。なお、インバータとして動作しているときには、駆動トランジスタ4801及び相補用トランジスタ4802のゲート端子の接続点がインバータの入力端子4810となり、駆動トランジスタ4801及び相補用トランジスタ4802の第2端子の接続点がインバータの出力端子4811となる。また、インバータとして動作しているときには、駆動トランジスタ4801及び相補用トランジスタ4802は共に第1端子がソース端子、第2端子がドレイン端子となる。

20

#### 【0197】

なお、インバータの出力のHレベルは電位供給線4808のHレベルの出力となる電源電位 $V_{dd}$ であり、Lレベルは走査線4806AのLレベルの電位である。また、インバータのHレベルの出力となる電源電位 $V_{dd}$ と、インバータのLレベルの出力となる走査線4806や走査線4806AのLレベルの電位は、配線4809の電位を基準に設定する。そして、インバータの出力がHレベルのときは、発光素子4805が発光し、Lレベルのときには非発光となるようにする。

30

#### 【0198】

つまり、発光素子4805が発光し始めるときの電圧を $V_{EL}$ とすると、Lレベルの電位は配線4809の電位 $V_{ss} + V_{EL}$ よりも低くする必要がある。また、Hレベルの電位は、配線4809の電位 $V_{ss} + V_{EL}$ よりも高くする必要がある。

#### 【0199】

なお、Lレベルの電位が配線4809の電位よりも低い電位とすると、発光素子4805に逆バイアス状態の電圧が加わる。よって、発光素子4805の劣化が抑制され、望ましい。

40

#### 【0200】

次に、図48の画素構成の動作原理について詳しく説明する。走査線4806により選択される画素を*i*行目の画素とし、走査線4806Aにより選択される画素を*i*+1行目の画素として図49のタイミングチャートを用いて説明する。

#### 【0201】

ここで、*i*行目の画素の信号書き込み期間について説明する。図49に示す期間 $T_i$ が*i*行目の画素の信号書き込み時間を示している。

#### 【0202】

まず、画素への信号書き込み期間 $T_i$ には、走査線(*i*行目のSelect line)

50

4806にはHレベルの信号が入力されスイッチング用トランジスタ4804がオンする。なお、走査線( $i+1$ 行目のSelect line)4806AにはLレベルの電位が供給されている。そして、電位供給線4808にはHレベルの信号が入力され、駆動トランジスタ4801の第1端子(ソース端子又はドレイン端子の一方)に電位V<sub>dd</sub>が供給される。よって、駆動トランジスタ4801と相補用トランジスタ4802とはインバータとして機能する。したがって、駆動トランジスタ4801及び相補用トランジスタ4802のゲート端子の接続点がインバータの入力端子4810となり、駆動トランジスタ4801及び相補用トランジスタ4802の第2端子の接続点がインバータの出力端子4811となる。

【0203】

よって、インバータの入力端子4810と出力端子4811とが導通され、オフセットキャンセルされる。つまり、インバータの入力端子4810の電位はインバータの論理しきい値電位V<sub>inv</sub>となっている。よって、このときインバータの入力端子4810の電位はインバータの出力のレベルを制御するために必要な電位となっている。

【0204】

そして、容量素子4803には、インバータの論理しきい値電位V<sub>inv</sub>と、書き込み期間T<sub>i</sub>に信号線4807に供給される電位V<sub>a</sub>との電位差分(電圧V<sub>p</sub>)の電荷が蓄積される。

【0205】

続いて、走査線( $i$ 行目のSelect line)4806をLレベルにする。すると、スイッチング用トランジスタ4804がオフし、容量素子4803で電圧V<sub>p</sub>が保持される。また、電位供給線4808をLレベルにする。こうして期間T<sub>i</sub>が終了し、 $i$ 行目 $j$ 列の画素にData line(信号線4807)からアナログ信号が書き込まれる。なお、このとき、各画素列毎にそれぞれのData line(信号線4807)からそれぞれのアナログ信号電位が入力され、各列の $i$ 行目の画素にアナログ信号が書き込まれる。

【0206】

また、このとき電位供給線4808はLレベルの電位としなくてもよい。例えば電位供給線4808をフローティングとしてもよい。図48に示す画素を有する表示装置の模式図を図56に示す。表示装置は、信号線駆動回路5601と画素部5602と電位供給線駆動回路5603と、走査線駆動回路5604とフローティング用スイッチ5605とを有する。よって、画素への信号の書き込み時間や発光期間の間はフローティング用スイッチ5605をオンにし、他の行の信号書き込み時間などはフローティング用スイッチ5605をオフにすればよい。つまり、図49におけるタイミングチャートにおいてIllumination lineのLレベルのときはフローティングとしても良い。

【0207】

こうして、 $i$ 行目の画素の信号書き込み期間T<sub>i</sub>が終了すると、 $i+1$ 行目の画素の信号書き込み期間T <sub>$i+1$</sub> が始まり、走査線4806AにHレベルの信号が入力され、 $i$ 行目の画素への信号書き込み動作と同様に $i+1$ 行目の画素に信号が書き込まれる。

【0208】

このように、全行の画素に信号が書き込まれ書き込み期間が終了すると、信号線4807には三角波電位が供給される。つまり、 $i$ 行目 $j$ 列の画素は三角波電位が、 $i$ 行目の画素の信号書き込み期間T<sub>i</sub>にData line(信号線4807)に供給されたアナログ信号電位より高い電位であるときには発光素子4805は非発光の状態を維持し、Data line(信号線4807)の電位が、 $i$ 行目の画素の信号書き込み期間T<sub>i</sub>にData line(信号線4807)に供給されたアナログ信号電位より低い電位の間は発光素子4805は発光する。よって、それぞれ画素への信号書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子4805の発光時間が制御される。こうして、アナログ時間階調表示が可能となる。アナログ的に発光時間を制御するため、デジタル的に発光時間を制御したときのように擬似輪郭が生じることはない。よ

10

20

30

40

50



て、画質不良のない、きれいな表示を行うことができる。

【0209】

なお、発光素子4805の発光・非発光を制御するインバータの出力のレベルは、上述したように、画素への信号書き込み時間にData line（信号線4807）に供給されたアナログ信号電位が、発光期間にData line（信号線4807）に輸入される三角波電位より高いか低いかで決まり、デジタル的に制御することができる。よって、駆動トランジスタ4801や相補用トランジスタ4802の特性のバラツキの影響を受けることが少なく発光素子4805の発光・非発光を制御することができる。つまり、画素毎の発光のバラツキを改善することができる。

【0210】

特に、本実施の形態に示した画素構成は、画素内のインバータがPチャネル型のトランジスタでなる駆動トランジスタ4801と、Nチャネル型のトランジスタでなる相補用トランジスタ4802で構成されるため、駆動トランジスタ4801や相補用トランジスタ4802のトランジスタ特性がバラツキ、インバータ伝達特性が画素毎に多少異なっても、それらの影響をほとんど受けることなく発光素子4805の発光・非発光を制御することができる。

【0211】

なお、信号線（Data line）4807に供給される電位は、実施の形態1の図12で示したように、波形1201、波形1202、波形1203、波形1204、波形1205、波形1206、波形1208、若しくは波形1209、又はこれらを複数連続して供給しても良い。

【0212】

連続して供給することにより、発光時間を1フレーム内で分割させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0213】

また、相補用トランジスタ4802の第1端子（ソース端子又はドレイン端子の一方）を走査線4806Aに接続したことにより配線数を減らすことができ、開口率が向上する。よって、発光素子4805の信頼性の向上を図ることができる。また、歩留まりを向上させ、コストの抑制を図ることができる。

【0214】

なお、電位供給線（Illumination line）4808のLレベルの電位は、配線（Cathode）4809に供給される低電源電位V<sub>SS</sub>との電位差が発光素子4805の順方向しきい値電圧以下となるように設定する。つまり、電位供給線4808のLレベルの電位が発光素子4805の第1電極に供給され、低電源電位V<sub>SS</sub>が発光素子4805の第2電極に供給されたときに、発光素子4805に印加される電圧が順方向しきい値電圧V<sub>E<sub>L</sub></sub>以下となればよい。なお、このとき、発光素子4805の第1電極は陽極であり、第2電極は陰極である。一方、電位供給線4808のLレベルの電位をさらに低い電位、つまり低電源電位より低い電位とし、発光素子4805に印加される電圧を逆方向バイアスにしてもよい。逆バイアス電圧を加えることにより、発光素子4805の信頼性を向上させたり、発光素子4805の中で不具合のある部分を焼き切ったりすることができる。よって、本実施の形態の画素構成によれば、発光素子4805の陰極の電位は固定電位とすることができる。

【0215】

また、画素へ信号を書き込むときに電位供給線4808をLレベル又はフローティングにするので発光素子4805に電流が流れて画像が変になってしまうのを防ぐことができる。

【0216】

なお、本実施の形態の構成において、色要素の画素毎に発光素子に印加する電圧を変えてもよい。図48に示す画素構成に示す画素における電位供給線4808を色要素の画素毎

10

20

30

40

50

に設けた構成を図 6 1 に示す。ここでは、色要素として、R G B の色要素として説明するが、例えば R G B W の色要素の場合でも適用することができる。

【 0 2 1 7 】

図 6 1 に示すように R の色要素の列の画素は駆動トランジスタの第 1 端子（ソース端子又はドレイン端子の一方）が電位供給線 I r に接続され、G の色要素の列の画素は駆動トランジスタの第 1 端子（ソース端子又はドレイン端子の一方）が電位供給線 I g に接続され、B の色要素の列の画素は駆動トランジスタの第 1 端子（ソース端子又はドレイン端子の一方）が電位供給線 I b に接続されている。よって、発光素子の色毎に印加する電圧を適宜設定することができる。

【 0 2 1 8 】

（実施の形態 4）

本実施の形態では、実施の形態 1、実施の形態 2 及び実施の形態 3 で示した画素構成を有する表示装置において、より好適な表示装置の構成について説明する。

【 0 2 1 9 】

本実施の形態の表示装置の特徴は、走査線や信号線や電位供給線にバッファを設けている。つまり、走査線駆動回路からの信号がバッファに入力され、バッファから走査線へ信号が出力されるようにする。また、信号線駆動回路からの信号がバッファに入力され、バッファから信号線へ信号が出力されるようにする。また、電位供給線駆動回路からの信号がバッファに入力され、バッファから電位供給線へ信号が出力されるようにする。こうして、走査線駆動回路や信号線駆動回路や電位供給線駆動回路の出力信号のインピーダンス変換を行い、電流供給能力を高めている。

【 0 2 2 0 】

なお、走査線や信号線や電位供給線にバッファを設けなくとも、走査線駆動回路や信号線駆動回路や電位供給線駆動回路の中にバッファを設けてこれらの駆動回路の出力の電流供給能力を高くしても良い。

【 0 2 2 1 】

本実施の形態で示す表示装置の基本的な構成を図 1 3 を用いて説明する。なお、実施の形態 1 において、図 2 を用いて説明した表示装置と共通するところは共通の符号を用いている。

【 0 2 2 2 】

走査線 S 1 ~ S m はそれぞれ 1 行分の画素のスイッチを制御する。例えば、スイッチにトランジスタを用いている場合には、走査線 S 1 ~ S m のそれぞれに、1 行分の画素のスイッチング用トランジスタのゲート端子が接続されている。そして、1 行分のスイッチング用トランジスタを一斉にオンにしなければならない。特に解像度が高くなればなるほど一斉にオンしなければならないトランジスタの数も多くなる。そこで、本実施の形態に用いるバッファには電流供給能力の高いものが好ましい。

【 0 2 2 3 】

また、図 1 3 に示す表示装置の走査線 S 1 ~ S m はそれぞれ配線抵抗を有しており、さらに、信号線 D 1 ~ D n と交差するところでは寄生容量（交差容量）が形成される。よって、走査線 S 1 ~ S m はそれぞれ、抵抗 1 4 0 1 と容量素子 1 4 0 2 とを用いて図 1 4 に示すような等価回路で表すことができる。

【 0 2 2 4 】

この等価回路に、矩形波の入力パルス 1 4 0 3 を入力すると、応答波は出力パルス 1 4 0 4 のようになまりが生じた波形となってしまう。つまり、パルスの立ち上がり立ち下がりが遅延してしまう。すると、スイッチング用トランジスタ 2 0 8 は正常なタイミングでオンしなくなり、ビデオ信号を画素に正確に書き込むことができなくなってしまう。よって、本実施の形態の表示装置においては走査線から出力される信号はバッファを介して電流供給能力を高くすることで、なまりの発生を低減させることができる。

【 0 2 2 5 】

また、信号線 D 1 ~ D n についても、寄生容量が形成されると、映像信号に相当するアナ

10

20

30

40

50

ログ信号電位を供給するのに遅延が生じてしまうため、画素へ信号を正確に書き込むことができなくなってしまう。よって、本実施の形態の表示装置においては信号線から出力される信号もバッファを介して電流供給能力を高くすると良い。

【0226】

図13に示す表示装置は走査線駆動回路202から出力される信号が走査線S1~Smに設けられたそれぞれのバッファ1302を介して走査線S1~Smに入力される。つまり、バッファ1302を介することで走査線駆動回路202から出力される信号の電流供給能力を高くする。同様に、信号線D1~Dnのそれぞれにもバッファ1301を設けている。なお、バッファ1301はアナログバッファを用いている。

【0227】

よって、各駆動回路から出力される信号は電流供給能力が高いため、上述したパルス信号のなまりを低減することができる。よって、素早く1行分の画素のスイッチング用トランジスタをオンにし、素早くビデオ信号を書き込むことができる。よって、画素の書き込み期間を短くすることができる。

【0228】

ここで、本実施の形態で用いることができるバッファの例を示す。以下、バッファにおいて、入力電位Vinが入力される端子を入力端子、出力電位Voutが出力される端子を出力端子という。

【0229】

例えば、図15(a)に示すようなボルテージフォロワ回路1501の入力端子を信号線駆動回路の出力端子に接続し、ボルテージフォロワ回路1501の出力端子を信号線に接続する。ボルテージフォロワ回路をバッファに用いるときには特性のバラツキの小さいトランジスタを形成することができるICチップ上に形成するとよい。なお、本明細書において、ICチップとは、基板上に形成された集積回路をチップ上に切り離したものをいう。特に、ICチップとしては、単結晶シリコンウエハを基板に用いて素子分離などにより回路を形成し、単結晶シリコンウエハを任意の形状に切り離したものが適している。

【0230】

よって、バッファとしてボルテージフォロワ回路1501を採用する場合、走査線駆動回路や信号線駆動回路と共にバッファを形成したICチップをCOG(Chip On Glass)などで表示パネルに実装すると良い。なお、ボルテージフォロワ回路は図13の表示装置において、バッファ1301及びバッファ1302に適用することができるが、アナログバッファとして機能するので、とくにバッファ1301に適している。

【0231】

また、図15(b)に示すようにNチャネル型トランジスタ1502及びPチャネル型トランジスタ1503からなるインバータをバッファに用いても良い。Nチャネル型トランジスタ1502のゲート端子とPチャネル型トランジスタ1503のゲート端子は共に入力端子に接続され入力電位Vinが入力される。また、Nチャネル型トランジスタ1502のソース端子は低電源電位Vssに接続され、ドレイン端子はPチャネル型トランジスタ1503のドレイン端子と共に出力端子に接続され、出力端子から出力電位Voutを出力する。バッファとしては複数のインバータを直列接続して用いることができる。このとき、インバータから出力された出力電位Voutが入力端子に入力される次の段のインバータは、約3倍の電流供給能力とすると、効率良く電流供給能力を高くすることができる。つまり、最初に入力されたインバータから出力された電位が次の段のインバータに入力される際には約3倍の電流供給能力のインバータを直列に接続する。このようにして偶数個のインバータを接続すればバッファとして用いることができる。なお、Nチャネル型トランジスタ1502及びPチャネル型トランジスタ1503の設計において、チャネル幅Wとチャネル長Lの比:W/Lを調整することで電流供給能力を調整することができる。なお、図15(b)に示した様なインバータを用いたバッファは図13の表示装置において、バッファ1302に適用することができる。なお、このようなインバータを用いたバッファは構成が単純であり、基板上に画素と共に走査線駆動回路や信号線駆動回路が一

10

20

30

40

50

体形成された薄膜トランジスタを有する表示パネルを作製する場合にはバッファも一体形成することができる。バッファを一体形成することで、コストダウンを図ることができる。また、図15(b)のように、Nチャネル型トランジスタ1502及びPチャネル型トランジスタ1503からなるCMOSインバータは、入力端子にインバータの論理しきい値電位 $V_{inv}$ の近傍の電位が入力されているときには、Nチャネル型トランジスタ1502及びPチャネル型トランジスタ1503に電流が流れるが、入力端子にHレベルかLレベルの電位が入力されるといずれか一方のトランジスタがオフするため無駄に電力が消費されることがない。よって、図15(b)に示すようなCMOSインバータを用いることで低消費電力化を図ることができる。

【0232】

さらに、図15(c)に示すようにソースフォロワ回路を用いてバッファを形成することもできる。ソースフォロワ回路は、ソースフォロワトランジスタ1504と電流源1505からなり、ソースフォロワトランジスタ1504のゲート端子は入力端子に接続され、ドレイン端子は電源電位 $V_{dd}$ が供給された配線に接続され、ソース端子は電流源1505の一方の端子と出力端子に接続されている。電流源1505の他方の端子は低電源電位 $V_{ss}$ の供給された配線に接続されている。ここで、ソースフォロワトランジスタ1504のゲートソース間電圧 $V_{gs}$ を用いて、出力電位 $V_{out}$ は以下の式、 $V_{out} = V_{in} - V_{gs} \cdots (1)$ で表される。

【0233】

ここで、 $V_{gs}$ はソースフォロワトランジスタ1504が電流 $I_0$ を流すのに必要な電圧である。

【0234】

よって、出力電位 $V_{out}$ は入力電位 $V_{in}$ から $V_{gs}$ 分低い電位となる。しかし、入力電位 $V_{in}$ に入力される信号がデジタル信号であれば、ソースフォロワトランジスタ1504のゲートソース間電圧 $V_{gs}$ に多少のバラツキがあってもソースフォロワ回路をバッファとして用いることができる。よって、図13の表示装置においては、ソースフォロワ回路をバッファ1302に用いることができる。

【0235】

また、図15(c)で示したようなソースフォロワ回路は構成が単純であり薄膜トランジスタを用いて容易に作製することができる。よって、基板上に画素と共に走査線駆動回路や信号線駆動回路が一体形成された薄膜トランジスタを有する表示パネルを作製する場合にはバッファも一体形成することができる。バッファを一体形成することで、コストダウンを図ることができる。

【0236】

また、ソースフォロワトランジスタ1504として、図15(c)に示すようにNチャネル型トランジスタを用いることで、画素と走査線駆動回路や信号線駆動回路とバッファとが一体形成された表示パネルにおいて、Nチャネル型トランジスタのみからなる単極性表示パネルを作製することができる。

【0237】

また、ソースフォロワ回路をバッファに用いる場合、図15(d)に示すようにソースフォロワトランジスタ1506をデュアルゲートとすることで、しきい値電圧の低いトランジスタとすることもできる。なお、ソースフォロワトランジスタ1506以外の構成は図15(c)と共通するので共通の符号を用い説明は省略する。

【0238】

図15(d)のようなソースフォロワトランジスタによりしきい値電圧 $V_{th}$ が低くなり、ソースフォロワ回路を構成する各ソースフォロワトランジスタ間で、しきい値電圧 $V_{th}$ のバラツキが低減されれば、アナログバッファとしても用いることができる。よって、図13の表示装置においてバッファ1302は言うまでもなく、バッファ1301にも図15(d)のようなソースフォロワ回路を適用することができる。

【0239】

10

20

30

40

50

また、図16(b)のような構成をバッファに用いることもできる。ソースフォロワ回路はソースフォロワトランジスタ1604と、容量素子1605と、第1のスイッチ1606と、第2のスイッチ1607と、第3のスイッチ1608と、電流源1609と、電圧源1610とからなる。そして、ソースフォロワトランジスタ1604のドレイン端子は電源電位V<sub>dd</sub>が供給された配線に接続され、ソース端子は出力端子と、電流源1609を介して低電源電位V<sub>ss</sub>が供給された配線と、第1のスイッチ1606の一方の端子と接続されている。そして、第1のスイッチ1606の他方の端子は容量素子1605の一方の端子と、第3のスイッチ1608を介して入力端子と接続されている。また、容量素子1605の他方の端子はソースフォロワトランジスタ1604のゲート端子と、第2のスイッチ1607及び電圧源1610を介して低電源電位V<sub>ss</sub>が供給された配線と接続されている。

10

#### 【0240】

図16(b)のソースフォロワ回路の動作について簡単に説明する。プリチャージ期間に第1のスイッチ1606と第2のスイッチ1607をオンにする。すると容量素子1605にはソースフォロワトランジスタ1604のゲートソース間電圧が電流 $I_1$ を流すのに必要な電圧V<sub>gs</sub>となる電荷が蓄積される。そして、第1のスイッチ1606及び第2のスイッチ1607をオフにする。すると容量素子1605はソースフォロワトランジスタ1604のゲートソース間電圧V<sub>gs</sub>を保持する。そして第3のスイッチ1608をオンにすると、容量素子1605がゲートソース間電圧V<sub>gs</sub>を保持したまま入力端子に入力電位V<sub>in</sub>が入力される。よって、容量素子1605の他方の端子が接続されたソースフォロワトランジスタ1604のゲート端子には入力電位V<sub>in</sub>にゲートソース間電圧V<sub>gs</sub>を加えた電位が供給される。一方、出力端子から出力される出力電位V<sub>out</sub>はソースフォロワトランジスタ1604のゲート端子の電位からゲートソース間電圧V<sub>gs</sub>を引いた電位である。よって、出力端子から出力される電位は入力端子に入力される電位と同じになりV<sub>in</sub> = V<sub>out</sub>となる。

20

#### 【0241】

よって、図16(b)に示すソースフォロワ回路は、図13の表示装置においてバッファ1302は言うまでもなく、アナログ信号の電流供給能力を高くするためのバッファ1301にも適用することができる。

#### 【0242】

また、ボルテージフォロワ回路に比べて回路が単純であるため、画素と共に走査線駆動回路や信号線駆動回路とが一体形成された薄膜トランジスタを有する表示パネルを作製する場合にはバッファとして、図16(b)に示すソースフォロワ回路も一体形成することができる。また、図16(b)のソースフォロワ回路は単極性のトランジスタで構成することができるため単極性表示パネルを作製することができる。

30

#### 【0243】

なお、図15(c)(d)で示した電流源1505や、図16(b)で示した電流源1609には飽和領域で動作するトランジスタや、抵抗素子や、整流素子を用いることができる。さらには、整流素子としてはPN接続ダイオードや、ダイオード接続トランジスタを用いることもできる。

40

#### 【0244】

ここで、図15(d)の電流源1505にダイオード接続したトランジスタを適用した場合について図16(a)を用いて説明する。ソースフォロワ回路は、ソースフォロワトランジスタ1506とダイオード接続したトランジスタ1507からなり、ソースフォロワトランジスタ1506のドレイン端子は電源電位V<sub>dd</sub>が供給された配線に接続され、ソース端子はダイオード接続したトランジスタ1507のドレイン端子と出力端子とに接続されている。また、ダイオード接続したトランジスタ1507はドレイン端子とゲート端子が接続され、ソース端子は低電源電位V<sub>ss</sub>の供給された配線に接続されている。

#### 【0245】

なお、本実施の形態の表示装置に適用可能な画素構成は、図13に示した構成に限られず

50

、実施の形態 1、実施の形態 2、実施の形態 3 及び実施の形態 4 に示した様々な画素構成を適用することが可能であり、また、バッファも全ての走査線駆動回路や信号線駆動回路や電位供給線駆動回路の出力が入力される走査線や信号線や電位供給線に設ける必要はなく適宜設けることができる。特に、実施の形態 3 で説明した図 4 8 の画素構成を有する表示装置のときには電位供給線 4 8 0 8 に入力する信号は、一行分の画素の発光素子に電流を流すだけの電流が必要であるため、電位供給線 4 8 0 8 に信号を入力する電位供給線駆動回路にバッファを設けると良い。

#### 【 0 2 4 6 】

(実施の形態 5)

本実施の形態では、本発明の画素構成を有する表示装置の走査線駆動回路や信号線駆動回路や電位供給線駆動回路について説明する。つまり、本実施の形態で示す走査線駆動回路や信号線駆動回路や電位供給線駆動回路は、実施の形態 1、実施の形態 2 及び実施の形態 3 で示した画素構成を有する表示装置や実施の形態 4 に示した表示装置に適宜用いることができる。

10

#### 【 0 2 4 7 】

図 2 5 ( a ) に示す表示装置は、基板 2 5 0 1 上に、複数の画素が配置された画素部 2 5 0 2 を有し、画素部 2 5 0 2 の周辺には、電位供給線駆動回路 2 5 0 3、走査線駆動回路 2 5 0 4 及び信号線駆動回路 2 5 0 5 を有している。なお、実施の形態 1 や実施の形態 2 に示す画素構成を有する表示装置の場合には、電位供給線駆動回路 2 5 0 3 は設けなくても良い。その場合、走査線駆動回路 2 5 0 4 が図 2 の走査線駆動回路 2 0 2 に相当し、信号線駆動回路 2 5 0 5 が図 2 の信号線駆動回路 2 0 1 に相当する。

20

#### 【 0 2 4 8 】

電位供給線駆動回路 2 5 0 3、走査線駆動回路 2 5 0 4 及び信号線駆動回路 2 5 0 5 に入力される信号はフレキシブルプリントサーキット ( Flexible Print Circuit : FPC ) 2 5 0 6 を介して外部より供給される。

#### 【 0 2 4 9 】

なお、図示していないが、FPC 2 5 0 6 上に COG ( Chip On Glass ) や TAB ( Tape Automated Bonding ) 等により IC チップが実装されていても良い。つまり、画素部 2 5 0 2 と一体形成が困難な、電位供給線駆動回路 2 5 0 3、走査線駆動回路 2 5 0 4 及び信号線駆動回路 2 5 0 5 の一部のメモリやバッファなどを IC チップ上に形成して表示装置に実装しても良い。

30

#### 【 0 2 5 0 】

また、図 2 5 ( b ) に示すように、電位供給線駆動回路 2 5 0 3 及び走査線駆動回路 2 5 0 4 を画素部 2 5 0 2 の片側に配置しても良い。なお、図 2 5 ( b ) に示す表示装置は、図 2 5 ( a ) に示す表示装置と、電位供給線駆動回路 2 5 0 3 の配置が異なるだけであるので同様の符号を用いている。また、電位供給線駆動回路 2 5 0 3 及び走査線駆動回路 2 5 0 4 は一つの駆動回路で同様の機能を果たすようにしても良い。

#### 【 0 2 5 1 】

続いて、図 2 5 ( a )、( b ) に示した表示装置の信号線駆動回路 2 5 0 5 の構成例を示す。これは、図 2 の表示装置の信号線 ( D 1 ~ D n ) に信号を供給するための駆動回路である。図 3 1 ( a ) に示す信号線駆動回路は、パルス出力回路 3 1 0 1、第 1 のラッチ回路 3 1 0 2、第 2 のラッチ回路 3 1 0 3、D / A 変換回路 ( デジタルアナログ変換回路 ) 3 1 0 4、書き込み期間・発光期間選択回路 3 1 0 5 及びアナログバッファ回路 3 1 0 6 を有している。

40

#### 【 0 2 5 2 】

図 3 1 ( a ) に示す信号線駆動回路の動作について、図 3 3 に示した詳しい構成を用いて説明する。

#### 【 0 2 5 3 】

パルス出力回路 3 3 0 1 はフリップフロップ回路 ( FF ) 3 3 0 9 等を複数段用いて構成され、クロック信号 ( S - CLK )、クロック反転信号 ( S - CLKB )、スタートパル

50

ス信号 ( S - S P ) が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

【 0 2 5 4 】

パルス出力回路 3 3 0 1 により出力されたサンプリングパルスは、第 1 のラッチ回路 3 3 0 2 に入力される。第 1 のラッチ回路 3 3 0 2 には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にデジタル映像信号を保持する。ここでは、デジタル映像信号は各段毎に 3 ビット入力されており、各ビットの映像信号を、それぞれ第 1 のラッチ回路 3 3 0 2 において保持する。一つのサンプリングパルスによって、第 1 のラッチ回路 3 3 0 2 の各段の三つのラッチ回路が平行して動作する。

【 0 2 5 5 】

第 1 のラッチ回路 3 3 0 2 において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 3 3 0 3 にラッチパルス ( L a t c h P u l s e ) が入力され、第 1 のラッチ回路 3 3 0 2 に保持されていたデジタル映像信号は、一斉に第 2 のラッチ回路 3 3 0 3 に転送される。その後、第 2 のラッチ回路 3 3 0 3 に保持されたデジタル映像信号は 1 行分が同時に D A C ( D / A 変換回路 ) 3 3 0 4 へ入力される。

【 0 2 5 6 】

D A C 3 3 0 4 においては、入力されるデジタル映像信号をデジタル - アナログ変換し、アナログ電位を有する映像信号として、書き込み期間・発光期間選択回路 3 3 0 5 の有する切り替え回路 3 3 0 7 に入力する。

【 0 2 5 7 】

第 2 のラッチ回路 3 3 0 3 に保持されたデジタル映像信号が D A C 3 3 0 4 に入力されている間、パルス出力回路 3 3 0 1 からは、再びサンプリングパルスが出力される。そして、書き込み期間においては、上述した動作を繰り返し、1 フレーム分の映像信号の処理を行う。

【 0 2 5 8 】

また、書き込み期間・発光期間選択回路 3 3 0 5 は、三角波電位生成回路 3 3 0 8 を有し、発光期間においては、切り替え回路 3 3 0 7 には、三角波電位生成回路 3 3 0 8 によって生成された三角波電位が入力される。

【 0 2 5 9 】

こうして、切り替え回路 3 3 0 7 には、書き込み期間は D A C 3 3 0 4 からの映像信号が入力され、発光期間には三角波電位生成回路 3 3 0 8 からの三角波電位が入力される。そして、切り替え回路 3 3 0 7 は書き込み期間には映像信号を、発光期間には三角波電位をアナログバッファ回路 3 3 0 6 に入力する。

【 0 2 6 0 】

アナログバッファ回路 3 3 0 6 はインピーダンス変換し、入力された電位と同等の電位を信号線 D 1 ~ D n へ供給する。つまり、映像信号はアナログバッファ回路 3 3 0 6 で電流供給能力を高くされ、アナログ信号電位として信号線 D 1 ~ D n に供給される。なお、この信号線 D 1 ~ D n は、例えば図 2 や図 1 3 の表示装置の信号線 D 1 ~ D n に相当する。

【 0 2 6 1 】

図 3 1 ( a ) において、入力される D i g i t a l V i d e o D a t a はアナログ信号に変換する前に補正することが望ましい場合もある。よって図 3 1 ( b ) に示すように、第 1 のラッチ回路 3 1 0 2 に入力する前に D i g i t a l V i d e o D a t a を補正回路 3 1 0 7 によって補正してから第 1 のラッチ回路 3 1 0 2 に入力するようにするのが好ましい。補正回路 3 1 0 7 では、例えばガンマ補正などを行うことができる。

【 0 2 6 2 】

また、インピーダンス変換は D / A 変換回路の出力を書き込み期間・発光期間選択回路に入力する前に行っても良い。つまり、図 3 1 ( a ) の構成において、D / A 変換回路 3 1 0 4 の出力をインピーダンス変換して書き込み期間・発光期間選択回路 3 1 0 5 に入力する構成として、図 3 5 ( a ) のような構成とすることができる。また、このとき、図 3 1 ( a ) の構成を詳細に示した図 3 3 の構成は図 3 7 のような構成となる。図 3 7 において

10

20

30

40

50

、3701はパルス出力回路、3702は第1のラッチ回路、3703は第2のラッチ回路、3704はD/A変換回路、3705は書き込み期間・発光期間選択回路、3706はアナログ回路、3707は切り替え回路、3708は三角波電位生成回路である。また、図31(b)の構成において、D/A変換回路3104の出力をインピーダンス変換して書き込み期間・発光期間選択回路3105に入力する構成として、図35(b)のような構成とすることができる。

#### 【0263】

また、図31及び図33では信号線駆動回路に入力される映像信号がデジタルの場合の構成について説明したが、図32及び図34では映像信号がアナログの場合について説明する。この場合には、図31に示すようにD/A変換回路は設けなくて良い。また、アナログの映像信号を保持することができるアナログラッチ回路及びアナログラッチ回路は各段に1ビット分ずつ設ければよい。図32(a)に示すように、パルス出力回路3201、第1のアナログラッチ回路3202、第2のアナログラッチ回路3203、書き込み期間・発光期間選択回路3204及びアナログバッファ回路3205を有している。

10

#### 【0264】

図32(a)に示す信号線駆動回路の動作について、図34に示した詳しい構成を用いて説明する。

#### 【0265】

パルス出力回路3401はフリップフロップ回路(FF)3408等を複数段用いて構成され、クロック信号(S-CLK)、クロック反転信号(S-CLKB)、スタートパルス信号(S-SP)が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

20

#### 【0266】

パルス出力回路3401により出力されたサンプリングパルスは、第1のアナログラッチ回路3402に入力される。第1のアナログラッチ回路3402には、アナログ映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にアナログ映像信号を保持する。ここでは、アナログ映像信号は各段毎に1ビット入力されており、1ビットの映像信号を、それぞれの段毎の第1のアナログラッチ回路3402において保持する。

#### 【0267】

第1のアナログラッチ回路3402において、最終段までアナログ映像信号の保持が完了すると、水平帰線期間中に、第2のアナログラッチ回路3403にラッチパルス(Latch Pulse)が入力され、第1のアナログラッチ回路3402に保持されていたアナログ映像信号は、一斉に第2のアナログラッチ回路3403に転送される。その後、第2のアナログラッチ回路3403に保持されたアナログ映像信号は1行分が同時に書き込み期間・発光期間選択回路3404の有する切り替え回路3406に入力される。

30

#### 【0268】

そして、書き込み期間には、切り替え回路3406は第2のアナログラッチ回路3403から入力された映像信号をアナログバッファ回路3405に入力し、アナログバッファ回路3405はインピーダンス変換して、信号線D1~Dnへそれぞれのアナログ信号電位を供給する。なお、この信号線D1~Dnは、例えば図2や図13の表示装置の信号線D1~Dnに相当する。

40

#### 【0269】

このように画素1行分のアナログ信号電位を信号線D1~Dnに供給している間、パルス出力回路3401においては、再びサンプリングパルスが出力される。そして、書き込み期間においては、上述した動作を繰り返し、1フレーム分の映像信号の処理を行う。

#### 【0270】

また、書き込み期間・発光期間選択回路3404は、三角波電位生成回路を有し、発光期間においては、切り替え回路3406には、三角波電位生成回路3407によって生成された三角波電位が入力される。そして、発光期間にはアナログバッファ回路3405はイ

50



ンピーダンス変換し、入力された三角波電位と同等の電位を信号線 D 1 ~ D n へ供給する。つまり、アナログバッファ回路で出力電流能力を高くする。

【 0 2 7 1 】

こうして、切り替え回路 3 4 0 6 には、書き込み期間は第 2 のアナログラッチ回路 3 4 0 3 からの映像信号が入力され、発光期間には三角波電位生成回路 3 4 0 7 からの三角波電位が入力される。そして、切り替え回路 3 4 0 6 は書き込み期間には映像信号を、発光期間には三角波電位をアナログバッファ回路 3 4 0 5 に入力する。

【 0 2 7 2 】

また、外部からの映像信号がデジタル映像信号であるときには、図 3 2 ( b ) に示すように D / A 変換回路 3 2 0 6 でデジタル映像信号をアナログ映像信号に変換してから第 1 のアナログラッチ回路 3 2 0 2 に入力するようにしても良い。

10

【 0 2 7 3 】

また、インピーダンス変換は第 2 のラッチ回路の出力を書き込み期間・発光期間選択回路に入力する前に行っても良い。つまり、図 3 2 ( a ) の構成において、第 2 のアナログラッチ回路 3 2 0 3 の出力をインピーダンス変換して書き込み期間・発光期間選択回路 3 2 0 4 に入力する構成として、図 3 6 ( a ) のような構成とすることができる。また、このとき、図 3 2 ( a ) の構成を詳細に示した図 3 4 の構成は図 3 8 のような構成となる。図 3 8 において、3 8 0 1 はパルス出力回路、3 8 0 2 は第 1 のラッチ回路、3 8 0 3 は第 2 のラッチ回路、3 8 0 4 は書き込み期間・発光期間選択回路、3 8 0 5 はアナログバッファ回路、3 8 0 6 は切り替え回路、3 8 0 7 は三角電位生成回路である。また、図 3 2 ( b ) の構成において、第 2 のアナログラッチ回路 3 2 0 3 の出力をインピーダンス変換して書き込み期間・発光期間選択回路 3 2 0 4 に入力する構成として、図 3 6 ( b ) のような構成とすることができる。

20

【 0 2 7 4 】

また、ビデオ信号に相当するアナログ信号電位と、駆動トランジスタのオンオフを制御するアナログ的に変化する電位を別の信号線で画素に入力する画素構成（例えば図 6 や図 8 のような画素構成）を有する表示装置に適用可能な信号線駆動回路について図 3 9 及び図 4 0 を用いて説明する。

【 0 2 7 5 】

まず、図 3 9 の構成について説明する。

30

【 0 2 7 6 】

パルス出力回路 3 9 0 1 はフリップフロップ回路 ( F F ) 3 9 0 7 等を複数段用いて構成され、クロック信号 ( S - C L K )、クロック反転信号 ( S - C L K B )、スタートパルス信号 ( S - S P ) が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

【 0 2 7 7 】

パルス出力回路 3 9 0 1 により出力されたサンプリングパルスは、第 1 のラッチ回路 3 9 0 2 に入力される。第 1 のラッチ回路 3 9 0 2 には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にデジタル映像信号を保持する。ここでは、デジタル映像信号は各段毎に 3 ビット入力されており、各ビットの映像信号を、それぞれ第 1 のラッチ回路 3 9 0 2 において保持する。一つのサンプリングパルスによって、第 1 のラッチ回路 3 9 0 2 の各段の三つのラッチ回路が平行して動作する。

40

【 0 2 7 8 】

第 1 のラッチ回路 3 9 0 2 において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 3 9 0 3 にラッチパルス ( L a t c h P u l s e ) が入力され、第 1 のラッチ回路 3 9 0 2 に保持されていたデジタル映像信号は、一斉に第 2 のラッチ回路 3 9 0 3 に転送される。その後、第 2 のラッチ回路 3 9 0 3 に保持されたデジタル映像信号は 1 行分が同時に D A C ( D / A 変換回路 ) 3 9 0 4 へ入力される。

【 0 2 7 9 】

D A C 3 9 0 4 においては、入力されるデジタル映像信号をデジタル - アナログ変換し、

50

アナログ電位を有する映像信号として、アナログバッファ回路 3905 に入力する。

【0280】

アナログバッファ回路 3905 から各信号線 D1a1 ~ D1an にアナログ信号電位が供給される。また、同時に三角波電位生成回路 3906 から三角波電位が各信号線 D2a1 ~ D2an に供給される。なお、信号線 D1a1 ~ D1an は図 6 や図 8 等の画素を有する表示装置の第 1 の信号線 609 や第 1 の信号線 809 に相当する。また、信号線 D2a1 ~ D2an は図 6 や図 8 等の画素を有する表示装置の第 2 の信号線 610 や第 2 の信号線 810 に相当する。

【0281】

また、図 40 の構成について説明する。

10

【0282】

パルス出力回路 4001 はフリップフロップ回路 (FF) 4006 等を複数段用いて構成され、クロック信号 (S-CLK)、クロック反転信号 (S-CLKB)、スタートパルス信号 (S-SP) が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

【0283】

パルス出力回路 4001 により出力されたサンプリングパルスは、第 1 のアナログラッチ回路 4002 に入力される。第 1 のアナログラッチ回路 4002 には、アナログ映像信号 (Analog Data) が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にアナログ映像信号を保持する。ここでは、アナログ映像信号は各段毎に 1 ビット入力されており、1 ビットの映像信号を、それぞれの段毎の第 1 のアナログラッチ回路 4002 において保持する。

20

【0284】

第 1 のアナログラッチ回路 4002 において、最終段までアナログ映像信号の保持が完了すると、水平帰線期間中に、第 2 のアナログラッチ回路 4003 にラッチパルス (Latch Pulse) が入力され、第 1 のアナログラッチ回路 4002 に保持されていたアナログ映像信号は、一斉に第 2 のアナログラッチ回路 4003 に転送される。その後、第 2 のラッチ回路 4003 に保持されたアナログ映像信号は 1 行分が同時にアナログバッファ回路 4004 に入力される。

【0285】

アナログバッファ回路 4004 から各信号線 D1a1 ~ D1an にアナログ信号電位が供給される。また、同時に三角波電位生成回路 4005 から三角波電位が各信号線 D2a1 ~ D2an に供給される。

30

【0286】

なお、行方向に選択された画素に一斉に信号を書き込む (線順次方式ともいう) 場合の信号線駆動回路について説明したが、信号線駆動回路に入力されるビデオ信号を、パルス出力回路から出力される信号に従って、そのまま画素に書き込む (点順次方式ともいう) ようにしても良い。

【0287】

実施の形態 1 で示した図 1 や図 4 の画素構成に適用可能な点順次方式の信号線駆動回路について、図 41 (a) を用いて説明する。信号線駆動回路は、パルス出力回路 4101、第 1 のスイッチ群 4102、第 2 のスイッチ群 4103 からなる。第 1 のスイッチ群 4102 及び第 2 のスイッチ群 4103 はそれぞれ複数の段のスイッチを有する。この複数の段はそれぞれ信号線に対応している。

40

【0288】

第 1 のスイッチ群 4102 のそれぞれの段のスイッチの一方の端子はビデオ信号に相当する Analog Video Data が入力される配線に接続され、他方の端子はそれぞれ対応する信号線に接続されている。また、第 2 のスイッチ群 4103 のそれぞれの段のスイッチの一方の端子は三角波電位の供給される配線に接続され、他方の端子はそれぞれ対応する信号線に接続されている。

50

## 【0289】

画素の信号書き込み期間には、パルス出力回路4101に、クロック信号(S-CLK)、クロック反転信号(S-CLKB)、スタートパルス信号(S-SP)が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。なお、このとき第2のスイッチ群4103のオンオフを制御する制御信号は、全ての段のスイッチがオフするように設定する。

## 【0290】

そして、サンプリングパルスの出力に従って、第1のスイッチ群4102のスイッチは1段ずつオンする。

## 【0291】

よって、書き込み期間には、第1のスイッチ群4102のオンしたスイッチの段に対応する信号線にAnalog Video Dataが入力される。こうして、順次第1のスイッチ群4102の各段のスイッチをオンさせ、選択されている行の画素に順次Analog Video Dataを書き込む。

## 【0292】

続いて、次の行の画素が選択され、同様に信号が書き込まれる。全ての行の画素に信号が書き込まれると、信号書き込み期間は終了する。

## 【0293】

画素への信号書き込み期間が終了すると発光期間が始まる。画素の発光期間には、パルス出力回路4101からサンプリングパルスが出力されないようにする。つまり、パルス出力回路4101の出力を第1のスイッチ群4102に入力されないようにしてもいいし、パルス出力回路4101にスタートパルス信号(S-SP)が入力されないようにしてもいい。つまり、第1のスイッチ群4102のスイッチがオフしていれば良い。

## 【0294】

また、第2のスイッチ群4103の全てのスイッチがオンするように制御信号を入力する。すると、全ての信号線に三角波電位が供給される。なお、発光期間においては、全ての行の画素が選択されているため全ての画素に三角波電位を供給することができる。

このようにして、三角波電位が入力される。

## 【0295】

こうして、発光期間が終わると1フレーム期間は終了する。

## 【0296】

次に、実施の形態2で示した図6や図8の画素構成に適用可能な点順次方式の信号線駆動回路について、図41(b)を用いて説明する。信号線駆動回路は、パルス出力回路4111、スイッチ群4112からなる。スイッチ群4112はそれぞれ複数の段のスイッチを有する。この複数の段はそれぞれ第1の信号線に対応している。

## 【0297】

スイッチ群4112のそれぞれの段のスイッチの一方の端子はビデオ信号に相当するAnalog Video Dataが入力される配線に接続され、他方の端子はそれぞれ画素の列に対応する第1の信号線に接続されている。また、三角波電位の供給される配線はそれぞれ画素の列に対応する第2の信号線に接続されている。

## 【0298】

画素の信号書き込み期間には、パルス出力回路4111に、クロック信号(S-CLK)、クロック反転信号(S-CLKB)、スタートパルス信号(S-SP)が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

## 【0299】

そして、サンプリングパルスの出力に従って、スイッチ群4112のスイッチは1段ずつオンする。

## 【0300】

よって、画素への信号書き込み期間には、スイッチ群4112のオンしたスイッチの段に対応する第1の信号線にAnalog Video Dataが入力される。こうして、

10

20

30

40

50

順次スイッチ群 4 1 1 2 の各段のスイッチをオンさせ、選択されている行の画素に順次 Analog Video Data を書き込む。

【 0 3 0 1 】

なお、選択されていない行の画素は、第 2 の信号線に接続され発光期間となる。

【 0 3 0 2 】

このように、図 4 1 ( b ) の構成では、画素の行毎に書き込み期間が設定され、他の行の書き込み期間に発光期間とすることができる実施の形態 2 の図 6 や図 8 で示したような画素に適用することができる。

【 0 3 0 3 】

続いて、走査線駆動回路や電位供給線駆動回路の構成について説明する。

10

【 0 3 0 4 】

走査線駆動回路や電位供給線駆動回路は、パルス出力回路を有する。そして、書き込み期間においては、パルス出力回路からのサンプリングパルスを走査線及び電位供給線に出力する。そして、発光期間においては、サンプリングパルスの出力が出力されないようにし、走査線には全ての画素行が選択されないような信号を入力しておく。また、電位供給線には、発光素子に順方向電圧を印加するような電位を供給する。

【 0 3 0 5 】

なお、走査線駆動回路と電位供給線駆動回路とを一つの駆動回路で形成することで駆動回路の占有面積を減らし、狭額縁化が図れる。

【 0 3 0 6 】

20

次に、本実施の形態の D / A 変換回路に用いることのできる構成について説明する。

【 0 3 0 7 】

図 1 7 に示すのは 3 ビットのデジタル信号をアナログ信号に変換することのできる抵抗ストリング型の D / A 変換回路である。

【 0 3 0 8 】

複数の抵抗素子が直列に接続され、それらの抵抗素子群の一方の端子には参照電源電位  $V_{ref}$  が供給され、他方の端子には低電源電位 (例えば GND) が供給されている。そして、抵抗素子群には電流が流れ、電圧降下により各抵抗素子の両端の端子で電位が異なる。入力端子 1、入力端子 2 及び入力端子 3 のそれぞれに輸入される信号に従って、スイッチのオンオフを選択し、8 通りのそれぞれ異なる電位を出力端子から得ることができる。具体的には、入力端子 3 に輸入される信号により 8 通りの電位のうち高い方の 4 つの電位か低い方の 4 つの電位かが選択される。そして、入力端子 2 に輸入される信号により入力端子 3 により選択される 4 つの電位のうち、高い方の 2 つの電位か低い方の 2 つの電位かが選択される。そして、入力端子 1 に輸入される信号により、入力端子 2 で選択された 2 つの電位のうち高い方又は低い方のいずれかが選択される。こうして、8 通りの電位の中から一つの電位が選択される。したがって、入力端子 1、入力端子 2 及び入力端子 3 に輸入されるデジタル信号を、アナログ信号電位に変換することができる。

30

【 0 3 0 9 】

また、図 1 8 に示すのは 6 ビットのデジタル信号をアナログ信号に変換することのできる容量アレイ型の D / A 変換回路を用いることもできる。

40

【 0 3 1 0 】

複数の静電容量の異なる容量素子を並列に電氣的に接続し、これらの容量素子のうちデジタル信号に従ってスイッチ 1 ~ スイッチ 6 のオンオフを制御し、任意の容量素子に参照電源電位  $V_{ref}$  と低電源電位 (例えば GND) との電位差分の電荷を蓄積した後、蓄積された電荷を複数の容量素子で分配する。すると、複数の容量素子の電圧はある値で落ち着く。この電圧から、一方の電位をアンプで検出することで、デジタル信号から、アナログ信号電位に変換することができる。

【 0 3 1 1 】

また、抵抗ストリング型と容量アレイ型を組み合わせた D / A 変換回路を用いても良い。これらの D / A 変換回路は一例であって、様々な D / A 変換回路を適宜用いることができ

50

る。

#### 【0312】

(実施の形態6)

本実施の形態では、実施の形態1、実施の形態2、実施の形態3、実施の形態4で示した画素構成を有する表示パネルの構成について図19(a)、(b)を用いて説明する。

#### 【0313】

本実施の形態では、画素部に本発明の画素構成を有する表示パネルについて図19を用いて説明する。なお、図19(a)は、表示パネルを示す上面図、図19(b)は図19(a)をA-A'で切断した断面図である。点線で示された信号線駆動回路(Data line)1901、画素部1902、電位供給線駆動回路(Illumination line)1903、走査線駆動回路(Reset line)1906を有する。また、封止基板1904、シール材1905を有し、シール材1905で囲まれた内側は、空間1907になっている。なお、実施の形態1や実施の形態2の画素構成の場合には、電位供給線駆動回路1903は設けなくて良い。

10

#### 【0314】

なお、配線1908は電位供給線駆動回路1903、走査線駆動回路1906及び信号線駆動回路1901に輸入される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)1909からビデオ信号、クロック信号、スタート信号等を受け取る。FPC1909と表示パネルとの接合部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)1919A、1919BがCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

20

#### 【0315】

次に、断面構造について図19(b)を用いて説明する。基板1910上には画素部1902とその周辺駆動回路(電位供給線駆動回路1903、走査線駆動回路1906及び信号線駆動回路1901)が形成されているが、ここでは、信号線駆動回路1901と、画素部1902が示されている。

30

#### 【0316】

また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。その場合には駆動回路は単極性にする必要がなくPチャネル型トランジスタを組み合わせて用いることができる。また、本実施の形態に示す表示パネルでは図13に示した表示装置におけるバッファ1301、バッファ1302が図示されていないが、それぞれの周辺駆動回路にバッファを備えている。

#### 【0317】

また、画素部1902はスイッチング用TF T1911と、駆動用TF T1912とを含む画素を構成する複数の回路を有している。なお、駆動TF T1912のソース電極は第1の電極1913と接続されている。また、第1の電極1913の端部を覆って絶縁物1914が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

40

#### 【0318】

また、カバレッジを良好なものとするため、絶縁物1914の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物1914の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1914の上端部のみに曲率半径(0.2 $\mu$ m~3 $\mu$ m)を有する曲面を持たせることが好ましい。また、絶縁物1914として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

50

## 【0319】

第1の電極1913上には、有機化合物を含む層（電界発光層）1916、および第2の電極1917がそれぞれ形成されている。ここで、陽極として機能する第1の電極1913に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

10

## 【0320】

また、有機化合物を含む層1916は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層1916には、元素周期律第4族金属錯体をその一部に用いることとし、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

## 【0321】

さらに、有機化合物を含む層1916上に形成される第2の電極（陰極）1917に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF<sub>2</sub>、またはCaN）を用いればよい。なお、有機化合物を含む層（電界発光層）1916で生じた光が第2の電極1917を透過させる場合には、第2の電極（陰極）1917として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In<sub>2</sub>O<sub>3</sub> ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのが良い。

20

## 【0322】

さらにシール材1905で封止基板1904を基板1910と貼り合わせることにより、基板1910、封止基板1904、およびシール材1905で囲まれた空間1907に発光素子1918が備えられた構造になっている。なお、空間1907には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材1905で充填される構成も含むものとする。

30

## 【0323】

なお、シール材1905にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板1904に用いる材料としてガラス基板や石英基板の他、FRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

## 【0324】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。なお、1920はNチャンネル型トランジスタ、1921はPチャンネル型トランジスタである。

40

## 【0325】

図19示すように、信号線駆動回路1901、画素部1902、電位供給線駆動回路1903及び走査線駆動回路1906を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号線駆動回路1901、画素部1902、電位供給線駆動回路1903及び走査線駆動回路1906に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。

## 【0326】

なお、表示パネルの構成としては、図19（a）に示したように信号線駆動回路1901、画素部1902、電位供給線駆動回路1903及び走査線駆動回路1906を一体形成

50

した構成に限られず、信号線駆動回路1901に相当する図42(a)に示す信号線駆動回路4201をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図42(a)の基板4200、画素部4202、走査線駆動回路4203、電位供給線駆動回路4204、FPC4205、ICチップ4206、ICチップ4207、封止基板4208、シール材4209は図19(a)の基板1910、画素部1902、電位供給線駆動回路1903、走査線駆動回路1906、FPC1909、ICチップ1919A、ICチップ1919B、封止基板1904、シール材1905に相当する。

#### 【0327】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

10

#### 【0328】

そして、走査線駆動回路4203や電位供給線駆動回路4204を画素部4202と一体形成することで、低コスト化を図れる。そして、この走査線駆動回路4203、電位供給線駆動回路4204及び画素部4202を単極性のトランジスタで構成することでさらなる低コスト化を図れる。画素部4202の有する画素の構成としては実施の形態1、2、3、4及び5で示した画素を適用することができる。よって、開口率の高い画素を提供することが可能となる。

#### 【0329】

こうして、高精細な表示装置の低コスト化を図れる。また、FPC4205と基板4200との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

20

#### 【0330】

また、図19(a)の信号線駆動回路1901、電位供給線駆動回路1903及び走査線駆動回路1906に相当する図42(b)の信号線駆動回路4211、電位供給線駆動回路4214及び走査線駆動回路4213をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするため、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。なお、図42(b)の基板4210、画素部4212、FPC4215、ICチップ4216、ICチップ4217、封止基板4218、シール材4219は図19(a)の基板1910、画素部1902、FPC1909、ICチップ1919A、ICチップ1919B、封止基板1904、シール材1905に相当する。

30

#### 【0331】

また、画素部4212のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

#### 【0332】

また、画素の行方向及び列方向に走査線駆動回路、電位供給線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図26(a)に示すようにICチップ上に形成された周辺駆動回路2601が図42(b)に示す、電位供給線駆動回路4214、走査線駆動回路4213及び信号線駆動回路4211の機能を有するようにしても良い。なお、図26(a)の基板2600、画素部2602、FPC2604、ICチップ2605、ICチップ2606、封止基板2607、シール材2608は図19(a)の基板1910、画素部1902、FPC1909、ICチップ1919A、ICチップ1919B、封止基板1904、シール材1905に相当する。

40

#### 【0333】

なお、図26(a)の表示装置の信号線の接続を説明する模式図を図26(b)に示す。表示装置は、基板2610、周辺駆動回路2611、画素部2612、FPC2613、

50

F P C 2 6 1 4 有する。F P C 2 6 1 3 より周辺駆動回路 2 6 1 1 に外部からの信号及び電源電位が入力される。そして、周辺駆動回路 2 6 1 1 からの出力は、画素部 2 6 1 2 の有する画素に接続された行方向及び列方向の信号線に入力される。

【 0 3 3 4 】

さらに、発光素子 1 9 1 8 に適用可能な発光素子の例を図 2 0 ( a )、( b ) に示す。つまり、実施の形態 1、実施の形態 2、実施の形態 3、実施の形態 4 及び実施の形態 5 で示した画素に適用可能な発光素子の構成について図 2 0 ( a )、( b ) を用いて説明する。

【 0 3 3 5 】

図 2 0 ( a ) の発光素子は、基板 2 0 0 1 の上に陽極 2 0 0 2、正孔注入材料からなる正孔注入層 2 0 0 3、その上に正孔輸送材料からなる正孔輸送層 2 0 0 4、発光層 2 0 0 5、電子輸送材料からなる電子輸送層 2 0 0 6、電子注入材料からなる電子注入層 2 0 0 7、そして陰極 2 0 0 8 を積層させた素子構造である。ここで、発光層 2 0 0 5 は、一種類の発光材料のみから形成されることもあるが、2 種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【 0 3 3 6 】

また、図 2 0 ( A ) で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色発光素子などにも応用可能である。

【 0 3 3 7 】

図 2 0 ( A ) に示す本発明の素子作製方法は、まず、陽極 2 0 0 2 ( I T O ) を有する基板 2 0 0 1 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 2 0 0 8 を蒸着で形成する。

【 0 3 3 8 】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【 0 3 3 9 】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン (以下「 $H_2Pc$ 」と記す)、銅フタロシアニン (以下「 $CuPc$ 」と記す) などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸 (以下「 $PSs$ 」と記す) をドーピングしたポリエチレンジオキシチオフェン (以下「 $PEDOT$ 」と記す) や、ポリアニンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド (以下「 $PI$ 」と記す) がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム (以下「アルミナ」と記す) の超薄膜などがある。

【 0 3 4 0 】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系 (すなわち、ベンゼン環 - 窒素の結合を有するもの) の化合物である。広く用いられている材料として、4, 4' - ビス (ジフェニルアミノ) - ビフェニル (以下、「 $TAD$ 」と記す) や、その誘導体である 4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル (以下、「 $TPD$ 」と記す)、4, 4' - ビス [N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル (以下、「 $-NPD$ 」と記す) がある。4, 4', 4'' - トリス (N, N - ジフェニル - アミノ) - トリフェニルアミン (以下、「 $TDATA$ 」と記す)、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン (以下、「 $MTDATA$ 」と記す) などのスターバースト型芳香族アミン化合物が挙げられる。

【 0 3 4 1 】

10

20

30

40

50



電子輸送材料としては、金属錯体がよく用いられ、先に述べた  $Alq_3$ 、 $BAlq$ 、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、「 $Almq$ 」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(以下、「 $BeBq$ 」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「 $Zn(BOX)_2$ 」と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「 $Zn(BTZ)_2$ 」と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ピフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(以下、「 $PBD$ 」と記す)、 $OXD-7$ などのオキサジアゾール誘導体、 $TAZ$ 、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ピフェニリル)-1,2,4-トリアゾール(以下、「 $p-EtTAZ$ 」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「 $BPhen$ 」と記す)、 $BCP$ などのフェナントロリン誘導体が電子輸送性を有する。

10

## 【0342】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート(以下、「 $Li(acac)$ 」と記す)や8-キノリノラト-リチウム(以下、「 $Liq$ 」と記す)などのアルカリ金属錯体も有効である。

20

## 【0343】

発光材料としては、先に述べた  $Alq_3$ 、 $Almq$ 、 $BeBq$ 、 $BAlq$ 、 $Zn(BOX)_2$ 、 $Zn(BTZ)_2$ などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4,4'-ビス(2,2'-ジフェニル-ビニル)-ピフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N,C<sup>2'</sup>)アセチルアセトナトイリジウム(以下「 $acacIr(tpy)_2$ 」と記す)、2,3,7,8,12,13,17,18-オクタエチル-21H,23Hポルフィリン-白金などが知られている。

30

## 【0344】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

## 【0345】

また、実施の形態1や実施の形態2や実施の形態3などで示した画素構成のトランジスタの極性を反転し、電源電位や低電源電位が供給されている配線の電位を逆にし、走査線や信号線のレベルを反転させることで、図20(b)に示すように図20(a)とは逆の順番に層を形成した発光素子を用いることができる。つまり、基板2011の上に陰極2018、電子注入材料からなる電子注入層2017、その上に電子輸送材料からなる電子輸送層2016、発光層2015、正孔輸送材料からなる正孔輸送層2014、正孔注入材料からなる正孔注入層2013、そして陽極2012を積層させた素子構造である。

40

## 【0346】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTFT及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

## 【0347】

上面射出構造の発光素子について図21(a)を用いて説明する。

50

## 【0348】

基板2100上に駆動用TFT2101が形成され、駆動用TFT2101のソース電極に接して第1の電極2102が形成され、その上に有機化合物を含む層2103と第2の電極2104が形成されている。

## 【0349】

また、第1の電極2102は発光素子の陽極である。そして第2の電極2104は発光素子の陰極である。つまり、第1の電極2102と第2の電極2104とで有機化合物を含む層2103が挟まれているところが発光素子となる。

## 【0350】

また、ここで、陽極として機能する第1の電極2102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

10

## 【0351】

また、陰極として機能する第2の電極2104に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF<sub>2</sub>、またはCaN)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属膜と、光透過性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

20

## 【0352】

こうして、図21(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図19の表示パネルに適用した場合には、封止基板1904側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板1904は光透過性を有する基板を用いる。

## 【0353】

また、光学フィルムを設ける場合には、封止基板1904に光学フィルムを設ければよい。

30

## 【0354】

なお、図21(A)の画素構成については、第1の電極2102を陰極として機能させる場合、陰極としてMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、陽極として第2の電極2104にはITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

## 【0355】

また、下面射出構造の発光素子について図21(b)を用いて説明する。射出構造以外は図21(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

40

## 【0356】

ここで、陽極として機能する第1の電極2102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

## 【0357】

また、陰極として機能する第2の電極2104に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF<sub>2</sub>、またはCaN)からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

50

## 【0358】

こうして、図21(b)の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図19の表示パネルに適用した場合には、基板1910側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板1910は光透過性を有する基板を用いる。

## 【0359】

また、光学フィルムを設ける場合には、基板1910に光学フィルムを設ければよい。

## 【0360】

両面射出構造の発光素子について図21(c)を用いて説明する。射出構造以外は図21(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

10

## 【0361】

ここで、陽極として機能する第1の電極2102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

## 【0362】

また、陰極として機能する第2の電極2104に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF<sub>2</sub>、またはCaN)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金(In<sub>2</sub>O<sub>3</sub>、ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

20

## 【0363】

こうして、図21(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図19の表示パネルに適用した場合には、基板1910側と封止基板1904側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板1910および封止基板1904は、ともに光透過性を有する基板を用いる。

## 【0364】

また、光学フィルムを設ける場合には、基板1910および封止基板1904の両方に光学フィルムを設ければよい。

30

## 【0365】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

## 【0366】

図22に示すように、基板2200上に下地膜2202が形成され、その上に駆動用TFT2201が形成され、駆動用TFT2201のソース電極に接して第1の電極2203が形成され、その上に有機化合物を含む層2204と第2の電極2205が形成されている。

## 【0367】

また、第1の電極2203は発光素子の陽極である。そして第2の電極2205は発光素子の陰極である。つまり、第1の電極2203と第2の電極2205とで有機化合物を含む層2204が挟まれているところが発光素子となる。図22の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター2206R、緑色のカラーフィルター2206G、青色のカラーフィルター2206Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス(BMともいう)2207が設けられている。

40

また、図22に示す白色の発光素子を用いた表示装置の他に、フルカラー表示が実現可能な表示装置を本発明に適用してもよい。例えば、赤色(R)の発光素子、緑色(G)の発光素子、青色(B)の発光素子のそれぞれに、赤色のカラーフィルター、緑色のカラー

50

フィルター、青色のカラーフィルターを設けた構造を有する表示装置としてもよい。この構造により、各発光素子から得られる光の不要な周波数成分をカットし、色純度を高めることができる。よって、忠実な色再現性のある表示を行うことができる。また、カラーフィルターを用いることにより、反射光を低減することができるので、偏光板を設けなくても外部の光の写り込みを抑えることができる。従って、別途偏光板を設けることによる透過率の低下を招くことなく、外部の光の写り込みを抑えることができる。

【0368】

上述した発光素子の構成は組み合わせて用いることができ、本発明の画素構成を有する表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろん本発明の画素構成は他の構成の表示装置に適用することもできる。

10

【0369】

次に、表示パネルの画素部の部分断面図を示す。

【0370】

まず、トランジスタの半導体層にポリシリコン ( $p-Si:H$ ) 膜を用いた場合について図23及び図24を用いて説明する。

【0371】

ここで、半導体層は、例えば基板上にアモルファスシリコン ( $a-Si$ ) 膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

20

【0372】

そして、アモルファスシリコン膜をレーザ結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行っても良い。

【0373】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【0374】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にエッチングして、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

30

【0375】

図23に示すように、基板23101上に下地膜23102が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ23118のチャネル形成領域23103、LDD領域23104及びソース又はドレイン領域となる不純物領域23105、並びに容量素子23119の下部電極となるチャネル形成領域23106、LDD領域23107及び不純物領域23108を有する。なお、チャネル形成領域23103及びチャネル形成領域23106はチャネルドープが行われていても良い。

【0376】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜23102としては、窒化アルミニウム ( $AlN$ ) や酸化珪素 ( $SiO_2$ )、酸化窒化珪素 ( $SiO_xN_y$ ) などの単層やこれらの積層を用いることができる。

40

【0377】

半導体層上にはゲート絶縁膜23109を介してゲート電極23110及び容量素子の上部電極23111が形成されている。

【0378】

駆動トランジスタ23118及び容量素子23119を覆って層間絶縁膜23112が形成され、層間絶縁膜23112上にコンタクトホールを介して配線23113が不純物領域23105と接している。配線23113に接して画素電極23114が形成され、画素電極23114の端部及び配線23113を覆って絶縁物23115が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素

50

電極 2 3 1 1 4 上に有機化合物を含む層 2 3 1 1 6 及び対向電極 2 3 1 1 7 が形成され、画素電極 2 3 1 1 4 と対向電極 2 3 1 1 7 とで有機化合物を含む層 2 3 1 1 6 が挟まれた領域では発光素子 2 3 1 2 0 が形成されている。

【 0 3 7 9 】

また、図 2 3 ( b ) に示すように、容量素子 2 3 1 1 9 の下部電極の一部を構成する L D D 領域が、上部電極 2 3 1 1 1 と重なるような領域 2 3 2 0 2 を設けても良い。なお、図 2 3 ( a ) と共通するところは共通の符号を用い、説明は省略する。

【 0 3 8 0 】

また、図 2 4 ( a ) に示すように、駆動トランジスタ 2 3 1 1 8 の不純物領域 2 3 1 0 5 と接する配線 2 3 1 1 3 と同じ層に形成された第 2 の上部電極 2 3 3 0 1 を有していても良い。なお、図 2 3 ( a ) と共通するところは共通の符号を用い、説明は省略する。第 2 の上部電極 2 3 3 0 1 と上部電極 2 3 1 1 1 とで層間絶縁膜 2 3 1 1 2 挟みこみ、第 2 の容量素子を構成している。また、第 2 の上部電極 2 3 3 0 1 は不純物領域 2 3 1 0 8 と接しているため、上部電極 2 3 1 1 1 とチャンネル形成領域 2 3 1 0 6 とでゲート絶縁膜 2 3 1 0 9 を挟みこんで構成される第 1 の容量素子と、上部電極 2 3 1 1 1 と第 2 の上部電極 2 3 3 0 1 とで層間絶縁膜 2 3 1 1 2 を挟みこんで構成される第 2 の容量素子と、が並列に接続され、第 1 の容量素子と第 2 の容量素子からなる容量素子 2 3 3 0 2 を構成している。この容量素子 2 3 3 0 2 の容量は第 1 の容量素子と第 2 の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

【 0 3 8 1 】

また、図 2 4 ( b ) に示すような容量素子の構成としても良い。基板 2 4 1 0 1 上に下地膜 2 4 1 0 2 が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ 2 4 1 1 8 のチャンネル形成領域 2 4 1 0 3、L D D 領域 2 4 1 0 4 及びソース又はドレイン領域となる不純物領域 2 4 1 0 5 を有する。なお、チャンネル形成領域 2 4 1 0 3 はチャンネルドープが行われていても良い。

【 0 3 8 2 】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 2 4 1 0 2 としては、窒化アルミニウム ( A l N ) や酸化珪素 ( S i O <sub>2</sub> )、酸化窒化珪素 ( S i O <sub>x</sub> N <sub>y</sub> ) などの単層やこれらの積層を用いることができる。

【 0 3 8 3 】

半導体層上にはゲート絶縁膜 2 4 1 0 6 を介してゲート電極 2 4 1 0 7 及び第 1 の電極 2 4 1 0 8 が形成されている。

【 0 3 8 4 】

駆動トランジスタ 2 4 1 1 8 及び第 1 の電極 2 4 1 0 8 を覆って第 1 の層間絶縁膜 2 4 1 0 9 が形成され、第 1 の層間絶縁膜 2 4 1 0 9 上にコンタクトホールを介して配線 2 4 1 1 0 が不純物領域 2 4 1 0 5 と接している。また、配線 2 4 1 1 0 と同じ材料からなる同層の第 2 の電極 2 4 1 1 1 が形成される。

【 0 3 8 5 】

さらに、配線 2 4 1 1 0 及び第 2 の電極 2 4 1 1 1 を覆うように第 2 の層間絶縁膜 2 4 1 1 2 が形成され、第 2 の層間絶縁膜 2 4 1 1 2 上にコンタクトホールを介して、配線 2 4 1 1 0 と接して画素電極 2 4 1 1 3 が形成されている。また、画素電極 2 4 1 1 3 のと同じ材料からなる同層の第 3 の電極 2 4 1 1 4 が形成されている。ここで、第 1 の電極 2 4 1 0 8、第 2 の電極 2 4 1 1 1 及び第 3 の電極 2 4 1 1 4 からなる容量素子 2 4 1 1 9 が形成される。

【 0 3 8 6 】

画素電極 2 4 1 1 3 と第 3 の電極 2 4 1 1 4 の端部を覆って絶縁物 2 4 1 1 5 が形成され、絶縁物 2 4 1 1 5 及び第 3 の電極 2 4 1 1 4 上に有機化合物を含む層 2 4 1 1 6 及び対向電極 2 4 1 1 7 が形成され、画素電極 2 4 1 1 3 と対向電極 2 4 1 1 7 とで有機化合物を含む層 2 4 1 1 6 が挟まれた領域では発光素子 2 4 1 2 0 が形成されている。

## 【0387】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図23及び図24に示したような構成が挙げられる。なお、図23及び図24に示したトランジスタの構成はトップゲートの構造のトランジスタの一例である。つまり、LDD領域はゲート電極と重なっていても良いし、ゲート電極と重なっていなくても良いし、又はLDD領域の一部の領域が重なっていてもよい。さらに、ゲート電極はテーパ形状でもよく、ゲート電極のテーパ部の下部にLDD領域が自己整合的に設けられていても良い。また、ゲート電極は二つに限られず三以上のマルチゲート構造でも良いし、一つのゲート電極でも良い。

## 【0388】

本発明の画素を構成するトランジスタの半導体層（チャンネル形成領域やソース領域やドレイン領域など）に結晶性半導体膜を用いることで、例えば、図2における走査線駆動回路202及び信号線駆動回路201を画素部203と一体形成することが容易になる。また、図13の構成においては、バッファ1301やバッファ1302も一体形成が容易になる。また、図2の信号線駆動回路201の一部を画素部203と一体形成し、一部はICチップ上に形成して図19の表示パネルに示すようにCOG等で実装しても良い。こうして、製造コストの削減を図ることができる。

## 【0389】

また、半導体層にポリシリコン（p-Si:H）を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図27に示す。

## 【0390】

基板2701上に下地膜2702が形成されている。さらに下地膜2702上にゲート電極2703が形成されている。また、ゲート電極2703と同層に同じ材料からなる第1の電極2704が形成されている。ゲート電極2703の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

## 【0391】

また、ゲート電極2703及び第1の電極2704を覆うようにゲート絶縁膜2705が形成されている。ゲート絶縁膜2705としては酸化珪素膜や窒化珪素膜などが用いられる。

## 【0392】

また、ゲート絶縁膜2705上に、半導体層が形成されている。半導体層は駆動トランジスタ2722のチャンネル形成領域2706、LDD領域2707及びソース又はドレイン領域となる不純物領域2708、並びに容量素子2723の第2の電極となるチャンネル形成領域2709、LDD領域2710及び不純物領域2711を有する。なお、チャンネル形成領域2706及びチャンネル形成領域2709はチャンネルドープが行われていても良い。

## 【0393】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2702としては、窒化アルミニウム（AlN）や酸化珪素（SiO<sub>2</sub>）、酸化窒化珪素（SiO<sub>x</sub>N<sub>y</sub>）などの単層やこれらの積層を用いることができる。

## 【0394】

半導体層を覆って第1の層間絶縁膜2712が形成され、第1の層間絶縁膜2712上にコンタクトホールを介して配線2713が不純物領域2708と接している。また、配線2713と同層に同じ材料で第3の電極2714が形成されている。第1の電極2704、チャンネル形成領域2709、第3の電極2714によって容量素子2723が構成されている。

## 【0395】

また、第1の層間絶縁膜2712には開口部2715が形成されている。駆動トランジスタ

10

20

30

40

50

タ 2722、容量素子 2723 及び開口部 2715 を覆うように第 2 の層間絶縁膜 2716 が形成され、第 2 の層間絶縁膜 2716 上にコンタクトホールを介して、画素電極 2717 が形成されている。また、画素電極 2717 の端部を覆って絶縁物 2718 が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極 2717 上に有機化合物を含む層 2719 及び対向電極 2720 が形成され、画素電極 2717 と対向電極 2720 とで有機化合物を含む層 2719 が挟まれた領域では発光素子 2721 が形成されている。そして、発光素子 2721 の下部に開口部 2715 が位置している。つまり、発光素子 2721 からの発光を基板側から取り出すときには開口部 2715 を有するため透過率を高めることができる。

【0396】

また、図 27 (a) において画素電極 2717 と同層に同じ材料を用いて第 4 の電極 2724 を形成して、図 27 (b) のような構成としてもよい。すると、第 1 の電極 2704、第 2 の電極 2709、第 3 の電極 2714 及び第 4 の電極 2724 によって構成される容量素子 2725 を形成することができる。

【0397】

次に、トランジスタの半導体層にアモルファスシリコン (a-Si:H) 膜を用いた場合について説明する。図 28 にはトップゲートのトランジスタ、図 29 及び図 30 にはボトムゲートのトランジスタの場合について示す。

【0398】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図 28 (a) に示す。基板 2801 上に下地膜 2802 が形成されている。さらに下地膜 2802 上に画素電極 2803 が形成されている。また、画素電極 2803 と同層に同じ材料からなる第 1 の電極 2804 が形成されている。

【0399】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 2802 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO<sub>2</sub>)、酸化窒化珪素 (SiO<sub>x</sub>N<sub>y</sub>) などの単層やこれらの積層を用いることができる。

【0400】

また、下地膜 2802 上に配線 2805 及び配線 2806 が形成され、画素電極 2803 の端部が配線 2805 で覆われている。配線 2805 及び配線 2806 の上部に N 型の導電性を有する N 型半導体層 2807 及び N 型半導体層 2808 が形成されている。また、配線 2806 と配線 2805 の間であって、下地膜 2802 上に半導体層 2809 が形成されている。そして、半導体層 2809 の一部は N 型半導体層 2807 及び N 型半導体層 2808 上にまで延長されている。なお、この半導体層はアモルファスシリコン (a-Si:H)、微結晶半導体 (μ-Si:H) 等の非結晶性を有する半導体膜で形成されている。また、半導体層 2809 上にゲート絶縁膜 2810 が形成されている。また、ゲート絶縁膜 2810 と同層の同じ材料からなる絶縁膜 2811 が第 1 の電極 2804 上にも形成されている。なお、ゲート絶縁膜 2810 としては酸化珪素膜や窒化珪素膜などが用いられる。

【0401】

また、ゲート絶縁膜 2810 上に、ゲート電極 2812 が形成されている。また、ゲート電極 2812 と同層に同じ材料でなる第 2 の電極 2813 が第 1 の電極 2804 上に絶縁膜 2811 を介して形成されている。第 1 の電極 2804 及び第 2 の電極 2813 で絶縁膜 2811 を挟まれた容量素子 2819 が形成されている。また、画素電極 2803 の端部、駆動トランジスタ 2818 及び容量素子 2819 を覆い、層間絶縁膜 2814 が形成されている。

【0402】

層間絶縁膜 2814 及びその開口部に位置する画素電極 2803 上に有機化合物を含む層 2815 及び対向電極 2816 が形成され、画素電極 2803 と対向電極 2816 とで有機化合物を含む層 2815 が挟まれた領域では発光素子 2817 が形成されている。

10

20

30

40

50

## 【0403】

また、図28(a)に示す第1の電極2804を図28(b)に示すように第1の電極2820で形成してもよい。第1の電極2820は配線2805及び2806と同層の同一材料で形成されている。

## 【0404】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図29に示す。

## 【0405】

基板2901上に下地膜2902が形成されている。さらに下地膜2902上にゲート電極2903が形成されている。また、ゲート電極2903と同層に同じ材料からなる第1の電極2904が形成されている。ゲート電極2903の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

10

## 【0406】

また、ゲート電極2903及び第1の電極2904を覆うようにゲート絶縁膜2905が形成されている。ゲート絶縁膜2905としては酸化珪素膜や窒化珪素膜などが用いられる。

## 【0407】

また、ゲート絶縁膜2905上に、半導体層2906が形成されている。また、半導体層2906と同層に同じ材料からなる半導体層2907が形成されている。

20

## 【0408】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2902としては、窒化アルミニウム( $AlN$ )や酸化珪素( $SiO_2$ )、酸化窒化珪素( $SiO_xN_y$ )などの単層やこれらの積層を用いることができる。

## 【0409】

半導体層2906上にはN型の導電性を有するN型半導体層2908、2909が形成され、半導体層2907上にはN型半導体層2910が形成されている。

## 【0410】

N型半導体層2908、2909上にはそれぞれ配線2911、2912が形成され、N型半導体層2910上には配線2911及び2912と同層の同一材料からなる導電層2913が形成されている。

30

## 【0411】

半導体層2907、N型半導体層2910及び導電層2913からなる第2の電極が構成される。なお、この第2の電極と第1の電極2904でゲート絶縁膜2905を挟み込んだ構造の容量素子2920が形成されている。

## 【0412】

また、配線2911の一方の端部は延在し、その延在した配線2911上部に接して画素電極2914が形成されている。

## 【0413】

また、画素電極2914の端部、駆動トランジスタ2919及び容量素子2920を覆うように絶縁物2915が形成されている。

40

## 【0414】

画素電極2914及び絶縁物2915上には有機化合物を含む層2916及び対向電極2917が形成され、画素電極2914と対向電極2917とで有機化合物を含む層2916が挟まれた領域では発光素子2918が形成されている。

## 【0415】

容量素子の第2の電極の一部となる半導体層2907及びN型半導体層2910は設けなくても良い。つまり第2の電極は導電層2913とし、第1の電極2904と導電層2913でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

## 【0416】

50



なお、図29(a)において、配線2911を形成する前に画素電極2914を形成することで、図29(b)に示すような、画素電極2914からなる第2の電極2921と第1の電極2904でゲート絶縁膜2905が挟まれた構造の容量素子2922を形成することができる。

【0417】

なお、図29では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図30(a)、(b)を用いて説明する。

【0418】

図30(a)に示すチャネル保護型構造のトランジスタは図29(a)に示したチャネルエッチ構造の駆動トランジスタ2919の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁物3001が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

10

【0419】

また、同様に、図30(b)に示すチャネル保護型構造のトランジスタは図29(b)に示したチャネルエッチ構造の駆動トランジスタ2919の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁物3001が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0420】

本発明の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドレイン領域など)に非晶質半導体膜を用いることで、製造コストを削減することができる。

20

【0421】

なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0422】

(実施の形態7)

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

30

【0423】

図44(A)はディスプレイであり、筐体44001、支持台44002、表示部44003、スピーカー部44004、ビデオ入力端子44005等を含む。本発明の画素構成を有する表示装置を表示部44003に用いることができる。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明を表示部44003に用いたディスプレイは、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

40

【0424】

図44(B)はカメラであり、本体44101、表示部44102、受像部44103、操作キー44104、外部接続ポート44105、シャッター44106等を含む。

【0425】

近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、いかに高性能なものを低価格に抑えるかが重要となる。本発明を表示部44102に用いたデジタルカメラは、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

50

## 【0426】

図44(C)はコンピュータであり、本体44201、筐体44202、表示部44203、キーボード44204、外部接続ポート44205、ポインティングマウス44206等を含む。本発明を表示部44203に用いたコンピュータは、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

## 【0427】

図44(D)はモバイルコンピュータであり、本体44301、表示部44302、スイッチ44303、操作キー44304、赤外線ポート44305等を含む。本発明を表示部44302に用いたモバイルコンピュータは、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

10

## 【0428】

図44(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体44401、筐体44402、表示部A44403、表示部B44404、記録媒体(DVD等)読み込み部44405、操作キー44406、スピーカー部44407等を含む。表示部A44403は主として画像情報を表示し、表示部B44404は主として文字情報を表示することができる。本発明を表示部A44403や表示部B44404に用いた画像再生装置は、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

## 【0429】

図44(F)はゴーグル型ディスプレイであり、本体44501、表示部44502、アーム部44503を含む。本発明を表示部44502に用いたゴーグル型ディスプレイは、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

20

## 【0430】

図44(G)はビデオカメラであり、本体44601、表示部44602、筐体44603、外部接続ポート44604、リモコン受信部44605、受像部44606、バッテリー44607、音声入力部44608、操作キー44609、接眼部44610等を含む。本発明を表示部44602に用いたビデオカメラは、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

## 【0431】

図44(H)は携帯電話機であり、本体44701、筐体44702、表示部44703、音声入力部44704、音声出力部44705、操作キー44706、外部接続ポート44707、アンテナ44708等を含む。

30

## 【0432】

近年、携帯電話機はゲーム機能やカメラ機能、電子マネー機能等を搭載し、高付加価値の携帯電話機のニーズが強くなっている。さらに、ディスプレイも高精細なものが求められている。本発明を表示部44703に用いた携帯電話機は、きれいに階調を表示することができ、また画素の開口率が高く輝度を下げずに高精細な表示が可能となる。

## 【0433】

また、図21(c)に示すような両面射出構造の表示装置を表示部に有することで、付加価値が高く、高精細な表示部を有する携帯電話を提供することができる。

40

## 【0434】

このように多機能化し、携帯電話機は使用頻度が高まる一方で、一回の充電により長時間使用できることが要求される。

## 【0435】

例えば、図42(b)に示すように周辺駆動回路をICチップ上に形成し、CMOS等を用いることにより低消費電力化を図ることが可能である。

## 【0436】

このように本発明は、あらゆる電子機器に適用することが可能である。

## 【実施例1】

50

## 【0437】

本実施例において、本発明の画素構成を用いた表示装置を表示部に有する携帯電話の構成例について図47を用いて説明する。

## 【0438】

表示パネル4710はハウジング4700に脱着自在に組み込まれる。ハウジング4700は表示パネル4710のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル4710を固定したハウジング4700はプリント基板4701に嵌入されモジュールとして組み立てられる。

## 【0439】

表示パネル4710はFPC4711を介してプリント基板4701に接続される。プリント基板4701には、スピーカ4702、マイクロフォン4703、送受信回路4704、CPU及びコントローラなどを含む信号処理回路4705が形成されている。このようなモジュールと、入力手段4706、バッテリー4707を組み合わせ、筐体4709に収納する。表示パネル4710の画素部は筐体4709に形成された開口窓から視認できよう配置する。

10

## 【0440】

表示パネル4710は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル4710に実装しても良い。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した表示パネルの構成は図42（a）に一例を示してある。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

20

## 【0441】

また、画素部には実施の形態1乃至3で示した画素構成を適宜適用することができる。

## 【0442】

また、実施の形態2の図6や図8で示した画素構成を適用することで、点灯期間を長くすることができるため、発光素子の瞬間輝度を低くすることができ、発光素子の信頼性を向上させることができる。

30

## 【0443】

また、走査線や信号線に供給する信号をバッファによりインピーダンス変換し電流供給能力を高めることで、信号の遅延を防ぎ、1行毎の画素の書き込み時間を短くすることができる。よって高階調な表示装置を提供することができる。

## 【0444】

また、さらに消費電力の低減を図るため、図42（b）に示すように、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネルに実装しても良い。

40

## 【0445】

また、本実施例に示した構成は携帯電話機の一例であって、本発明の画素構成はこのような構成の携帯電話機に限られず様々な構成の携帯電話に適用することができる。

## 【実施例2】

## 【0446】

図45は表示パネル4501と、回路基板4502を組み合わせたELモジュールを示している。表示パネル4501は画素部4503、走査線駆動回路4504及び信号線駆動回路4505を有している。回路基板4502には、例えば、コントロール回路4506や信号分割回路4507などが形成されている。表示パネル4501と回路基板4502は接続配線4508によって接続されている。接続配線4508にはFPC等を用いる

50

ことができる。

【0447】

表示パネル4501は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル4501に実装するとよい。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いて表示パネル4501に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した構成は図42（a）に一例を示してある。

10

【0448】

また、画素部には実施の形態1乃至3で示した画素構成を適宜適用することができる。

【0449】

また、実施の形態2の図6や図8で示した画素構成を適用することで、点灯期間を長くすることができるため、発光素子の瞬間輝度を低くすることができ、発光素子の信頼性を向上させることができる。

【0450】

また、走査線や信号線に供給する信号をバッファによりインピーダンス変換し、電流供給能力を高めることで、信号の遅延を防ぎ、1行毎の画素の書き込み時間を短くすることができる。よって高階調な表示装置を提供することができる。

20

【0451】

また、さらに消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネルに実装してもよい。

【0452】

なお、非晶質半導体膜を、画素を構成するトランジスタの半導体層に適用する場合には、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に周辺駆動回路を形成したICチップをCOG等で実装した構成は図42（b）に一例を示してある。

30

【0453】

このELモジュールによりELテレビ受像機を完成させることができる。図46は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ4601は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路4602と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路4603と、その映像信号を駆動回路の入力仕様に換するためのコントロール回路4506により処理される。コントロール回路4506は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路4507を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0454】

チューナ4601で受信した信号のうち、音声信号は音声信号増幅回路4604に送られ、その出力は音声信号処理回路4605を経てスピーカー4606に供給される。制御回路4607は受信局（受信周波数）や音量の制御情報を入力部4608から受け、チューナ4601や音声信号処理回路4605に信号を送出する。

40

【0455】

図44（A）に示すように、図45のELモジュールを筐体44001に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部44003が形成される。また、スピーカー部44004、ビデオ入力端子44005などが適宜備えられている。

【0456】

50

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【図面の簡単な説明】

【0457】

【図1】本発明の画素構成を示す図。

【図2】本発明の画素構成を有する表示装置を説明する図。

【図3】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図4】本発明の画素構成を示す図。

【図5】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

10

【図6】本発明の画素構成を示す図。

【図7】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図8】本発明の画素構成を示す図。

【図9】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図10】本発明の画素構成を示す図。

【図11】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図12】周期的に変化する波形を説明する図。

【図13】本発明の画素構成を有する表示装置を説明する図。

【図14】信号の立ち上がり及び立ち下りの遅延の発生を説明する図。

【図15】本発明の画素構成を有する表示装置に適用可能なバッファを示す図。

20

【図16】本発明の画素構成を有する表示装置に適用可能なバッファを示す図。

【図17】本発明の画素構成を有する表示装置に適用可能なD/A変換回路の一例を示す図。

【図18】本発明の画素構成を有する表示装置に適用可能なD/A変換回路の一例を示す図。

【図19】本発明の画素構成を有する表示パネルを説明する図。

【図20】本発明の画素構成を有する表示装置に適用可能な発光素子の例を示す図。

【図21】発光素子の射出構造を説明する図。

【図22】カラーフィルターを用いてフルカラー表示を行う表示パネルの断面図。

【図23】表示パネルの部分断面図。

30

【図24】表示パネルの部分断面図。

【図25】本発明の表示装置の模式図。

【図26】本発明の画素構成を有する表示パネルを説明する図。

【図27】表示パネルの部分断面図。

【図28】表示パネルの部分断面図。

【図29】表示パネルの部分断面図。

【図30】表示パネルの部分断面図。

【図31】本発明の表示装置に適用可能な信号線駆動回路の例。

【図32】本発明の表示装置に適用可能な信号線駆動回路の例。

【図33】本発明の表示装置に適用可能な信号線駆動回路の例。

40

【図34】本発明の表示装置に適用可能な信号線駆動回路の例。

【図35】本発明の表示装置に適用可能な信号線駆動回路の例。

【図36】本発明の表示装置に適用可能な信号線駆動回路の例。

【図37】本発明の表示装置に適用可能な信号線駆動回路の例。

【図38】本発明の表示装置に適用可能な信号線駆動回路の例。

【図39】本発明の表示装置に適用可能な信号線駆動回路の例。

【図40】本発明の表示装置に適用可能な信号線駆動回路の例。

【図41】本発明の表示装置に適用可能な信号線駆動回路の例。

【図42】本発明の画素構成を有する表示パネルを説明する図。

【図43】本発明の画素構成を有する表示装置を説明する図。

50

【図44】本発明の画素構成を有する表示装置を画素部に適用可能な電子機器の例を示す図。

【図45】ELモジュールの例。

【図46】ELテレビ受像機の主要な構成を示すブロック図。

【図47】本発明の適用可能な携帯電話機の例。

【図48】本発明の画素構成を示す図。

【図49】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図50】本発明の画素構成を示す図。

【図51】本発明の画素構成を有する表示装置を説明する図。

【図52】本発明の画素構成を有する表示装置を説明する図。

【図53】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図54】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図55】本発明の画素構成を示す図。

【図56】本発明の画素構成を有する表示装置を説明する図。

【図57】本発明の画素構成を示す図。

【図58】本発明の画素構成を示す図。

【図59】本発明の画素構成を示す図。

【図60】本発明の画素構成を示す図。

【図61】本発明の画素構成を示す図。

【図62】(a)本発明の画素構成を示す図。(b)三角波電位を示す図。

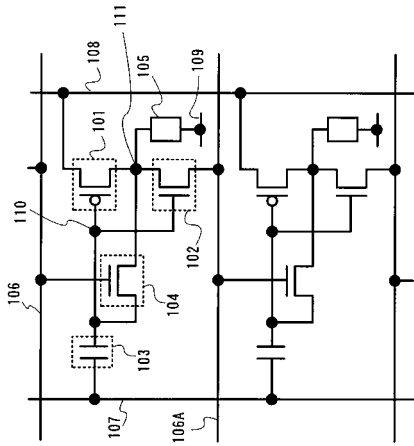
【図63】書き込み期間に信号線に供給する信号と、発光期間に信号線に供給する電位との関係を説明する図。

【図64】書き込み期間に信号線に供給する信号と、発光期間に信号線に供給する電位との関係を説明する図。

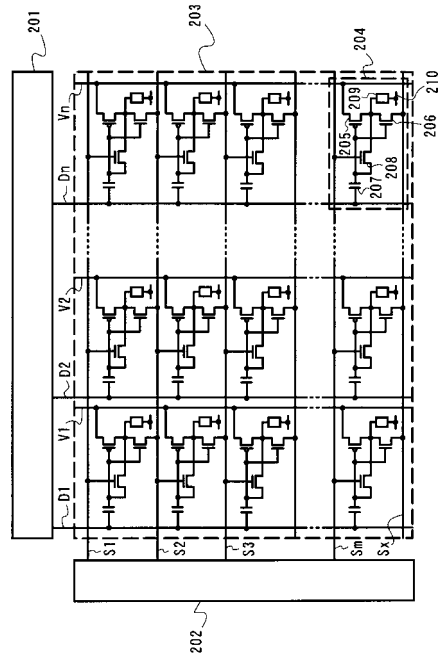
10

20

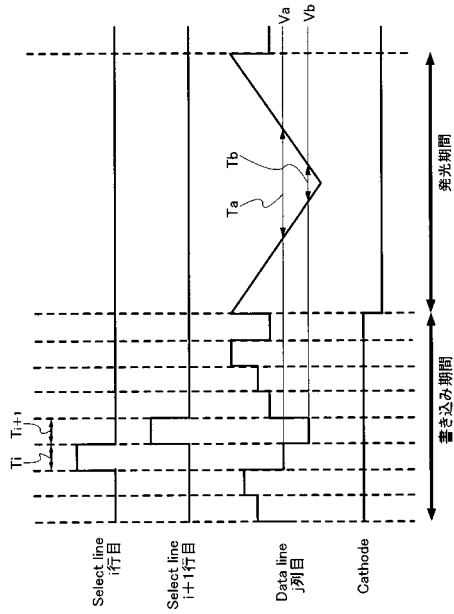
【図1】



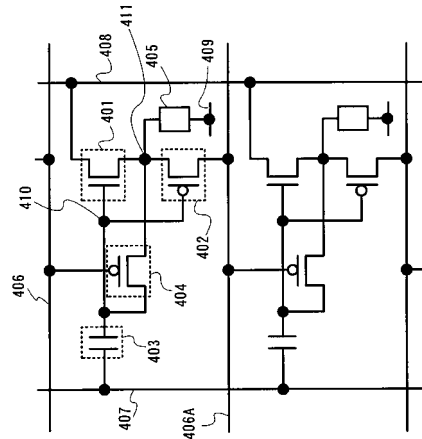
【図2】



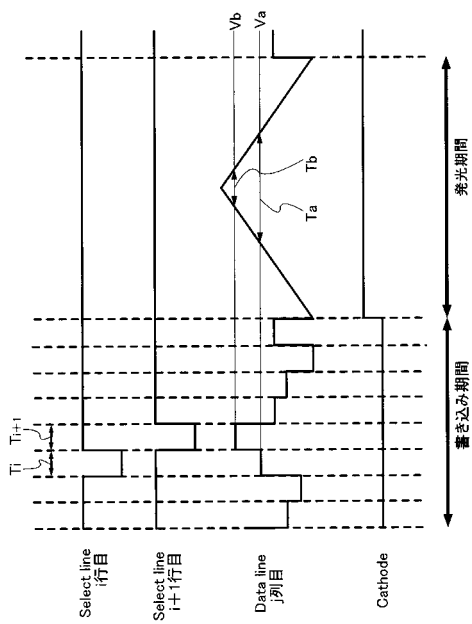
【 図 3 】



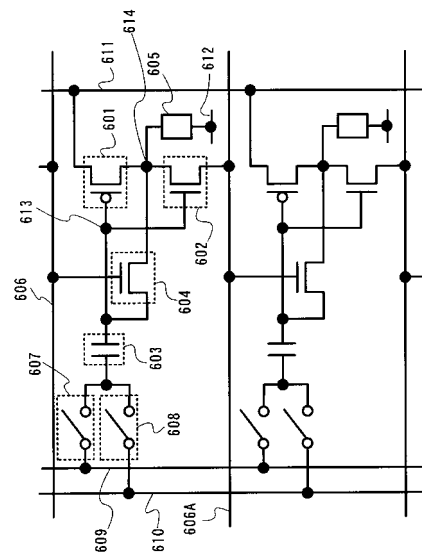
【 図 4 】



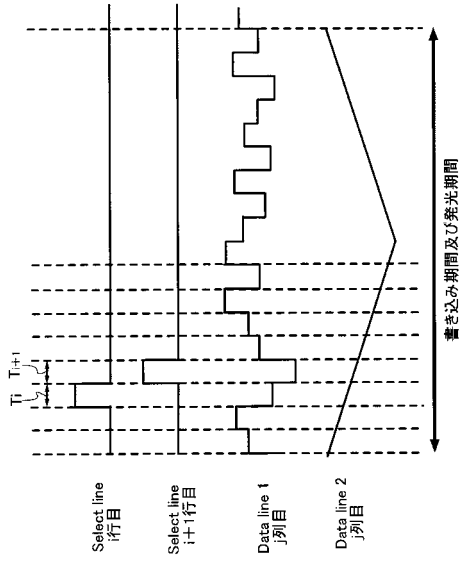
【 図 5 】



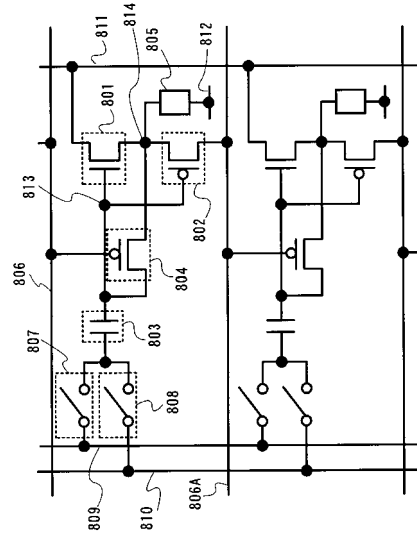
【 図 6 】



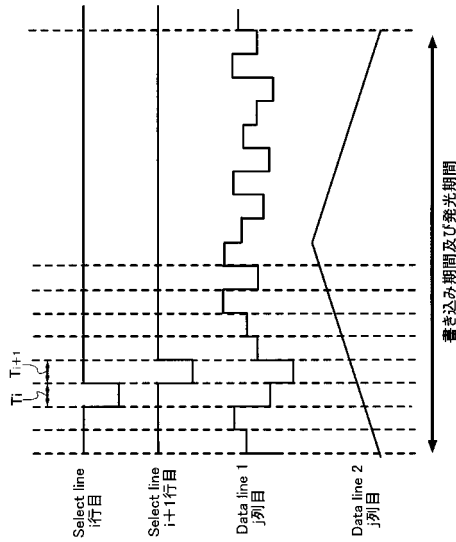
【 図 7 】



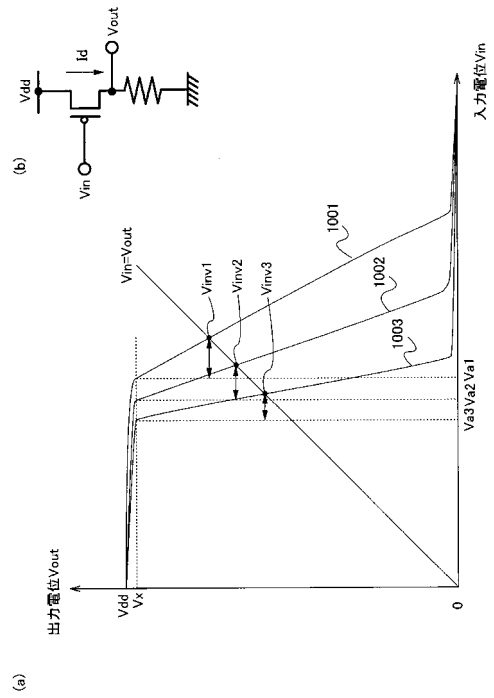
【 図 8 】



【 図 9 】

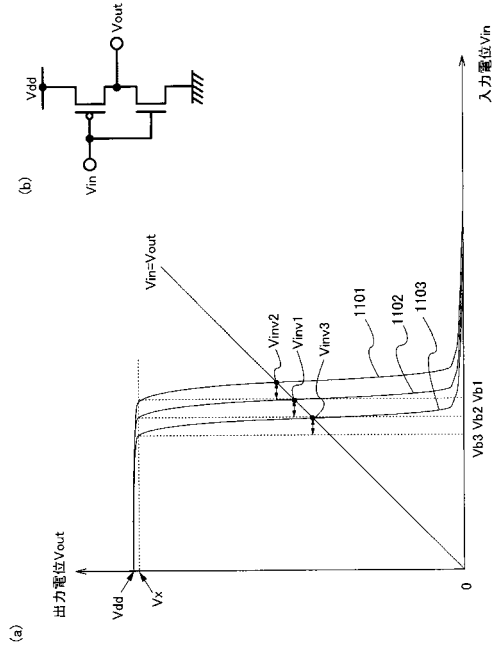


【 図 10 】

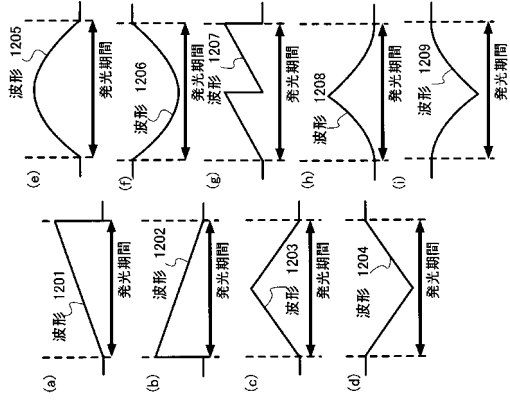




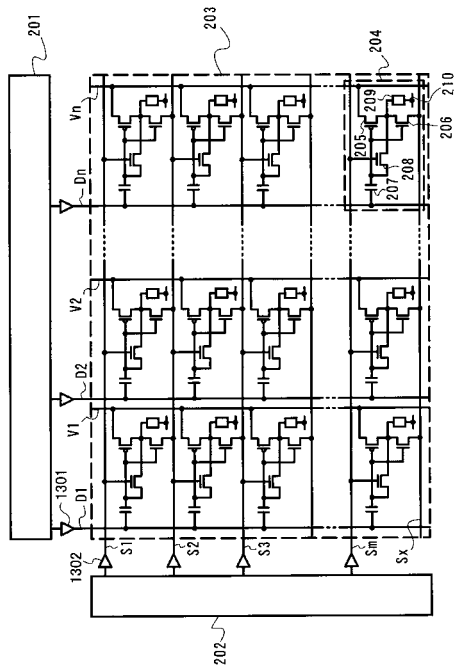
【図 1 1】



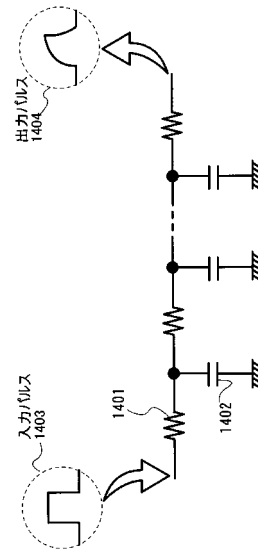
【図 1 2】



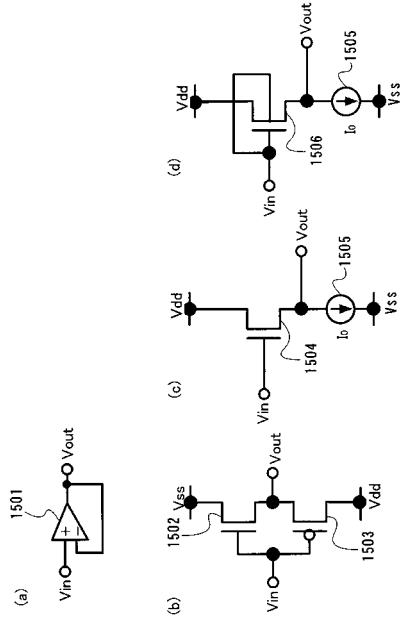
【図 1 3】



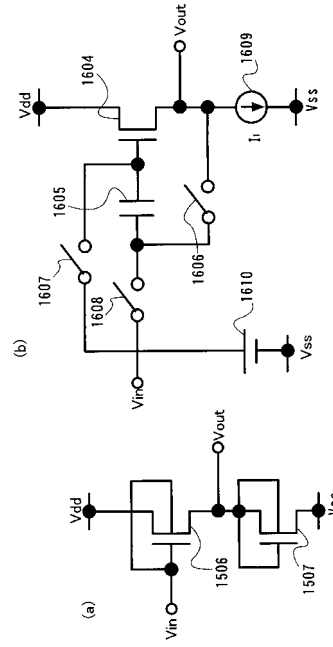
【図 1 4】



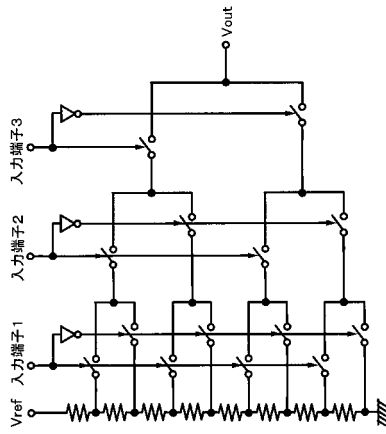
【 図 15 】



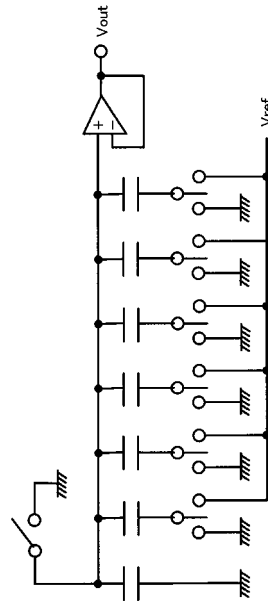
【 図 16 】



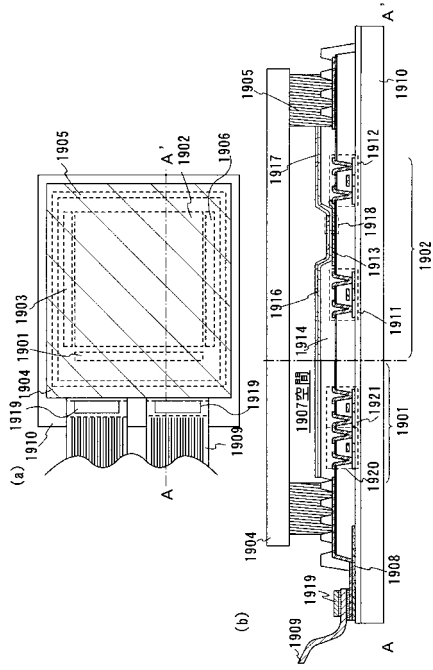
【 図 17 】



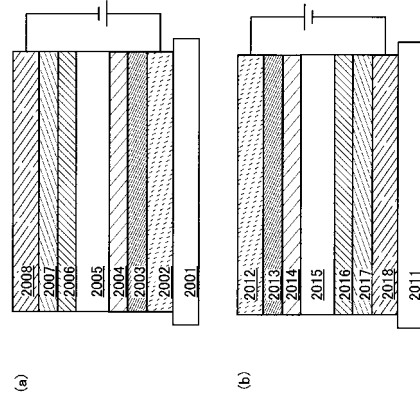
【 図 18 】



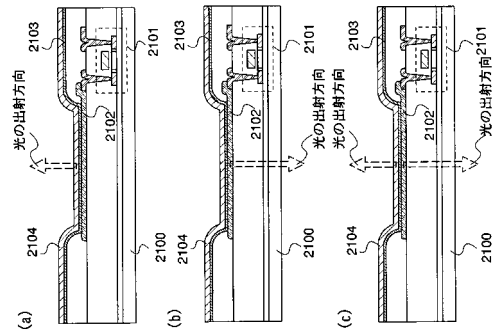
【図19】



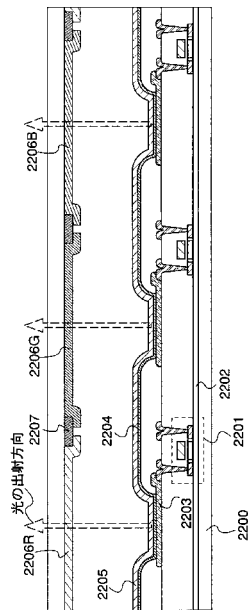
【図20】



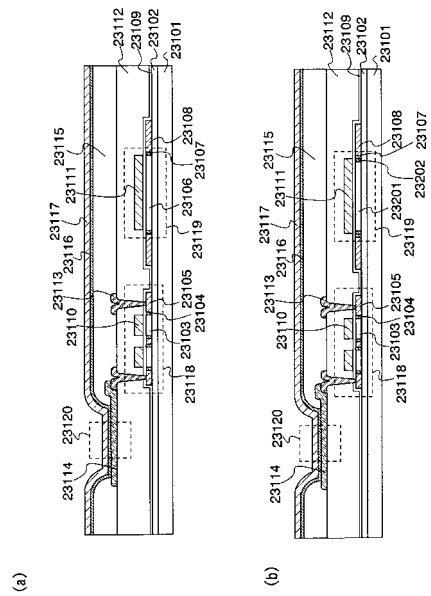
【図21】



【図22】

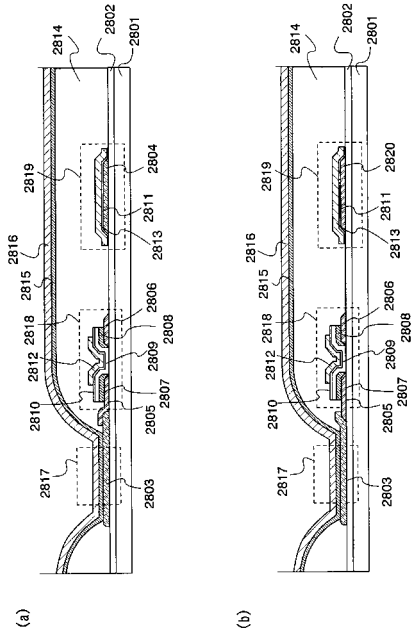


【図23】

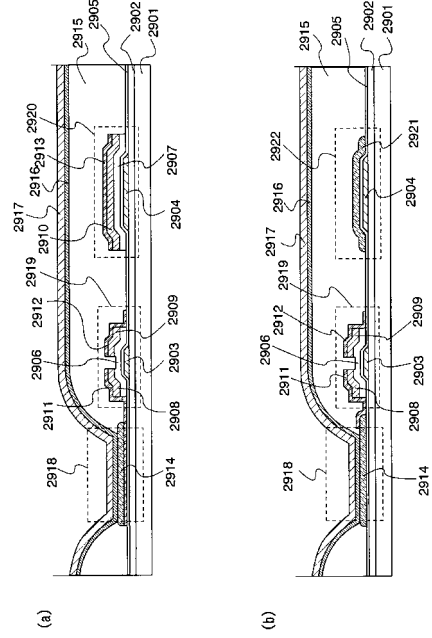




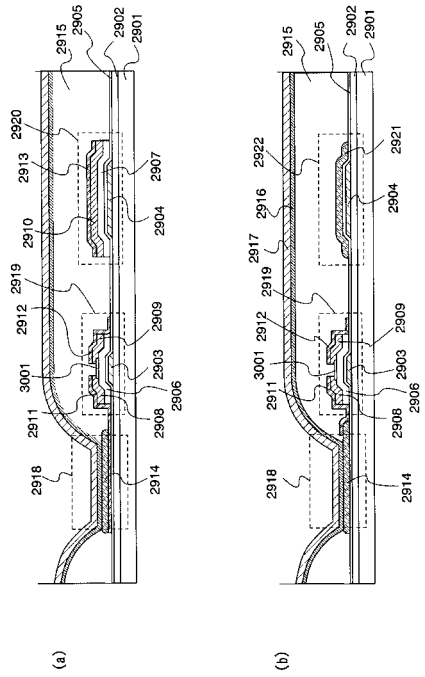
【図28】



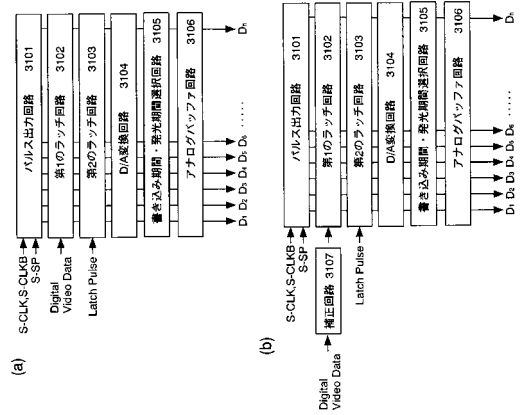
【図29】



【図30】

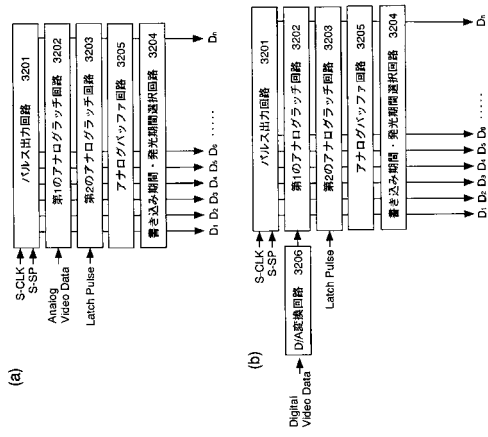


【図31】

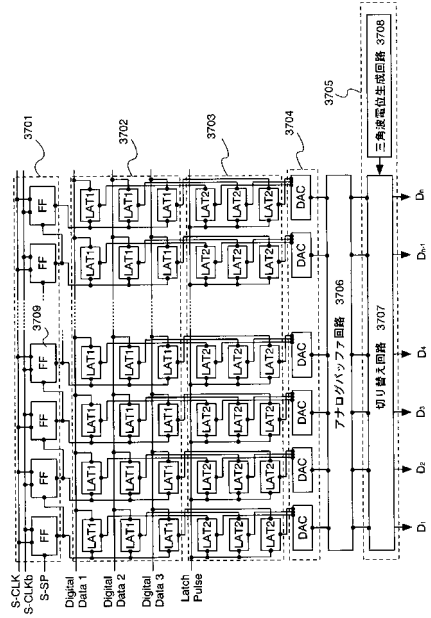




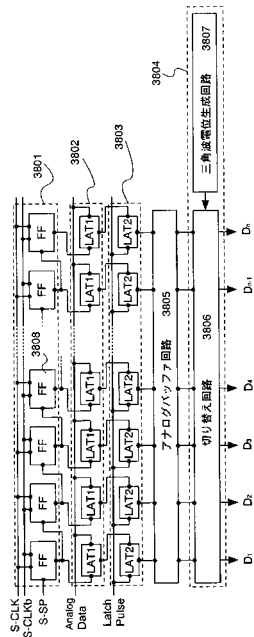
【 図 3 6 】



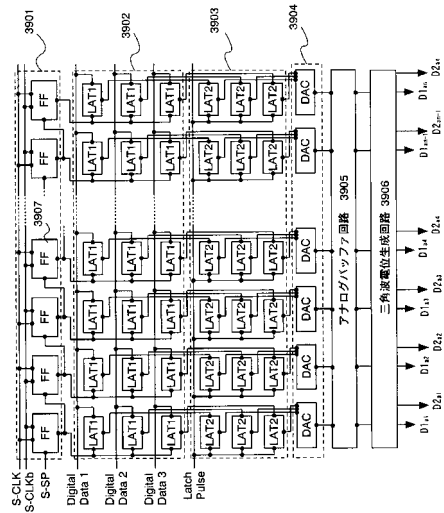
【 図 3 7 】



【 図 3 8 】



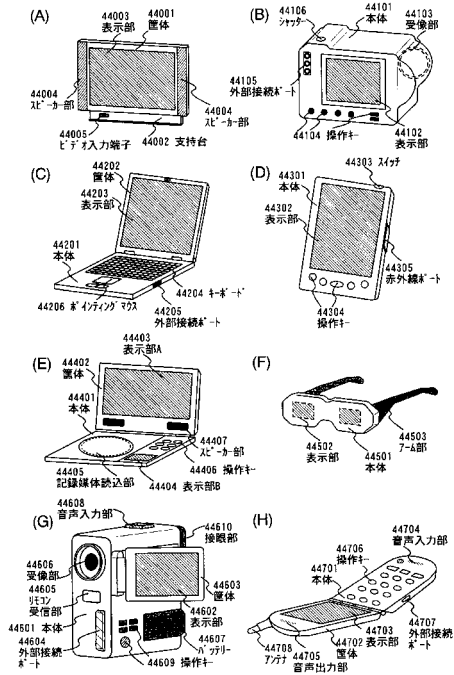
【 図 3 9 】



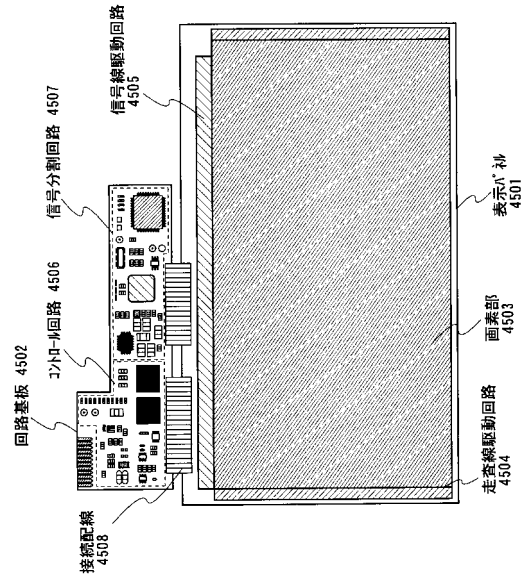




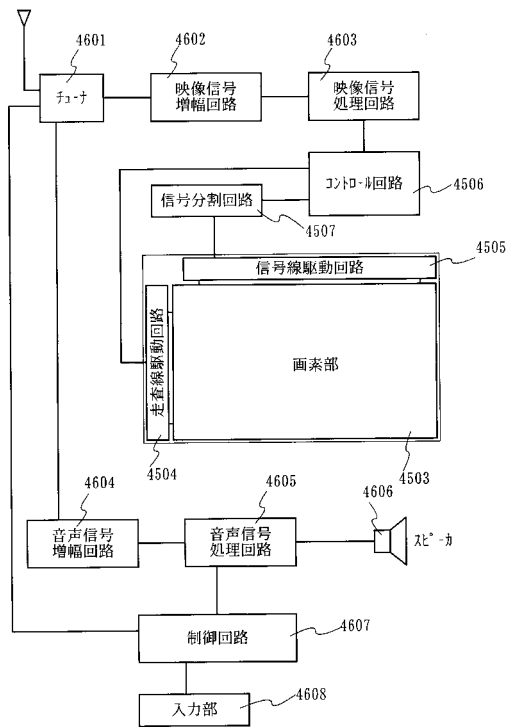
【図44】



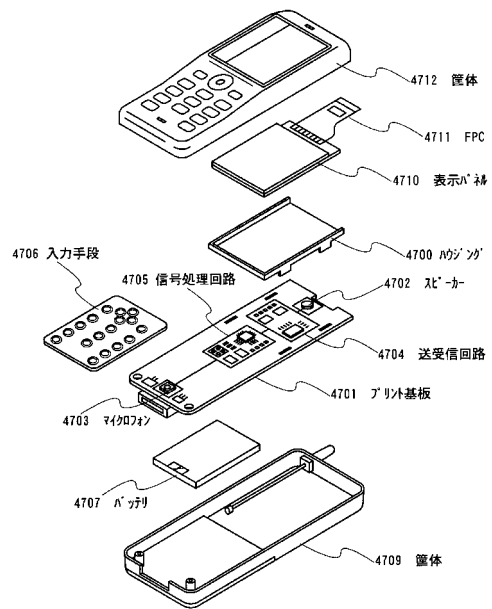
【図45】



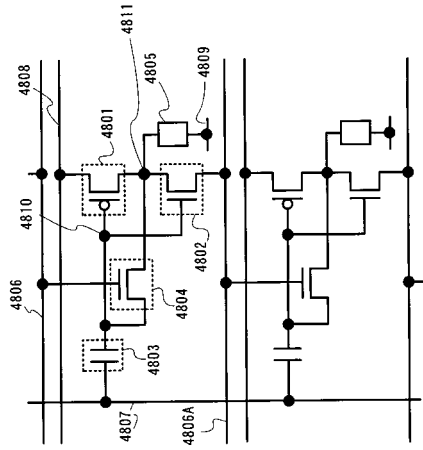
【図46】



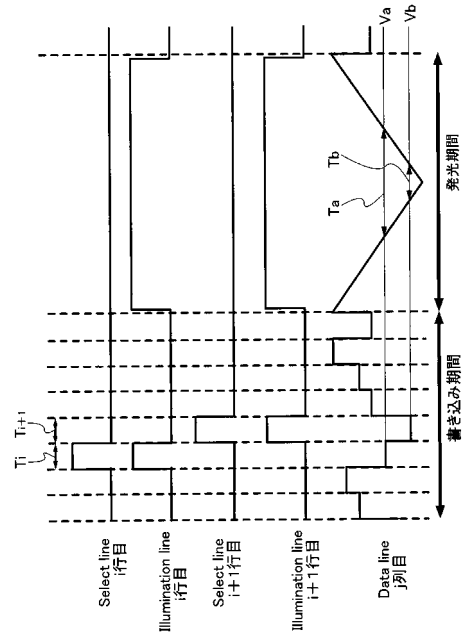
【図47】



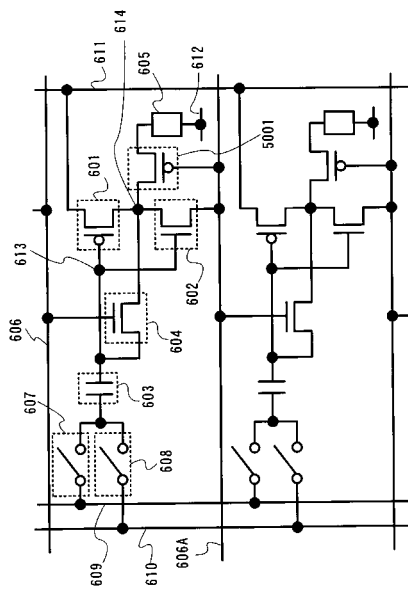
【 図 48 】



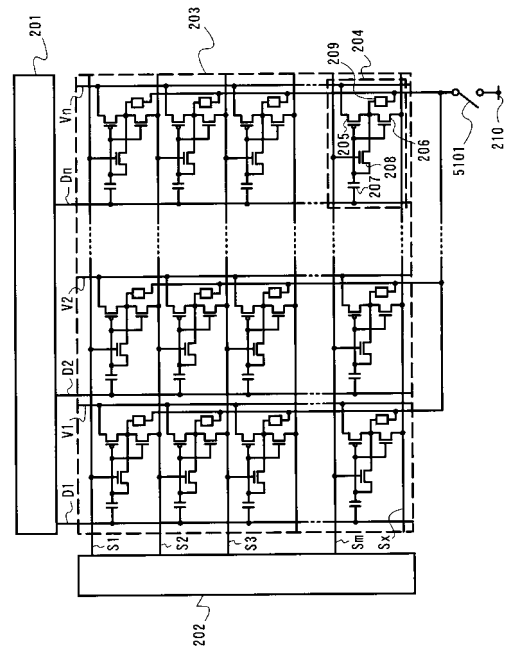
【 図 49 】



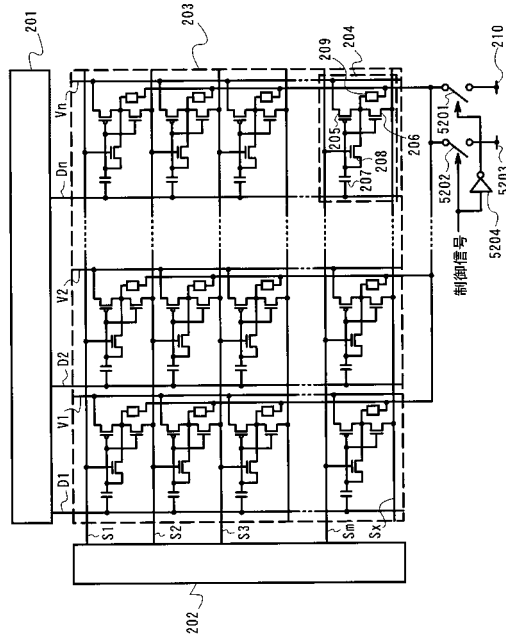
【 図 50 】



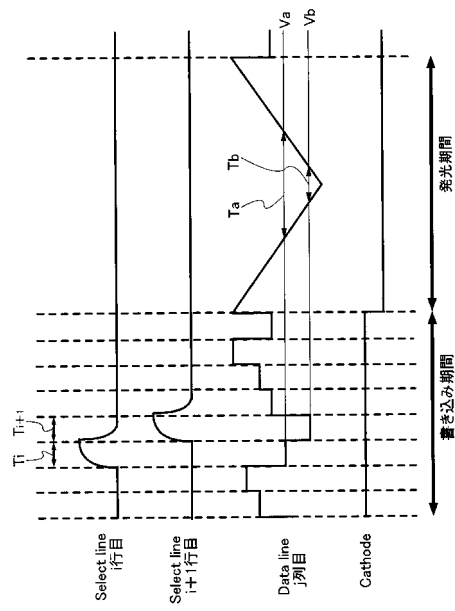
【 図 51 】



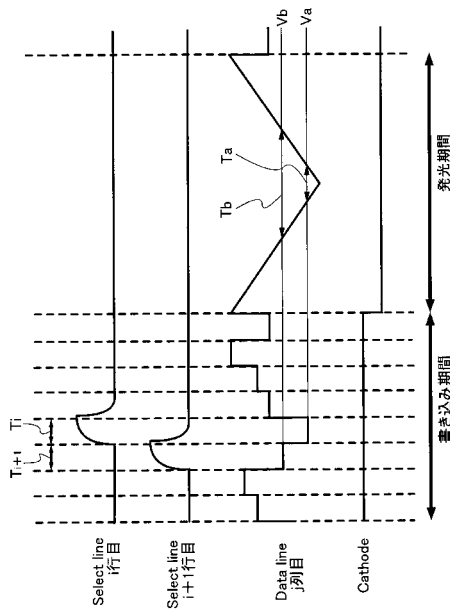
【図 5 2】



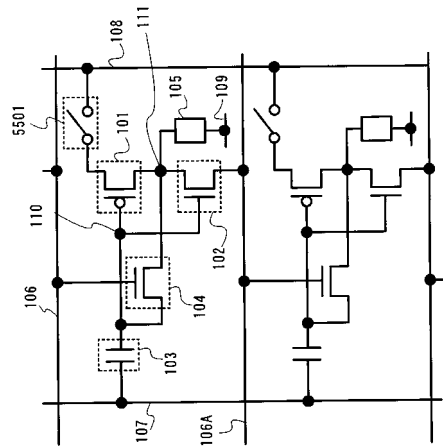
【図 5 3】



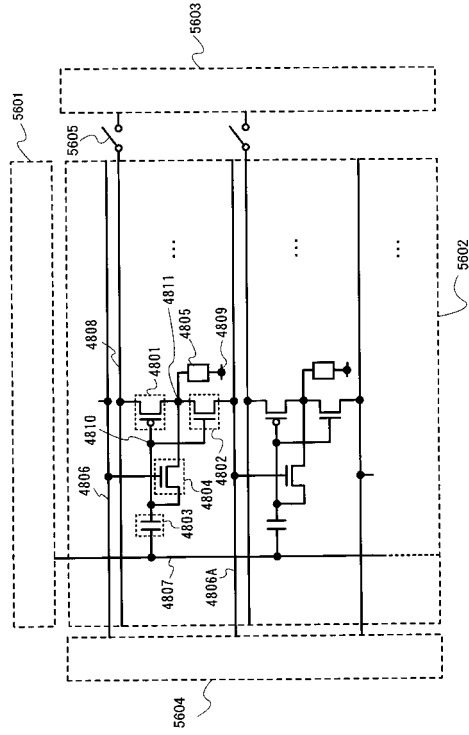
【図 5 4】



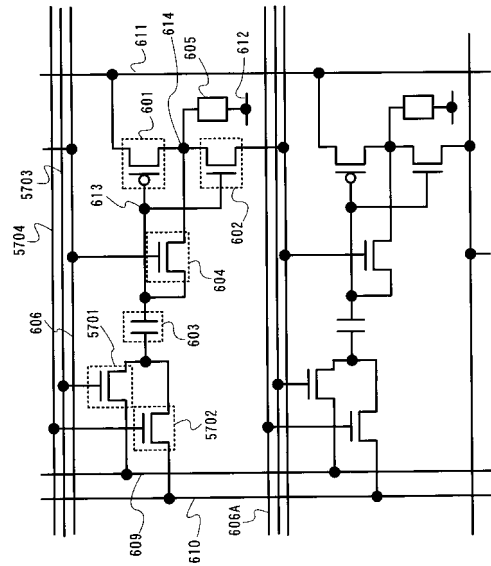
【図 5 5】



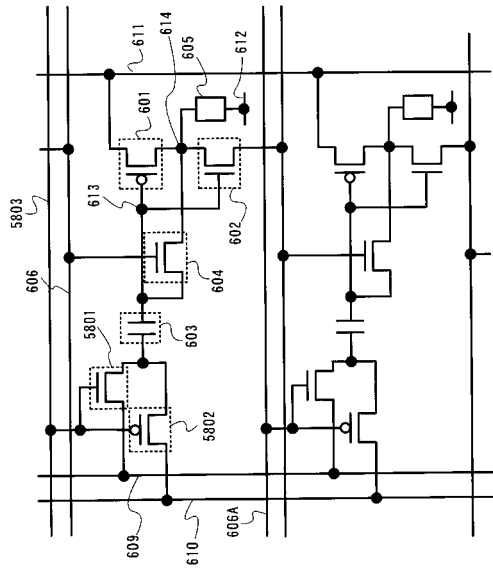
【 図 5 6 】



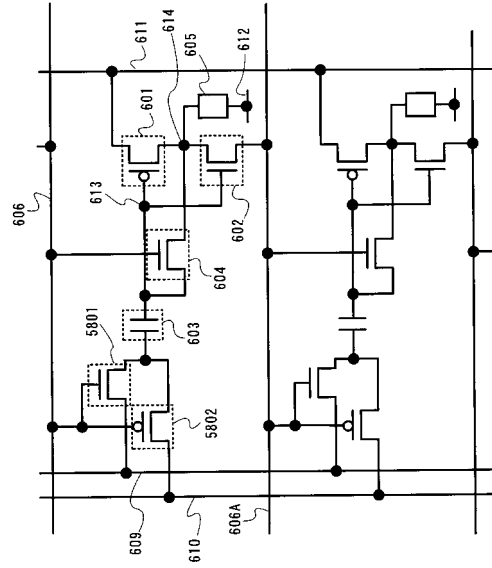
【 図 5 7 】



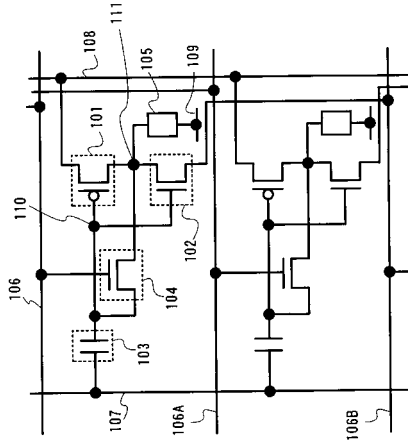
【 図 5 8 】



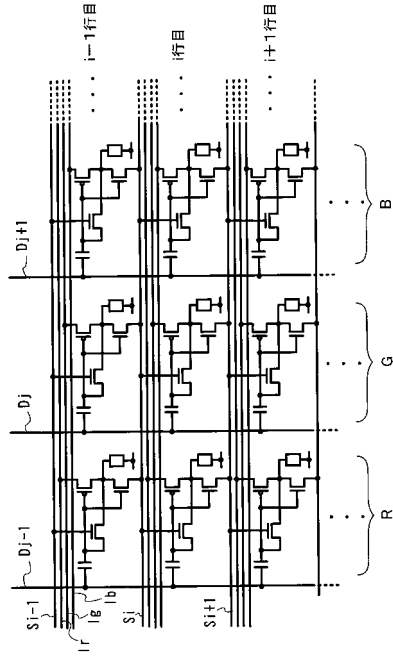
【 図 5 9 】



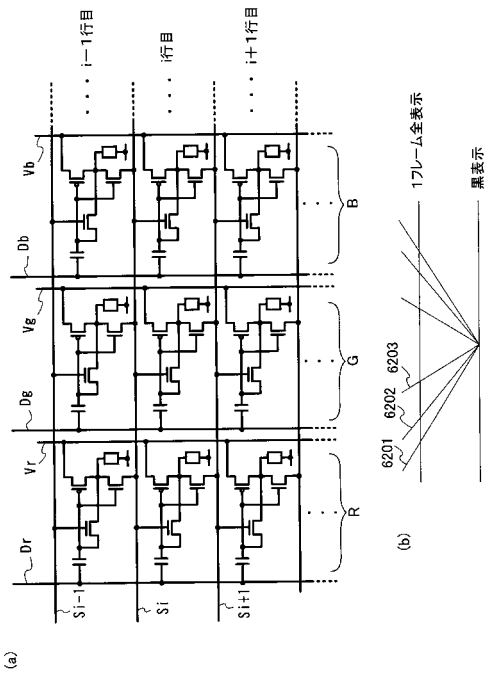
【図60】



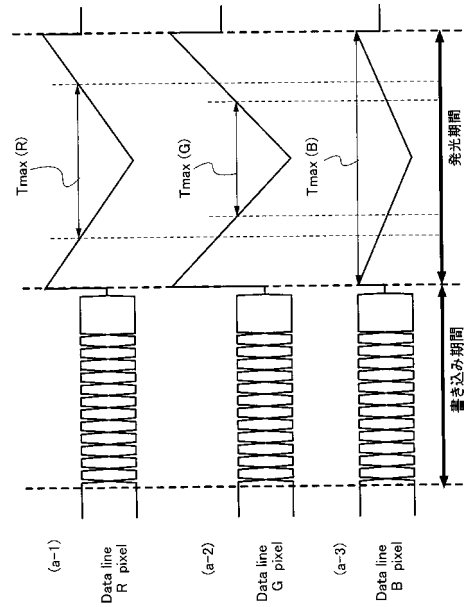
【図61】



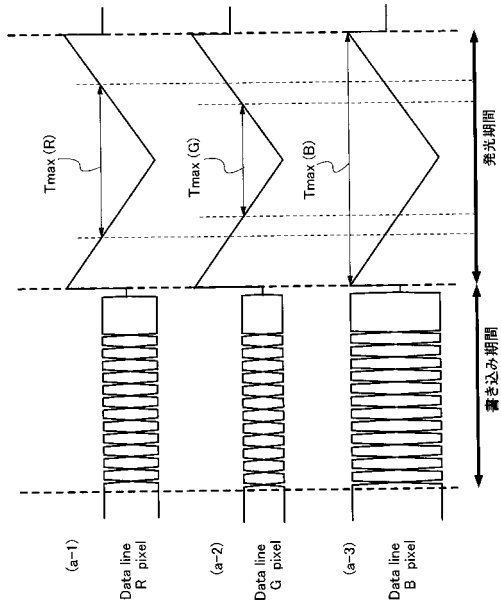
【図62】



【図63】



【 図 6 4 】



## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 4 B  
H 0 5 B 33/14 A

(56)参考文献 特開2004-170815(JP,A)  
特開2001-343911(JP,A)  
特開平07-111341(JP,A)  
特開平11-003048(JP,A)  
特開2000-268957(JP,A)  
特開2003-005709(JP,A)  
特開2004-341263(JP,A)  
特開2005-003868(JP,A)  
特開2003-186438(JP,A)  
Hiroshi Kageyama、外6名、A 3.5-inch OLED Display using a 4-TFT Pixel Circuit with an Innovative Pixel Driving Scheme, SID03 digest, 米国, Society for Information Display, 2003年 5月20日, 96-99

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2  
H 0 1 L 5 1 / 5 0