

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 23/52

H01L 23/48 H01L 21/60

H01L 21/768



# [12] 发明专利申请公开说明书

[21] 申请号 200410061683.8

[43] 公开日 2005年2月2日

[11] 公开号 CN 1574338A

[22] 申请日 2004.6.24

[21] 申请号 200410061683.8

[30] 优先权

[32] 2003.6.24 [33] JP [31] 178990/2003

[71] 申请人 株式会社瑞萨科技

地址 日本东京

[72] 发明人 田中直敬 岩崎富生 三浦英生

中岛靖之 松泽朝夫

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

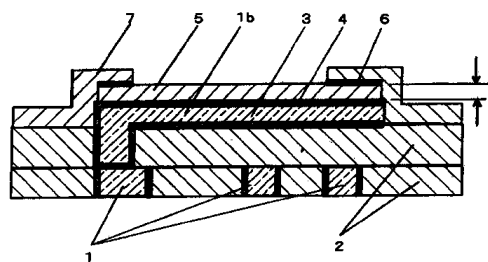
代理人 王永刚

权利要求书 2 页 说明书 14 页 附图 12 页

[54] 发明名称 半导体器件

[57] 摘要

一种半导体器件，对于 Cu 布线/Low - k 材料的叠层布线结构 LSI，可降低对键合焊盘的损伤，确立可与现有的铝布线的 LSI 同样使用的窄间距焊丝键合技术。在由 Cu 布线/Low - k 绝缘膜材料形成多层叠层布线的半导体元件中，通过全部由 Cu 布线层形成，直至最上层的帽盖布线，在由 Cu 层形成的键合焊盘部中，在其上层形成 Ti(钛)膜或(钨)膜等的高熔点的中间金属层，在其上层再形成铝合金层的键合焊盘结构来实现所述技术。



ISSN 1008-4274

1.一种半导体器件，包括连接到以铜为主要成分的布线层且与外部电连接的外部连接焊盘部，其特征在于：

所述布线层形成在介电常数比 SiO 低的第一层间绝缘膜上；

在所述布线层上形成有第二层间绝缘膜，所述外部连接焊盘部形成在所述第二层间绝缘膜上；

所述外部连接焊盘部包括第一层和形成于所述第一层上的第二层；

所述第二层比所述第一层的弹性系数高。

2.如权利要求 1 的半导体器件，其特征在于，所述第一层比所述第二层厚。

3.一种半导体器件，包括连接到以铜为主要成分的布线层且与外部连接的键合焊盘部，其特征在于：

所述布线层形成在介电常数比 SiO 低的第一层间绝缘膜上；

在所述布线层上形成有第二层间绝缘膜，在所述第二层间绝缘膜上形成有与所述布线层电连接的键合焊盘部；

所述键合焊盘部包括电连接所述布线层的第一层、形成在所述第一层上的第二层、以及形成在所述第一层和所述第二层之间的第三层；

所述第三层比所述第一层及第二层的弹性系数高，所述第一层比第二层的弹性系数高。

4.如权利要求 3 的半导体器件，其特征在于，所述第一层比所述第二层厚。

5.如权利要求 1 的半导体器件，其特征在于，在所述键合布线层上具有在所述键合焊盘部处具有开口部的保护膜。

6.一种半导体器件，包括：半导体衬底；形成在所述半导体衬底上的半导体元件；形成在所述半导体元件上的第一绝缘膜层；形成在所述第一绝缘膜层上的以铜为主要成分的布线层；形成在所述布线上第二层间绝缘膜；形成在所述第二层间绝缘膜上且通过形成在所述

第二层间绝缘膜中的栓塞电连接到所述布线的键合布线层；以及接合形成于所述键合布线层中的外部连接端子的键合焊盘部，其中，

所述第一层间绝缘膜具有比 SiO 低的介电常数；

所述键合布线以铜为主要成分；

所述键合焊盘部在所述键合布线层上形成有中间层，在所述中间层上形成有以铝为主要成分的键合层。

7.如权利要求 6 的半导体器件，其特征在于，在所述键合焊盘部上接合有电连接外部的键合焊丝。

8.如权利要求 6 的半导体器件，其特征在于，所述第二层间绝缘膜具有比 SiO 低的介电常数。

9.一种半导体器件，包括：半导体衬底；形成在所述半导体衬底上的半导体元件；形成在所述半导体元件上的第一绝缘膜层；形成在所述第一绝缘膜层上的以铜为主要成分的第一布线层；形成在所述第一布线上的第二层间绝缘膜；形成在所述第二层间绝缘膜上且通过形成在所述第二层间绝缘膜中的栓塞电连接所述第一布线的键合布线层；形成在所述键合布线层中的键合焊盘部；以及接合于所述键合焊盘部且电连接外部的键合焊丝，其中，

所述键合焊丝接合部包括在接合突点高度（厚度）与突点接合直径之比大于等于  $1/5$  小于  $2/5$  和大于等于  $2/5$  小于等于  $1/2$  的两个范围内被焊丝键合的部分，且一半以上为大于等于  $2/5$  小于等于  $1/2$ 。

10.一种半导体封装，包括：权利要求 1 的半导体器件；搭载所述半导体器件的衬底或引线框架；电连接所述半导体器件的键合焊盘部和所述衬底或引线框架的键合焊丝；以及将所述键合焊丝密封的铸模树脂。

11.一种半导体封装，包括：权利要求 1 的半导体器件；与所述半导体器件的所述键合焊盘部对置配置的衬底；电连接所述半导体器件的键合焊盘部和所述衬底的导电构件；以及在所述导电构件周围的所述半导体器件和所述衬底之间的粘结剂。

## 半导体器件

### 技术领域

本发明涉及半导体器件。

### 背景技术

至今在半导体器件内的半导体元件间的连线中使用铝合金布线，使用键合焊丝等连接构件与外部电连接。为了抑制这些连接构件的连接的健康性下降，例如在（日本）特开平 5-6915 号公报（专利文献 1）中公开的发明中，在被绝缘膜覆盖的半导体衬底上的键合焊丝连接用电极焊盘部分的结构中，提出以下结构：绝缘膜由 SiO 膜或磷酸硅玻璃（PSG）构成，电极焊盘由下层为 Al 膜、中间层为 Ti 化合物膜、上层为 Al 膜的三层结构组成，防止所述绝缘膜和 Ti 化合物之间的层间剥离。

### [专利文献 1]

#### 特开平 5-6915 号公报

在半导体元件中，形成以该铝合金膜为布线主层的多层叠层布线，这种叠层布线在铝合金膜的下层上叠层阻挡金属膜，在上层叠层帽盖金属膜。阻挡金属膜例如以防止硅衬底的 Si、铝合金膜的铝分别相互扩散的目的而形成。分别依次叠层这种阻挡金属膜、铝合金膜、阻挡金属膜的多层叠层布线的最终布线层被用作键合焊盘（外部端子）。

这种键合焊盘例如通过形成于覆盖其表面上的最终绝缘膜（最终保护膜）的键合开口而使焊丝被键合。在焊丝上主要使用金焊丝。该键合焊盘部以键合开口作为掩模，上层的帽盖金属膜通过腐蚀被除去。除去帽盖金属膜的目的在于提高键合焊盘和焊丝的连接性。

这里使用的阻挡金属膜随着布线工艺的换代而变化，但在半导

体、特别是使用微细工艺的尖端半导体产品中，作为接触方式的改善、应力迁移造成的铝布线的断线等的改善，可以将钛（Ti）或氮化钛（TiN）等构成的 Ti 化合物用作阻挡金属膜。可是，由于 Ti 化合物与 SiO 和磷硅酸玻璃（PSG）等衬底绝缘膜的粘结性差，所以对于因焊丝键合时的应力而在 Ti 化合物和衬底绝缘膜之间产生层间剥离，对于产生的层间剥离，要如上述公知例那样确保层稳定性。

可是，在用 Cu 布线和介电常数低的绝缘材料的组合来形成多层布线时，一般地，被称为 Low-k 材料的介电常数低的绝缘材料（介电常数：1.3~3.5）与 SiO（介电常数：4 以上）等相比，其弹性系数下降至 1/5~1/20 左右。因此，对于以往形成在非常软的衬底绝缘材料上的坚硬的键合焊盘部，必须实现窄间距的焊丝键合，在上述公知例中没有公开其对策。

### 发明内容

因此，本发明的目的在于提供一种半导体器件，配有 Cu 布线，降低对外部连接焊盘部或其周围构件的损伤，抑制外部连接构件的连接性下降。

为了解决上述课题，本发明可以具有以下方式。

由此，在配有 Cu/Low-k 材料的叠层部件结构的情况下，降低对外部连接焊盘部（例如，键合焊盘等）或其作为构件的损伤，与铝布线的 LSI 相比，可提供抑制接合性下降的半导体器件。

（1）一种半导体器件，包括连接到以铜为主要成分的布线层且与外部电连接的外部连接焊盘部，其特征在于：所述布线层形成在介电常数比 SiO 低的第一层间绝缘膜上；在所述布线层上形成有第二层间绝缘膜，所述外部连接焊盘部形成在所述第二层间绝缘膜上；所述外部连接焊盘部包括第一层和形成于所述第一层上的第二层；所述第二层比所述第一层的弹性系数高。

再有，作为具体的结构，所述外部连接焊盘部包括与所述第一布线层电连接的第一层、形成在所述第一层上的第二层、以及形成在所

述第一层和所述第二层之间的第三层，所述第三层的弹性系数比所述第一层及第二层高，所述第一层的弹性系数比第二层高。

(2) 此外，提供一种半导体器件，焊盘部的所述第一层比所述第二层厚。

(3) 提供一种半导体器件，包括：半导体衬底；形成在所述半导体衬底上的半导体元件；形成在所述半导体元件上的第一绝缘膜层；形成在所述第一绝缘膜层上的以铜为主要成分的布线层；形成在所述布线上的第二层间绝缘膜；形成在所述第二层间绝缘膜上且通过形成在所述第二层间绝缘膜中的栓塞电连接到所述布线的键合布线层；以及接合形成于所述键合布线层中的外部连接端子的键合焊盘部，其中，所述第一层间绝缘膜具有比 SiO 低的介电常数；所述键合布线以铜为主要成分；所述键合焊盘部在所述键合布线层上形成有中间层，在所述中间层上形成有以铝为主要成分的键合层。

而且，所述中间层例如包含钛钨、钛氮化物。

此外，例如在所述键合焊盘部中，接合电连接外部的键合焊丝。

此外，所述第二层间绝缘膜有比 SiO 低的介电常数。

此外，对于所述半导体器件，在使用金焊丝实施焊丝键合时，突点接合高度与突点接合直径的高宽比大于等于  $2/5$  小于等于  $1/2$ 。

(4) 提供一种半导体器件，包括：半导体衬底；形成在所述半导体衬底上的半导体元件；形成在所述半导体元件上的第一绝缘膜层；形成在所述第一绝缘膜层上的以铜为主要成分的第一布线层；形成在所述第一布线上的第二层间绝缘膜；形成在所述第二层间绝缘膜上且通过形成在所述第二层间绝缘膜中的栓塞电连接所述布线的键合布线层；形成在所述键合布线层中的键合焊盘部；以及接合于所述键合焊盘部且电连接外部的键合焊丝，其中，所述键合焊丝接合部包括接合突点高度（厚度）与突点接合直径之比大于等于  $1/5$  小于等于  $2/5$  和大于等于  $2/5$  小于等于  $1/2$  的两个范围内被焊丝键合的部分，且一半以上大于等于  $2/5$  小于等于  $1/2$ 。

(5) 提供一种半导体封装，包括：上述任何一种方式的半导体

器件；搭载所述半导体器件的衬底或引线框架；电连接所述半导体器件的键合焊盘部和所述衬底或引线框架的键合焊丝；以及将所述键合焊丝密封的铸模树脂。

例如，有以下半导体封装，其特征在于：在 LSI 搭载衬底或引线框架上至少搭载一个具有上述键合焊盘结构的 LSI，与所述 LSI 搭载衬底或引线框架上形成的电极焊盘部通过方案 3 所述的焊丝键合方法而实现电连接，通过铸模树脂来密封其周围。

(6) 一种半导体封装，包括：上述任何一种方式的半导体器件；与所述半导体器件的所述键合焊盘部对置配置的衬底；电连接所述半导体器件的键合焊盘部和所述衬底的导电构件；以及在所述导电构件周围的所述半导体器件和所述衬底之间的粘结剂。

例如，有以下半导体封装，其特征在于：在 LSI 搭载衬底上至少搭载一个以上具有上述键合焊盘结构的 LSI，在所述 LSI 上的键合焊盘部中通过方案 3 所述的焊丝键合方式形成电极突点，与形成在所述 LSI 搭载衬底上的电极焊盘部电连接，通过粘结材料来密封其周围。

再有，对于用铜布线和介电常数低的绝缘材料 (Low-k 材料) 组合构成多层布线的 LSI，本发明在具有对间距 60 $\mu\text{m}$  以下的外部的连接构件进行连接的键合焊盘的半导体器件中十分有效。或者在实施焊丝直径与突点接合直径为 1/2 以上的间距窄的焊丝键合的情况下十分有效。由此，可防止键合焊盘部的焊盘损伤，并且提高键合性 (接合均匀性)。

根据本发明，可提供半导体器件，在配有 Cu 布线结构的情况下，降低对外部连接焊盘或其周围构件的损伤，与铝布线的 LSI 相比，可抑制键合性的下降。

#### 附图说明

图 1 表示本发明第一实施例的剖面图。

图 2 表示本发明第二实施例的剖面图。

图 3 表示本发明第三实施例的剖面图。

图 4 表示本发明第四实施例的剖面图。

图 5 表示本发明第五实施例的剖面图。

图 6 表示本发明第六实施例的剖面图。

图 7 表示键合焊盘直径和键合突点形状的关系图。

图 8 表示相对于 Al 膜厚的阻挡金属膜的拉应力的解析结果例。

图 9 表示相对于 Al 膜厚的接合性和接合均匀性的关系图。

图 10 表示相对于 Al 膜厚的突点接合部的变形分布图。

图 11 表示突点接合部的塑性变形分布图。

图 12 表示突点接合部的超声波振动方向的变形分布和阻挡金属膜的拉应力分布。

### 具体实施方式

以下说明本发明的实施方式。再有，本发明不限于本说明书中记载的方式，不阻碍根据现有的公知技术或成为公知技术的技术来进行修正。

图 1 是表示本发明第一实施例的 LSI 表面上的键合焊盘结构的剖面图。在本实施例中，表示通过键合焊丝连接半导体器件和外部器件的方式的例子。

与 SiO 相比，将低介电绝缘材料（这里作为一例为 SiOC）形成的层间绝缘膜形成在半导体衬底（这里作为一例，使用 Si）上。在其上包括多个 Cu 布线 1。Cu 布线 1 上的覆盖 Cu 布线 1 的层间绝缘膜 2 形成在其上，用作键合焊盘的 Cu 键合布线层 1b 在低介电常数的绝缘膜 2 的表面上形成。键合布线层 1b 通过通孔与位于最上层的 Cu 布线 1 连接。首先在所述绝缘膜 2 的整个表面上淀积阻挡金属膜 3、作为键合焊盘部主层的 Cu 的键合布线 1b，接着淀积作为相当阻挡金属膜的高熔点金属膜的中间金属膜 4，在其表面上淀积铝合金膜 5，最后形成帽盖金属膜 6。键合布线层 1b 具有键合焊盘部和连接键合焊盘部与来自其下层的 Cu 布线 1 的通孔的形成在层间绝缘膜中的连接布线部。

这样，键合焊盘部在作为第一层的键合布线 1b 上夹置中间金属



膜 4 配置成为第二层的铝合金膜 5。

作为所述阻挡金属膜，例如通过溅射法来淀积 TiW（钛钨）膜、TiN（钛氮化物）膜、或以 Ti 膜夹层 TiN 膜的三层结构的膜。将包含这些成分的阻挡金属或中间金属膜配置在所述第一层或第二层的基底上就可以。此外，也可以形成在第二层的外部连接构件（这里为键合焊丝）接合的区域周围或被最终保护膜 7 覆盖的部分中。接着，Cu 膜作为键合焊盘部的主层，通过同样的溅射法来淀积。接着，作为相当阻挡金属膜的高熔点金属膜，例如通过溅射法来淀积 Ti（钛）膜或 W（钨）膜，在其上用溅射法淀积铝合金膜作为焊丝键合时的接合膜，最后用溅射法淀积帽盖金属膜。这里，对于夹置相当阻挡金属膜的高熔点金属膜，以 Cu 布线和铝合金膜的叠层结构构成的成为键合焊盘部的上层侧布线的铝合金膜，例如其最终厚度（t）大于等于 600nm 小于等于 1000nm。接着，从最上层侧的帽盖金属膜 6 直至铝合金膜 5、相当阻挡金属膜的高熔点的中间金属膜 4、Cu 布线 1b、最下层的阻挡金属膜 3，依次实施构图，形成叠层布线和连接该叠层布线并且具有同一剖面结构的键合焊盘。所述构图使用以光刻技术形成的光刻胶掩模，以腐蚀方式形成。接着，在包含所述叠层布线层上和键合焊盘上的整个衬底面上淀积最终保护膜。该保护膜形成在键合布线层 1b 上，在键合焊盘部中有开口部。该最终保护膜例如使用按等离子体 CVD 法淀积的氮化硅膜。接着，在包含所述最终保护膜上的整个衬底面上形成树脂膜。该树脂膜使用聚酰亚胺类树脂，按 2~10mm 的膜厚形成。接着，在所述树脂膜、最终保护膜上实施构图，根据所述键合焊盘区域而形成开口部。从开口部露出的键合焊盘上层的帽盖金属膜 6 通过腐蚀被除去。在该腐蚀工艺中对最终的键合焊盘部的铝合金膜的厚度（t）进行最终调整，使其大于等于 600nm 小于等于 1000nm。该腐蚀例如使用 CF<sub>4</sub> 气体，按等离子体腐蚀方式进行。

这样，键合焊盘部包括与位于最上部的布线层电连接的作为第一层的 Cu 键合布线 1b 和形成在所述第一层上的作为第二层的 Al 合金膜 5，所述第二层具有弹性系数比所述第一层高的特征。

这样，通过形成，即使是在包括 low-k 的层间绝缘膜的 Cu 布线的半导体器件上与外部的连接构件进行接合的情况，对于基底的第一层的变形，可以选择性进行上层的第二层的键合时的变形，所以降低键合时施加的应力，抑制对键合焊盘或周边结构的影响，可以提高键合接合性。

而且，在本实施例中，键合焊盘部也可以包括所述第一层、形成所述第一层上的第二层、形成在所述第一层和所述第二层之间的作为中间层的第三层（中间金属膜 4）。第三层的弹性系数比所述第一层及第二层高。这样，键合焊盘为多层结构，有与内部布线连接的第一层、形成在第一层上的第三层、形成第三层上的第二层，以第三层的刚性（弹性系数）最高、第二层的刚性（弹性系数）比第一层高来形成。

此外，在上述观点中，作为具体的方式，成为第二层的 Al 合金膜 5 可以比成为第一层的最终叠层布线层的键合布线层 1b 薄。由此，可以提高 Cu 布线层的导通（ON）特性，提高刚性。

或者，在另一观点中，作为具体的方式，成为第二层的 Al 合金膜 5 可以比成为第一层的最终叠层布线层的键合布线层 1b 厚。由此，可使 Cu 布线层微细化，在晶体管等半导体元件附近部位形成焊盘部。可用于构成焊盘部位于有源区域而形成的小型半导体器件。

此外，作为具体方式，键合布线以铜为主要成分，键合焊盘部在所述键合布线层上形成中间层，在所述中间层中形成以铝为主要成分的键合层。

此外，从制造工序高效率化的观点来看，Cu 布线层 1 和所述键合焊盘之间形成的层间绝缘膜可由介电常数比 SiO 低的绝缘膜形成。

或者，从可抗焊盘部的外部连接构件连接时的应力方式的观点来看，与形成了 Cu 布线层 1 的层上形成的层间绝缘膜（例如 SiOC）相比，可以是介电常数低的绝缘膜（SiO）。

这样，在配有 Cu/Low-k 材料的叠层布线结构的情况下，可以提供降低对键合焊盘或其作为构件的损伤，与铝布线的 LSI 相比，可抑

制键合性下降的半导体器件。

在用 Cu 布线/Low-k 材料形成了多层叠层布线的半导体元件中，通过直至最上层的帽盖布线全部由 Cu 布线层形成，在 Cu 层形成的键合焊盘部中，在其上层形成 Ti (钛) 膜和 (钨) 膜等高熔点的中间金属层，在其上再形成铝合金层的键合焊盘结构来实现。或者，仅最上层的帽盖布线用铝合金层形成，在用铝合金层形成的键合焊盘部中，形成 Ti 膜等高熔点的中间金属层，以下说明在其上再形成铝合金层的键合焊盘结构的特性。

图 8 表示相对于键合焊盘部的铝合金膜厚度，在突点接合部的铝合金膜基底的阻挡金属膜中产生的最大拉应力。表示层间绝缘膜为以往的 SiO (弹性系数: 70~80GPa 左右) 的情况、以及采用介电常数低的 Low-k 材料 (弹性系数: 2~10GPa 左右) 的情况。可知铝合金膜厚度越薄，阻挡金属膜的拉应力越增加，层间绝缘膜在以往的 SiO 时低于 600nm 的厚度下产生接近阻挡金属膜的破坏强度的应力。如果将低弹性的 Low-k 材料作为层间绝缘膜使用，发现相对于相同的铝合金膜厚度，在阻挡金属膜上产生的拉应力的最大值增加到 4 倍以上，不能避免键合焊盘部的损伤。因此，作为避免它的手段，发现在键合焊盘部铝合金膜中，作为相当阻挡金属膜的高熔点金属膜，例如通过形成 Ti 膜作为中间层，发现将键合焊盘部的膜质量提高，可兼顾接合均匀性和基底阻挡金属层的低应力化的方法。在图中，用箭头表示例如将 Ti 膜等作为中间金属层形成时，在介电常数低的 Low-k 材料的上层形成的阻挡金属膜中产生的最大拉应力与没有中间金属层情况下的最大拉应力产生哪种程度的下降。如图所示，即使在采用介电常数低的 Low-k (弹性系数 2MPa) 的情况下，也有大幅度的应力降低效果。

此外，在上述键合焊盘结构中，最上层形成的铝合金层厚度大于等于 600nm 小于等于 1000nm。

因此，作为具体方式，在用铜布线和介电常数低的绝缘材料的组合构成多层布线的半导体器件的键合焊盘结构中，有仅键合焊盘的最终布线夹置高熔点金属突点用铝合金层形成，在其上层形成高熔点的

中间金属膜，再在其上以大于等于 600nm 小于等于 1000nm 的厚度形成铝合金层的键合焊盘结构。

图 9 表示相对于键合焊盘部的铝合金膜厚度的突点接合部的塑性变形分布。这里，作为接合性的评价指标，假设突点接合界面的塑性变形越大，通过来自毛细管的超声波震动，在接合面上产生滑动变形，并随着热扩散而促进合金层形成。基于这一前提可知，如果键合焊盘部的铝合金膜厚度薄（600nm），则在接合面整个面上构成大致均匀的塑性变形分布，而如果铝合金膜厚度增厚，则不仅塑性变形的绝对值整体性下降，而且特别是内周侧的塑性变形下降，内周侧的接合性恶化。特别是如果是铝合金膜厚度超过 1000nm 的区域，则塑性变形的标准偏差超过塑性变形的平均值，接合不均匀性进一步加快。

图 10 表示相对于键合焊盘部的铝合金膜厚度的突点接合部的厚度方向的变形分布。如果铝合金膜厚度增厚，则因来自毛细管的推压负荷，可发现接合面沉入铝合金膜内部，突点接合面内周侧的变形中心不是与突点的接合界面，而移动到铝合金膜内部。从以上机理来看，在均匀地接合突点上，发现使铝合金膜厚度薄是有效的。但是，如图 8 所示，如果铝合金膜厚度低于 600nm 则接近正下方的阻挡金属膜的边界强度，而且考虑到合金层形成时的 Al 供给不足，有可能阻碍合金层形成等，所以作为最小膜厚，认为需要大于等于 600nm。因此，兼顾接合均匀性的观点和键合焊盘部铝合金膜基底的阻挡金属膜的低应力化的上述范围厚度被判断为合适范围。不用说，这里所示的合适范围在以往的 Al 膜单层的焊丝键合焊盘结构中，可期待同样的效果。特别是在本发明对象的多层结构的焊丝键合焊盘结构中，通过中间金属膜来强化焊盘结构，所以最上层的 Al 膜厚在 600nm~800nm 的范围内薄膜化，可以仅优先接合均匀性。

图 11 表示键合焊盘的总厚度都为 2000nm，对于由铝合金单层形成的情况和形成中间金属膜情况的突点接合部的塑性变形分布。由于铝合金层的导体电阻比铜大，所以特别是对于用 Cu 布线形成的 LSI，在由铝合金层形成作为最终布线层的键合焊盘的情况下，从电气特性

的观点来看，期望尽可能厚地形成。但是，如果以单层方式加厚，则与图 9 所示的情况同样，加速接合不均匀性，如图中所示，在键合焊盘中形成中间金属层，按上述所示的合适范围来形成中间金属层的上层侧的铝合金层厚度，另一方面，键合焊盘的总厚度从电气特性上的观点来看，只要规定合适的下层侧铝合金层厚度，则不仅可获得图 7 所示的基底焊盘损伤的降低效果，同样可解决接合均匀性和电气特性提高的三个课题。对于键合焊盘的下层侧布线，用铝合金层形成还是用铜布线形成都是同样的，但使用铜布线，由于导体电阻更小、刚性高，所以与铝合金相比，可进行薄膜化。

在以三层结构构成的焊丝键合焊盘结构中，可以为以下方式：成为第二层的中间层刚性最大（弹性系数）并且薄，成为第一层的最下层比成为第三层的最上层的刚性（弹性系数）高并且薄。

这里，各层的刚性（弹性系数）通过纳米压头等测量装置来定义。

本实施例适合于包括布线工艺微细化至小于等于 0.18mm 的 Cu 布线和硅的 Low-k 材料的器件。

图 2 是表示本发明第二实施例的 LSI 上的键合焊盘结构的剖面图。在本实施例中，基本上可以使用第一实施例中说明的方式。对于成为键合焊盘的最终布线层，从最终 Cu 布线层 1 夹置 W（钨）栓塞 8，由铝合金层 5b 形成。仅位于 Cu 布线层 1 上的 W 栓塞周围形成的层间绝缘膜不一定需要是介电常数低（介电常数大于等于 1 小于等于 3.5）的材料，也可以是 SiO<sub>2</sub>（介电常数大于等于 4）等氧化膜。接着，与第一实施例同样，在其上层淀积相当阻挡金属膜的高熔点金属膜 4，再在其上淀积铝合金膜 5，最后形成帽盖金属膜 6。这里，对于夹置相当阻挡金属膜的高熔点金属膜 4 并以铝合金膜 5、5b 的叠层结构构成的键合焊盘部的成为上层侧布线的铝合金膜 5，以最终的厚度大于等于 600nm 小于等于 1000nm 进行淀积。然后，实施与第一实施例同样的构图，形成键合焊盘部。

图 3 是表示本发明第三实施例的 LSI 上的键合焊盘结构和所述键合焊盘上接合的键合焊丝的接合剖面。基本上在通过第一及第二实施

例记载的工艺形成的 LSI 上的键合焊盘部中实施焊丝键合。

这里，键合焊丝和接合部包括接合突点高度（厚度）与突点接合直径之比大于等于  $1/5$  小于等于  $2/5$ 、以及大于等于  $2/5$  小于等于  $1/2$  两个范围内进行焊丝键合的部分，其特征在于，其一半以上大于等于  $2/5$  小于等于  $1/2$ 。

通过焊炬（torch）电流熔融的键合焊丝 9 前端的金球通过被称为毛细管的键合工具在键合焊盘上按一定负载压接，同时施加  $60\text{k}\sim 120\text{kHz}$  的超声波，通过金球和铝合金膜的相互热扩散现象而形成 Au 和 Al 的合金层 10。在对键合时的接合状态产生影响的键合参数中，以毛细管形状参数为首存在多个。这里，通过这些毛细管参数最佳化，设定焊丝键合条件，以使键合完成后的最终突点接合形状中的突点接合高度（ $t_1$ ）与突点接合直径（ $D_1$ ）之比（突点的高宽比）大于等于  $2/5$  小于等于  $1/2$ 。由此，实际上在接合的焊丝键合形状中，则包括在接合突点高度（厚度）与突点接合直径之比大于等于  $1/5$  小于等于  $2/5$  和大于等于  $2/5$  小于等于  $1/2$  两个范围内进行焊丝键合的部分，形成其大部分大于等于  $2/5$  小于等于  $1/2$  的焊丝键合。这里，接合直径被定义为在接合剖面中央部中形成合金层 10 的区域的平均直径，突点高度被定义为接合剖面中央部中的接合突点的平均壁厚。作为使用的键合焊丝直径（ $D_2$ ），为小于等于  $20\mu\text{m}$  的金合金类焊丝，特别是接合直径（ $D_1$ ）与焊丝直径（ $D_2$ ）的比率小于等于  $1/2$ （例如， $20\mu\text{m}$  焊丝时接合直径小于等于  $40\mu\text{m}$ ）的窄间距的键合焊丝在实现上是有效的。

焊丝键合通过被称为毛细管的键合工具，例如将 Au 焊丝接合在键合焊盘部中。通过焊炬电流熔融焊丝前端部而形成的初始球（空气球）在  $150^\circ\text{C}\sim 250^\circ\text{C}$  的温度下被压紧在所述键合焊盘部，同时施加超声波，通过键合焊盘部的 Al 和 Au 焊丝的热扩散而形成合金层，从而实现接合。键合焊盘的中心线和相邻的焊盘的中心线的距离通常称为间距，对于大于等于  $60\text{mm}$  为主流的至今为止的连接间距，随着目前半导体芯片的高密度化的技术动向，低于  $60\text{mm}$  的窄间距的键合正在

实用化。在低于 60mm 的窄间距的键合中，所谓的小球接合，使用通常具有小于等于 45mm 的小直径的初始球来进行接合。但是，即使在小球接合上获得某一程度的接合强度，接合后的压接直径在不是正圆的某一特定方向上过大地变形，在目前这样的窄间距中，有时在相邻的电极间接合的球之间接触并产生短路。对于该课题，例如在特开 2002-110729 中公开的发明中，提出以下方法：使用总计从 20 至 1000wt.ppm 含有 Ca、Be、贵金属元素或稀土类元素中一种或两种以上，剩余部分为 Au 和不可避免杂质的半导体安装用的键合焊丝，并且在将所述键合焊丝接合在半导体部件上的电极时使用的毛细管的 CD 直径的 1~1.3 倍直径的初始球形成在焊丝前端后进行接合。由此，初始球的晶粒变得微细，并且可进行各向同性的初始球的变形。

而且，在低于 60mm 的窄间距的键合中，有接合裕度极大地减少的问题。图 7 表示对于焊丝键合的窄间距的、接合突点形状和将突点进行接合的毛细管的关系。在连接突点间距大的情况下，对于焊丝直径，可以增大突点接合直径，所以可将来自毛细管的力（压紧负荷+超声波振动）充分传送到突点接合面。但是，随着推进窄间距化，可知焊丝直径和突点接合直径之差变小，来自毛细管的力仅部分地传送到突点接合界面（特别是没有传送到接合界面内部侧）。接合直径变小的量相似于焊丝变细就好了，但该情况下焊丝的刚性下降，产生树脂铸模时的焊丝流动，容易发生焊丝间的电气短路。因此，在焊丝的细线化上有限制。因此，因焊丝键合的窄间距化造成来自毛细管的力局部地起作用，从而与以往相比，不仅难以将接合截面整体均匀地接合，并且产生来自毛细管的负荷局部作用而容易损伤键合焊盘的问题。

相反，根据上述方式，可以解决上述问题。

图 12 表示对于将突点接合直径固定为 50mm，突点接合后高度为 5mm 和 20mm 情况，突点接合部剖面的超声波振荡方向的变形分布和衬底阻挡金属膜上产生拉应力分布。在突点接合后高度为 5mm（高宽比 1/10）的情况下，可知突点接合界面的内周侧和外周侧上变形的相位反转。即，对于接合界面的外侧向外周方向扩宽变形，内周

侧向中心方向收缩变形，所以在相位反转位置产生接合界面的滑动变形，并且对于键合焊盘部产生大的拉应力。相反，在突点接合后高度为 20mm（高宽比 2/5）时，可知没有上述观察到的变形的相位反转，变形对于接合中心向均匀的方向行进。由此，发现不仅可对接合界面进行更均匀的接合，并且可对键合焊盘部进行低应力的接合，在键合焊盘部的损伤降低上是有效的。但是，高宽比大于等于 1/2 的情况，从压碎球状的初始球并进行滑动的工艺来说，物理上难以实现，所以上述范围被判断为合适范围。但是，在实际的焊丝键合工艺中，通常是各突点形状相对于设计值产生偏差的情况，实际上，包括接合突点高度（厚度）与突点接合直径之比大于等于 1/5 小于 2/5 和大于等于 2/5 小于等于 1/2 两个范围内进行焊丝键合的情况，通过使其大部分大于等于 2/5 小于等于 1/2 来实现。

图 4 表示本发明第四实施例的半导体封装结构的剖面图。它被称为 BGA（Ball Grid Array；网格焊球阵列）封装结构，首先在 LSI 搭载衬底 11 上使用粘结材料 13 粘结叠层 LSI 芯片 12，通过各个焊丝键合而电连接各个 LSI 上形成的键合焊盘部和搭载衬底侧键合用焊盘之间。这里，对于具有第一及第二实施例所示的键合焊盘结构的 LSI 实施至少一个 LSI 的焊丝键合。再有，这里示出具有第二实施例所示的键合焊盘结构的例子。接着，通过铸模树脂 14 密封包含焊丝键合的接合区域的 LSI 整体，最后在所述 LSI 搭载衬底 11 的背面上搭载焊料球 15。

图 5 表示本发明第五实施例的半导体封装结构的剖面图。它被称为 QFP（Quad Flat Package；方形扁平封装）的封装结构，首先在引线框架面内上形成的芯片焊盘 16 上粘结 LSI 芯片 12，通过各个焊丝键合来电连接 LSI 芯片上形成的键合焊盘部和引线框架内表面上形成的内部引线 17 前端部。这里，对具有第一及第二实施例所示的键合焊盘结构的 LSI 实施所述焊丝键合。接着，通过铸模树脂来密封包含焊丝键合的接合区域的 LSI 整体和内部引线，最后通过模具来成形外部引线。



图 6 表示本发明第六实施例的半导体封装结构的剖面图。封装外形与第四实施例所示的被称为 BGA 的封装结构相同，但叠层在 LSI 搭载衬底 11 上第一级的 LSI 芯片 12 不进行焊丝键合，一般通过被称为倒装芯片安装的在 LSI 上的键合焊盘部形成的连接构件（例如金突点）19 直接与搭载衬底侧的电极焊盘 20 连接。金突点的形成方法有柱突点方式和镀敷突点方式，一般地通过与焊丝键合同样的方法，用前者可廉价地形成金突点。这里，形成柱突点的焊丝键合焊盘在第一及第二实施例所示的键合焊盘结构中实施。在倒装芯片安装中，有如焊料接合那样形成金属接合面的冶金工艺接合方式和不形成金属接合面的非冶金工艺接合方式。在非冶金工艺的接合方式中夹置粘结材料 21 通过高温下的压接载荷使粘结材料 21 固化和热收缩，在 LSI 芯片 12 上形成的金突点 19 和衬底侧电极焊盘 20 间产生接触压，实现电连接。因此，特别是在用 Cu 布线/低介电的绝缘材料的多层布线形成的 LSI 中，在防止所述第一实施例所示的键合焊盘结构压接时的焊盘损伤方面也有效。

这样，通过上述实施例中展示的键合焊盘，对于具有用 Cu 布线/低介电的绝缘膜构成的多层布线结构的 LSI，可容易地实现间距窄的焊丝键合。此外，在实现均匀的接合上，规定合适的铝合金层厚度，可以实现更可靠的接合。此外，对于焊丝键合的窄间距化，难免增大对键合焊盘衬底薄膜的负荷，通过实现本发明展示的合适的突点接合部结构，可减轻对衬底的损伤，可进行兼顾接合均匀性和降低衬底损伤的窄间距焊丝键合。

因此，可提供可靠性高的半导体器件。

图1

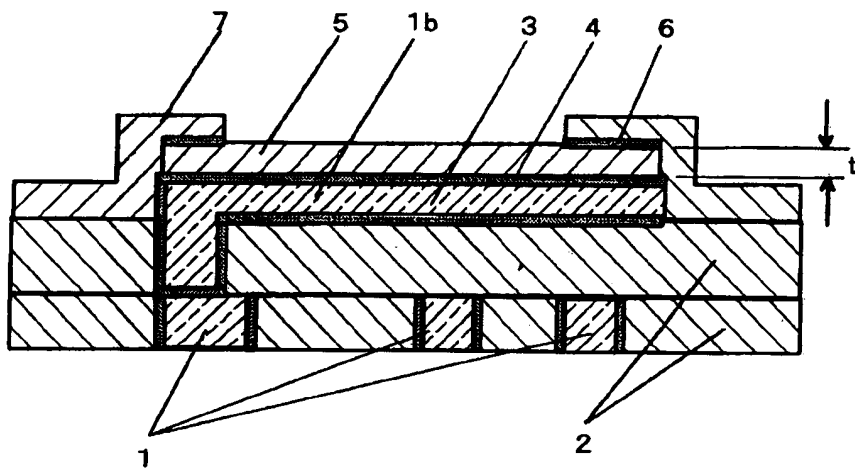
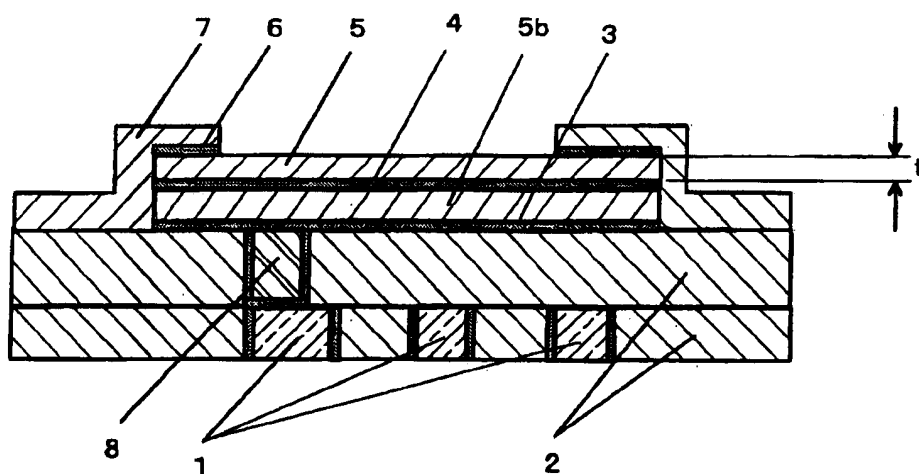


图2



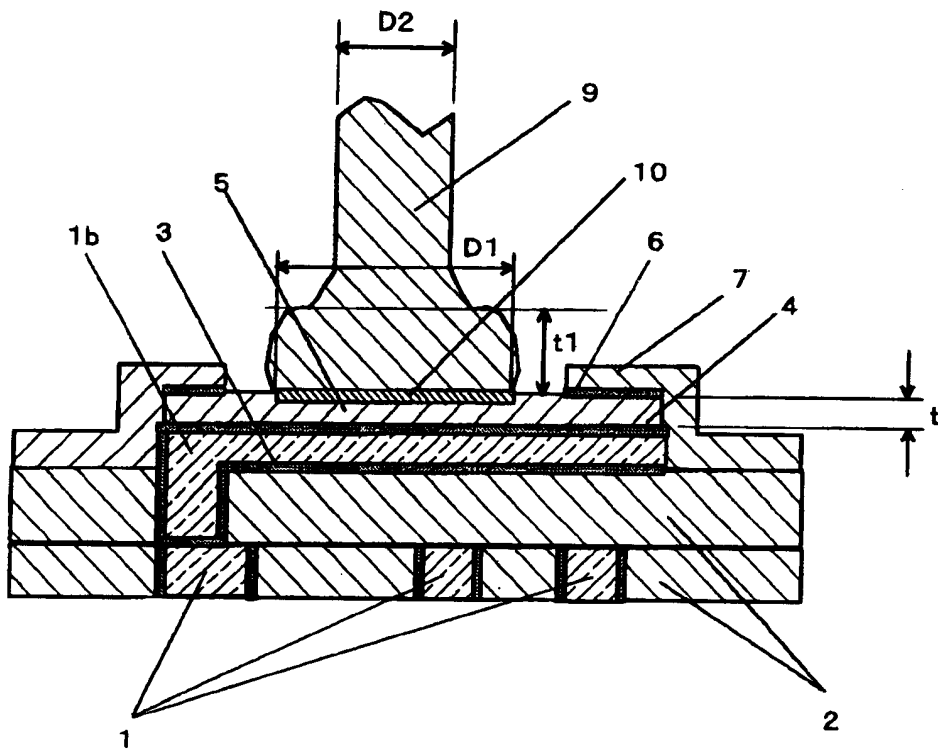


图3

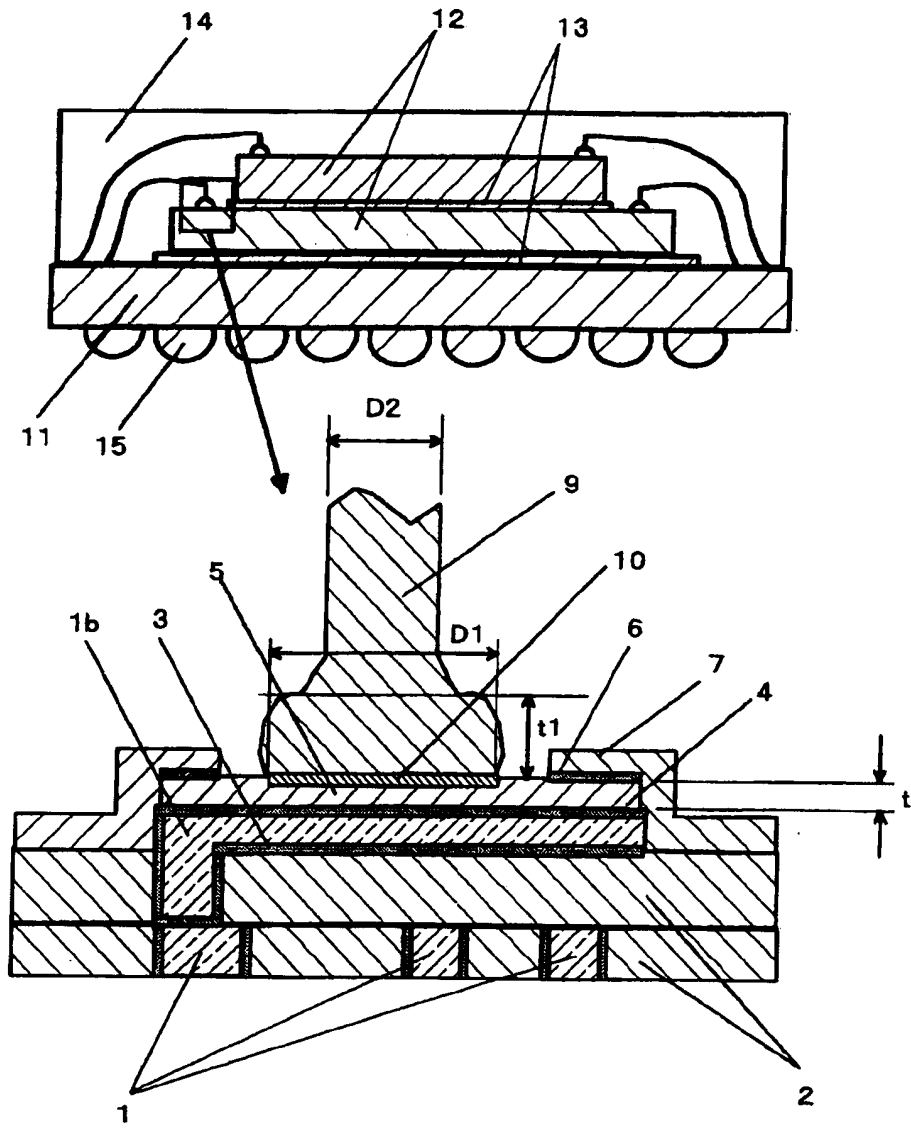


图 4

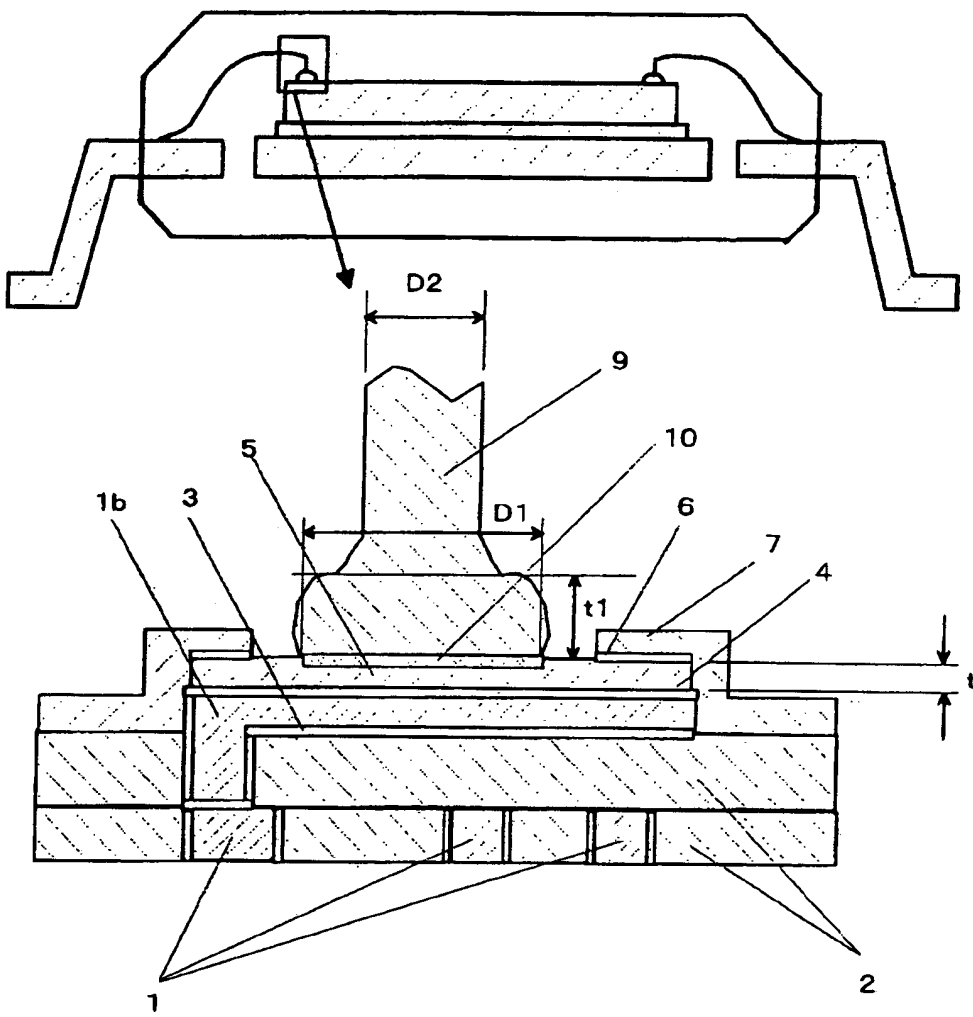


图5

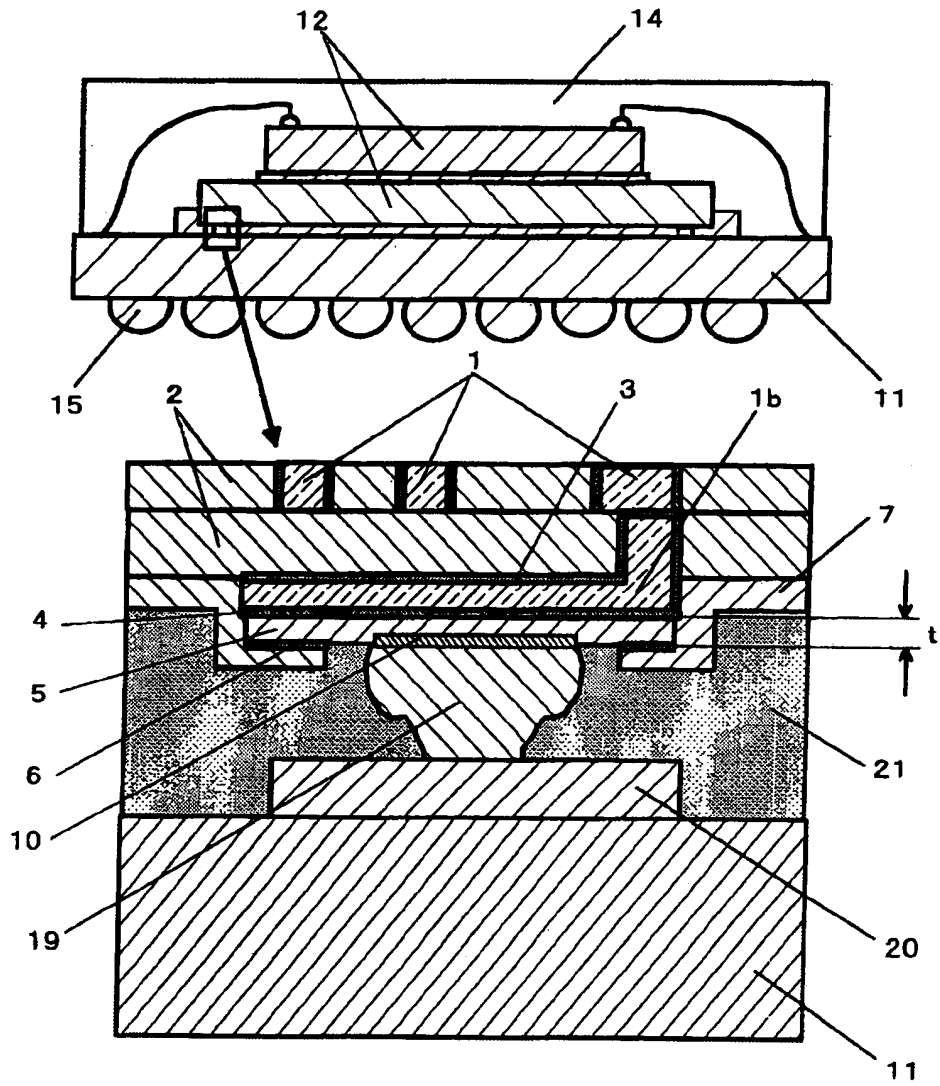


图 6

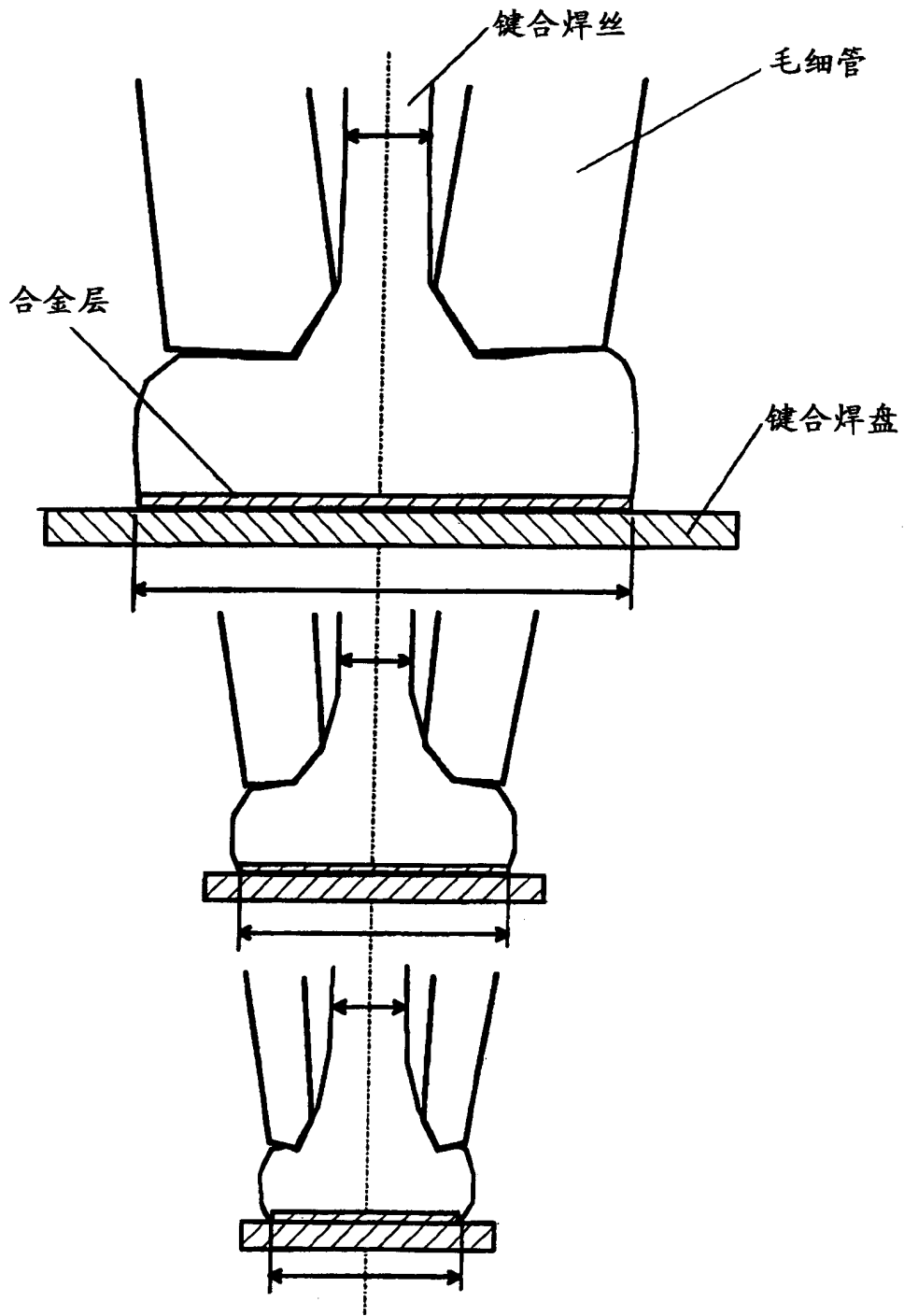
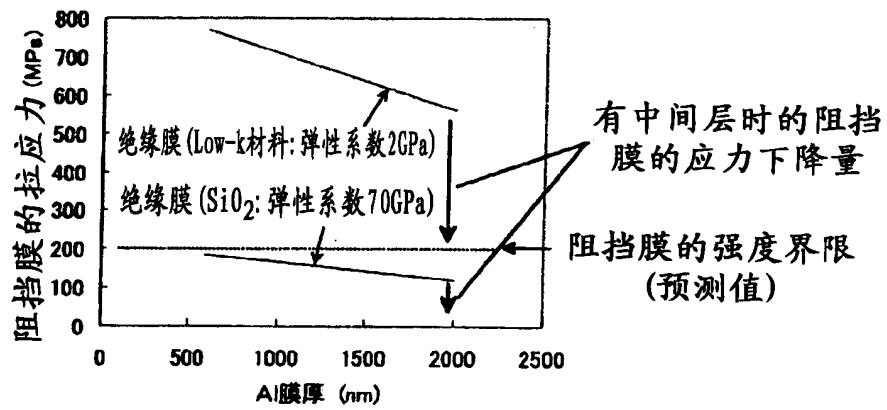
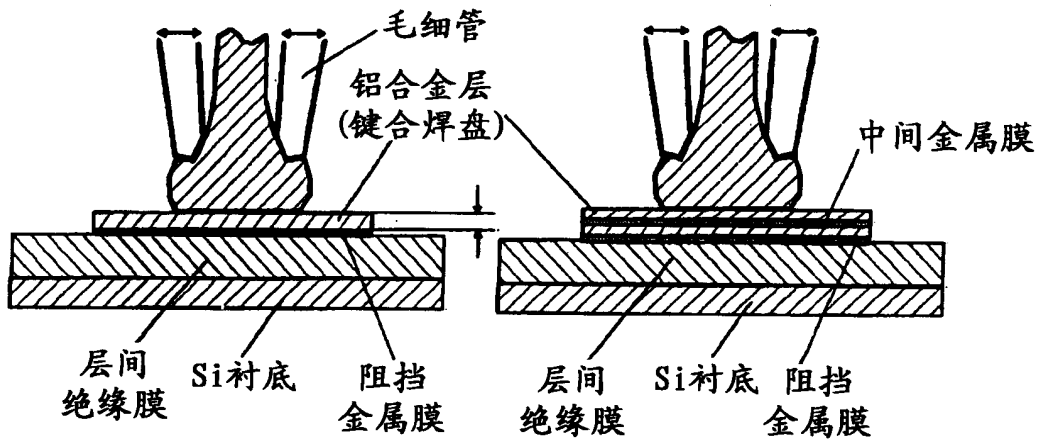


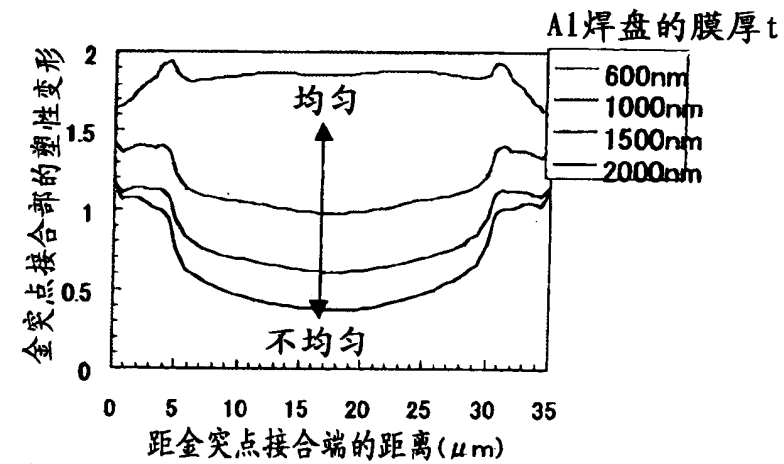
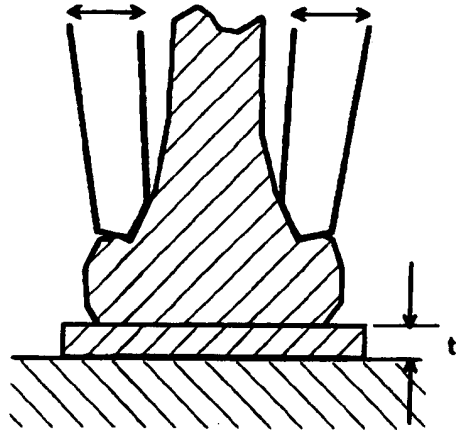
图7



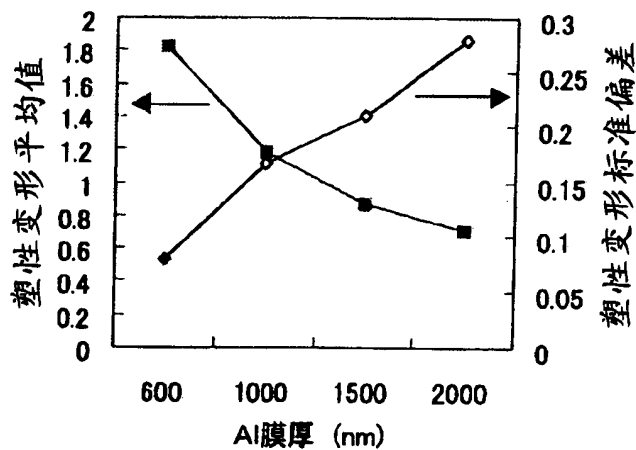


相对于Al膜厚的阻挡膜的拉应力变化

图8



键合时的金突点接合部的塑性变形分布



相对于Al膜厚的接合性和接合均匀性的关系

图9

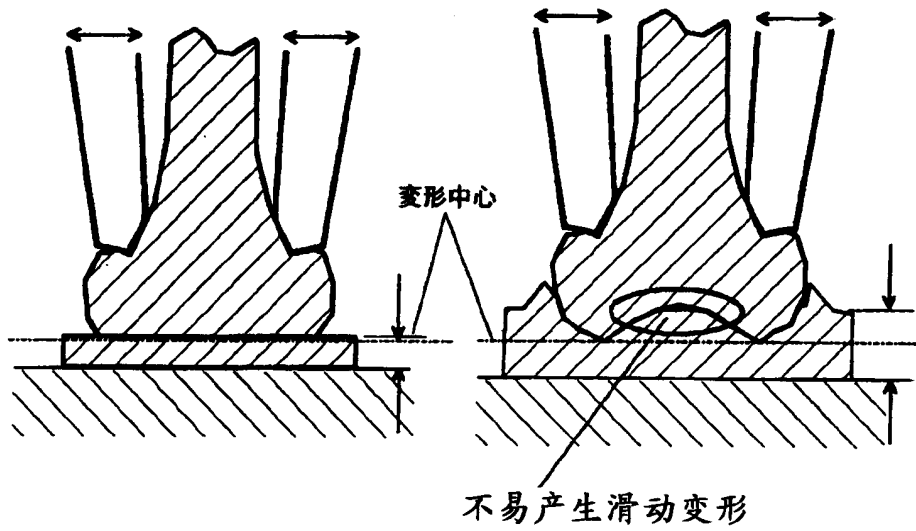
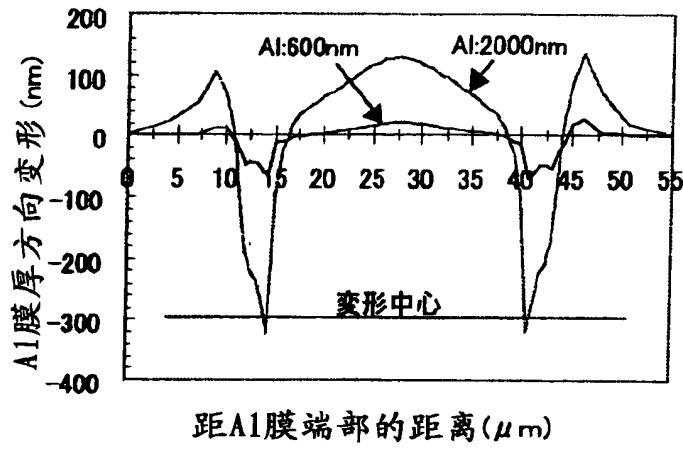
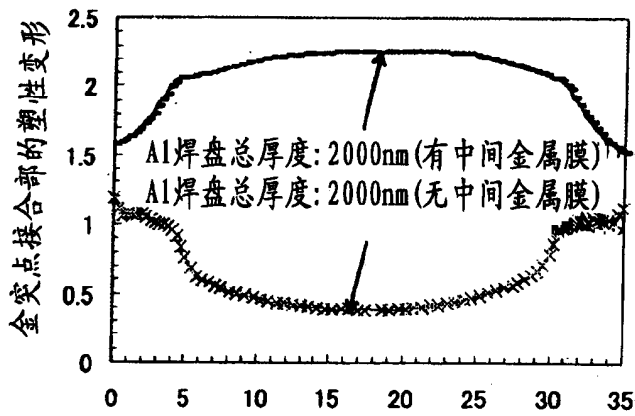
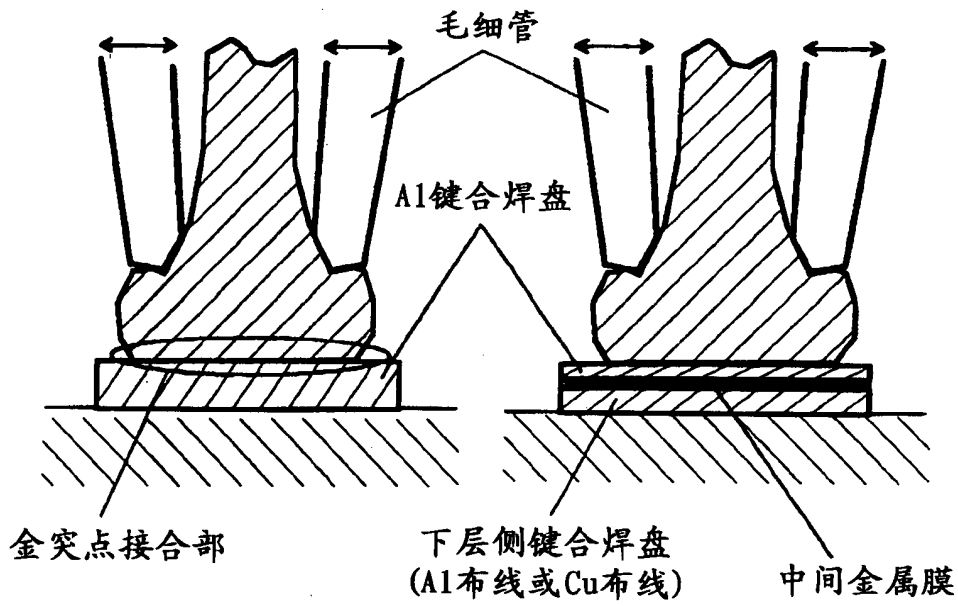


图10



键合时的金突点接合部的塑性变形分布

图 11

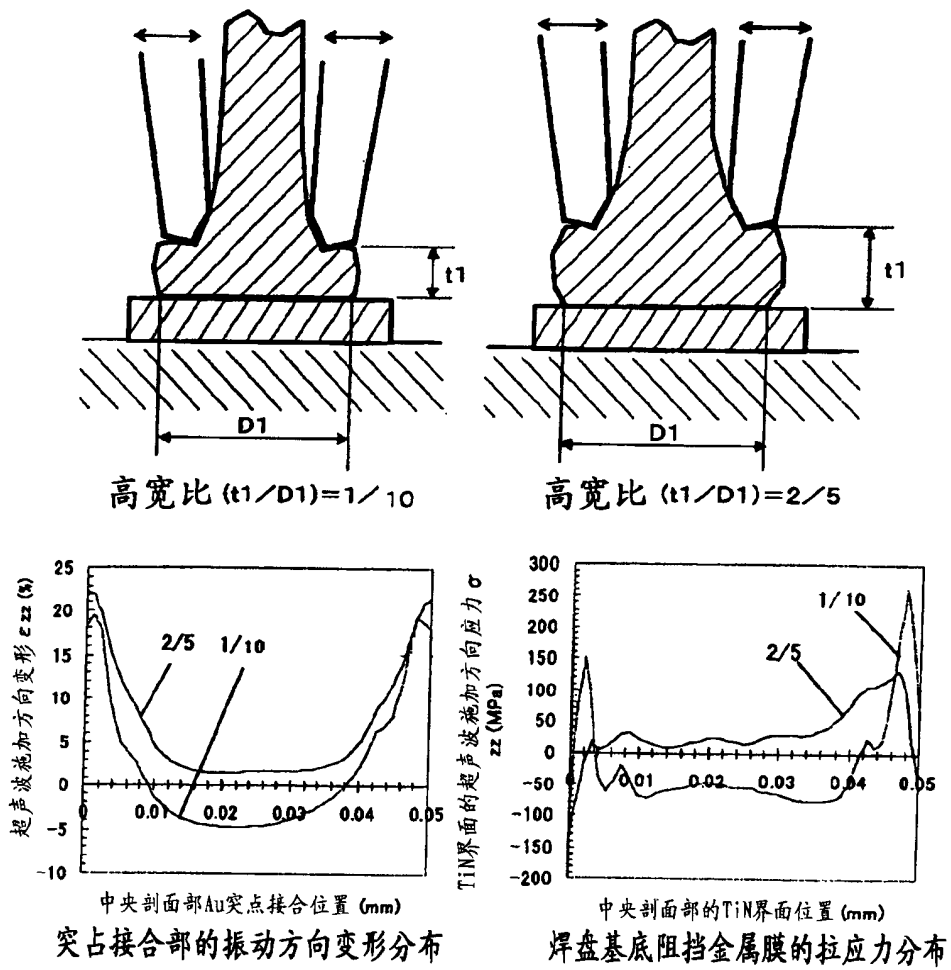


图12