

一、本案已向

| 國家(地區)申請專利 | 申請日期 | 案號 | 主張專利法第二十四條第一項優先權 |
|------------|------------|--------------|------------------|
| 德國 DE | 2002/02/20 | 102 07 130.6 | 有 |

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

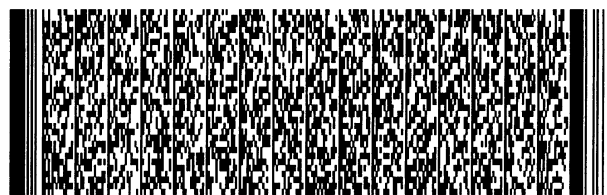
五、發明說明 (1)

本發明係關於組件之領域，特別是微電子組件及特別是在半導體記憶體領域。

在組件製造期間，不同物質層被連續施用及定型化。為確保所製造組件的可靠性，所施用層需具足夠的黏著。會成為問題的如絕緣物質（如二氧化矽及四氮化三矽）在貴金屬或其他不易氧化的金屬上（特別是週期表的副族 VIIIb 之金屬）的黏著。

鉑或鈦被用於如具鐵電或高 $-\epsilon-$ 介電（ ϵ 一般大於 20）的電容器介質的半導體記憶體的電容器電極之製造，因此種金屬足夠耐電容器介質沉積所需的製程條件。特別是，電極必須耐在高溫下的氧化，然而，顯著的耐腐蝕性佳在有關對用做半導體技術標準物的絕緣物質之黏著則有更多的缺點。預先假設在兩層間的良好黏著與相鄰層的某化學相互作用或相互擴散相關。藉由實例，在鈦及鋁間形成的 $TiAl_3$ ，且此層在黏著具良性影響。當沉積相當容易氧化的金屬在二氧化矽上時，以有利於黏著的方式形成金屬氧化物層亦被發現。

在貴金屬或其他不易氧化的金屬之情況下，與如氧化物層的化學相互作用非常少。所以，在此種情況特別常發生黏著問題。在愈來愈小的結構之情況下（如在半導體記憶體所發現），此為特別重要的。在該情況，電極以藉由沉積於具後續回拋光（CMP=化學機械拋光）預先型式化得絕緣層上而形成。在此情況下，用於回拋光的旋轉磨輪在沉積的金屬層上顯現某機械壓力，因缺乏黏著，此壓力可



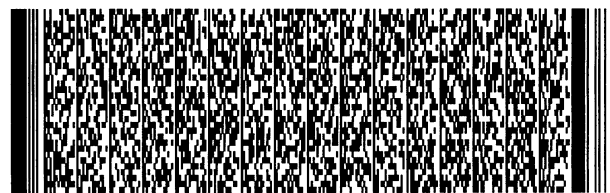
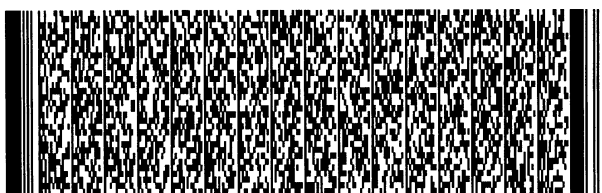
五、發明說明 (2)

導致金屬層的剝離，而且，在金屬層的可能蝕刻定型化後或磨光的已加工半導體晶片的超音波接合期間的清潔步驟亦已被發現為特別的機械負荷。

為改良貴金屬的黏著，如在美國專利第 5,668,040 號的半導體記憶體的儲存電容提出過渡金屬層（如自副族 IVb、Vb 或 VIb）可在底部電容器電極的貴金屬及含二氧化矽的絕緣層間被提供，於含氮環境下的熱處理期間，此金屬會在與貴金屬層間的介面形成金屬氮化物層。在此情況下，貴金屬層不會與氮或過渡金屬反應，而且，在過渡金屬及二氧化矽介面形成金屬氧化物層。然而，會成為此方法問題的是過渡金屬在其蝕刻邊緣會與接著要被施用的電容器介質接觸，且至少在那裡被氧化。而且，過渡金屬會擴散進入電容器介質及影響其介質或鐵電性質。

為避免過渡金屬擴散進入電容器介質，可如歐洲專利 0 697 718 A1 所提出，電容器介質的沉積可較過渡金屬邊緣的氧化先發生。然而，在此情況下，發現相當量的體積增加，其會導致位於過渡金屬層上貴金屬層的機械脆弱。而且，可用做底部電極的接觸連接之截面積會被限制。DE 198 28 969 A1 敘述一種製造半導體組件的方法，其中矽層被沉積在儲存電容的頂部金屬電極及氧化層間做為膠黏助催化劑。

為改良鉑層在感應器的介電載體層之黏著，DE 196 01 592 C1 揭示在介電載體層及鉑層間提供矽化鉑層。矽化鉑層在沉積鉑層前藉由矽化所施用的矽層而製造。



五、發明說明 (3)

本發明目的為訂定一種方法，以製造具貴金屬層至絕緣層的改良黏著之組件。

此目的可根據本發明藉由一種製造組件的方法達成，其包括下列步驟：

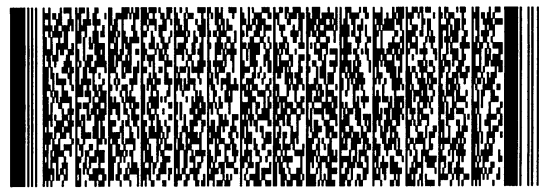
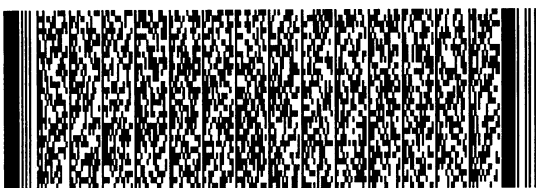
-一種貴金屬層及一種矽層（其與該貴金屬層表面接觸）被以此順序施用於基材；

-進行矽化，其中與該矽層接觸的該貴金屬層表面被矽化；

-進行氧化，其中所形成矽層及剩餘未被矽化的該矽層區域被氧化；及

-施用絕緣層。

經由矽化及氧化，所施用矽層被轉化為氧化的矽化物層。此使用貴金屬可相當容易地被矽化的知識。在貴金屬及矽層間的黏著為相當好，所形成矽化物層可接著被氧化以提供絕緣層的良好黏著供應。矽化及氧化產生一種層，其具相當高矽化物或貴金屬與二氧化矽的相互混合或相互擴散。結果，在矽化物或貴金屬與二氧化矽間形成相當大的內表面，該表面對改良的黏著具貢獻。以簡化的方式表示，亦可說多層黏著層被形成，其具由貴金屬層開始，接著為矽化物層，接著為基本上含貴金屬及二氧化矽的混合層與二氧化矽層。因所施用的矽層相當薄，基本上僅混合層為可辨識的，矽化物的濃度向著貴金屬層的方向增加且二氧化矽的濃度向著絕緣層增加，一般，亦可以表示為在矽化物層上的表面二氧化矽層。氧化的矽化物層被建造的



五、發明說明 (4)

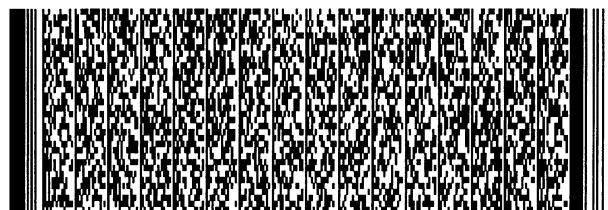
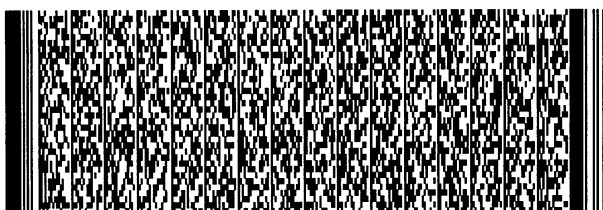
精確方式大部份是依所施用矽層的厚度、溫度及矽化與氧化所需時間而定。

矽化物及二氧化矽的相互擴散為矽化及氧化的結果，故亦可表示為反應性的相互混合，亦即，一種因不同化學反應的相互混合。在此情況下，有利的作法為氧化在較貴金屬表面較遠的一側開始，但矽化在面對貴金屬層的矽層側開始，所以，兩個反應向著彼此空間地進行。

矽化物的氧化敘述於如 S.P. Murarka的 "VLSI應用的矽化物"，Academic Press，1983，102-143。可以簡化的方式假設在貴金屬的情況下所形成的矽化物分解且二氧化矽產生，關於所執行機構的更進一步顯示可自專家文獻收集，S. Mantl的 "Silicid-Mikrostrukturen durch lokale Oxidation" ["經由區域氧化的矽化物微結構"]，Physikalische Blätter 51 (1995)，951-953。關於貴金屬層，特別是鉑，的矽化之詳細研究敘述於 C. Canali等的 "具高純度 PT薄膜的 Pt_2Si 及 $PtSi$ 形成"，Applied Physics Letters，第 31 卷，第 1 期，1977，43-45。

根據本發明方法更進一步的優點為一般用於組件製造，特別是半導體組件，的物質之使用。矽、矽化物及二氧化矽為容易技術上控制的標準物質。

矽化及氧化較佳為在共同熱處理期間於含氧環境下進行，在其餘結構的熱負載由於共同熱處理而減少。而且，以此方式製造的經氧化的矽化物層在貴金屬層及絕緣層間提供特佳黏著。在製造具鐵電（如 SBT=鋇鈦鉭酸鹽或 PZT=



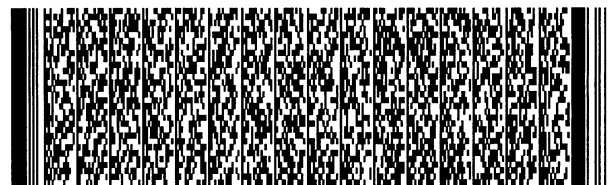
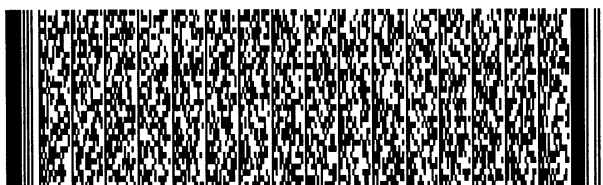
五、發明說明 (5)

鉛銦鈦酸鹽) 或高 $-\epsilon$ -介電 (BST=鉍錳鈦酸鹽) 的半導體記憶體的情況下，熱處理亦可在介電的氧化處理進行。

矽化及氧化亦可於個別步驟進行，不論方法進行，與矽層遠離的貴金屬層表面維持不含氧化物或矽化物。

不希望成為限制性的，在於含氧環境下的熱處理之情況下，做為氧化的矽層之形成的機構係了解如下。在熱處理期間，其在矽化的足夠高溫度下進行，在面對貴金屬層的矽層側被轉化為矽化物層，儘管遠離貴金屬層的矽層表面被氧化。因此，由二氧化矽層覆蓋的矽化物層最初被形成。當熱處理進行，矽化物分解至一增加的程度，釋出的矽在氧化環境的方向擴散，亦即在已形成的二氧化矽層的方向。此時由此達成的是沒有任何矽可經由貴金屬擴散至另一側表面，在此情況下，此表面維持不含矽化物。最後，當氧化持續，最初形成的矽化物幾乎完全轉化為二氧化矽及金屬，相互混合被保存用於黏著的改良。以上列出順序原則上亦是對應於個別矽化及氧化的情況。即使具起初的完全矽化，在後續氧化期間，二氧化矽亦在犧牲矽化物的情況下形成。與貴金屬相互混合非常良好的二氧化矽層被產生做為結果，矽化物仍留下的程度特別是依處理的溫度及期間而定。

特佳的是，熱處理在水蒸氣存在下進行，以進一步減少熱負荷，因矽化物的氧化在含水蒸氣環境的情況下更快地進行。矽化及氧化的其他方法如雷射退火及電子束掃描為同樣可行的。



五、發明說明 (6)

較佳為矽層全部被轉化以達到最佳可能黏著。

而且，在矽層完全矽化的情況下，較佳為若矽層的厚度及貴金屬層的厚度以一種方式彼此協調，貴金屬層僅部份消耗且與矽層遠離的貴金屬層表面維持基本上不含矽化物。在此情況下，較佳為矽層應較貴金屬層顯著為薄。藉由實例，貴金屬層的厚度為約 10 至 20 倍厚較為有利。

矽層較佳為沉積為多晶的或無定形的層，合適用於此的方法為如濺鍍或電漿增強 CVD 方法，更有利的為若於矽層沉積期間，矽化物就地形成。為達成此所必須的條件，特別是必需的溫度，可容易地被知曉。

較佳的是，在施用矽層前貴金屬層被圖案化，以使貴金屬層的邊緣及側邊區域亦為矽層所覆蓋。

較佳為若

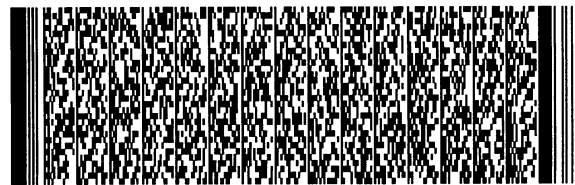
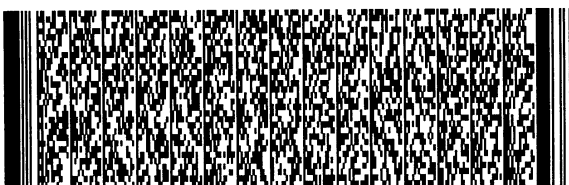
- 貴金屬層被施用於涵蓋另一個貴金屬層的鐵電或介電的電容器介質；

- 使用共用光罩將該另一個貴金屬層、該電容器介質及該貴金屬層圖案化以形成堆疊；及

- 矽層被相合地沉積於該堆疊上，矽化及氧化，矽層在與該電容器介質直接接觸的區域完全被氧化。

矽層應儘可能完全涵蓋該堆疊。在電容器介質的區域，矽層未被矽化，而是僅完全被氧化，故在該堆疊的外側周圍，完全絕緣區域在該矽層內形成。因此，貴金屬層及另一個貴金屬層彼此電絕緣。

氧化後絕緣層的施用同樣為較佳的，以使得氧化儘可



五、發明說明 (7)

能不被干擾及儘可能完全。若絕緣層包含二氧化矽，亦可在氧化前施用，因二氧化矽為氧可透過的。在以四氮化三矽做為絕緣層的情況下，應考慮四氮化三矽為一種氧氣屏障，故在後續的氧化情況，相對應的較長時間必須視四氮化三矽層的厚度而被提供。

更有利的為若在氧化前，貴金屬層及矽層藉由微影製造的光罩被圖案化。在此情況下，較佳為使用矽層的性質做為反反射層（ARC=反反射塗覆）。在此情況下，藉由濺鍍所進行的矽層沉積為特佳的。

已更進一步發現更佳的為將至少一個接觸電洞引入絕緣層及引入氧化的矽化物層及以傳導性物質填充，此傳導性物質會產生與貴金屬層的電傳導連接。在此情況下，在接觸電洞形成後，存在於接觸電洞底部的矽化物可被移除，以減少電接觸阻力。建議將殘餘的矽化物移除，特別是在以銱做為貴金屬層物質的情況下，因否則接觸阻力會非常高。

貴金屬層物質較佳為選自鈥、銩、鈹、銻、銲、鉑、鉕及金所組成族群的金屬。鉑及銱為特佳的，所提及貴金屬的合金亦為可能的。

本發明更進一步藉由一種製造組件的方法達到，其具下列步驟：

—一種絕緣層、一種矽層及一種貴金屬層（其與矽層接觸）以此順序被施用於基材上；

—矽化被進行，其中與該矽層接觸的該貴金屬層表面被矽



五、發明說明 (8)

化；及

-氧化被進行，其中所形成的矽化物層及可能留下的未矽化的該矽層區域被氧化；

在此情況下，在具下方矽層的貴金屬層被施用於絕緣層，此處矽化及氧化同樣地產生於上文進一步敘述的氧化的矽化物層。矽化及氧化可同樣地在共同熱處理下進行。

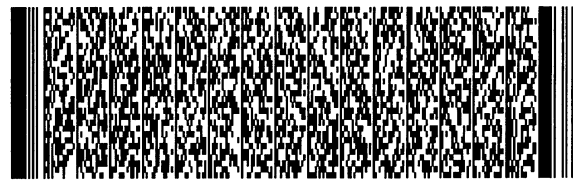
本發明更進一步藉由一種製造組件的方法達到，其具下列步驟：

- 一種貴金屬層被施用於基材上；
- 該貴金屬層於高溫下曝露於含至少一種矽烷的環境，以使矽化物層在該貴金屬層表面形成；及
- 一種絕緣層被施用。

在此情況下，溫度應選擇夠高以使矽烷進行熱分解。約 300至 700°C 的必須溫度高於矽化所需溫度，以使矽化物層在貴金屬表面就地形成。相反地，沉積的矽在未由貴金屬層所覆蓋的絕緣層或基材區域並未轉化。選擇性地，氧化可接著進行以進一步改良黏著。沒有氧化，對最後施用的絕緣層之黏著僅由在原地形成的矽化物層而促進，此已足夠用於許多目的。

具一般分子式 $\text{Si}_n\text{H}_x\text{R}_y$ 其中 $n \geq 1$ 且 $x, y \geq 0$ 的矽烷被使用。在此情況下， R_y 表示自由基，其為如 CH_3 、 NH_2 、鹵素，特別是 F 或 Cl。

較佳為使用一種未被取代的矽烷，特別是不含碳的矽烷。不含碳的矽烷特別是具產生不含碳的矽化物或預防碳



五、發明說明 (9)

併入 SiO_2 /貴金屬混合相之優點。

型式 $\text{Si}_n\text{H}_{2n+2}$ 的矽烷，其中 $n \geq 1$ ，特別是矽烷 (SiH_4)、乙矽烷 (Si_2H_6) 及丙矽烷 (Si_3H_8)，為較佳的。

在沉積期間，高溫應高於 300°C ，特別是高於 600°C 。

根據本發明方法較佳為用於製造具多樣儲存電容的半導體記憶體，每一個儲存電容具兩個電極及位於其間的電容器介質，兩個電極的至少其中一個由貴金屬層形成。

本發明更進一步關於具貴金屬層與絕緣層之組件，此種組件已由已引用的 DE 196 01 592 C1 已知。

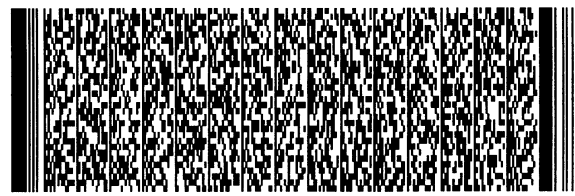
為改良貴金屬層與絕緣層間的黏著，本發明提出一種用做黏著促進層的混合層，其在面對絕緣層的貴金屬層表面形成，該混合層含貴金屬層的物质、矽及氧。

該混合層可特別藉由根據本發明方法而得到，貴金屬層物質特別為自鈿、銻、鈹、銻、鐵、鉑、銻及金所組成族群的金屬，鉑及銻為特佳的，所提及貴金屬的合金亦為可能的。較佳為鐵電或介電電容器介質鄰接距絕緣層較遠的貴金屬層表面。

較佳為，組件為具多樣電容器介質的半導體記憶體，兩個電極的至少其中一個由貴金屬層形成。

僅為較佳說明目的，本發明係參考半導體記憶體的製造而敘述，半導體記憶體包括具介電或鐵電的電容器介質的儲存電容。然而，不消說本發明不限於此，且可被用於貴金屬層與絕緣層間的黏著需被改良的任何時候。

第 1 圖顯示由單晶質矽所製造的基礎基材 2，其中選擇



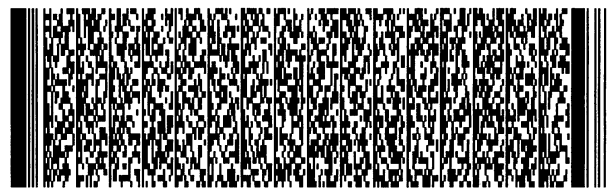
五、發明說明 (10)

電晶體 8 的摻雜區域 4 及 6 被植入，10 表示選擇電晶體 8 的閘電極。摻雜區域中的一個 6 經由導電塞 12 連接至位元線 14，另一個塞 16 自另一個摻雜區域 4 導至要被形成的儲存電容之底部電極。塞 12、16 (其包括如摻雜的多晶矽)、位元線 14 及閘電極 10 亦被植入平面化的絕緣層 20。

在具介電或鐵電的電容器介質的儲存電容之情況下，在含多晶矽的塞 16 及底部電極間的氧氣屏障層是必須的以保護在電容器介質沉積期間塞不致被氧化。為達此目的，相對應阻擋層 22 被沉積於絕緣層 20 上，阻擋層可以單層或多層方式建造，合適的物質在如歐洲專利 0 697 718 A1 提及。特佳為包括含氧銱層及氧化銱層的阻擋層結構，如於 DE 198 60 080 A1 及 DE 199 09 295 A1 所敘述，其揭示內容全文於此處併入參考。阻擋層具對後續要施用的貴金屬層具良好黏性。

黏著層 22 具貴金屬層 24 (底部電極) (較佳為包括鉑)、電容器介質 26、貴金屬層 28 (頂部電極) (同樣地其較佳為包括鉑)、及矽層 30 沉積於其上。電容器介質 26 的合適物質為金屬氧化物，特別是具鐵電及高 $-\epsilon-$ 介電性質，如同樣地在 DE 198 60 080 A1 及 DE 199 09 295 A1 所敘述。貴金屬層 28 對後續要施用的絕緣層之黏著意欲藉由矽層 30 所改良。貴金屬層 28 的厚度為約 100 奈米，且矽層 30 的厚度為約 5 奈米。

矽層係藉由在含氧環境下於高於 350°C 的高溫下所進行的熱處理而轉化，特別是在約 750°C 的溫度。在此情況



五、發明說明 (11)

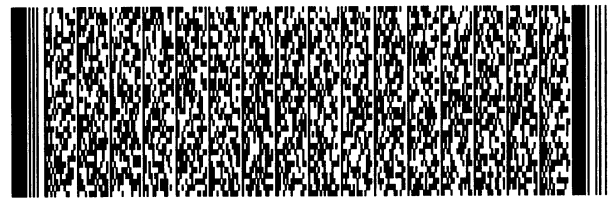
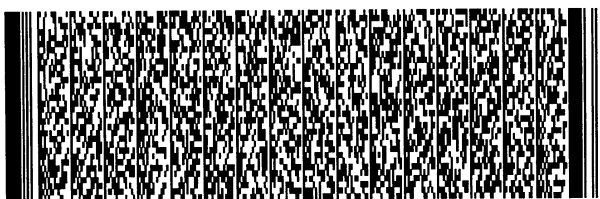
下，矽化自矽層 30 面對貴金屬層 28 的一側開始且氧化自矽層 30 的另一側開始，在此情況貴金屬層 28 被表面矽化。因貴金屬層 28 厚度較矽層 30 顯著為大，遠離矽層 30 且面對電容器介質 26 的貴金屬層 28 的表面維持不含矽化物。在較長熱處理（共約 20 分鐘）的情況下，起初形成的矽化物（在本情況為矽化鉑）分解，釋出的矽氧化，結果產生含二氧化矽、貴金屬及若合適，矽化物的混合層（氧化的矽化物層），其特徵在於高程度的相互擴散。該轉化圖示地以交叉層 30' 說明於第 1B 圖。對說明矽化物的氧化之機構的更深顯示，參考已引用出版文章 S. P. Murarka 的 "VLSI 應用的矽化物"，Academic Press, 1983, 102-143。在矽化及氧化期間的方法條件可根據所欲使用目的及所使用貴金屬而相對應地容易的被採用。

矽層可由不同方法被施用，可能的方法為：

a) 藉由 DC 濺鍍施用具約 10 奈米厚度的無定形矽層，此種方法可用於例如當濺鍍反反射層（ARC）以進行金屬層的 g-線的微影時。

b) 電漿增強化學氣相沉積（PE-CVD），典型條件為 100 標準立方釐米的 SiH_4 氣體流， 400°C 沉積溫度、5 托耳（約 660 巴斯卡）及 500 瓦 RF 電力。

c) 藉由熱活化 LP-CVD 方法（低壓化學氣相沉積）沉積多晶矽層或無定形矽，其於介於 600°C 及 700°C 間的溫度及介於 70（約 9310 巴斯卡）及 100 托耳（約 13 300 巴斯卡）間的壓力下使用 SiH_4 或 SiH_2Cl_2 。電漿增強可選擇性



五、發明說明 (12)

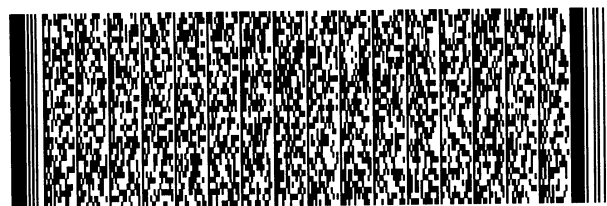
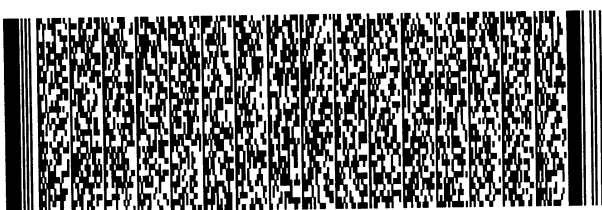
地被提供。在鉑的情況下，因矽化已在低於 350°C 開始，在此情況下，矽化至少部份就地發生。有關鉑的矽化的更廣泛細節，特別是關於轉化溫度、形成速度及基本機構可收集自己提及的 C. Canali 等的專家文章 "具高純度 PT 薄膜的 Pt_2Si 及 PtSi 之形成 " Applied Physics Letters, 31 卷，第 1 期，1977，43-45。額外的異地矽化步驟可同樣地被後續進行。僅少數單層厚的矽化物層可以此方法被製造。

因所使用的起始物質部份含氫，在含氧環境下的退火步驟應被提供以退火因在鐵電或介電的電容器介質中的氫所引起的損傷。絕緣層（氧化物如二氧化矽，氮化物如四氮化三矽）的每一個後續沉積可同樣地就地發生。

氧化的矽化物層可以單一熱處理或連續處理形成，亦可在電容器介質調節所需的退火步驟前後進行（在鐵電介電的情況下亦稱為鐵-退火）氧化的矽化物層之形成。

下列條件，特別是顯然在含水蒸氣環境的熱處理為有利的，為：溫度超過 600°C 約 30 分鐘。較高的溫度如 900°C 為貴金屬矽化物的完全氧化所必須的。

在氧化的矽化物層 30' 形成後，根據第 1C 圖施用光罩 32，該光罩被用於至阻擋層 22 及包括阻擋層 22 的所有層的圖案化。較佳為使用硬式光罩，如由氮化鈦或二氧化矽所製造。在藉由不均向性蝕刻方法的圖案化後（如氫濺鍍或氣/氫高溫 RIE），含阻擋層 22、貴金屬層 24、電容器介質 26、貴金屬層 28 及氧化的矽化物層 30' 的堆疊位於絕緣層 20 上。根據第 1E 圖，由如氧化物製成的絕緣層 34 被施用於



五、發明說明 (13)

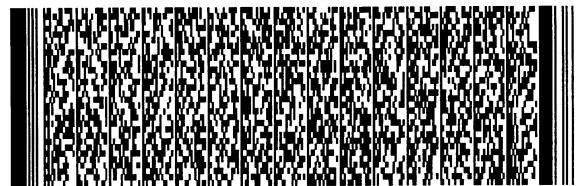
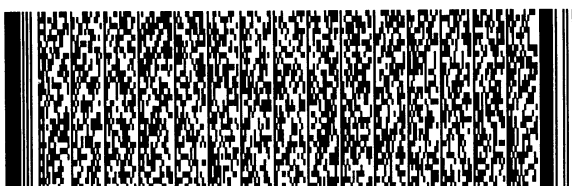
該堆疊及未被覆蓋的絕緣層 20 且被平面化。使用未於此處特定說明的光罩，向下通到貴金屬層 28 的接觸電洞 36 被蝕刻進入絕緣層 34 及氧化的矽化物層 30'。在此情況下，可能存在於接觸電洞 36 底部的矽化物應同樣地被移除以使貴金屬層 28 及傳導性物質間的電接觸阻力保持儘可能低，傳導性物質係用於填充接觸電洞 36。交互連接 38 產生至電極 28 的電連接。

藉由氧化的矽化物層 30'，在貴金屬層 28 及絕緣層間的黏著被顯著改良。

第 2A 至 2C 圖說明另一個方法順序。如於第 2A 圖所示，在電容器介質 26、貴金屬層 28 及矽層 30 被均勻沉積前貴金屬層 24 及阻擋層 22 被圖案化。在此情況下，已圖案化的貴金屬層 24 之側面積亦可用做有效電容器面積，結果使得電容器的電容被增加。結果，因電容維持相同，可製造較小的電容器，結果，集成密度被增加。

矽層 30 藉由矽化及氧化轉化為氧化的矽化物層 30' 後，絕緣層 34 被施用，且接觸電洞 36 及交互連接 38 被製造。電容器介質 26、貴金屬層 28 及氧化的矽化物層 30' 未被大區段地圖案化且涵蓋相鄰的記憶體單元。因此貴金屬層 28 構成許多儲存電容的共同頂部電極，此亦表示對貴金屬層 28 的接觸連接，需要較少的接觸電洞 36，結果，集成密度可被進一步增加。而且，貴金屬層以氧化的矽化物層覆蓋較大區域，結果，黏著被更進一步改良。

在第 3A 至 3C 圖所示的方法順序與第 1A 至 1E 圖所說明的



五、發明說明 (14)

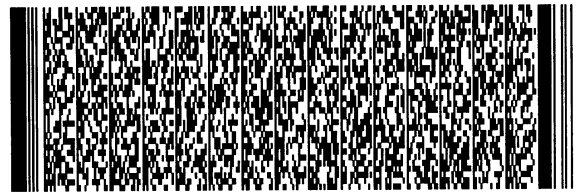
不同，特別是藉由僅在絕緣層 34 的沉積及接觸電洞 36 的形成後的熱處理使矽層 30 轉化為氧化的絕緣層之事實。假若在矽層 30 沉積期間，矽化未就地發生，此方法順序的結果為沒有任何矽化物可在接觸電洞的底部形成。

在第 4A-4C 圖所示的方法順序之情況下，在矽層 30 均勻地沉積於由圖案化所形成的堆疊前，阻擋層 22、貴金屬層 24、電容器介質 26 及貴金屬層 28 被圖案化，矽層 30 被接著轉化。因矽層 30 在電容器介質 26 的區域未與貴金屬接觸，其在堆疊側邊區域未被覆蓋，且在絕緣層 20 的未被覆蓋表面，矽層 30 亦未在那裡被矽化，而是完全轉化為二氧化矽層 30"。沿電容器介質的未被覆蓋區域形成的二氧化矽環確保貴金屬層 28 及 24 間的絕緣。

第 5A 至 5F 圖說明方法順序，其中在下方貴金屬層 24 及絕緣層 20 間的黏著藉由氧化的矽化物層而額外被改良。與第 1 至 4 圖所示的堆疊電容器相反，以此方法順序所製造的儲存電容亦稱為開始電容器。

矽層 40 及貴金屬層 24 被沉積於絕緣層 20 上，其包括如二氧化矽及藉由光罩 42 而被圖案化。電容器介質 26、貴金屬層 28 及矽層 30 被沉積於由此圖案化的層且使用進一步的光罩 44 圖案化。在此情況下，在光罩 44 的微影製造期間，矽層 30 同時用做反反射層。在此情況下，為得到儘可能最適的結果，矽層的厚度以根據用做曝露的輻射波長而被固定。

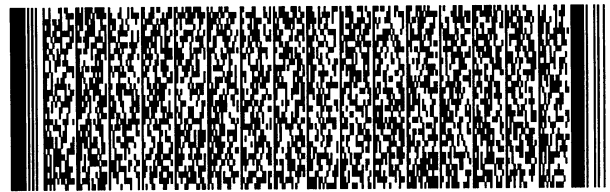
在每一個情況下，藉由熱處理，矽層 30 及 40 被分別接



五、發明說明 (15)

著轉化成為氧化的矽化物層 30'及 40'，接觸電洞 (塞) 48、50及 52在後續施用的絕緣層 34上藉由第三光罩 46被製造並以傳導性物質填充。在此情況下，接觸電洞 48穿過絕緣層 34及絕緣層 20並儘可能到達選擇電晶體 8的摻雜區域 4的最遠處。位於絕緣層 34的交互連接 54連接接觸電洞 48至接觸電洞 50，其儘可能到達貴金屬層 28(頂部電極)的最遠處，且因此產生貴金屬層 28與摻雜區域 4間的電傳導連接。貴金屬層 24(底部電極)藉由接觸電洞 52而接觸連接，接觸電洞 52儘可能到達貴金屬層 24的最遠處，且交互連接 56同樣地位於絕緣層 34。

在第 6A至 6E圖所示的方法順序之情況下，與第 5A至 5F圖說所說明方法順序相反，矽層 30的矽化在其沉積期間(就地)至少已一部份進行。此外，在貴金屬層 24被圖案化前，於此處矽層 40已被轉化成為氧化的矽化物層 40'，此使用貴金屬如鉑為氧可透過的事實。貴金屬層 24及氧化的矽化物層 40'同樣地使用光罩 42而被圖案化，後續施用的電容器介質 26及貴金屬層 28係藉由光罩 44而被圖案化。在矽層 30的後續沉積期間，就地矽化被作動，於此矽層分別與貴金屬層 24或 28直接接觸，因此，矽化物層 31及矽層 30存在。對此沉積，使用具一般分子式 $\text{Si}_n\text{H}_x\text{R}_y$ 其中 $n \geq 1$ 且 $x, y \geq 0$ 的矽烷，在此情況下， R_y 表示自由基，其為如 CH_3 、 NH_2 、鹵素，特別是 F 或 Cl，特佳為 SiH_4 、 Si_2H_6 及 $\text{Si}_2\text{H}_2\text{Cl}_2$ 。沉積以熱活化方式作動，亦即在作動矽烷的熱沉積的足夠高溫度下。合適的條件為如 700°C ，2托耳，



五、發明說明 (16)

SiH₄/Ar環境。此處就地形成的矽層 30或矽化物層 31的額外氧化可被免除。在此情況下，未矽化區域 30可相關於已矽化區域 31而被選擇性地移除，以避免貴金屬層 24及 28間的短路，否則，在氧化期間，未矽化區域 30被完全氧化（區域 30"）。後續步驟對應於第 5E及 5F圖的後續步驟。

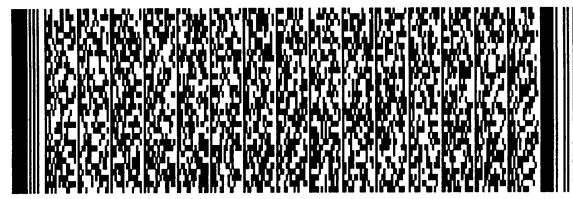
當然，在第 1至 4圖所示結構的情況下，不需後續氧化的就地矽化亦為可行的。在第 1、2及 3圖結構的情況下，特別是，沒有因未轉化矽所引起的短路的危險。在根據第 4圖結構的情況下，相反地，未轉化矽可被移除或藉由氧化而轉化為絕緣體。

第 7A圖顯示電容器的放大細節，其中矽層 60已被施用於貴金屬層 28且已被部份轉化。較低區域 61表示金屬矽化物，然而較高區域 62包括二氧化矽。當氧化進行時，所形成的矽化物分解且釋出的矽氧化。

第 7B及 7C圖顯示電容器的側邊緣，在其上矽層 60同樣地被沉積且藉由第一熱處理轉化為矽化物層 61。相反地，在未由側邊緣覆蓋的電容器介質 26之區域，矽層 60仍保留而未轉化，僅在後續氧化期間（第 7C圖），氧化為區域 62，但矽層 60的其餘區域（矽化物層 61）被轉化成為氧化的矽化物層 63。

第 8圖顯示由氧化的矽化物層所覆蓋的鉑結構，該氧化的矽化物層具多晶結構。

氧化的矽化物層之組成被說明於第 9A及 9B圖，其顯示由不同大小的加速電壓所設定，在不同深度的 EDX（能量 -

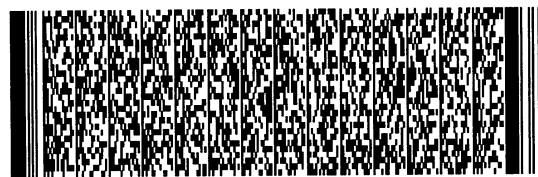
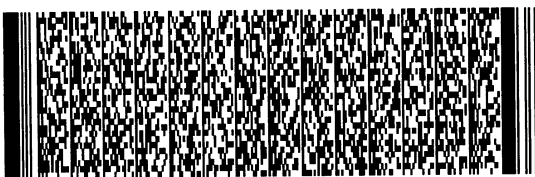


五、發明說明 (17)

分散 X-射線分析) 光譜。可見到在相當小的深度 (第 9A 圖) 氧的比例非常高, 矽與鉑的訊號約略相同。相反地, 在較深的層 (第 9B圖), 鉑的比例增加, 且相反地, 矽與氧的比例減少。所檢驗的層係在下列條件下製造:

- a) 含鉑層、SBT層及鉑層的層堆疊之沉積;
- b) 藉由電漿增強 CVD方法於 400°C 使用矽烷進行具厚度約 50 奈米的氮化物 (四氮化三矽) 層之沉積。早至在穩定化步驟期間 (在預先決定溫度下流動之設定) 及電漿點火期間, 矽化鉑因矽烷的分解而形成;
- c) 在 500°C 於氧中熱處理 3 小時及 800°C 15 分鐘;
- d) 藉由電漿蝕刻方法 (在應用材料公司的 P5000 MxP 裝置的低 VDC 的 CF₄/氧蝕刻方法) 進行氮化物層的移除; 及
- e) 在 700°C 下於氧中後處理約 30 分鐘。

不欲做為限制, 假設矽化物層的氧化基本上在步驟 e 進行, 因氮化物層表示氧氣屏障。然而, 氧及 H₂O 亦需自 SBT 層擴散出並幫助氧化。



圖式簡單說明

第 1A-1E圖顯示根據本發明製造方法的個別方法步驟。

第 2A-2C圖顯示根據本發明製造方法的更進一步具體實施例之個別方法步驟。

第 3A-3C圖顯示根據本發明製造方法的更進一步具體實施例之個別方法步驟。

第 4A-4C圖顯示根據本發明製造方法的更進一步具體實施例之個別方法步驟。

第 5A-5F圖顯示根據本發明製造方法的更進一步具體實施例之個別方法步驟。

第 6A-6E圖顯示根據本發明製造方法的更進一步具體實施例之個別方法步驟。

第 7A-7C圖顯示具氧化的矽化物層的儲存電容之部份視圖。

第 8圖顯示以氧化的矽化物層塗覆之貴金屬結構的 SEM照片。

第 9A-9B圖顯示在氧化的矽化物層的不同深度之 EDX光譜。

元件符號說明

2 基礎基材

8 選擇電晶體

12、16塞

20絕緣層

24、28貴金屬層

4、6摻雜區域

10閘電極

14位元線

22阻擋層

26電容器介質



圖式簡單說明

30、40矽層

30'、40' 氧化的矽化物層 /混合層

30" 二氧化矽層

31矽化物層

32光罩

34絕緣層

36接觸電洞

38交互連接

42、44、46光罩

48、50、52接觸電洞 /塞

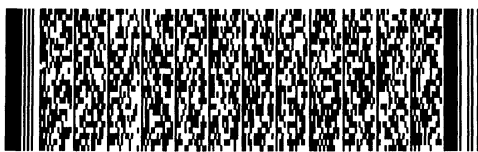
54、56交互連接

60矽層

61矽化物層

62二氧化矽層

63氧化的矽化物層



四、中文發明摘要 (發明名稱：組件之製造方法及具金屬層與絕緣層之組件)

一種改良貴金屬層 (28) 及絕緣層 (34) 間的黏著之方法被提出，其中矽層被放置於該貴金屬層 (28) 及該絕緣層 (34) 間。藉由在氧化環境下的熱處理，矽層被矽化及氧化，產生氧化的矽化物層 (30')，其具貴金屬及所形成氧化物的高度相互混合。所達成相當大的內表面結果為改良該貴金屬層 (28) 及該絕緣層 (34) 間的黏著。

五、(一)、本案代表圖為：第 20 圖

(二)、本案代表圖之元件代表符號簡單說明：

2基礎基材

8選擇電晶體

12、16塞

20絕緣層

4、6摻雜區域

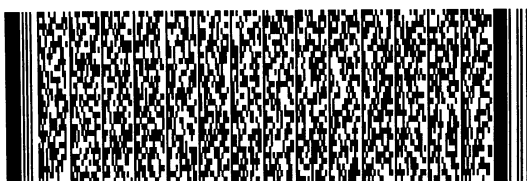
10閘電極

14位元線

22阻擋層

五、英文發明摘要 (發明名稱：Method for fabricating a component, and component having a metal layer and an insulation layer)

A method for improving the adhesion between a noble metal layer (28) and an insulation layer (34) is proposed, in which a silicon layer is arranged between the noble metal layer (28) and the insulation layer (34). The silicon layer is siliconized and oxidized by means of a thermal treatment in an oxidative environment, resulting in an oxidized silicide layer (30') with high



四、中文發明摘要 (發明名稱：組件之製造方法及具金屬層與絕緣層之組件)

24、28 貴金屬層

26 電容器介質

30' 氧化的矽化物層 / 混合層

32 光罩

五、英文發明摘要 (發明名稱：Method for fabricating a component, and component having a metal layer and an insulation layer)

intermixing of noble metal and oxide formed. The relatively large inner surface achieved as a result improves the adhesion between the noble metal layer

(28) and the insulation layer (34).



六、指定代表圖

六、申請專利範圍

1. 一種製造具有一貴金屬層及一絕緣層之組件的方法，其具下列步驟：

一貴金屬層（28）及一與該貴金屬層（28）表面接觸之矽層（30），係被以此順序施用於一種基材；

進行矽化，其中與矽層（30）接觸的貴金屬層（28）表面被矽化；

進行氧化，其中所形成矽化物層及其餘未被矽化的該矽層區域被氧化；及

施用一絕緣層（34）。

2. 如申請專利範圍第1項所述之方法，其特徵在於在該矽層（30）施用期間，矽化係在原位作用。

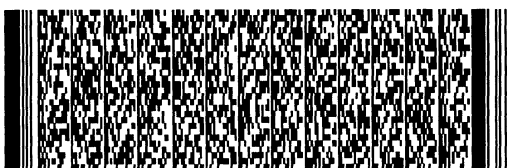
3. 如申請專利範圍第1或2項所述之方法，其特徵在於在該矽層（30）施用前，該貴金屬層（28）被圖案化。

4. 如申請專利範圍第3項所述之方法，其特徵在於該貴金屬層（28）被施用於覆蓋另一個貴金屬層（24）的鐵電或介電的電容器介質（26）；

使用一共用光罩（32）將該另一個貴金屬層（24）、該電容器介質（26）及該貴金屬層（28）圖案化以形成堆疊；及

該矽層（30）被相合地沉積於該堆疊上，矽化及氧化，該矽層（30）在與電容器介質直接接觸的區域被完全氧化。

5. 如申請專利範圍第1或2項所述之方法，其特徵在於該絕緣層（34）在氧化後被施用。



六、申請專利範圍

6.如申請專利範圍第1或2項所述之方法，其特徵在於在氧化前，該貴金屬層（28）及該矽層（30）藉由微影製造的光罩被圖案化。

7.如申請專利範圍第1或2項所述之方法，其特徵在於至少一個接觸電洞（36）被引入該絕緣層（34）及引入該氧化的矽化物層（30'）且以一種傳導性物質填充，此傳導性物質會產生與該貴金屬層（28）的電傳導連接。

8.如申請專利範圍第7項所述之方法，其特徵在於該接觸電洞（36）形成後，存在於該接觸電洞底部的矽化物可被移除。

9.一種製造具有一貴金屬層及一絕緣層之組件的方法，其具下列步驟：

一絕緣層（20）、一矽層（40）及一與該矽層接觸之貴金屬層（24）被以此順序施用於一基材；

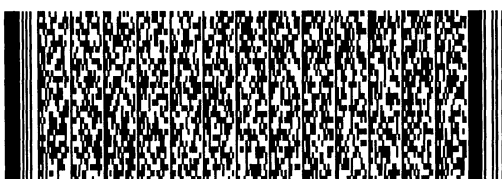
進行矽化，其中與該矽層（40）接觸的該貴金屬層（24）表面被矽化；及

進行氧化，其中所形成矽化物層及其餘未被矽化的該矽層區域被氧化。

10.如申請專利範圍第1或9項所述之方法，其特徵在於矽化及氧化在共同熱處理期間於含氧環境下進行。

11.如申請專利範圍第10項所述之方法，其特徵在於熱處理係在水蒸氣存在下進行。

12.如申請專利範圍第1或9項所述之方法，其特徵在於該矽化物層及其餘未被矽化的該矽層區域被完全氧化。



六、申請專利範圍

13.如申請專利範圍第1或9項所述之方法，其特徵在於該矽層（30、40）的厚度及該貴金屬層（24、28）的厚度以一種方式彼此協調，其在該矽層（30、40）完全矽化的情況下，該貴金屬層（24、28）僅部份消耗且與該矽層（30、40）遠離的該貴金屬層（24、28）之表面維持基本上不含矽化物。

14.如申請專利範圍第13項所述之方法，其特徵在於該貴金屬層（24、28）係以大於該矽層（30、40）10至20倍之厚度被施用。

15.一種製造具有一貴金屬層及一絕緣層之組件的方法，其具下列步驟：

一貴金屬層（28）被施用於基材上；

該貴金屬層（28）於高溫下曝露於含至少一種矽烷的環境，以使矽化物層（31）在該貴金屬層表面形成；及

一絕緣層（34）被施用。

16.如申請專利範圍第15項所述之方法，其特徵在於該矽烷為一種未被取代的矽烷，特別是不含碳的矽烷。

17.如申請專利範圍第16項所述之方法，其特徵在於該矽烷為 $\text{Si}_n\text{H}_{2n+2}$ ，其中 $n \geq 1$ 。

18.如申請專利範圍第15至17項任一項所述之方法，其特徵在於高溫係高於 300°C ，特別是高於 600°C 。

19.如申請專利範圍第1、9或15項所述之方法，其特徵在於該貴金屬層（24、28）的材質為選自鈦、銻、鈮、銻、鐵、鉑、銱及金所組成族群的金屬。



六、申請專利範圍

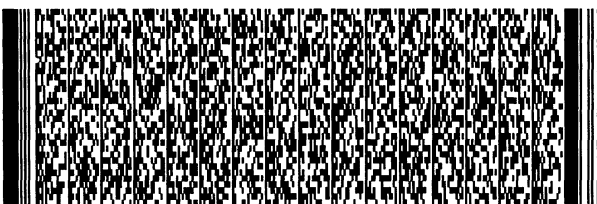
20.如申請專利範圍第1、9或15項所述之方法之用途以製造具多樣儲存電容的半導體記憶體，每一個儲存電容具兩個電極（24、28）及位於其間的電容器介質（26），兩個電極的至少其中一個由該貴金屬層形成。

21.一種具貴金屬層及絕緣層的組件，其特徵在於用做黏著促進層的混合層（30'、40'）在面對絕緣層（20、34）的貴金屬層（24、28）之表面形成，該混合層含貴金屬層的材質、矽及氧。

22.如申請專利範圍第21項所述之組件，其特徵在於該貴金屬層（24、28）的材質為選自鈦、鉍、鈹、銻、鐵、鉑、銻及金所組成族群的金屬。

23.如申請專利範圍第21或22項所述之組件，其特徵在於遠離該絕緣層（20、34）的該貴金屬層（24、28）之表面鄰近鐵電或介電的電容器介質（26）。

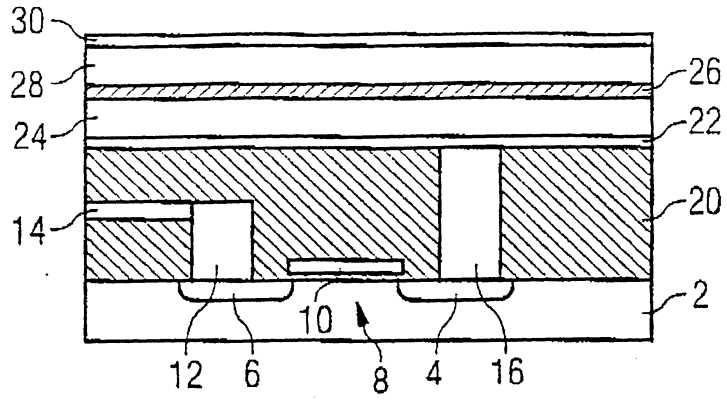
24.如申請專利範圍第23項所述之組件，其特徵在於該組件為具多樣儲存電容的半導體記憶體，兩個電極的至少其中一個由該貴金屬層形成。



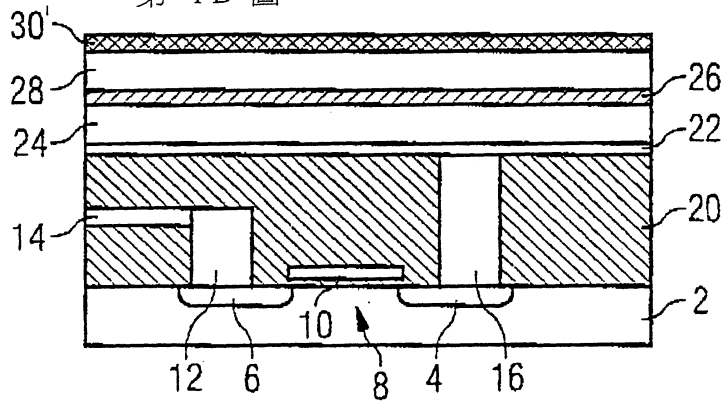
圖式

1/13

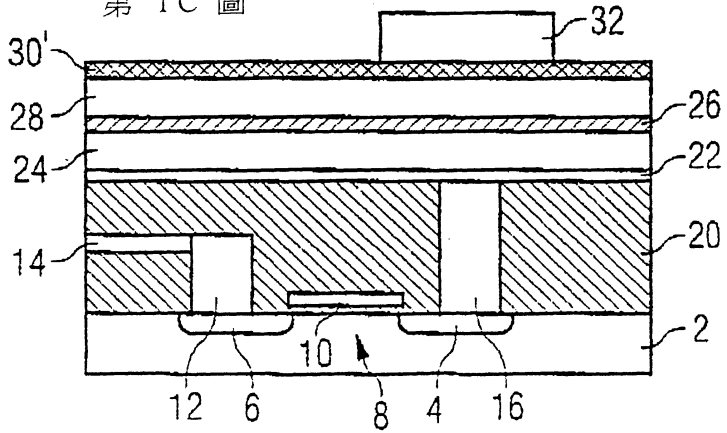
第 1A 圖



第 1B 圖



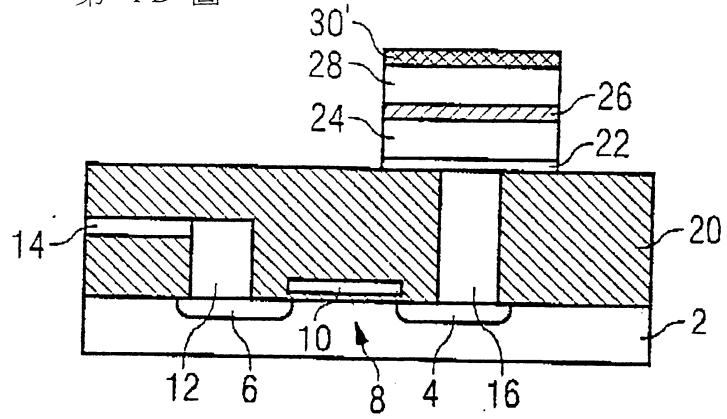
第 1C 圖



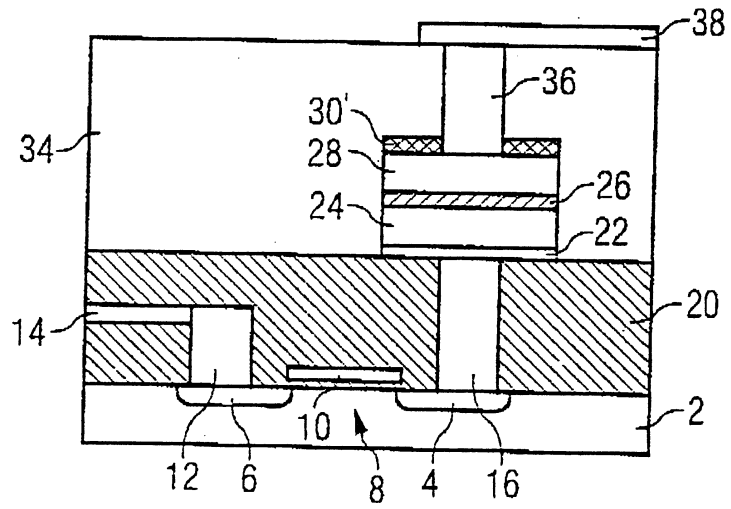
圖式

2/13

第 1D 圖



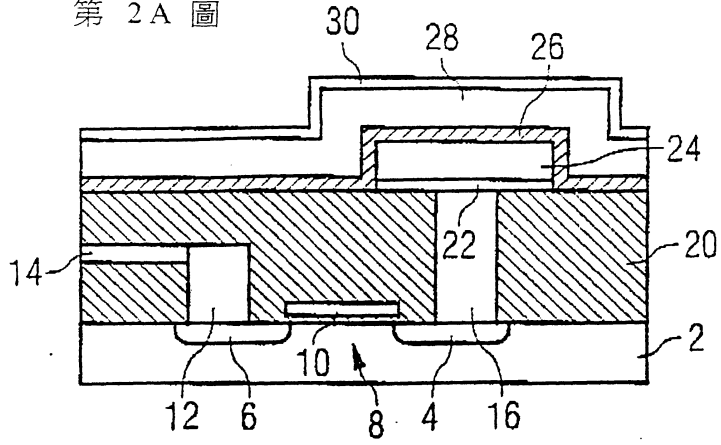
第 1E 圖



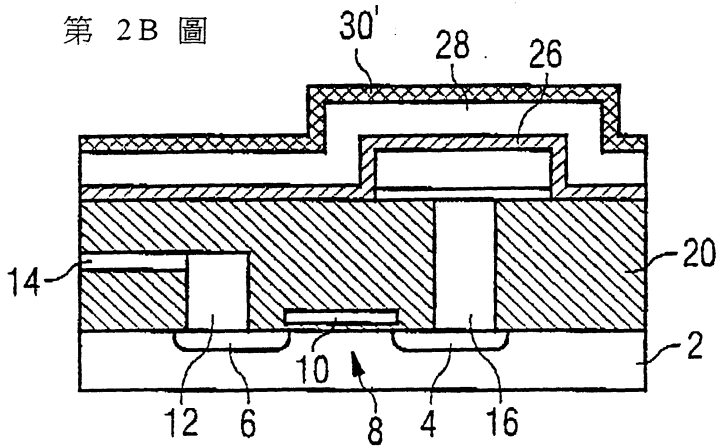
圖式

3/13

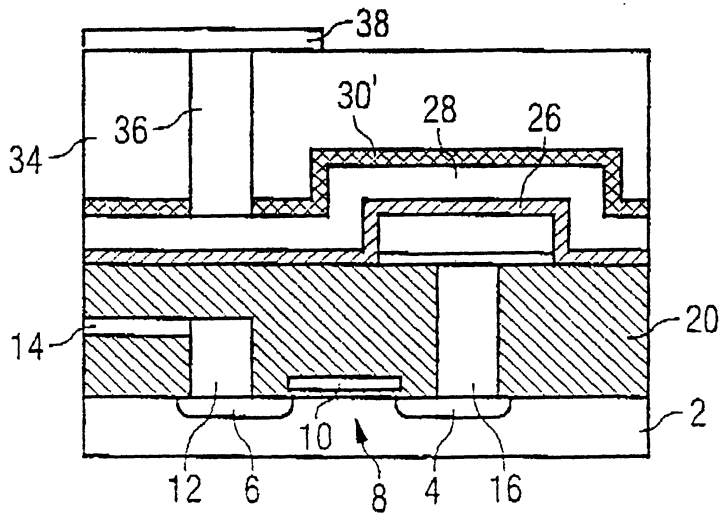
第 2A 圖



第 2B 圖



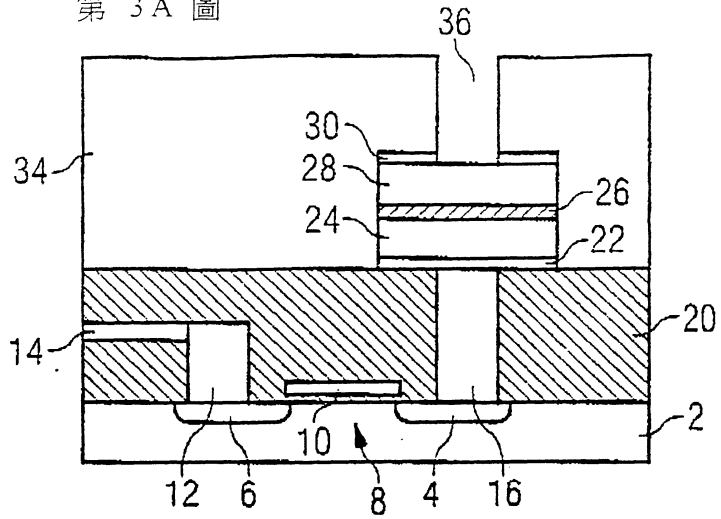
第 2C 圖



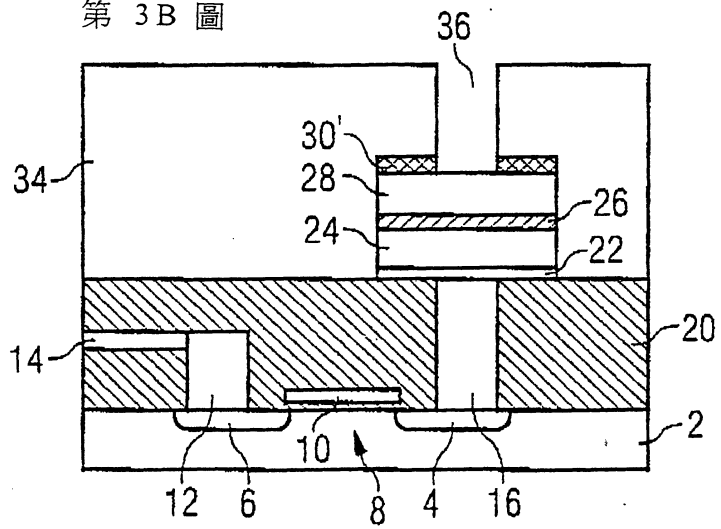
圖式

4/13

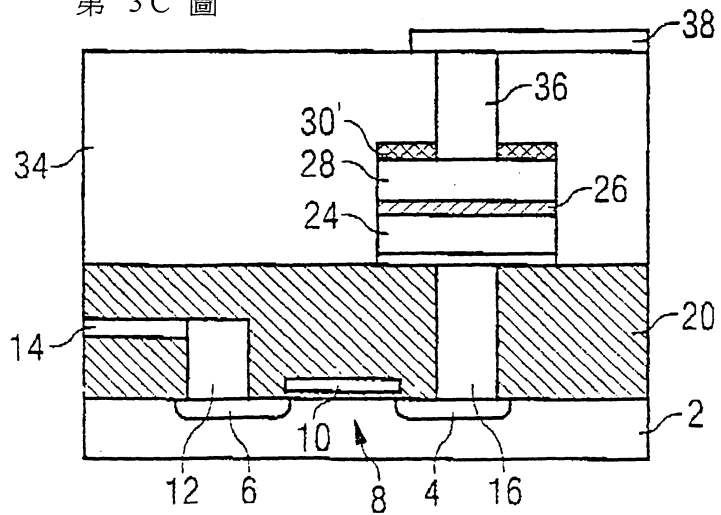
第 3A 圖



第 3B 圖



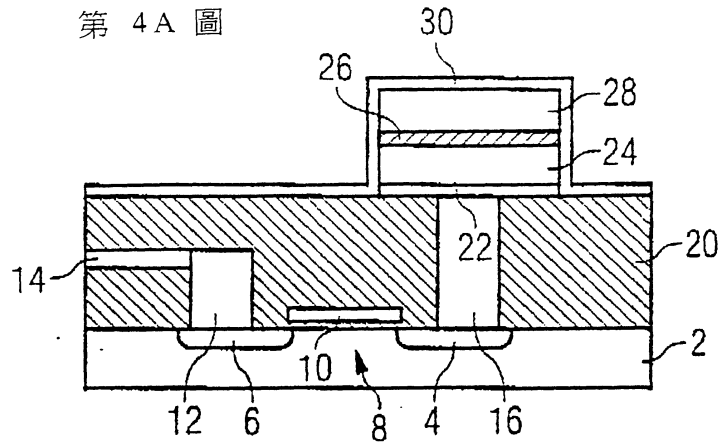
第 3C 圖



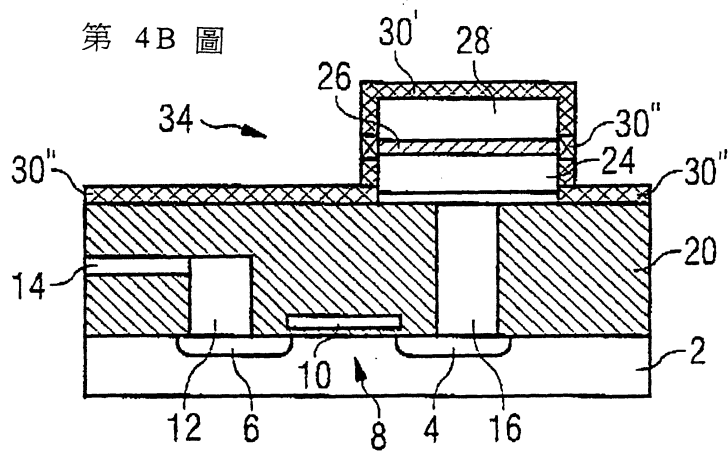
圖式

5/13

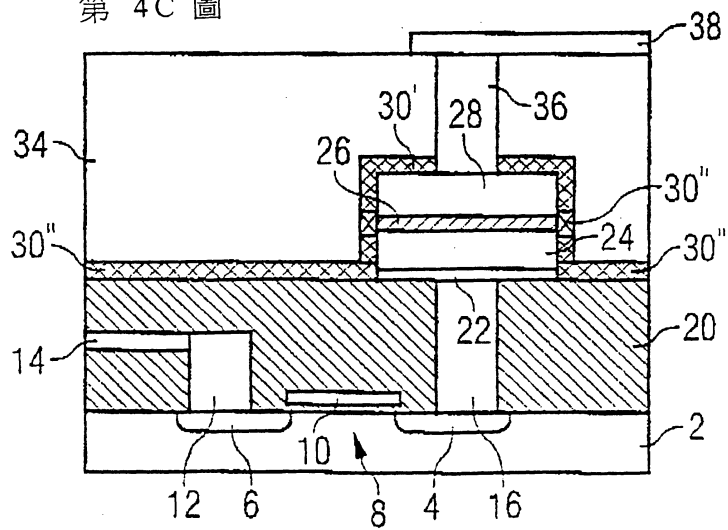
第 4A 圖



第 4B 圖



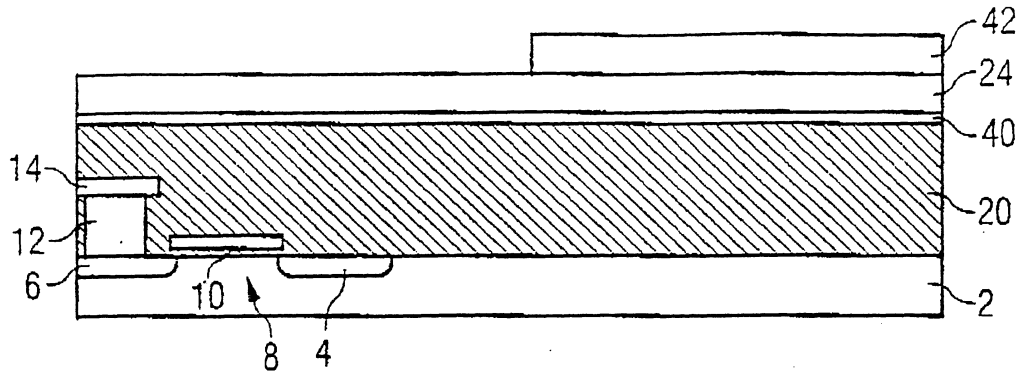
第 4C 圖



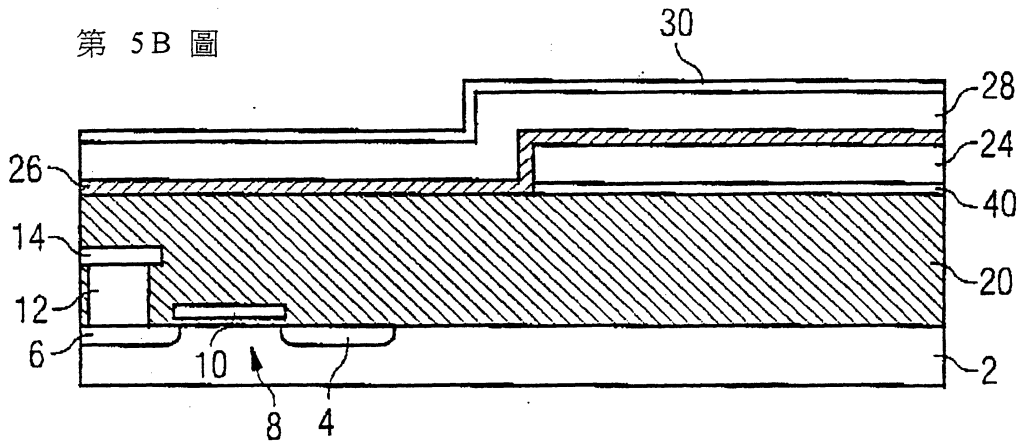
圖式

6/13

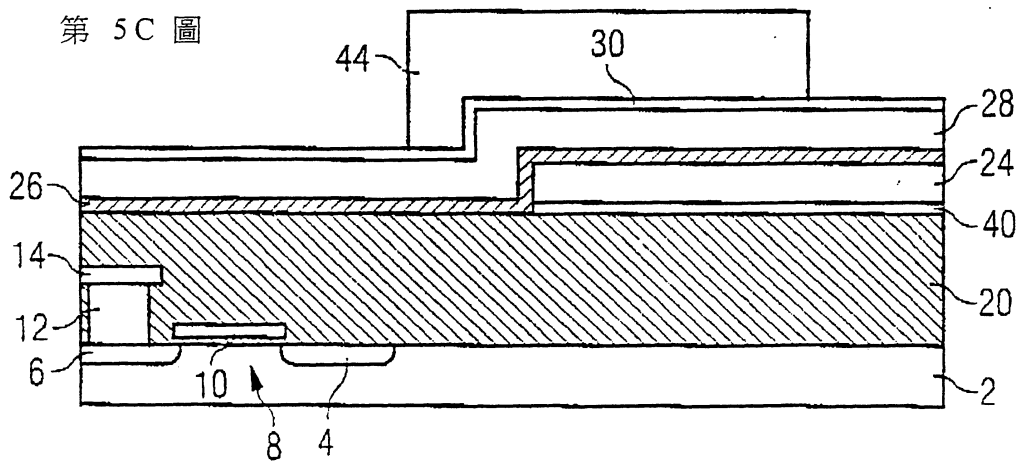
第 5A 圖



第 5B 圖



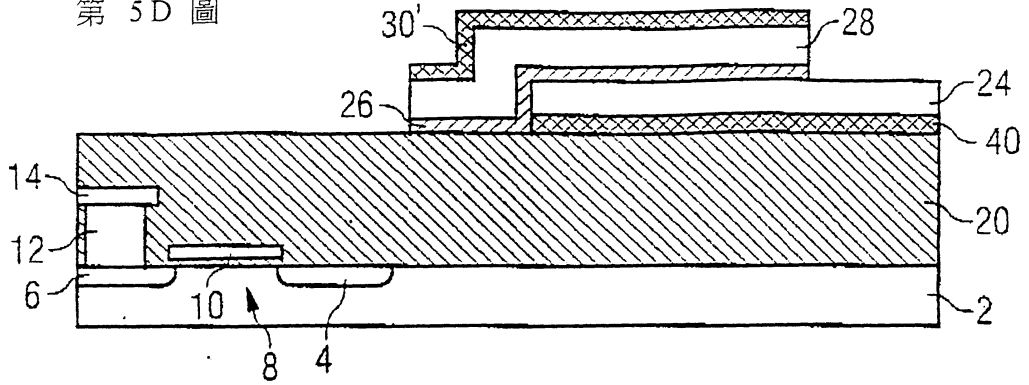
第 5C 圖



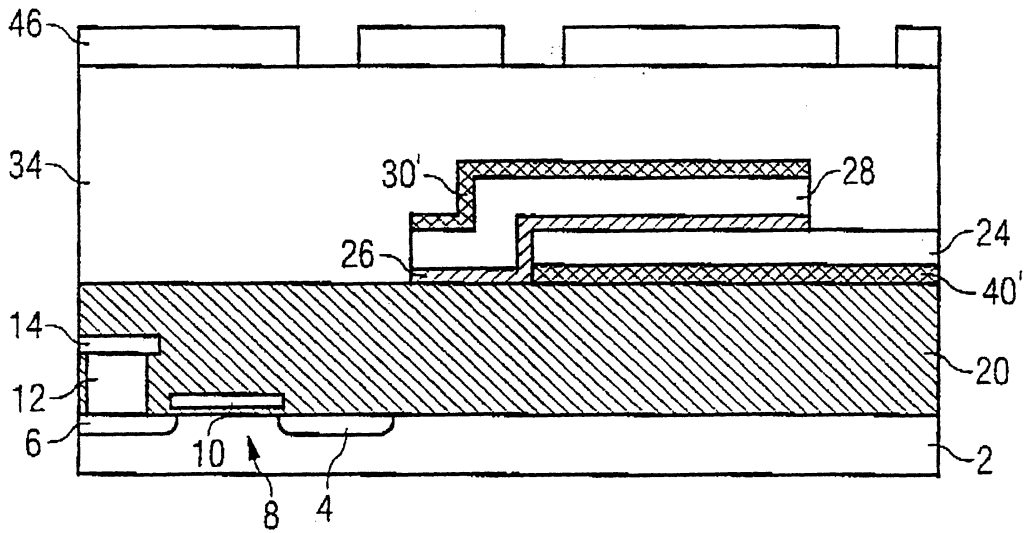
圖式

7/13

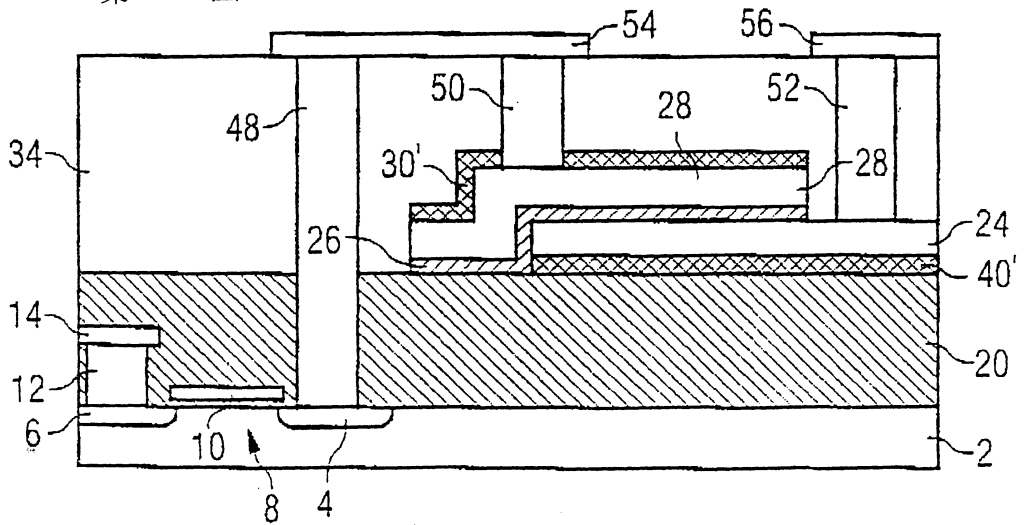
第 5D 圖



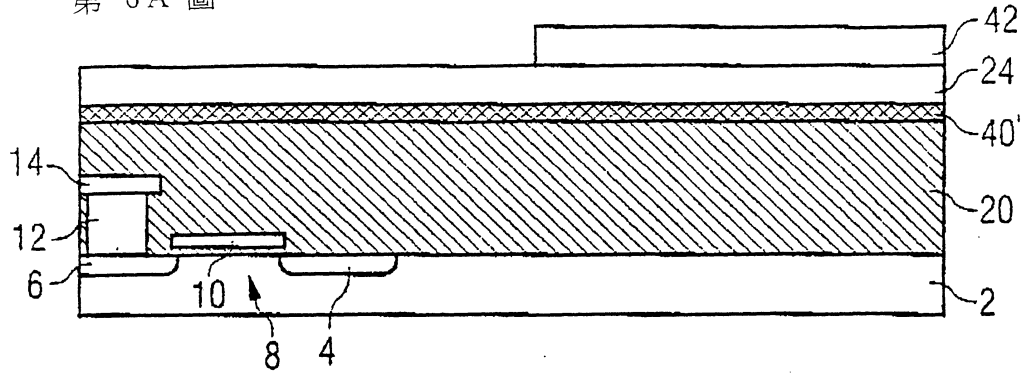
第 5E 圖



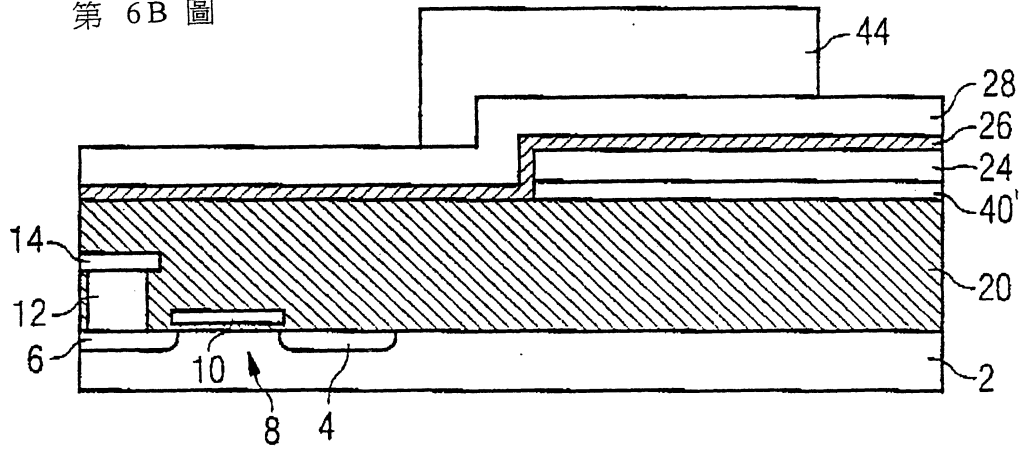
第 5F 圖



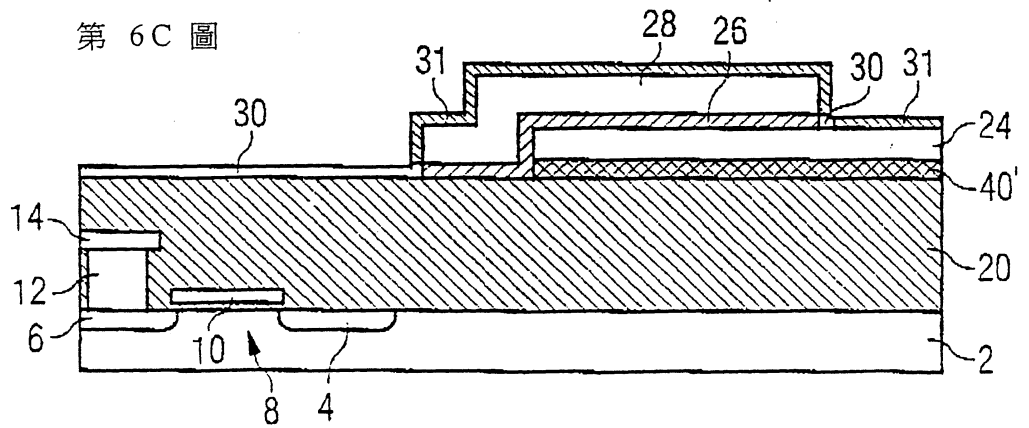
第 6A 圖



第 6B 圖



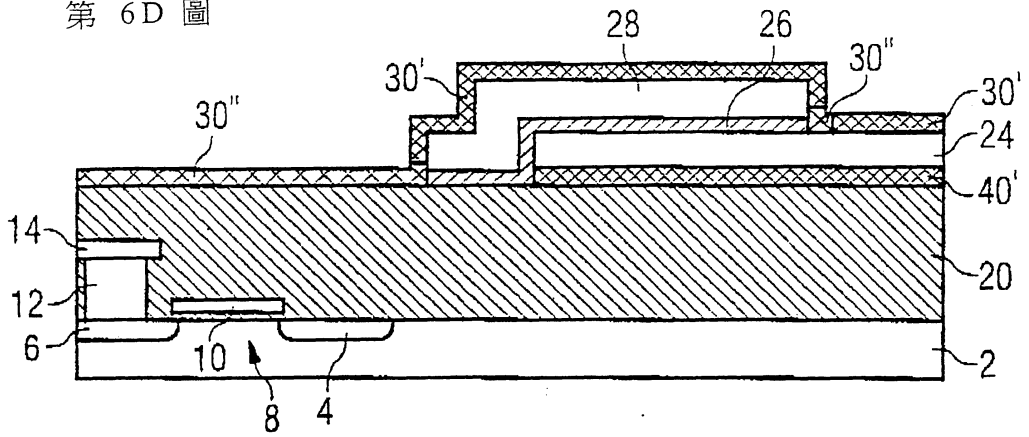
第 6C 圖



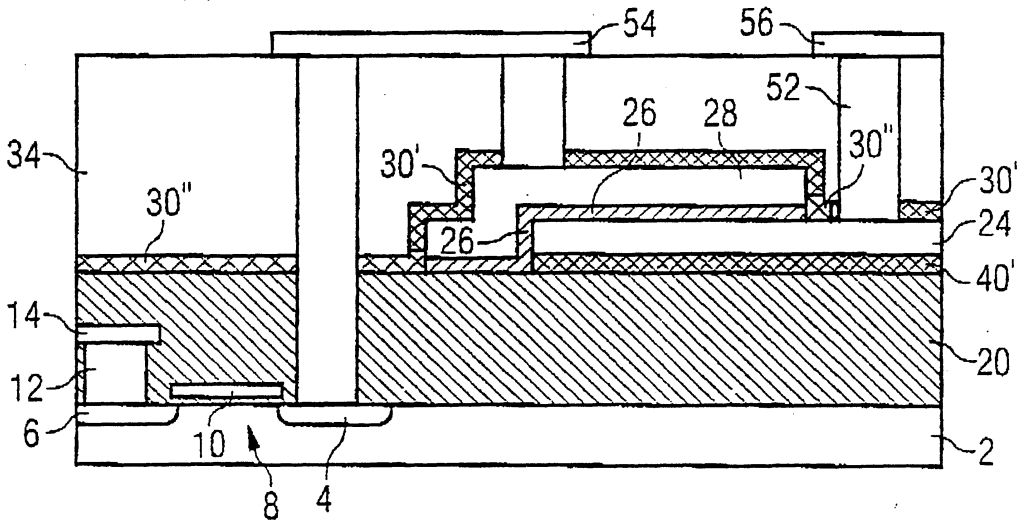
圖式

9/13

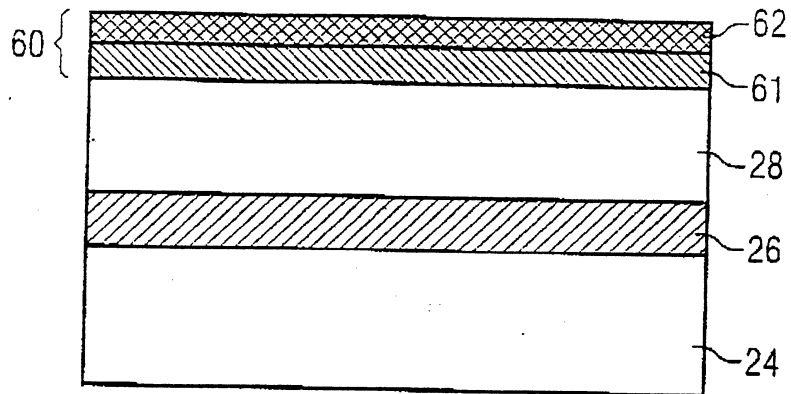
第 6D 圖



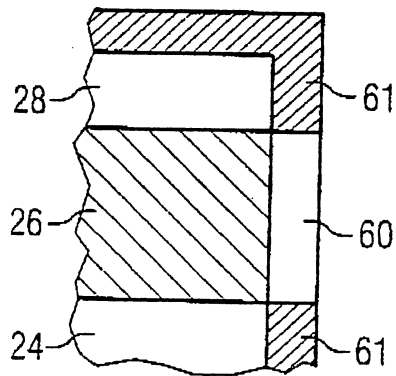
第 6E 圖



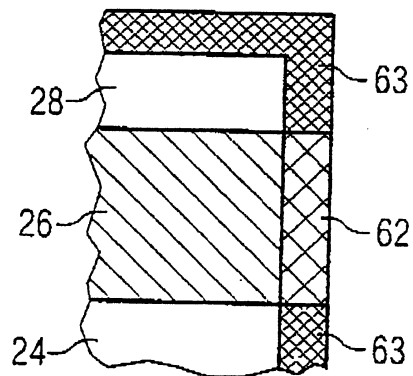
第 7A 圖



第 7B 圖



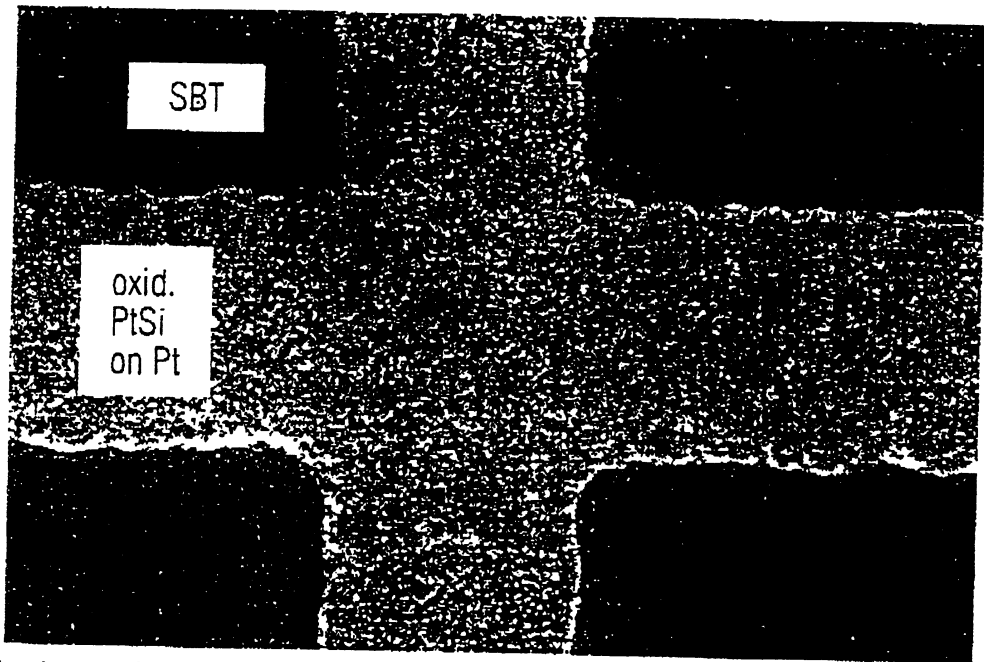
第 7C 圖



圖式

11/13

第 8 圖



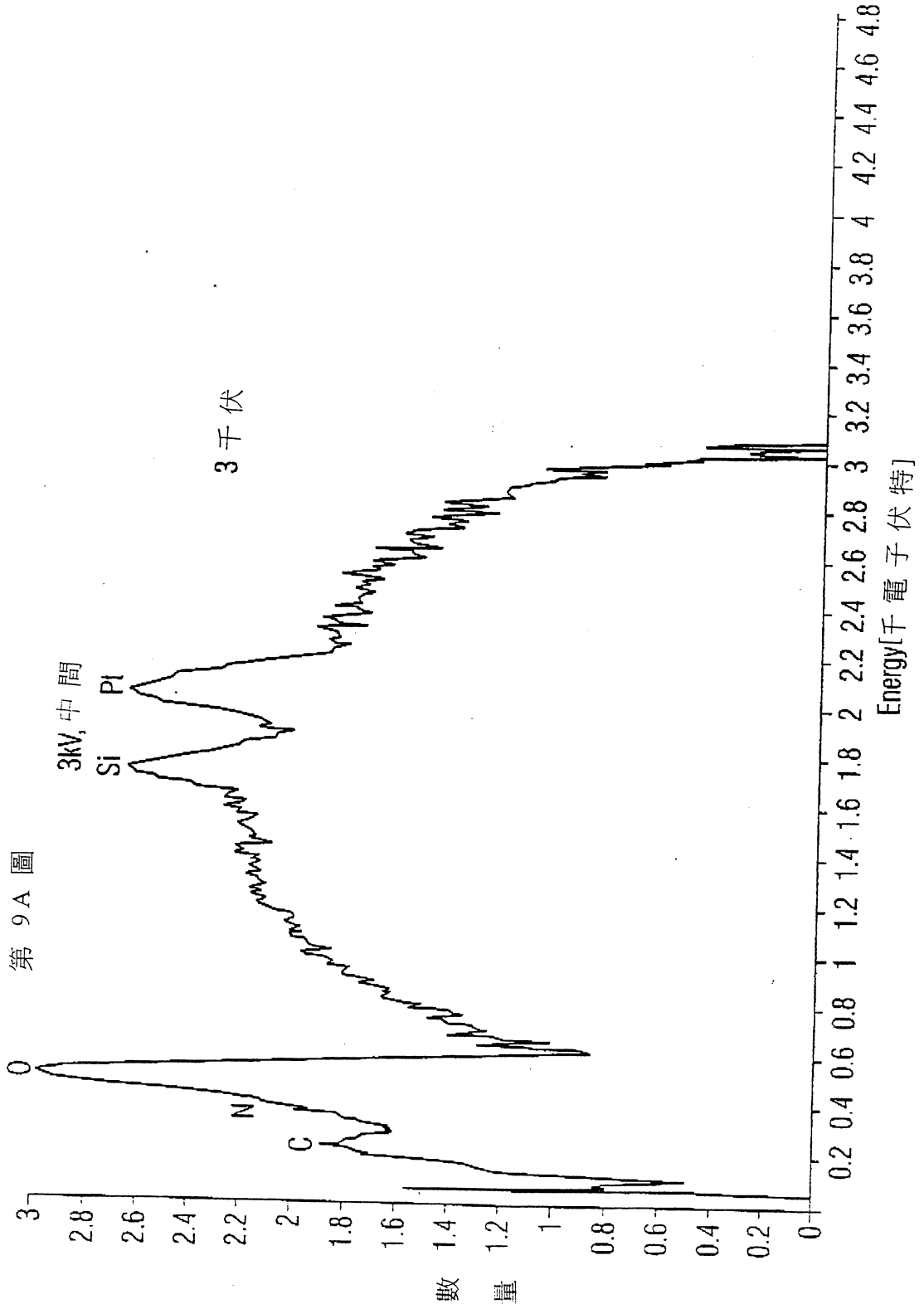
大小 = 15.50 KX

1 微米

EHT = 3.00 千伏 訊號 A = inLens
WD = 3 毫米 照片號碼 = 100

Data : 13 Oct 1990
Time : 15:45

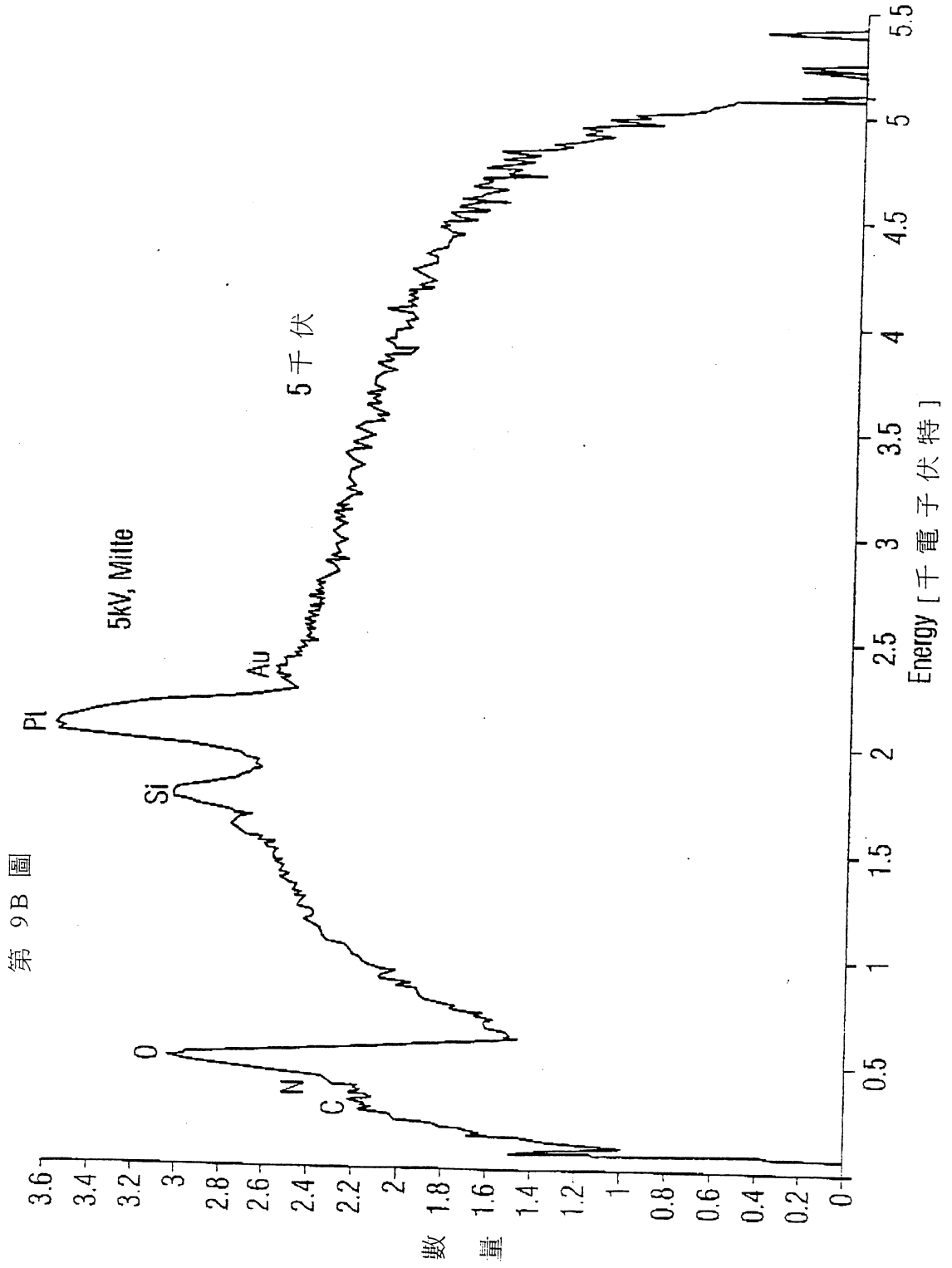
12/13



第 9A 圖

圖式

13/13



第 9B 圖

公告本

93年5月4日
修正本

修正

申請日期：92-2-7

IPC分類

申請案號：92102599

H01L 21/283

(以上各欄由本局填註)

發明專利說明書

I223844

| | | |
|--------------------|----------------------|--|
| 一、 發明名稱 | 中文 | 組件之製造方法及具金屬層與絕緣層之組件 |
| | 英文 | Method for fabricating a component, and component having a metal layer and an insulation layer |
| 二、 發明人 (共3人) | 姓名 (中文) | 1. 茨福尼米爾·加布里克 2. 維爾訥·帕姆勒爾 3. 福爾克爾·魏因里希 |
| | 姓名 (英文) | 1. Zvonimir GABRIC 2. Werner PAMLER 3. Volker WEINRICH |
| | 國籍 (中英文) | 1. 克羅埃西亞 HR 2. 德國 DE 3. 德國 DE |
| | 住居所 (中文) | 1. 德國松爾內汀85604赫爾措希-魯道爾夫路25號 2. 德國慕尼黑80686菲比希普拉茨3號 3. 法國巴黎75013奧古斯都布藍朵路126號13室 |
| | 住居所 (英文) | 1. Herzog-Rudolf-Weg 25, 85604 Zorneding, Germany 2. Viebigplatz 3, 80686 Muechen, Germany 3. 126, Bd. Auguste Blanqui, Apptmt 13, 75013 Paris, France |
| 三、 申請人 (共1人) | 名稱或姓名 (中文) | 1. 億恆科技股份有限公司 |
| | 名稱或姓名 (英文) | 1. Infineon Technologies AG |
| | 國籍 (中英文) | 1. 德國 DE |
| | 住居所 (營業所) (中文) | 1. 德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. St.-Martin-Str. 53, D-81699 M nchen, Germany |
| | 代表人 (中文) | 1. 米夏埃爾·戈爾維茨爾; 2. 霍斯特·舍費爾 |
| | 代表人 (英文) | 1. Michael Gollwitzer; 2. Dr. Horst Sch fer |

