

公告本

399707

申請日期	86.6.14
案號	86108266
類別	CI ⁶ / H01L ²¹ / 8238

399303

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	CMOS元件之製造方法
	英 文	FABRICATION METHOD OF CMOS DEVICE
二、發明 創作人	姓 名	1. 金 光 洙 2. 俞 景 東
	國 籍	韓 國
	住、居所	1. 韓國 利川市 官庫洞 珊瑚1次 Apt, 3棟 504號 2. 韓國 漢城市 松坡區 芳夷洞 奧林匹克 陽光公寓 Apt., 325棟 2202號
三、申請人	姓 名 (名稱)	現代電子產業股份有限公司 (現代電子產業株式會社)
	國 籍	韓 國
	住、居所 (事務所)	韓國 京畿道 利川郡 夫鉢邑 牙美里 山 136-1
	代 表 人 名 姓	鄭 東 洙

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

韓 國(地區) 申請專利，申請日期 1996.6.29. 案號 96-26303 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

17：臨界電壓調整不純物區 24：臨界電壓調整不純物區

18：第二氧化層

19：第二聚矽層

第3圖：

31：基座

33：P型埋入層

32：光致抗蝕層圖型

<較佳具體實施例之詳細描述>

茲參照所附圖面，將本發明之具體實施例詳細描述如下：

如第2A圖所示，第一氧化層12與第一聚矽層13依序形成於P型半導體基座11上。

第一光罩圖型14形成於第一聚矽層13上以曝露一區域供而後PMOS形成於此區。於此第一氧化層12與第一聚矽層13形成充足的厚度，可在離子佈植形成N阱時隱藏不純離子。又亦可以一氧化層代替第一聚矽層13。

如第2B圖所示，第一聚矽層13與第一氧化層係以蝕刻圖型化，而使用第一光罩圖型14為蝕刻光罩，然後以一眾所知悉的方法移去第一光罩圖型14。藉已圖型化的第一聚矽層13與第一氧化層12為光罩以佈植離子方式將N型不純物離子佈植於基座11內，因而以形成島狀的方式形成一N阱不純物區15。其次以N型不純物離子，最好是P離子，再佈植於基座11內而形成島狀的一穿孔停止不純物區16，使用於PMOS，其深度乃淺於N阱不純物區15者。然後將N型不純物離子，最好是P離子再佈植於基座11內，因而形成

(請先閱讀背面之注意事項再填寫本頁)

第

訂

五、發明說明()

<發明之範圍>

本發明係有關於CMOS元件之製造方法，尤特關於一種具有側面隔離的埋入佈植層(BILLI)結構而能有效防止閃鎖的CMOS元件的製造方法。

<發明之背景>

CMOS元件具有一N通道MOS(NMOS)電晶體與一P通道MOS(PMOS)電晶體。NMOS電晶體與PMOS電晶體的汲極乃互相連接者，而電晶體則依照施加於每一閘極的電壓選擇性的動作。由於施加於其供應端的直流電壓較小，CMOS元件的電力消耗較單一元件例如NMOS或PMOS電晶體為小，此乃其優點。因此CMOS可應用於低電力器件，亦可應用於高速及高積算型器件。

在CMOS元件中，NMOS與PMOS電晶體係形成於一半導體基座之上而成為寄生的雙載子電晶體。這些寄生的雙載子電晶體在CMOS元件動作時引起閃鎖現象，在最糟的情形下閃鎖的結果造成永久性的損傷或陷於不能動作。

是以茲揭示一BILLI結構，其目的在防止傳統型CMOS常發生的閃鎖現象。

茲參照第1A至1C圖，用來描述一具有BILLI結構的CMOS的製造方法。

如第1A圖所示，第一光罩圖型2形成於一P型半導體基座1上，以曝露一區域供以後於此區域形成一PMOS。一N阱不純物區域3於是以一島狀之方式形成於基座1內，係藉第一光罩圖型2以離子佈植所成者。為用於PMOS的一穿孔

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

島狀的一臨界電壓調整不純物區17，用於PMOS，而其臨界電壓調整不純物區17乃配置於穿孔停止不純物區16之上。

如第2C圖所示，第二氧化層18與第二聚矽層19依序形成於第2B圖之結構上，於此一氧化層可用以代替第二聚矽層19。

如第2D圖所示，第二聚矽層19與第二氧化層18係各向異性的以如氬式蝕刻，以曝露第一聚矽層13，其中隔離壁20係由第二氧化層18與第二聚矽層19在第一氧化層12與第一聚矽層13之側壁形成。加之，隔離壁20具有緩坡。然後高度集中的P型不純物離子，最好是B離子，以相當高的能量佈植於基座11，而係使用第一氧化層12，第一聚矽層13及隔離壁20當做佈植離子用光罩，因此可形成高度集中的島狀P型埋入層21。於此，如第2D圖所示，P型埋入層21之形成方式為一部分21A配置於N阱不純物區15下，而另一部分21B的P型埋入層21則配置成相等的深度，以求與第一部分具有一階段的不同，其值等於離子佈植用光罩的第一氧化層12與第一聚矽層13的厚度。由於離子佈植用光罩的隔離壁20具有緩和的坡度，位於隔離壁20下面的P型埋入層21的中間部分具有坡度而連接上揭P型埋入層21的兩部分，如此使得P型埋入層21連續形成毫無空隙或分裂點的存在。由是P型埋入層21環繞N阱不純物區15形成至於底部與側邊，其中N阱不純物區15與P型埋入層21乃配置成互相分開。因此閃鎖現象乃得有效防止。

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明 ()

停止不純物區4以一島狀之方式形成於基座1內，其深度淺於N阱不純物區3者。一用於PMOS的臨界電壓調整不純物區5以近於島狀的方式形成於基座1的表面，其深度則淺於用於PMOS的穿孔停止不純物區4。

如同第1B圖所說明者，一高度聚集的P型埋入層6以一島狀的方式藉較高能量位準的離子佈植深入形成於基座1內。在此P型埋入層6具有6a與6b兩部分，其中P型埋入層第二部分6b具有與第一部分6a的階段型差異相等於第一光罩圖型2之厚度，P型埋入層6的階段型差異乃在離子佈植期間使用第一光罩圖型2所造成者。P型埋入層6在器件動作時其作用如同P阱，而N阱則與P阱分離，藉以避免CMOS元件的閉鎖。

如第1C圖之說明，第一光罩圖型2已被移出，第二光罩圖型7繼而形成於基座1上，以曝露區域，做為以後NMOS之形成處。為供NMOS用之一穿孔停止不純物區8與一臨界電壓調整不純物區9依順序藉第二光罩圖型7用離子佈植以島狀之方式形成於基座1內。然後第二光罩圖型7被移去(未標示)，而CMOS元件乃依傳統的後續過程製造完成。

在上揭描述的具有BILLI結構的CMOS元件中，第一光罩圖型2具有險峻的垂直邊界面對齊垂直於基座。在此發生一缺點，亦即第一光罩圖型的邊界面對在使用上揭第一光罩圖型2做離子佈植期間形成P型埋入層6有負面影響，P型埋入層6被分割而形成分離的兩島區，如第1B與1C圖所

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

示者，正相反於所希望的連續形成，如點線所示者。結果，既然無法達成連續形成，此情形下實難以避免閃鎖現象之產生。

<發明之總論>

由是，本發明的一目的為提供一種能夠有效防止閃鎖現象的CMOS元件的製造方法。

本發明之其他特徵與優點將於下文描述，其中一部分經閱讀說明後即可明瞭，或將本發明付之實施而得領悟。本發明之目的與其他優點將參照附圖所描述且經特別指出之構造及申請專利事項而可明瞭。

依照本發明的目的，為了要達成這些優點，如在下揭實施例的廣泛描述，本發明之具有BILLI結構的CMOS元件製造方法中包含的步驟有：在既定傳導型半導體基座上形成一光罩圖型，以曝露一區域，藉供一具有與該基座相同傳導型的MOS電晶體在此形成，該光罩圖型具有緩坡度的垂直邊界面；且藉佈植不純物離子於基座內以透過光罩圖型，來形成一島狀區的埋入層，該不純離子具有的傳導型與基座者相同。

在此實施例中，埋入層係連續形成於光罩圖型垂直邊界面之下方。

所須聲明者，上揭之一般描述與下文中之詳細描述乃舉例說明而已，且為申請專利範圍項目提供更進一步的解說者。

<圖示之簡單說明>

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

所附圖示可有助於更進一步明瞭本發明，而成為本說明書的一部分。本發明具體的實施例連同其描述將有助於本發明原理之闡釋，附圖為：

第1A至1C圖為說明傳統式具有BILLI結構的CMOS元件製造過程的剖面圖；

第2A至2E圖為說明本發明之具有BILLI結構的CMOS元件在一實施例中製造過程的剖面圖；及

第3圖為說明本發明之具有BILLI結構的CMOS元件在另一實施例中之剖面圖。

<圖式中元件名稱與符號對照>

第1A至1C圖：

- | | |
|--------------|--------------|
| 1：P型半導體基座 | 6a：P型埋入層第一部份 |
| 2：第一光罩圖型 | 6b：P型埋入層第二部份 |
| 3：N阱不純物區 | 7：第二光罩圖型 |
| 4：穿孔停止不純物區 | 8：穿孔停止不純物區 |
| 5：臨界電壓調整不純物區 | 9：臨界電壓調整不純物區 |
| 6：P型埋入層 | |

第2A至2E圖：

- | | |
|-------------|---------------|
| 11：P型半導體基座 | 20：隔離壁 |
| 12：第一氧化層 | 21：P型埋入層 |
| 13：第一聚矽層 | 21A：P型埋入層第一部份 |
| 14：第一光罩圖型 | 21B：P型埋入層第二部份 |
| 15：N阱不純物區 | 22：第二光罩圖型 |
| 16：穿孔停止不純物區 | 23：穿孔停止不純物區 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

17：臨界電壓調整不純物區 24：臨界電壓調整不純物區

18：第二氧化層

19：第二聚矽層

第3圖：

31：基座

33：P型埋入層

32：光致抗蝕層圖型

<較佳具體實施例之詳細描述>

茲參照所附圖面，將本發明之具體實施例詳細描述如下：

如第2A圖所示，第一氧化層12與第一聚矽層13依序形成於P型半導體基座11上。

第一光罩圖型14形成於第一聚矽層13上以曝露一區域供而後PMOS形成於此區。於此第一氧化層12與第一聚矽層13形成充足的厚度，可在離子佈植形成N阱時隱藏不純離子。又亦可以一氧化層代替第一聚矽層13。

如第2B圖所示，第一聚矽層13與第一氧化層係以蝕刻圖型化，而使用第一光罩圖型14為蝕刻光罩，然後以一眾所知悉的方法移去第一光罩圖型14。藉已圖型化的第一聚矽層13與第一氧化層12為光罩以佈植離子方式將N型不純物離子佈植於基座11內，因而以形成島狀的方式形成一N阱不純物區15。其次以N型不純物離子，最好是P離子，再佈植於基座11內而形成島狀的一穿孔停止不純物區16，使用於PMOS，其深度乃淺於N阱不純物區15者。然後將N型不純物離子，最好是P離子再佈植於基座11內，因而形成

(請先閱讀背面之注意事項再填寫本頁)

第

訂

五、發明說明()

島狀的一臨界電壓調整不純物區17，用於PMOS，而其臨界電壓調整不純物區17乃配置於穿孔停止不純物區16之上。

如第2C圖所示，第二氧化層18與第二聚矽層19依序形成於第2B圖之結構上，於此一氮化層可用以代替第二聚矽層19。

如第2D圖所示，第二聚矽層19與第二氧化層18係各向異性的以如氬式蝕刻，以曝露第一聚矽層13，其中隔離壁20係由第二氧化層18與第二聚矽層19在第一氧化層12與第一聚矽層13之側壁形成。加之，隔離壁20具有緩坡。然後高度集中的P型不純物離子，最好是B離子，以相當高的能量佈植於基座11，而係使用第一氧化層12，第一聚矽層13及隔離壁20當做佈植離子用光罩，因此可形成高度集中的島狀P型埋入層21。於此，如第2D圖所示，P型埋入層21之形成方式為一部分21A配置於N阱不純物區15下，而另一部分21B的P型埋入層21則配置成相等的深度，以求與第一部分具有一階段的不同，其值等於離子佈植用光罩的第一氧化層12與第一聚矽層13的厚度。由於離子佈植用光罩的隔離壁20具有緩和的坡度，位於隔離壁20下面的P型埋入層21的中間部分具有坡度而連接上揭P型埋入層21的兩部分，如此使得P型埋入層21連續形成毫無空隙或分裂點的存在。由是P型埋入層21環繞N阱不純物區15形成至於底部與側邊，其中N阱不純物區15與P型埋入層21乃配置成互相分開。因此閃鎖現象乃得有效防止。

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明()

如第2E圖所示，第一氧化層12，第一聚矽層13及隔離壁20，其形成離子佈植用光罩者已被移去。於是第二光罩圖型22乃形成於基座11上以曝露一區供NMOS之形成。用於NMOS的一穿孔停止不純物區23乃以島狀形成於基座11內，係藉第二光罩圖型22以離子佈植方式形成者。於此穿孔停止不純物區23乃配置於高度集中的P型埋入層21之上，其深度淺於P型埋入層21者。其次，用於NMOS的一臨界電壓調整不純物區24以島狀鄰近基座11的表面形成，而配置於穿孔停止不純物區23之上。然後，移去第二光罩圖型22(未標示)，完成後續的過程形成PMOS與NMOS電晶體，而藉此製造一CMOS電晶體。

高度集中的P型埋入層的BILLI結構可先於N阱不純物區，用於PMOS的穿孔停止不純物區及用於PMOS的臨界電壓調整不純物區而形成。

再者，在上揭本發明之實施例中，在形成埋入層時所用離子佈植用光罩圖型，係藉由氧化層與聚矽層所成的分隔壁形成具有緩和坡度的垂直邊界。此光罩圖型可以下揭之另一替代方法來形成。

第3圖為說明本發明之具有BILLI結構的CMOS元件在另一實施例中之剖面圖。於此一離子佈植光罩圖型形成一具有垂直邊界的光致抗蝕層，其緩和的坡度係以加熱過程造成者。

如第3圖所示，光致抗蝕層圖型32係以光蝕刻過程加以P型半導體基座31之上以曝露一區供PMOS之形成。然後

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

藉加熱過程形成一光致抗蝕層圖型32，使其垂直側邊界具有緩和的坡度。加熱過程以100°C至200°C之溫度完成。高度集中的P型不純物離子乃得以使用光致抗蝕層圖型32為離子佈植用光罩，藉高能量的離子佈植深入佈植於基座31內，如此高度集中的P型埋入層33乃得形成於基座31內。所形成的P型埋入層33具有與前揭實施例中所描述者相同的連續形狀，其中P型埋入層33係在光致抗蝕層圖型之垂直邊界面下方形成坡度。

依上揭的本發明描述形成BILLI結構時，離子佈植用光罩圖型的垂直邊界面乃形成具有緩和的坡度，而由此離子的佈植乃沿緩和的垂直邊界面在光罩圖型垂直邊界面之下方連續形成埋入層。因此P型埋入層環繞N阱形成至其底部與側部，而N阱與P型埋入層係配置成互相分開。由是門鎖現象之發生得以有效防止，因而可以改善CMOS元件的特性。

所須聲明者，該等熟習於此方面技藝之人士或可對本發明之CMOS元件之製造方法做各種修改與變更，但並不脫離本發明之精神範疇。因此本發明應涵蓋那些脫離不出附錄之申請專利範圍及其同等事項之修改與變更。

訂

四、中文發明摘要(發明之名稱:)

CMOS元件之製造方法

一種具有側面隔離的埋入佈植層(buried implanted layers for lateral isolation, BILLI)結構的互補式金氧半導體(CMOS)元件之製造方法,該元件能夠有效防止閃鎖;其包含下列步驟:在一既定的傳導型半導體基座上形成一光罩圖型,以曝露一區域,以便與該基座具有相同傳導型的MOS電晶體在該區域形成,其中該光罩圖型具有緩坡型的垂直邊界;於是藉離子佈植方式佈植不純離子於基座內以便透過光罩圖型,來形成島狀的埋入層,埋入層具有的傳導型與基座者相同,而連續的形成在光罩圖型垂直邊界面之下。

英文發明摘要(發明之名稱: FABRICATION METHOD OF CMOS DEVICE)

A method for fabricating a CMOS device having BILLI (buried implanted layers for lateral isolation) structure capable of effectively preventing latch-up is disclosed, having the following steps. A mask pattern is formed on the semiconductor substrate of a predetermined conductivity type to expose a region where the MOS transistor, having a same conductivity type as that of the substrate, is to be formed wherein the mask pattern has a vertical boundary face having a gradual slope. A buried layer is then formed in the form of island by ion-implanting the impurity ions into the substrate to pass through the mask pattern, the buried layer having a same conductivity type as that of the substrate, and being formed to be continuous under the vertical boundary face of the mask pattern.

四、中文發明摘要(發明之名稱:)

CMOS元件之製造方法

一種具有側面隔離的埋入佈植層(buried implanted layers for lateral isolation, BILLI)結構的互補式金氧半導體(CMOS)元件之製造方法，該元件能夠有效防止閃鎖；其包含下列步驟：在一既定的傳導型半導體基座上形成一光罩圖型，以曝露一區域，以便與該基座具有相同傳導型的MOS電晶體在該區域形成，其中該光罩圖型具有緩坡型的垂直邊界；於是藉離子佈植方式佈植不純離子於基座內以便透過光罩圖型，來形成島狀的埋入層，埋入層具有的傳導型與基座者相同，而連續的形成在光罩圖型垂直邊界面之下。

英文發明摘要(發明之名稱: FABRICATION METHOD OF CMOS DEVICE)

A method for fabricating a CMOS device having BILLI (buried implanted layers for lateral isolation) structure capable of effectively preventing latch-up is disclosed, having the following steps. A mask pattern is formed on the semiconductor substrate of a predetermined conductivity type to expose a region where the MOS transistor, having a same conductivity type as that of the substrate, is to be formed wherein the mask pattern has a vertical boundary face having a gradual slope. A buried layer is then formed in the form of island by ion-implanting the impurity ions into the substrate to pass through the mask pattern, the buried layer having a same conductivity type as that of the substrate, and being formed to be continuous under the vertical boundary face of the mask pattern.

六、申請專利範圍



有BILLI結構的CMOS製造方法，其包括的步驟為：

1. 在一既定傳導型的半導體基座上形成一光罩圖型，以曝露一區予一COMS電晶體形成於此，其具有的傳導型與基座所具有相同，該光罩圖型具有緩和坡度的垂直邊界面；及

以離子佈植方式透過該光罩圖型佈植離子於該基座內，形成島狀的埋入層，該不純物離子具有的傳導型與基座所具者相同。

2. 如申請專利範圍第1項所述之CMOS之製造方法，其中所述埋入層係在該光罩圖型的垂直邊界面下方連續形成者。

3. 如申請專利範圍第1項所述之CMOS之製造方法，其中所述光罩圖型的形成步驟包括：

在基座上依序形成第一層與第二層；

將第一及第二層圖型化，以曝露一區予MOS電晶體形成於此；

依序形成與第一層具有相同材質的第三層，及與第二層具有相同材質的第四層於該基座上；及

以氫狀蝕刻第三與第四層，形成由第三與第四層所造成的隔離壁於第一與第二層的側壁上，該隔離壁形成光罩圖型的具有緩和坡度的垂直邊界面。

4. 如申請專利範圍第3項所述之CMOS之製造方法，其中所述第一層為氧化層，而第二層為聚矽層。

(請先閱讀背面之注意事項再填寫本頁)

訂

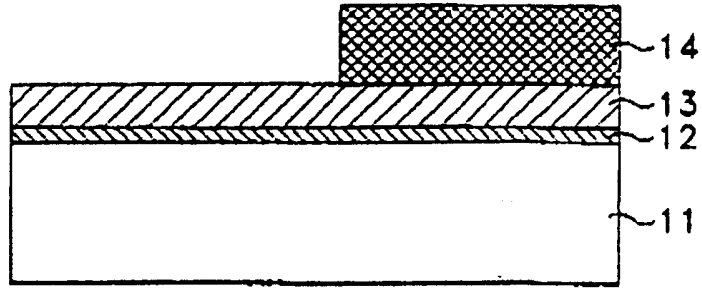
六、申請專利範圍

5. 如申請專利範圍第 3 項所述之 CMOS 之製造方法，其中所述第一層為氧化層，而第二層為氮化層。
6. 如申請專利範圍第 1 項所述之 CMOS 之製造方法，其中形成該光罩圖型的步驟包括：
形成一光致抗蝕層於該基座上
將該光致抗蝕層圖型化，以曝露一區予 MOS 電晶體形成於此；及
將已圖型化的光致抗蝕層施以加熱過程，以形成該光致抗蝕層的具有緩和坡度的一垂直邊界面。
7. 如申請專利範圍第 6 項所述之 CMOS 之製造方法，其中所述加熱過程係在 $100^{\circ}\text{C} \sim 200^{\circ}\text{C}$ 溫度下完成者。

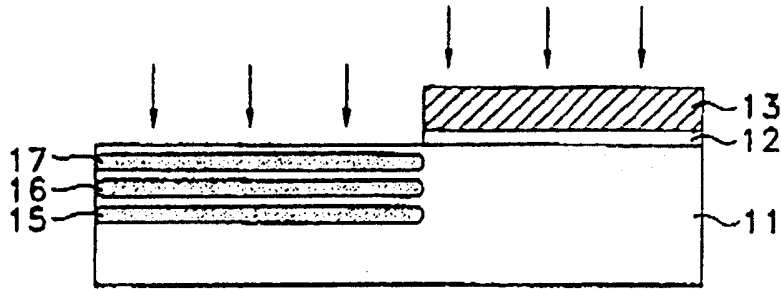
(請先閱讀背面之注意事項再填寫本頁)

訂

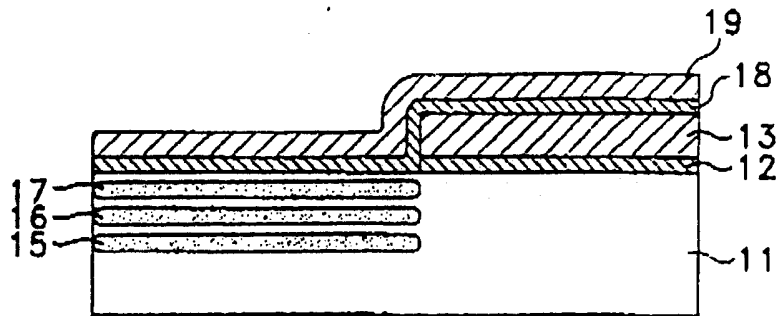
第 2A 圖



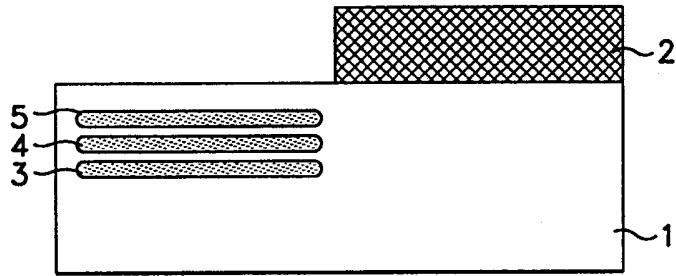
第 2B 圖



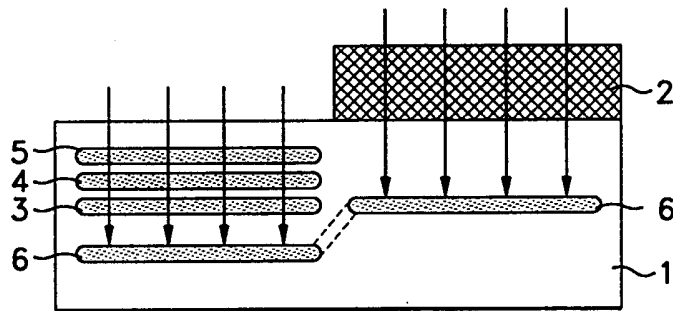
第 2C 圖



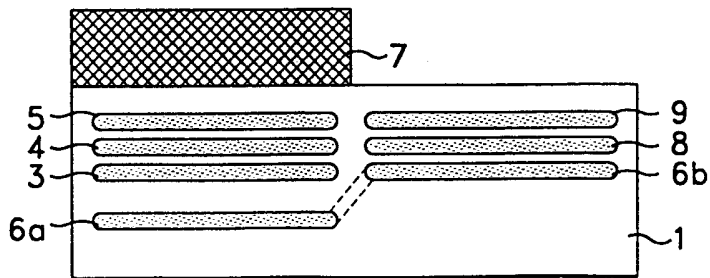
第 1A 圖
(先前技術)



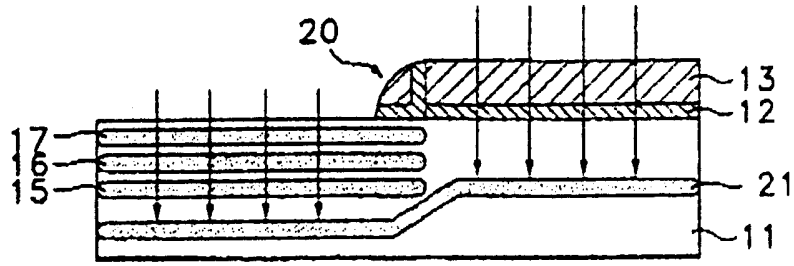
第 1B 圖
(先前技術)



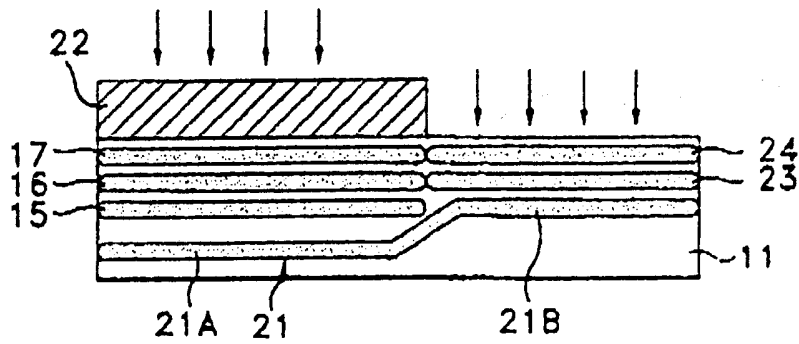
第 1C 圖
(先前技術)



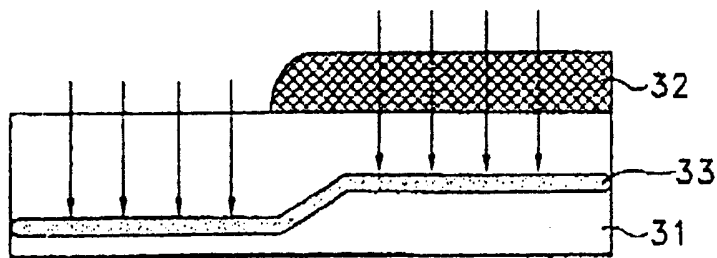
第 2D 圖



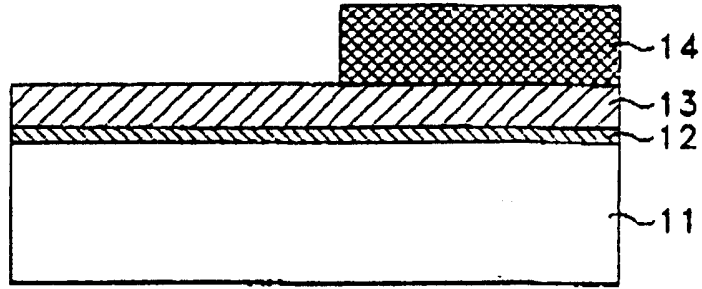
第 2E 圖



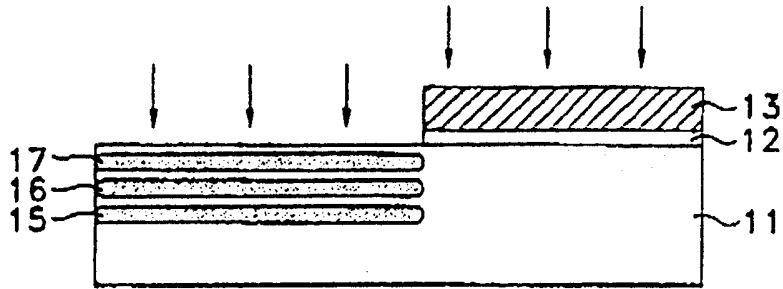
第 3 圖



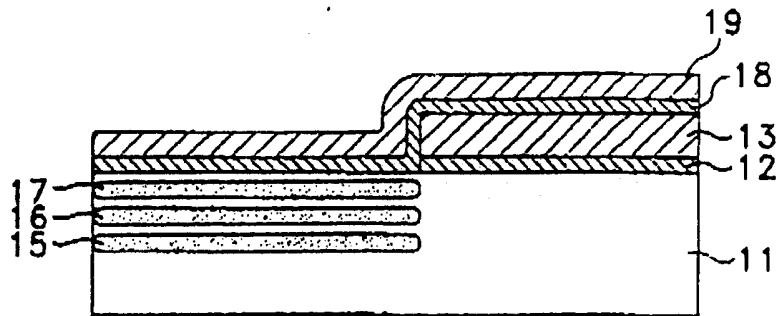
第 2A 圖



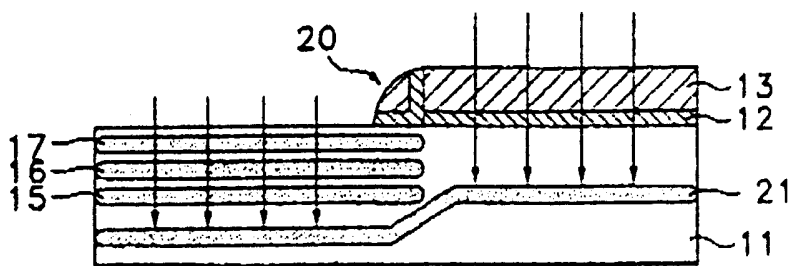
第 2B 圖



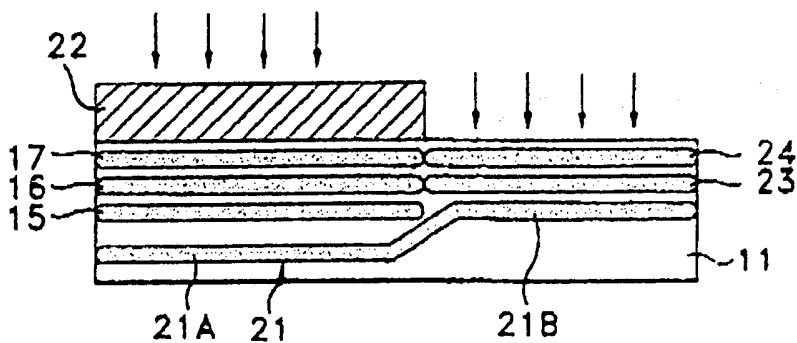
第 2C 圖



第 2D 圖



第 2E 圖



第 3 圖

