

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3572179号
(P3572179)

(45) 発行日 平成16年9月29日(2004.9.29)

(24) 登録日 平成16年7月2日(2004.7.2)

(51) Int. Cl.⁷

G 1 1 C 16/02

F I

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 1 1 G

請求項の数 3 (全 18 頁)

<p>(21) 出願番号 特願平9-274270 (22) 出願日 平成9年10月7日(1997.10.7) (65) 公開番号 特開平11-110985 (43) 公開日 平成11年4月23日(1999.4.23) 審査請求日 平成13年2月2日(2001.2.2)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号 (74) 代理人 100062144 弁理士 青山 稜 (74) 代理人 100084146 弁理士 山崎 宏 (72) 発明者 太田 佳似 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内 審査官 長島 孝志</p>
--	--

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその書き込み方法

(57) 【特許請求の範囲】

【請求項1】

ビット線およびワード線により接続された複数の不揮発性メモリセルと、
上記ビット線と上記ワード線により選択された上記メモリセルに書き込むべき入力多値データを記憶するラッチ回路と、

上記ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを読み出す多値センスアンプと、

上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとに基づいて、上記入力多値データを上記メモリセルに書き込むための所定電圧を上記メモリセルに接続された上記ビット線に印加するビット線電圧発生回路とを備え、

上記ビット線電圧発生回路は、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致する場合は、上記メモリセルに接続された上記ビット線をオープン状態にすることを特徴とする不揮発性半導体記憶装置。

【請求項2】

請求項1に記載の不揮発性半導体記憶装置において、

上記ビット線電圧発生回路は、上記メモリセルに上記入力多値データが正しく書き込まれて、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致するまで、上記入力多値データを上

10

20

記メモリセルに書き込むための上記所定電圧を出力することを特徴とする不揮発性半導体記憶装置。

【請求項3】

ビット線およびワード線により接続された複数の不揮発性メモリセルを有する不揮発性半導体記憶装置の書き込み方法において、

上記ビット線と上記ワード線により選択された上記メモリセルに書き込むべき入力多値データをラッチ回路に記憶する第1ステップと、

上記ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを多値センスアンプにより読み出す第2ステップと、

上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより読み出された上記メモリセルに書き込まれた多値データとに基づいて、ビット線電圧発生回路により上記入力多値データを上記メモリセルに書き込むための所定電圧を上記メモリセルに接続された上記ビット線に印加する第3ステップと、

上記ビット線電圧発生回路により上記所定電圧を上記ビット線に印加した状態で、上記ワード線に一定の書き込み電圧を印加することによって、上記メモリセルに上記入力多値データを書き込む第4ステップとを有し、

上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致するまで、上記第2,第3および第4ステップを繰り返す、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致する場合は、上記メモリセルに接続された上記ビット線をオープン状態にすることを特徴とする不揮発性半導体記憶装置の書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、複数のメモリセルに並列に多値データを書き込む不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

近年の不揮発性半導体記憶装置の進歩は著しく、記憶容量が急速に増大している。そこで、従来と同じ製造プロセスで記憶容量を増大させる方法として、1個のメモリセルに記憶できる情報のビット数を増やす(いわゆる多値化を行う)方法がある。この多値化された不揮発性半導体記憶装置では、メモリセルのしきい値電圧を制御している。上記不揮発性半導体記憶装置は、1つのメモリセルに4値(情報量としては2ビット/セル)を記憶して、メモリセルのしきい値電圧の高い方から順に、データ「0,0」、「0,1」、「1,0」および「1,1」としている。そして、データ「0,0」を消去状態とすると、この消去状態のメモリセルを、データ「0,1」、「1,0」および「1,1」の順により低いしきい値電圧に移すことによって、書き込み動作を行う。なお、消去されたメモリセルのしきい値電圧の方が書き込まれたメモリセルのしきい値電圧より低い不揮発性半導体記憶装置もあるが、本質的には同じである。

【0003】

このような多値データの書き込みを行う不揮発性半導体記憶装置として、例えばデータ「0,1」、「1,0」および「1,1」の順に夫々別々に書き込み動作とベリファイ動作を行うものが提案されている("A 3.3V 128Mb Multi-Level NAND Flash Memory for Mass Storage Applications" ISSCC96 DIGEST OF TECHNICAL PAPERS,P132~P133)。

【0004】

【発明が解決しようとする課題】

しかしながら、上記不揮発性半導体記憶装置では、次の(1)~(4)の問題がある。

【0005】

(1) 多値データ毎にベリファイ動作を行うため、このベリファイ動作に要する時間が、

10

20

30

40

50

例えば1個のメモリセルに4値のデータを記憶する場合には、2値の場合の3倍程度長くなる。

【0006】

(2) 書き込みおよびベリファイ時のワード線電圧は、ベリファイする多値データのしきい値電圧に合わせて変える必要があるため、ワード線電圧を変化させるための時間が必要となる。

【0007】

(3) 書き込み時、ビット線に印加する電圧が多値データの値によらず一定であるため、データ「0,1」用に絶対値の小さな負電圧からデータ「1,1」用の絶対値の大きな負電圧までの電圧をワード線に印加するため、多くの書き込みパルスが必要となる。

10

【0008】

(4) 同一ワード線に共通に接続されているメモリセルのゲートディスタープの原因となる。

【0009】

そこで、この発明の目的は、複数のメモリセルに同時に多値データの書き込み動作とベリファイ動作ができ、多値データを高速に書き込むことができる不揮発性半導体記憶装置およびその書き込み方法を提供することにある。

【0010】

【課題を解決するための手段】

上記目的を達成するため、請求項1の不揮発性半導体記憶装置は、ビット線およびワード線により接続された複数の不揮発性メモリセルと、上記ビット線と上記ワード線により選択された上記メモリセルに書き込むべき入力多値データを記憶するラッチ回路と、上記ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを読み出す多値センスアンプと、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとに基づいて、上記入力多値データを上記メモリセルに書き込むための所定電圧を上記メモリセルに接続された上記ビット線に印加するビット線電圧発生回路とを備え、上記ビット線電圧発生回路は、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致する場合は、上記メモリセルに接続された上記ビット線をオープン状態にすることを特徴としている。

20

30

【0011】

上記請求項1の不揮発性半導体記憶装置によれば、上記ビット線とワード線により選択された上記メモリセルに書き込むべき入力多値データをラッチ回路に記憶し、上記ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを多値センスアンプにより読み出す。そして、上記ラッチ回路に記憶された入力多値データと上記多値センスアンプにより読み出された上記メモリセルに書き込まれた多値データとに基づいて、ビット線電圧発生回路により上記入力多値データを上記メモリセルに書き込むための所定電圧を上記メモリセルに接続されたビット線に印加した後、ワード線に一定の書き込み電圧を印加して、上記メモリセルに入力多値データを書き込む。このように、上記多値センスアンプによって、複数のメモリセルの多値データを一度に読み出せるため、各データ毎にベリファイする必要がなく、また、多値センスアンプは、一定のワード線電圧で、メモリセルから多値データの読み出しができるため、ベリファイ中にワード線電圧を変える必要がない。また、上記ビット線電圧発生回路によりビット線毎に所定電圧を印加できるため、書き込みパルス回数の最適化が図れ、少ない書き込み回数で多値データの書き込みができる。また、書き込む多値データの値にかかわらず、ワード線に一定の電圧を印加するので、ゲートディスタープを低減できる。

40

【0012】

また、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加および上記メモリセルへの書き込みによって、上記ラッチ回路に記憶された入力多値データと多値センスアンプによりメモリセルから読み出された多値データとが一致すると、上記

50

ビット線電圧発生回路は、選択されたメモリセルのビット線をオープン状態にする。したがって、同一ワード線に接続された他のメモリセルの書き込みが行われても、入力多値データが正しく書き込まれたメモリセルは、それ以上の書き込みが行われないので、入力多値データをメモリセルに確実に書き込むことができる。

【0013】

また、請求項2の不揮発性半導体記憶装置は、請求項1の不揮発性半導体記憶装置において、上記ビット線電圧発生回路は、上記メモリセルに上記入力多値データが正しく書き込まれて、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致するまで、上記入力多値データを上記メモリセルに書き込むための上記所定電圧を出力することを特徴としている。

10

【0014】

上記請求項2の不揮発性半導体記憶装置によれば、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加および上記メモリセルへの書き込みにより、上記メモリセルに上記入力多値データが正しく書き込まれて、上記ラッチ回路に記憶された入力多値データと上記多値センスアンプによりメモリセルから読み出された多値データとが一致するまで、ビット線電圧発生回路は、上記入力多値データを上記メモリセルに書き込むための所定電圧を出力し続ける。したがって、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加および上記メモリセルへの書き込みを繰り返すとき、書き込みパルスを切り換えるものに比べてビット線電圧発生回路の出力遅れがなく、書き込み時間を高速にできる。

20

【0015】

また、請求項3の不揮発性半導体記憶装置の書き込み方法は、ビット線およびワード線により接続された複数の不揮発性メモリセルを有する不揮発性半導体記憶装置の書き込み方法において、上記ビット線と上記ワード線により選択された上記メモリセルに書き込むべき入力多値データをラッチ回路に記憶する第1ステップと、上記ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを多値センスアンプにより読み出す第2ステップと、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより読み出された上記メモリセルに書き込まれた多値データとに基づいて、ビット線電圧発生回路により上記入力多値データを上記メモリセルに書き込むための所定電圧を上記メモリセルに接続された上記ビット線に印加する第3ステップと、上記ビット線電圧発生回路により上記所定電圧を上記ビット線に印加した状態で、上記ワード線に一定の書き込み電圧を印加することによって、上記メモリセルに上記入力多値データを書き込む第4ステップとを有し、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致するまで、上記第2,第3および第4ステップを繰り返し、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致する場合は、上記メモリセルに接続された上記ビット線をオープン状態にすることを特徴としている。

30

【0016】

上記請求項3の不揮発性半導体記憶装置の書き込み方法によれば、上記ビット線とワード線により選択された上記メモリセルに書き込むべき入力多値データをラッチ回路に記憶し、ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを多値センスアンプにより読み出す。そして、上記ラッチ回路に記憶された入力多値データと上記多値センスアンプにより読み出された上記メモリセルに書き込まれた多値データとに基づいて、上記ビット線電圧発生回路により入力多値データをメモリセルに書き込むための所定電圧を上記メモリセルに接続されたビット線に印加した後、ワード線に一定の書き込み電圧を印加して、上記メモリセルに入力多値データを書き込む。このように、上記多値センスアンプによって、複数のメモリセルの多値データを一度に読み出せるため、各データ毎にベリファイする必要がなく、また、多値センスアンプは、一定のワード線電圧で、メモリセルから多値データの読み出しができるため、ベリファイ中に

40

50

ワード線電圧を変える必要がない。また、上記ビット線電圧発生回路よりビット線毎に所定電圧を印加できることと、ラッチ回路に記憶された入力多値データと多値センスアンプによりメモリセルから読み出された多値データとが一致するまで、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加およびメモリセルへの書き込みを繰り返すことによって、書き込み回数の最適化が図れ、少ない書き込み回数で多値データの書き込みができる。また、書き込む多値データの値にかかわらず、ワード線に一定電圧を印加するので、ゲートディスタ urb を低減できる。

【0017】

また、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加および上記メモリセルへの書き込みによって、上記ラッチ回路に記憶された入力多値データと多値センスアンプによりメモリセルから読み出された多値データとが一致すると、上記ビット線電圧発生回路は、選択されたメモリセルのビット線をオープン状態にする。したがって、同一ワード線に接続された他のメモリセルの書き込みが行われても、入力多値データが正しく書き込まれたメモリセルは、それ以上の書き込みが行われないので、入力多値データをメモリセルに確実に書き込むことができる。

10

【0018】

【発明の実施の形態】

以下、この発明の不揮発性半導体記憶装置およびその書き込み方法を図示の実施の形態により詳細に説明する。

【0019】

図1、図2はこの発明の実施の一形態の不揮発性半導体記憶装置の回路図であり、図1はビット線電圧発生回路1周辺の回路図を示し、図2は図1に続く多値センスアンプとメモリセル周辺の回路図を示している。なお、この不揮発性半導体記憶装置では、説明の便宜上、メモリセル1個に蓄えるデータを4値(2ビット)とし、メモリセルに電流が流れ始めるしきい値電圧 V_{th} の高い方から順にデータ「00」、「01」、「10」、「11」としている。

20

【0020】

この不揮発性半導体記憶装置は、プリチャージ信号 $pre\#$ がゲートに接続されたpチャネルトランジスタ11を介してインバータIV1、IV2の入力端子が電源電圧 V_{cc} にプリチャージされた状態で、内部コラムアドレス y_{12-15} 、 y_{8-11} 、 y_{4-7} および y_{0-3} により列が選択されると、インバータIV1、IV2の入力端子が“Low”レベルになる。そうすると、上記インバータIV1、IV2の出力端子が“High”レベルとなり、nチャネルトランジスタTR0、TR1がオンして、データ線DQ0、DQ1をnチャネルトランジスタTR0、TR1を介してラッチ回路Latch0、Latch1のラッチノードQ0、Q1に接続する。上記ラッチ回路Latch0、Latch1のラッチノードQ0、Q1に、nチャネルトランジスタ15、16を介してグランドGNDを接続している。

30

【0021】

上記ラッチ回路Latch0は、互いに入力端子が相手の出力端子に接続されたインバータIV3、IV4を有し、インバータIV3の入力端子側がラッチノードQ0とし、インバータIV4の入力端子側がラッチノードQ0#としている。また、上記ラッチ回路Latch1は、互いに入力端子が相手の出力端子に接続されたインバータIV5、IV6を有し、インバータIV5の入力端子側がラッチノードQ1とし、インバータIV6の入力端子側がラッチノードQ1#としている。なお、上記インバータIV3の入力端子とインバータIV4の出力端子とを、ディスエーブル信号 dis がゲートに接続されたnチャネルトランジスタ21を介して接続すると共に、インバータIV5の入力端子とインバータIV6の出力端子とを、ディスエーブル信号 dis がゲートに接続されたnチャネルトランジスタ22を介して接続している。上記ラッチ回路Latch0のラッチノードQ0を、データ転送信号 $trn0\#$ がゲートに接続されたpチャネルトランジスタ25を介して図2に示すセンスアンプSA0のセンスノードS0に接続している。また、上記pチャネルトランジスタ25に、データ転送信号 $trn0$ がゲートに接続されたnチャネルトランジスタ23を

40

50

並列接続している。また、上記ラッチ回路 Latch1 のラッチノード Q 1 を、データ転送信号 trn1 # がゲートに接続された p チャンネルトランジスタ 2 6 を介して図 2 に示すセンスアンプ S A 1 のセンスノード S 1 に接続している。また、上記 p チャンネルトランジスタ 2 6 に、データ転送信号 trn1 がゲートに接続された n チャンネルトランジスタ 2 4 を並列接続している。

【 0 0 2 2 】

また、上記ラッチ回路 Latch0 のラッチノード Q 0 # を p チャンネルトランジスタ P 01, P 02 のゲートに夫々接続し、その p チャンネルトランジスタ P 01 のドレインをビット線電圧供給線 n d に夫々接続している。一方、上記ラッチ回路 Latch1 のラッチノード Q 1 # を p チャンネルトランジスタ P 11, P 12 のゲートに夫々接続し、その p チャンネルトランジスタ P 11, P 12 のドレインをビット線電圧供給線 n d に夫々接続している。上記 p チャンネルトランジスタ P 02 のドレインと p チャンネルトランジスタ P 11 のソースを接続している。また、図 2 に示すセンスアンプ S A 0 のセンスノード S 0 # を p チャンネルトランジスタ P 21, P 22 のゲートに夫々接続し、p チャンネルトランジスタ P 01 のソースを p チャンネルトランジスタ P 21 のドレインに接続し、p チャンネルトランジスタ P 02 のソースを p チャンネルトランジスタ P 22 のドレインに接続している。さらに、図 2 に示すセンスアンプ S A 1 のセンスノード S 1 # を p チャンネルトランジスタ P 31, P 32 のゲートに夫々接続している。上記 p チャンネルトランジスタ P 31 を p チャンネルトランジスタ P 21 に並列接続している。上記 p チャンネルトランジスタ P 12 のソースに、ゲートとドレインが接続された n チャンネルトランジスタ N 1 のドレインを接続し、n チャンネルトランジスタ N 1 のソースに p チャンネルトランジスタ P 22 のドレインに接続している。さらに、上記 p チャンネルトランジスタ P 21 のソースと p チャンネルトランジスタ P 32 のソースとを、ゲートとドレインが接続された n チャンネルトランジスタ N 2 のドレインに接続している。この n チャンネルトランジスタ N 2 のソースと p チャンネルトランジスタ P 22, P 31 のソースとを接続している。上記 p チャンネルトランジスタ P 01, P 02, P 11, P 12, P 21, P 22, P 31, P 32 および n チャンネルトランジスタ N 1, N 2 でビット線電圧発生回路 1 を構成している。上記 n チャンネルトランジスタ N 2 のソースをビット線電圧発生回路 1 の出力ノード n p r o g としている。

【 0 0 2 3 】

また、図 2 に示すように、互いに入力端子が出力端子に接続されたインバータ I V 7, I V 8 を有するセンスアンプ S A 0 のセンスノード S 0 に、n チャンネルトランジスタ 4 1 を介して、ビット線 B L n を接続し、そのビット線 B L n をメモリセル C E L L 0 のドレインに接続している。また、互いに入力端子が出力端子に接続されたインバータ I V 9, I V 10 を有するセンスアンプ S A 1 のセンスノード S 1 に、n チャンネルトランジスタ 4 3 を介して、ビット線 B L n+2 を接続し、そのビット線 B L n+2 をメモリセル C E L L 1 のドレインに接続している。上記 n チャンネルトランジスタ 4 1, 4 3 のゲートにビット線切り離し信号 cut を接続している。また、上記ビット線 B L n に、ビット線読み出し信号 r0 がゲートに接続された n チャンネルトランジスタ 7 3 を接続する一方、ビット線 B L n+2 にビット線読み出し信号 r1 がゲートに接続された n チャンネルトランジスタ 7 5 を接続している。上記センスアンプ S A 0, S A 1 と昇圧回路 C 0, C 1, C 2 と p チャンネルトランジスタ 3 1, 3 2 および n チャンネルトランジスタ 3 3, 3 4 で多値センスアンプを構成している。

【 0 0 2 4 】

上記センスアンプ S A 0 のセンスノード S 0 # を、ビット線切り離し信号 cut がゲートに接続された n チャンネルトランジスタ 4 2 とビット線イコライズ信号 eq がゲートに接続された n チャンネルトランジスタ 6 1 とを介してビットライン B L n に接続している。

【 0 0 2 5 】

上記ビット線 B L n, B L n+2 に、ビット線プリチャージ信号 pre がゲートに接続された n チャンネルトランジスタ 5 1, 5 3 を介してプリチャージ電圧 Vpre を接続している。また、上記 n チャンネルトランジスタ 4 2, 6 1 間に、ビット線プリチャージ信号 pre がゲートに接続された n チャンネルトランジスタ 5 2 を介してプリチャージ電圧 Vpre を接続している。また、上記 n チャンネルトランジスタ 4 4, 6 2 間に、ビット線プリチャージ信号 pre が

ゲートに接続された n チャンネルトランジスタ 54 を介してプリチャージ電圧 V_{pre} を接続している。

【0026】

さらに、上記ビット線 B_{Ln} とビット線 B_{Ln+2} とを、多値センス用データ転送信号 m_{trn} がゲートに接続された n チャンネルトランジスタ 63 を介して接続している。上記 n チャンネルトランジスタ 63 をオンすることによって、センスアンプ S_{A1} によりメモリセル $C_{E L 0}$ の読み出しを行うことが可能となる。

【0027】

また、図1に示すビット線電圧発生回路1の出力ノード n_{prog} を、ビット線オープン信号 V_{open} がゲートに接続された p チャンネルトランジスタ 71 とビット線書き込み信号 w_0 がゲートに接続された n チャンネルトランジスタ 74 とを介してメモリセル $C_{E L L 0}$ のソースに夫々接続している。また、上記出力ノード n_{prog} を、ビット線オープン信号 V_{open} がゲートに接続された p チャンネルトランジスタ 72 とビット線書き込み信号 w_1 がゲートに接続された n チャンネルトランジスタ 76 とを介してメモリセル $C_{E L L 1}$ のソースに夫々接続している。

10

【0028】

また、上記センスアンプ S_{A0} のセンスノード $S_{0\#}$ とセンスアンプ S_{A1} のセンスノード S_1 との間を容量素子でなる昇圧回路 C_1 を接続している。上記センスアンプ S_{A0} のセンスノード S_0 とセンスアンプ S_{A1} のセンスノード $S_1\#$ との間を容量素子でなる昇圧回路 C_2 を接続している。さらに、上記センスアンプ S_{A0} のセンスノード S_0 に容量素子でなる昇圧回路 C_3 を介して昇圧信号 bst を接続すると共に、センスアンプ S_{A1} のセンスノード S_1 に容量素子でなる昇圧回路 C_4 を介して昇圧信号 bst を接続している。

20

【0029】

ここで、上記センスアンプ S_{A0} 、 S_{A1} のセンス感度を V とした場合、昇圧回路 C_3 、 C_4 は、センスアンプ S_{A0} 、 S_{A1} の電圧センス側の入力ノード S_0 、 S_1 の電圧を $3V$ だけ昇圧する。これに対して、昇圧回路 C_2 は、入力ノード S_0 の電圧が増大すると、センスアンプ S_{A1} のリファレンス側の入力ノード $S_1\#$ の電圧を $2V$ だけ昇圧する。同様に、昇圧回路 C_1 は、入力ノード $S_{0\#}$ の電圧が増大すると、センスアンプ S_{A1} の電圧センス側の入力ノード S_1 の電圧を $2V$ だけ昇圧する。

30

【0030】

なお、図2に示す消去信号 ers がゲートに接続され、ドレインに消去電圧 V_{ers}/V_{ss} が接続された n チャンネルトランジスタ 81、82 は、メモリセルの消去時に用いるもので、ここでは説明を省略する。

【0031】

上記構成の不揮発性半導体記憶装置では、メモリセル $C_{E L L 0}$ を構成するトランジスタのゲートにワード線 W_{L0} を介して電圧を印加して、電流が流れるかどうかによって蓄積されている多値データを判定する。ここで、選択されたメモリセルを $C_{E L L 0}$ とし、ワード線 W_{L0} に読み出しパルス(一定電圧)と書き込みパルス(一定電圧)が印加される。

【0032】

以下、図3、図4のタイミングチャートに従って、書き込み動作とベリファイ動作について説明する。ここで、上記プリチャージ信号 pre のレベルはグランド GND となっており、 n チャンネルトランジスタ T_{R0} 、 T_{R1} はオフとしている。また、上記ディスエーブル信号 dis のレベルを電源電圧 V_{cc} とし、リセット信号 rst を“High”レベルとして、 n チャンネルトランジスタ 15、16 をオンし、ラッチ回路 $Latch_0$ 、 $Latch_1$ をリセットしている。また、上記ビット線プリチャージ信号 pre とビット線イコライズ信号 eq とを“High”レベルとして、ビット線 $B_{Ln} \sim B_{Ln+3}$ をプリチャージ電圧 V_{pre} に充電している。

40

【0033】

(1) 入力多値データのロード

50

まず、2ビットの入力多値データがデータ線DQ0, DQ1に与えられ、時点t0でプリチャージ信号 pre#を“High”レベルとし、ディスエーブル信号 disを“Low”レベルとしてから、時点t1で内部コラムアドレスy0 - y15を確定する。そうすると、コラム選択用トランジスタTR0, TR1がオンして、ラッチ回路Latch0, Latch1にデータ線DQ0, DQ1のデータをロードする。

【0034】

そして、時点t3でディスエーブル信号 disを“High”レベルにして、データ線DQ0, DQ1のデータをラッチし、内部コラムアドレス信号y0 - y15を元に戻し、時点t4でプリチャージ信号 pre#を“Low”レベルに戻して、コラム選択用トランジスタTR0, TR1をオフする。

10

【0035】

(2) メモリセルからの読み出し

次に、上記ラッチ回路Latch0, Latch1に入力多値データがロードされた時点t2で、ビット線読み出し信号 r0と多値センス用データ転送信号 mtrnとを“High”レベルにして、メモリセルCELL0のビット線BLnを選択し、その後、時点t3でビット線プリチャージ信号 preとビット線イコライズ信号 eqとを“Low”レベルにして、ビット線BLへのプリチャージを止める。

【0036】

次に、時点t4でワード線WL0を“High”レベルに立ち上げて、一定時間後の時点t5でビット線切り離し信号 cut, 多値センス用データ転送信号 mtrnおよびビット線読み出し信号 r0を“Low”レベルにして、センスノードS0, S1をビット線BLnから切り離す。

20

【0037】

その後、時点t6で昇圧信号 bstを“High”レベルにして、センスノードS0, S1を昇圧後、時点t7でP - chセンス信号 sep0#を“Low”レベルにして、センスアンプSA0を動作させる。なお、時点t4~t6までの間、読み出しパルスをワード線WL0に印加する。

【0038】

数nsec後の時点t8で、P - chセンス信号 sep1#を“Low”レベルにして、センスアンプSA1も動作させ、その後、時点t9でN - chセンス信号 sen0, sen1を“High”レベルにして、センス結果を確定する。

30

【0039】

このとき、メモリセルCELL0が消去状態(情報「0,0」)であれば、図4(a),(b)に示すように、センスノードS0, S1は共に“High”レベルとなり、センスノードS0#, S1#は共に“Low”レベルとなる。

【0040】

また、メモリセルCELL0に書き込まれた情報が「0,1」であれば、図4(c),(d)に示すように、センスノードS0は“High”レベル、センスノードS0#は“Low”レベル、センスノードS1は“Low”レベル、センスノードS1#は“High”レベルとなる。

【0041】

また、メモリセルCELL0に書き込まれた情報が「1,0」であれば、図4(e),(f)に示すように、センスノードS0は“Low”レベル、センスノードS0#は“High”レベル、センスノードS1は“High”レベル、センスノードS1#は“Low”レベルとなる。

40

【0042】

また、メモリセルCELL0に書き込まれた情報が「1,1」であれば、図4(g),(h)に示すように、センスノードS0は“Low”レベル、センスノードS0#は“High”レベル、センスノードS1は“Low”レベル、センスノードS1#は“High”レベルとなる。

【0043】

そうして、上記ワード線WL0は、図示していないがGNDレベルに戻す(ビット線をセンスノードからカットした後はいつでもよい)。なお、上記メモリセルCELL0の読み

50

出し時、ビット線 B L n+2は G N D レベルである。

【 0 0 4 4 】

以下、上記メモリセル C E L L 0 の保持情報を読み出しについて詳細に説明する。なお、センスアンプ S A 0 , S A 1 を構成するバッファ I V 7 ~ I V 1 0 は、図示していないが、コンプリメンタリ接続された p チャネルトランジスタと n チャネルトランジスタで構成されている。

【 0 0 4 5 】

まず、メモリセル C E L L 0 が選択されて、センスアンプ S A 0 , S A 1 の入力ノード S 0 , S 1 の電圧が選択メモリセル C E L L 0 の保持情報に応じた電圧だけプリチャージ電圧 V p r e よりも低下した後、昇圧回路 C 3 , C 4 の動作によって入力ノード S 0 , S 1 の電圧を最大ディスチャージ電圧の 1 / 2 (3 V) だけ昇圧する。そして、センスアンプ S A 0 の p チャネルトランジスタ (図示せず) のみを動作させる。そうすると、

入力ノード S 0 の電圧 > 入力ノード S 1 の電圧

の場合は、昇圧回路 C 2 の動作によって、センスアンプ S A 1 のリファレンス側の入力ノード S 1 # の電圧が 2 V だけ昇圧される。一方、

入力ノード S 0 の電圧 < 入力ノード S 1 の電圧

の場合は、昇圧回路 C 1 の動作によって、センスアンプ S A 1 の電圧センス側の入力ノード S 1 の電圧が 2 V だけ昇圧される。そうした後に、センスアンプ S A 1 の p チャネルトランジスタ (図示せず) を動作させると共に、センスアンプ S A 0 , S A 1 の n チャネルトランジスタ (図示せず) を動作させて、上記メモリセル C E L L 0 の保持情報「 0 0 」, 「 0 1 」, 「 1 0 」, 「 1 1 」を識別する。

【 0 0 4 6 】

(3) ビット線への電圧印加

次に、時点 t 10 でビット線書き込み信号 w 0 を “ High ” レベルにして、メモリセル C E L L 0 を選択し、ビット線電圧供給線 n d に電圧 V d (代表値 6 V) を印加する。そうすると、表 1 に示すように、ラッチノード Q 0 # , Q 1 # とセンスノード S 0 # , S 1 # の状態によって、ビット線電圧発生回路 1 の出力ノード n p r o g が所定電圧か、または、オープン状態となる。

【表 1】

書き込み データ	Q 0 #	Q 1 #	S 0 #	S 1 #	n p r o g
0	1	1	0	0	オープン
1	1	0	0	0	Vd - 2 Vth
			0	1	オープン
2	0	1	0	0	Vd - Vth
			0	1	オープン
3	0	0	0	0	Vd
			0	1	
			1	0	
			1	1	オープン

上記表 1 のしきい値電圧 V t h は、図 1 の n チャネルトランジスタ N 1 , N 2 のしきい値電圧を表している。表 1 に示すように、書き込みデータ「 0 , 0 」のとき、出力ノード n p r o g がオープン状態、データ「 0 , 1 」のとき、出力ノード n p r o g が (V d - 2 V t h)、データ「 1 , 0 」のとき、出力ノード n p r o g が (V d - V t h)、データ「 1 , 1 」のとき、出力ノード n p r o g が (V d = 6 V) となり、出力ノード n p r o g の電圧をメモ

リセル $C E L L 0$ につながるビット線 $B L_{n+1}$ に印加する。

【 0 0 4 7 】

(4) 書き込みパルスの印加

次に、ワード線 $W L 0$ に負電圧 V_{neg} (代表値 - 9 V) の書き込みパルスを時点 $t_{12} \sim t_{13}$ の間の一定時間 (代表値 $1 \mu s e c$) 印加することによって、メモリセル $C E L L 0$ のしきい値電圧 V_{th} が下がる。このとき、上記メモリセル $C E L L 0$ のビット線 $B L_{n+1}$ に所定電圧 (出力ノード $n p r o g$) が印加されて、メモリセル $C E L L 0$ のフローティングゲートからビット線 $B L_{n+1}$ に電子が引き抜かれる。

【 0 0 4 8 】

(5) 書き込み動作とベリファイ動作

そこで、(2) の「メモリセルの読み出し」に戻り、メモリセル $C E L L 0$ の書き込みが終了するまで、すなわち、ラッチノード $Q 0 \#$ とセンスノード $S 0$ の値が一致し、ラッチノード $Q 1 \#$ とセンスノード $S 1$ の値が一致するまで、(2) 「メモリセルの読み出し」～(4) 「書き込みパルスの印加」の動作を繰り返す。

【 0 0 4 9 】

上記ラッチノード $Q 0 \#$ とセンスノード $S 0$ の値を比較し、ラッチノード $Q 1 \#$ とセンスノード $S 1$ の値を比較する理由は、外部から入力される 2 ビットの入力データが、メモリセルがセンスした出力データに対して反転しているからである。

【 0 0 5 0 】

こうして、メモリセルに正しくデータが書き込まれるまで、ビット線に電圧を与え続けて、書き込み動作とベリファイ動作を行う。そして、正しく多値データがメモリセルに書き込まれると、ビット線はオープン状態となって、ビット線に電圧は印加されなくなる。

【 0 0 5 1 】

なお、図 1, 図 2 に示す不揮発性半導体記憶装置では、多値センスアンプを構成するセンスアンプ $S A 1$ は、メモリセル $C E L L 0, C E L L 1$ に兼用されているため、偶数または奇数のメモリセルに対して並列に書き込み動作とベリファイ動作するが、多値センスアンプをメモリセル毎に設けることによって、同一ワード線に接続されている全てのメモリセルに対して並列に書き込みおよびベリファイすることができる。

【 0 0 5 2 】

このように、上記不揮発性半導体記憶装置は、センスアンプ $S A 0, S A 1$ と昇圧回路 $C 0, C 1, C 2$ と p チャネルトランジスタ $3 1, 3 2$ および n チャネルトランジスタ $3 3, 3 4$ で構成された多値センスアンプによって、同一ワード線に接続された複数のメモリセルの多値データを一度に読み出せるため、各データ毎にベリファイする必要がなく、また、ワード線に一定の読み出し電圧を印加することで、多値センスアンプは、メモリセルから多値データの読み出しができるため、ベリファイ中にワード線電圧を変える必要がない。また、上記ビット線電圧発生回路 1 によりビット線毎に所定電圧を印加できるため、書き込みパルス回数の最適化が図れ、少ない書き込み回数で多値データの書き込みを行うことが可能になる。したがって、複数のメモリセルに同時に多値データの書き込み動作とベリファイ動作ができ、多値データを高速に書き込むことができる。また、書き込む多値データの値にかかわらず、ワード線に一定の書き込み電圧 V_{neg} を印加するので、同一ワード線に接続されたメモリセルのゲートディスターブを低減することができる。

【 0 0 5 3 】

また、上記 (2) メモリセルからの読み出し、(3) ビット線への電圧印加および (4) 書き込みパルスの印加によって、ラッチ回路 $L a t c h 0, L a t c h 1$ に記憶された入力多値データを表すラッチノード $Q 0 \#, Q 1 \#$ とセンスアンプ $S A 0, S A 1$ によりメモリセル $C E L L 0$ から読み出された多値データを表すセンスノード $S 0 \#, S 1 \#$ とが一致すると、ビット線電圧発生回路 1 は、選択されたメモリセル $C E L L 0$ のビット線 $B L_n$ をオープン状態にする。したがって、同一ワード線 $W L 0$ に接続された他のメモリセルの書き込みが行われても、入力多値データが正しく書き込まれたメモリセルは、それ以上の書き込みが行われないので、入力多値データをメモリセルに確実に書き込むことができる。

10

20

30

40

50

【 0 0 5 4 】

また、上記(2)メモリセルからの読み出し、(3)ビット線への電圧印加および(4)書き込みパルスの印加により、上記メモリセルに入力多値データが正しく書き込まれて、ラッチ回路 Latch 0, Latch 1 に記憶された入力多値データを表すラッチノード Q 0 #, Q 1 # とセンスアンプ S A 0, S A 1 によりメモリセル C E L L 0 から読み出された多値データを表すセンスノード S 0 #, S 1 # とが一致するまで、ビット線電圧発生回路 1 は、メモリセルに接続されたビット線に印加する所定電圧を出力するので、(2)メモリセルからの読み出し、(3)ビット線への電圧印加および(4)書き込みパルスの印加を繰り返しても、ビット線電圧発生回路 1 の出力遅れがなく、高速な書き込みができる。

【 0 0 5 5 】

なお、上記実施の形態では、図 1 に示すビット線電圧発生回路 1 を用いたが、ビット線電圧発生回路はこれに限らず、入力データとセンス結果から、表 1 に示す電圧が発生する回路であればよい。

【 0 0 5 6 】

例えば、図 5 に示すように、図 1 に示すビット線電圧発生回路 1 の構成素子と同一の構成素子を用いて、各構成素子の接続を変えたものでもよい。すなわち、図 5 に示すビット線電圧発生回路は、図 2 に示すセンスアンプ S A 0 のセンスノード S 0 # を p チャンネルトランジスタ P 21, P 22 のゲートに夫々接続している。上記 p チャンネルトランジスタ P 21 のドレインにビット線電圧供給線 n d を接続している。また、図 1 に示すラッチ回路 Latch 1 のラッチノード Q 1 # を p チャンネルトランジスタ P 11, P 12 のゲートに夫々接続している。上記 p チャンネルトランジスタ P 11, P 12 のドレインにビット線電圧供給線 n d を夫々接続している。上記 p チャンネルトランジスタ P 11 のソースと p チャンネルトランジスタ P 22 のドレインを接続している。また、図 2 に示すセンスアンプ S A 1 のセンスノード S 1 # を p チャンネルトランジスタ P 31, P 32 のゲートを夫々接続している。上記 p チャンネルトランジスタ P 12 の各ソースと p チャンネルトランジスタ P 32 のドレインを接続し、p チャンネルトランジスタ P 22, P 31 を並列接続している。また、図 1 に示すラッチ回路 Latch 0 のラッチノード Q 0 # を p チャンネルトランジスタ P 01, P 02 のゲートに夫々接続している。上記 p チャンネルトランジスタ P 21 のソースと p チャンネルトランジスタ P 01 のドレインとを接続し、p チャンネルトランジスタ P 22 のソースと p チャンネルトランジスタ P 02 のドレインとを接続している。そして、上記 p チャンネルトランジスタ P 32 のソースに、ゲートとドレインが接続された n チャンネルトランジスタ N 1 のドレインを接続し、その n チャンネルトランジスタ N 1 のソースを p チャンネルトランジスタ P 01 のソースに接続している。さらに、n チャンネルトランジスタ N 1 のソースに、ゲートとドレインが接続された n チャンネルトランジスタ N 2 のドレインを接続し、n チャンネルトランジスタ N 2 のソースを p チャンネルトランジスタ P 02 のソースに接続している。上記 n チャンネルトランジスタ N 2 のソースをビット線電圧発生回路の出力ノード n p r o g としている。

【 0 0 5 7 】

また、図 6 に示すように、図 1 に示すビット線電圧発生回路 1 の構成素子と同一の構成素子を用いて、各構成素子の接続を変えたもう一つのビット線電圧発生回路でもよい。このビット線電圧発生回路は、図 2 に示すセンスアンプ S A 0 のセンスノード S 0 # を p チャンネルトランジスタ P 21, P 22 のゲートに夫々接続し、p チャンネルトランジスタ P 21, P 22 のドレインにビット線電圧供給線 n d を夫々接続している。また、図 2 に示すセンスアンプ S A 1 のセンスノード S 1 # を p チャンネルトランジスタ P 31, P 32 のゲートに夫々接続し、p チャンネルトランジスタ P 32 のドレインにビット線電圧供給線 n d を接続している。そして、上記 p チャンネルトランジスタ P 22 と p チャンネルトランジスタ P 31 とを並列に接続している。また、図 1 に示すラッチ回路 Latch 1 のラッチノード Q 1 # を p チャンネルトランジスタ P 11, P 12 のゲートに夫々接続している。上記 p チャンネルトランジスタ P 32 のソースを p チャンネルトランジスタ P 12 のドレインに接続し、上記 p チャンネルトランジスタ P 31 のソースを p チャンネルトランジスタ P 11 のドレインに接続している。また、図 1 に示すラッチ回路 Latch 0 のラッチノード Q 0 # を p チャンネルトランジスタ P 01, P 02 のゲートに

10

20

30

40

50

夫々接続している。上記 p チャンネルトランジスタ P 21 のソースを p チャンネルトランジスタ P 01 のドレインに接続し、 p チャンネルトランジスタ P 11 のソースを p チャンネルトランジスタ P 02 のドレインに接続している。上記 p チャンネルトランジスタ P 12 のソースを、ゲートとドレインを接続された n チャンネルトランジスタ N 1 のドレインに接続し、その n チャンネルトランジスタ N 1 のソースと p チャンネルトランジスタ P 01 のソースと接続している。さらに、上記 n チャンネルトランジスタ N 1 のソースを、ゲートとドレインが接続された n チャンネルトランジスタ N 2 のドレインに接続し、その n チャンネルトランジスタ N 2 のソースを p チャンネルトランジスタ P 02 のソースに接続している。この n チャンネルトランジスタ N 2 のソースをビット線電圧発生回路の出力ノード n p r o g としている。

【 0 0 5 8 】

また、上記ビット線電圧発生回路は、 n チャンネルトランジスタのみで構成された回路でも実現することができる。

【 0 0 5 9 】

すなわち、図 7 に示すように、図 5 のビット線電圧発生回路の p チャンネルトランジスタ P 01 ~ P 32 を全て n チャンネル N 31 ~ N 62 に代え、 n チャンネル N 1, N 2 はそのままとしたものでもよい。

【 0 0 6 0 】

また、図 8 に示すように、図 6 のビット線電圧発生回路の p チャンネルトランジスタ P 01 ~ P 32 を全て n チャンネル N 31 ~ N 62 に代え、 n チャンネル N 1, N 2 はそのままとしたものでもよい。

【 0 0 6 1 】

また、図 9 に示すように、図 1 のビット線電圧発生回路 1 の p チャンネルトランジスタ P 01 ~ P 32 を全て n チャンネル N 31 ~ N 62 に代え、 n チャンネル N 1, N 2 はそのままとしたものでもよい。

【 0 0 6 2 】

さらに、図 10 に示すように、図 1 のビット線電圧発生回路 1 の n チャンネルトランジスタ N 1, N 2 を M O S ダイオード D 1, D 2 に代えたものでもよい。

【 0 0 6 3 】

上記実施の形態では、メモリアレイ構成として、N O R 方式を用いたが、通常の N A N D 型、A N D 型、D I N O R 型および仮想 G N D 型と呼ばれているアレイ構成にこの発明を適用してよい。また、メモリセルも、スプリットゲート型も含めて全てのフラッシュメモリ等の不揮発性半導体記憶装置にこの発明を適用することができる。

【 0 0 6 4 】

また、上記実施の形態では、1 個のメモリセルに蓄えるデータを 4 値 (2 ビット) としたが、1 個のメモリセルに蓄えるデータはこれに限らず、1 個のメモリセルに 8 値 (3 ビット) のデータを蓄える不揮発性半導体記憶装置にこの発明を適用してもよい。この場合、8 値のデータを読み出す多値センスアンプを用いる。

【 0 0 6 5 】

【発明の効果】

以上より明らかなように、請求項 1 の発明の不揮発性半導体記憶装置は、ビット線とワード線により選択されたメモリセルに書き込むべき入力多値データをラッチ回路に記憶し、ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを多値センスアンプにより読み出して、ラッチ回路に記憶された入力多値データと多値センスアンプにより読み出された上記メモリセルに書き込まれた多値データとに基づいて、ビット線電圧発生回路により上記入力多値データを上記メモリセルに書き込むための所定電圧をそのメモリセルに接続されたビット線に印加した後、ワード線に一定の書き込み電圧を印加して、上記メモリセルに入力多値データを書き込むものであり、上記ビット線電圧発生回路は、上記ラッチ回路に記憶された入力多値データと上記多値センスアンプによりメモリセルから読み出された多値データとが一致する場合は、メモリセルに接続されたビット線をオープン状態にするものである。

10

20

30

40

50

【0066】

したがって、請求項1の発明の不揮発性半導体記憶装置によれば、上記多値センスアンプによって、同一ワード線に接続された複数のメモリセルの多値データを一度に読み出せるため、各データ毎にペリファイする必要がなく、また、上記ワード線に一定の電圧を印加することで、多値センスアンプは、メモリセルから多値データの読み出しができるため、ペリファイ中にワード線電圧を変える必要がない。また、上記ビット線電圧発生回路によりビット線毎に所定電圧を印加できるため、書き込みパルス回数の最適化が図れ、少ない書き込み回数で多値データの書き込むことができる。したがって、複数のメモリセルに同時に多値データの書き込み動作とペリファイ動作ができ、多値データを高速に書き込むことができる。また、書き込む多値データの値にかかわらず、ワード線に一定電圧を印加するので、同一ワード線に接続されたメモリセルのゲートディスタープを低減することができる。

10

【0067】

また、上記ビット線電圧発生回路は、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致する場合は、上記メモリセルに接続された上記ビット線をオープン状態にするので、同一ワード線に接続された他のメモリセルの書き込みが行われても、入力多値データが正しく書き込まれたメモリセルは、それ以上の書き込みが行われないので、入力多値データをメモリセルに確実に書き込むことができる。

【0068】

また、請求項2の発明の不揮発性半導体記憶装置は、請求項1の不揮発性半導体記憶装置において、上記ビット線電圧発生回路は、上記メモリセルに上記入力多値データが正しく書き込まれて、上記ラッチ回路に記憶された上記入力多値データと上記多値センスアンプにより上記メモリセルから読み出された上記多値データとが一致するまで、上記入力多値データを上記メモリセルに書き込むための上記所定電圧を出力するので、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加および上記メモリセルへの書き込みを繰り返すとき、書き込みパルスを切り換えるものに比べてビット線電圧発生回路の出力遅れがなく、書き込み時間を高速に行うことができる。

20

【0069】

また、請求項3の発明の不揮発性半導体記憶装置の書き込み方法は、ビット線およびワード線により接続された複数の不揮発性メモリセルを有する不揮発性半導体記憶装置の書き込み方法において、上記ビット線と上記ワード線により選択されたメモリセルに書き込むべき入力多値データをラッチ回路に記憶する第1ステップと、上記ワード線に一定の読み出し電圧を印加することによって、上記メモリセルに書き込まれた多値データを多値センスアンプにより読み出す第2ステップと、上記ラッチ回路に記憶された入力多値データと多値センスアンプにより読み出されたメモリセルに書き込まれた多値データとに基づいて、ビット線電圧発生回路により入力多値データをメモリセルに書き込むための所定電圧をメモリセルに接続されたビット線に印加する第3ステップと、上記ビット線電圧発生回路により所定電圧をビット線に印加した状態で、上記ワード線に一定の書き込み電圧を印加することによって、上記メモリセルに入力多値データを書き込む第4ステップとを有し、上記ラッチ回路に記憶された入力多値データと多値センスアンプによりメモリセルから読み出された多値データとが一致するまで、上記第2、第3および第4ステップを繰り返すものであり、し、上記ラッチ回路に記憶された入力多値データと上記多値センスアンプによりメモリセルから読み出された多値データとが一致する場合は、メモリセルに接続されたビット線をオープン状態にするものである。

30

40

【0070】

したがって、請求項3の発明の不揮発性半導体記憶装置の書き込み方法によれば、上記多値センスアンプによって、複数のメモリセルの多値データを一度に読み出せるため、各データ毎にペリファイする必要がなく、また、ワード線に一定の電圧を印加することで、多値センスアンプは、メモリセルから多値データの読み出しができるため、ペリファイ中に

50

ワード線電圧を変える必要がない。また、上記ビット線電圧発生回路よりビット線毎に所定電圧を印加できることと、ラッチ回路に記憶された入力多値データと多値センスアンプによりメモリセルから読み出された多値データとが一致するまで、上記メモリセルの読み出しとビット線電圧発生回路によるビット線への電圧印加およびメモリセルへの書き込みを繰り返すことによって、書き込み回数の最適化が図れ、少ない書き込み回数で多値データの書き込みが可能になる。したがって、複数のメモリセルに同時に多値データの書き込み動作とベリファイ動作ができ、多値データを高速に書き込むことができる。また、書き込む多値データの値にかかわらず、ワード線に一定電圧を印加するので、同一ワード線に接続されたメモリセルのゲートディスターブを低減することができる。

【0071】

また、上記ビット線電圧発生回路は、上記ラッチ回路に記憶された入力多値データと多値センスアンプにより上記メモリセルから読み出された多値データとが一致する場合は、メモリセルに接続されたビット線をオープン状態にするので、同一ワード線に接続された他のメモリセルの書き込みが行われても、入力多値データが正しく書き込まれたメモリセルは、それ以上の書き込みが行われないので、入力多値データをメモリセルに確実に書き込むことができる。

【図面の簡単な説明】

【図1】図1はこの発明の実施の一形態の不揮発性半導体記憶装置のラッチ回路とビット線電圧発生回路の周辺の回路図である。

【図2】図2は図1に続く上記不揮発性半導体記憶装置のセンスアンプとメモリセルの周辺の回路図である。

【図3】図3は上記不揮発性半導体記憶装置の書き込み時のタイミングチャートである。

【図4】図4(a)~(h)は図3に示す書き込み時の各入力ノードの電圧変化を示す図である。

【図5】図5は上記不揮発性半導体記憶装置のビット線電圧発生回路の他の例を示す回路図である。

【図6】図6は上記不揮発性半導体記憶装置のビット線電圧発生回路の他のもう一つの例を示す回路図である。

【図7】図7は図5のビット線電圧発生回路をNチャンネルトランジスタのみで構成した例を示す回路図である。

【図8】図8は図6のビット線電圧発生回路をNチャンネルトランジスタのみで構成した例を示す回路図である。

【図9】図9は図1のビット線電圧発生回路をNチャンネルトランジスタのみで構成した例を示す回路図である。

【図10】図10は図1のビット線電圧発生回路のNチャンネルトランジスタの代わりにMOSダイオードで構成したビット線電圧発生回路を示す回路図である。

【符号の説明】

pre# ... プリチャージ信号、
 y12 - 15, y8 - 11, y4 - 7およびy0 - 3... 内部コラムアドレス信号、
 DQ0, DQ1... データ線、
 TR0、TR1... コラム選択用トランジスタ、
 rst... リセット信号、
 Latch0, Latch1 ... ラッチ回路、
 Q0, Q0#, Q1, Q1# ... ラッチノード、
 trn0, trn0#, trn1, trn1# ... データ転送信号、
 nd ... ビット線電圧供給線、
 P01 ~ P32 ... pチャンネルトランジスタ、
 N1 ~ N2 ... nチャンネルトランジスタ、
 D1, D2 ... ビット線電圧発生回路を構成するMOSダイオード、
 nprog ... ビット線電圧発生回路の出力ノード、

10

20

30

40

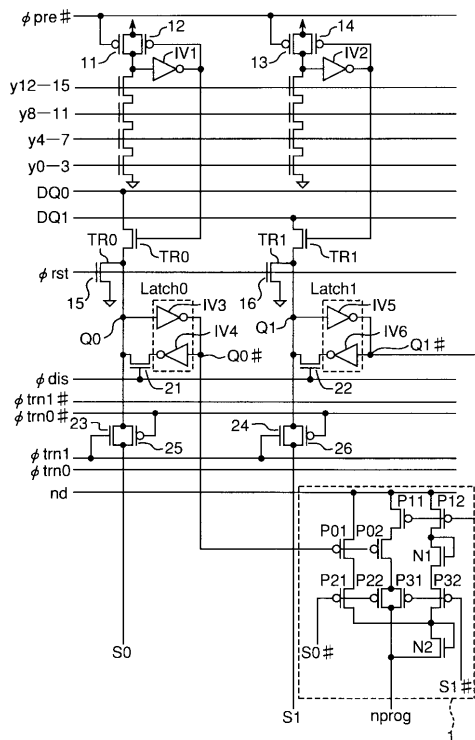
50

sep0 # , sep1 # ... P - c h センス信号、
 SA0 , SA1 ... センスアンプ、
 S0 , S0 # , S1 , S1 # ... センスノード、
 C0... 昇圧容量、
 C1 , C2... 多値センス用クロスカップリング容量、
 sen0 , sen1 ... N - c h センス信号、
 bst... 昇圧信号、
 cut... ビット線切り離し信号、
 Vpre... プリチャージ電圧、
 pre... ビット線プリチャージ信号、
 eq... ビット線イコライズ信号、
 mtrn... 多値センス用データ転送信号、
 Vopen... ビット線オープン信号、
 r0 , r1... ビット線からの読み出し信号、
 w0 , w1... ビット線への書き込み信号、
 WL0 ... ワード線、
 Vers... 消去電圧、
 ers... 消去信号、
 CELL0 , CELL1 ... メモリセル、
 BLn ~ BLn+3... ビット線、
 Vneg... 負電圧。

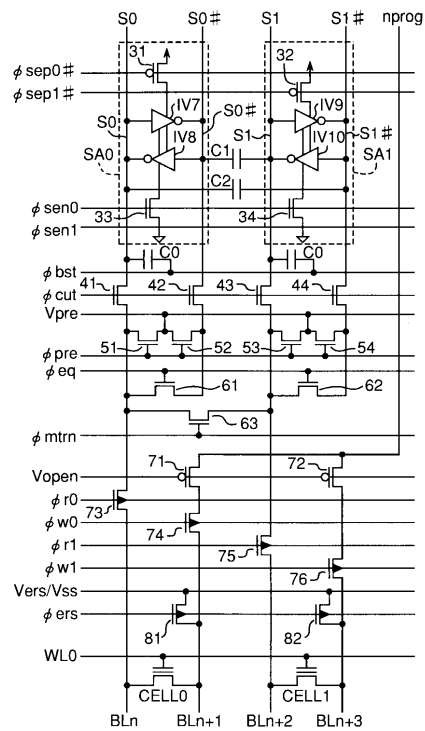
10

20

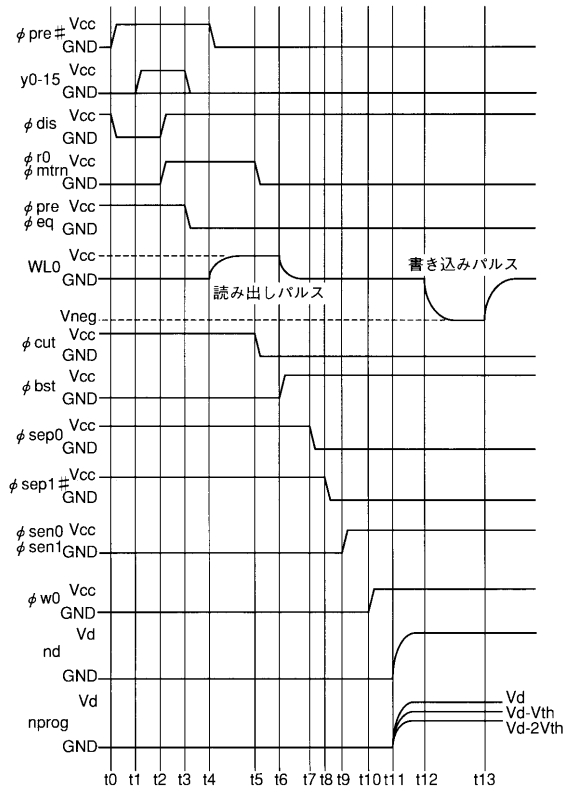
【 図 1 】



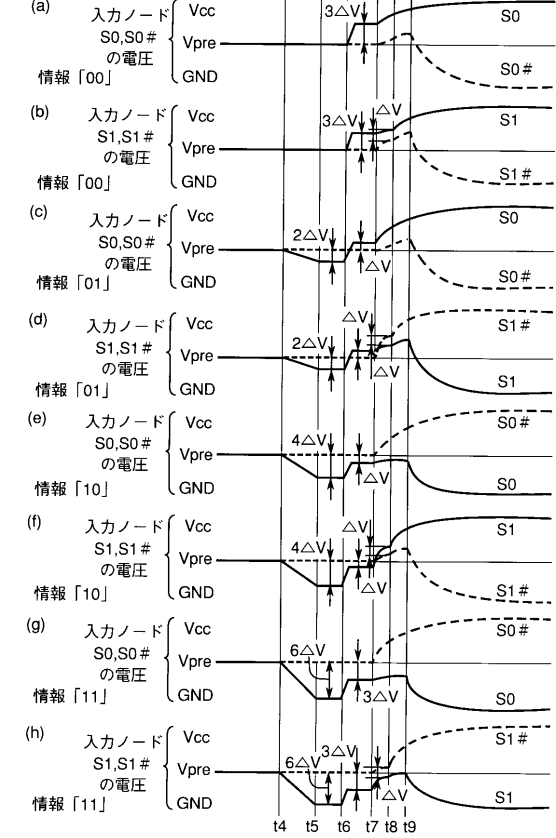
【 図 2 】



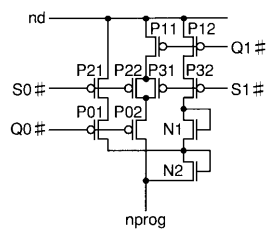
【 図 3 】



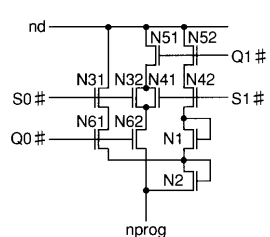
【 図 4 】



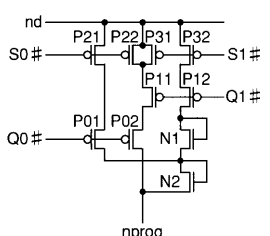
【 図 5 】



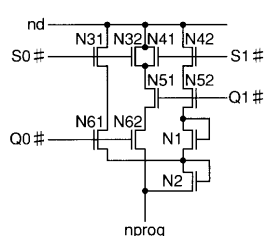
【 図 7 】



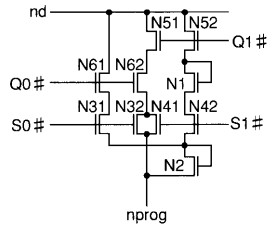
【 図 6 】



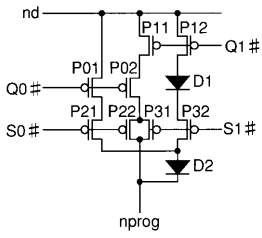
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開平04 - 057294 (JP, A)
特開平09 - 251786 (JP, A)
特開平09 - 251789 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 16/00-16/34