

[12] 发明专利说明书

[21] ZL 专利号 95191101.5

[45]授权公告日 2002年8月7日

[11]授权公告号 CN 1088874C

[22]申请日 1995.9.13
 [21]申请号 95191101.5
 [30]优先权
 [32]1994.10.31 [33]US [31]08/332,008
 [86]国际申请 PCT/US95/11614 1995.9.13
 [87]国际公布 WO96/13802 英 1996.5.9
 [85]进入国家阶段日期 1996.6.28
 [73]专利权人 摩托罗拉公司
 地址 美国伊利诺斯州
 [72]发明人 贝利·莫斯 戴维·威廉·鲁索
 托马斯·怀恩·罗克哈特
 里卡尔多·里姆 丹尼斯·布多因
 审查员 孙履平

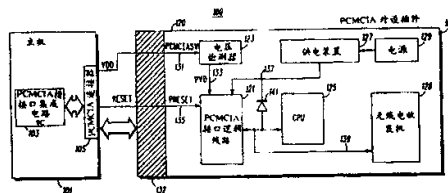
[74]专利代理机构 中国国际贸易促进委员会专利商标事
 务所
 代理人 于 静

权利要求书 2 页 说明书 10 页 附图页数 3 页

[54]发明名称 一种具有独立功能的外围设备插件和其中采用的方法

[57]摘要

一种 PCMCIA 插件,具有独立功能性,也可安排成在与主处理器相连接的情况下工作,该插件包括:一个外围设备,该外围设备包括一个外部处理器、供电装置、和电压检测器,所述外围设备适于依从工作状态也适于独立工作状态,所述外部处理器在所述外围设备启动所述依从工作状态来应答所述 PVD 信号;一个接口功能部件,与所述外围设备耦合,所述接口功能部件包括多个状态依从寄存器,所述接口功能部件的安排和结构使所述外围设备通过 PCMCIA 应允的接口与主处理器耦合。



ISSN 1008-4274

权利要求书

1. 一种 PCMCIA 插件，具有独立功能性，也可安排成在与主处理器相连接的情况下工作，该插件包括：

一个外围设备，该外围设备包括一个外部处理器、供电装置、和电压检测器，该电压检测器操作用于认定 PCMCIA 电压检测 (PVD) 信号，所述外围设备适于依从工作状态也适于独立工作状态，所述外部处理器在所述外围设备启动所述依从工作状态来应答所述 PVD 信号；

一个接口功能部件，与所述外围设备耦合，所述接口功能部件包括多个状态依从寄存器，基于外围设备的工作状态的变化而被选择地复位，所述接口功能部件的安排和结构使所述外围设备通过 PCMCIA 应允的接口与主处理器耦合，其中所述多个状态依从寄存器包括：与所述 PCMCIA 插件相关连的第一组寄存器，该 PCMCIA 插件通过所述 PCMCIA 应允的接口与所述主处理器耦合，所述主处理器操作以认定 PCMCIA 复位 (PRESET) 信号来复位所述第一组寄存器和与所述外部处理器耦合的第二组寄存器，所述外部处理器操作以认定一个 CPU 复位 (CRESET) 信号来复位所述第二组寄存器。

2. 根据权利要求 1 的 PCMCIA 插件，其中所述多个状态依从寄存器还包括一个通信块，该通信块具有第三组寄存器与所述主处理器耦合，所述主处理器操作以认定 PCMCIA 复位 (PRESET) 信号来复位该通信块。

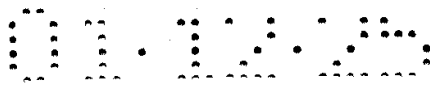
3. 根据权利要求 2 的 PCMCIA 插件，其中所述接口功能部件进一步包括与所述外部处理器耦合的所述通信块，所述外部处理器操作以认定 CPU 复位 (CRESET) 信号来复位通信块。

4. 根据权利要求 1 的 PCMCIA 插件，其中外围设备还包括一个无线电收发机。

5. 根据权利要求 1 的 PCMCIA 插件，进一步包括一个由所述 PVD 信号的认定所设置的第一状态位，并且该第一状态位可由 CPU 读取。

6. 根据权利要求 5 的 PCMCIA 插件，其中无论何时所述第一状态位被改变，产生一个对所述 CPU 的中断。

7. 根据权利要求 1 的 PCMCIA 插件，进一步包括一个由所述 PRESET



信号的认定所设置的第二状态位，并且该第二状态位可由所述 CPU 读取。

8. 根据权利要求 7 的 PCMCIA 插件，其中无论何时所述第二状态位被设置，产生一个对所述 CPU 的中断。

9. 根据权利要求 1 的 PCMCIA 插件，其中所述电源认定一个上电复位 (POR) 信号，以响应一个预置的电压电平，所述上电复位信号复位所述 PCMCIA 插件上的所有电路。

10. 一种外部插件，被设置成在与一个主处理器相连接的情况下工作，也可以具有独立功能性，该插件组合地包括：

一个外围设备，其包括一个外部处理器，一个供电装置，和一个电压检测器，该电压检测器操作以不认定一个 PCMCIA 电压检测 (PVD) 信号，当与主处理器连接工作时，该外围设备适于依从工作状态，并且当与主处理器不耦合时，适于独立工作状态，以及

一个接口与所述外围设备耦合，所述接口包括多个状态依从寄存器，根据外围设备的工作状态的变化而被选择地复位，其中多个状态依从寄存器包括与接口模式相关连的第一组寄存器，和可由主处理器改变的第二组寄存器，该接口的安排与结构使所述外围设备与所述主处理器耦合；以及

其中所述外部处理器在所述外围设备上启动所述独立工作状态来应答所述 PVD 信号，并且所述 PVD 信号的不认定还复位第一和第二组寄存器。

说明书

一种具有独立功能的外围设备插件和其中采用的方法

本申请披露的内容涉及装配和连接于主机接口上的外围功能部件,更具体地说,是关于(但不限于)以外围设备插件形式构成的独立功能部件,它具有 PC 存贮插件国际协会(PCMCIA(Personal Computer Memory Card International Association))所允许的接口,从而可与主机联合运行。

通用或专用的主计算机常包含一些具有各种外设功能的设备,如通信用的调制解调器,扩展存贮器,或增加的硬盘驱动器。为了便于增加各种外围设备,PC 存贮插件国际协会(PCMCIA)已致力于对于一系列具有必备 PCMCIA 接口的外围设备插件的标准化。PCMCIA 所规定的参数可在 PC 插件标准 2.0 报告中找到。该报告由 PCMCIA (1030B East Duane Avenue, Sunnyvale California) 出版,并且在此通过引用将该标准包括在此做为参考。所规定参数包括物理参数(如尺寸),输入/输出连接(如控制、地址和数据总线),信号参数(如工作电平、阻抗、供电电平、电源极性和电平)以及特定的操作步骤。

基于主机支持的用于附加设备(如 PCMCIA 设备)的条款,通常所知 PCMCIA 外设插件从主机插口处得到电源,且通过在插入或移出主机插口时由一个单一的复位(RESET)线来控制以恢复功能。

然而,一种新型的 PCMCIA 设备,如由摩托罗拉公司提供的

无线调制解调器等产品(摩托罗拉: Motorola, Inc. at 1303 East Algorquin Road, Schaumburg, Illinois 60139), 设计为在移出插口或在插口和主机都已断电时仍可继续工作。这些 PCMCIA 设备有它们自己的电源和 CPU, 这使得每个设备一旦从主机插口移出时仍可保持独立功能。这种操作模式的转变使得用户增强了下述能力: 在设备移出主机时仍可保持已进入网络的状态, 这样, 设备的运行方式允许其保持部分通信链接, 如存贮信息直至外设插件重新插入主机。

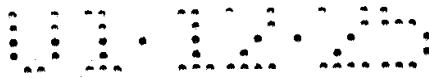
然而, 因为现有的 PCMCIA 外设插件的设计功能符合 PCMCIA 标准, 也就是只有由主机产生电源和复位状态。由此而产生了不希望有的现象。这一现象引起外设插件上的电路不必要或无意的复位, 由此而干扰了设备的已计划好的或预期的功能。

很显然, 对于一个具有 PCMCIA 所允许的接口的外设功能部件或插件需要增加一种能力, 即在主机设备和外围设备都有各自的 CPU 和电源的环境下, 有能力以一种确定的方式可靠地运行。

为此, 本发明提供了一种 PCMCIA 插件, 具有独立功能性, 也可安排成在与主处理器相连接的情况下工作, 该插件包括:

一个外围设备, 该外围设备包括一个外部处理器、供电装置、和电压检测器, 该电压检测器操作用于认定 PCMCIA 电压检测 (PVD) 信号, 所述外围设备适于依从工作状态也适于独立工作状态, 所述外部处理器在所述外围设备启动所述依从工作状态来应答所述 PVD 信号;

一个接口功能部件, 与所述外围设备耦合, 所述接口功能部件包括多个状态依从寄存器, 基于外围设备的工作状态的变化而被选择地复位, 所述接口功能部件的安排和结构使所述外围设备通过 PCMCIA 应允的接口与主处理器耦合, 其中所述多个状态依从寄



寄存器包括：与所述 PCMCIA 插件相关连的第一组寄存器，该 PCMCIA 插件通过所述 PCMCIA 应允的接口与所述主处理器耦合，所述主处理器操作以认定 PCMCIA 复位 (PRESET) 信号来复位所述第一组寄存器和与所述外部处理器耦合的第二组寄存器，所述外部处理器操作以认定一个 CPU 复位 (CRESET) 信号来复位所述第二组寄存器。

本发明还提供了一种外部插件，被设置成在与一个主处理器相连接的情况下工作，也可以具有独立功能性，该插件组合地包括：

一个外围设备，其包括一个外部处理器，一个供电装置，和一个电压检测器，该电压检测器操作以不认定一个 PCMCIA 电压检测 (PVD) 信号，当与主处理器连接工作时，该外围设备适于依从工作状态，并且当与主处理器不耦合时，适于独立工作状态，以及

一个接口与所述外围设备耦合，所述接口包括多个状态依从寄存器，根据外围设备的工作状态的变化而被选择地复位，其中多个状态依从寄存器包括与接口模式相关连的第一组寄存器，和可由主处理器改变的第二组寄存器，该接口的安排与结构使所述外围设备与所述主处理器耦合；以及

其中所述外部处理器在所述外围设备上启动所述独立工作状态来应答所述 PVD 信号，并且所述 PVD 信号的不认定还复位第一和第二组寄存器。

在所附的权利要求中具体描述了被确认为新颖的本发明的特征。然而可以参照附图很好地理解本发明与其进一步的优点。其中，

图 1 为适于使用按照本发明的一个最佳实施例的主机和外设插件的框图。

图 2 为图 1 所示的外设插件的详细框图。

图 3 为在外设插件中确定其为独立或依从工作状态需完成的步骤流程图。

一般地说，本文所揭示的内容涉及一个主机的外围设备。此

外围设备包括一个具有 PCMCIA 所允许的接口的外设插件。当此外围设备含有独立的功能性（例如当外围设备包含有一个分离的电源和控制器（CPU）时，其独立的功能性将显现出来）时，通常便可以利用这种外设插件并显示出优越性。这个最佳实施例是一个外设插件，这个外设插件呈现出独立的和依从的工作状态，并且还拥有一个和外设插件相耦合的接口功能。该接口功能将外设插件和主机通过 PCMCIA 允许的接口相耦合，并且在外设插件插入主机或接下来主机电源供电时，启动外设插件的依从工作状态。在依从工作状态中耦合于外设插件的接口功能在外设插件移出主机或主机关闭电源后启动插件的独立工作状态。

下面将参考附图进一步说明按照本发明的最佳实施例。图 1 中是一个主机（101）和适于使用按照本发明的最佳实施例的外围设备（120）的方框图。图 1 描述的主机（101）有一个 PCMCIA 插槽接口集成电路（103）或相似的电路以及一个 PCMCIA 连接器（105）。外围设备（120）包括一个外设插件（109），它有一个 PCMCIA 接口逻辑（121），一个电压检测器（123），一个 CPU（125），一个电源（127），一个无线电收发机（128），一个电池（129）以及一个 PCMCIA 连接器（132）。

外围设备（120）通过将外设插件（109）的 PCMCIA 连接器（132）插入主机（101）上的 PCMCIA 连接器（105）来实现和主机（101）的耦合、接口或连接。外围设备的所有这些元件（121）、（123）、（125）、（127）、（128）、（129）、和（132）可能实际上位于一个 PCMCIA 应允或一致的插板上，或者 PCMCIA 连接器（132）可能实际上和外设插件（109）相

分离，而通过某种机制相连接，例如用电缆连接他们。主机（101）可能是任何包括一个功能上和逻辑上的，而且最好是实际上的符合 PCMCIA 标准的 PCMCIA 接口的通用计算机。本发明的最佳实施例被认为与 PCMCIA 标准以及该标准所定义的 PCMCIA 接口、端口相一致，这只要它的运行至少是部分地和 PCMCIA 接口相一致并且对于主机的硬件、操作系统软件或其它属性具有透明性。

在任何情况下，其一外设插件（109）的最佳实施例包括：一个控制器，最好是一个带有 RAM 和 ROM 的中央处理器 CPU（125），（如摩托罗拉 MCM68300 系列微处理器）；一个无线电收发机（128），该收发机通过现有技术里众所周知的通信媒体收发数据；一个供电装置（127）和一个与供电装置（127）相连接的电源，该电源最好是一个 NiCAD 电池（129）或 9 伏碱性或铅酸性电池（129）；它们按图中所描述的相互连接。显然，供电装置（127）中的电路允许 CPU（125）来检测供电装置（127）的状态以确定外设插件（109）的工作状态。

在该最佳实施例中，每当把 PCMCIA 连接器（105）与 PCMCIA 连接器（132）分离，从而将外设插件（109）与主机（101）分开，解除耦合或者从主机（101）中拔出时，或当主机 PCMCIA 槽接口（103）的电源关掉而外设装置（120）仍插在在里面时，PCMCIA 将如下述那样启动独立工作状态。

当 PCMCIA 电源线 PCMCIA5V（131）电压低于预置电压值时，电压检测器（123）将不认定该 PVD 信号（133），这又将产生一个 CPU 中断信号，GPINT（221）。CPU 一收到这个

中断信号便确定 PVD 信号的当前状态，它能作为一位信号通过 PCMCIA 接口逻辑（121）读取。CPU 确定 PVD 处于未认定状态，于是启动独立工作状态。当此同时，PVD 信号（133）的不认定状态使第一寄存器组（201）被清除而成为缺省状态，并且保持这种缺省状态直至插板重新插入加电的 PCMCIA 槽内。这样，当插件重新插入 PCMCIA 槽时，可确保 PCMCIA 接口将工作于只存贮器方式（相对于 I/O 方式），不管插件移出槽时所建立的接口方式。

结果，当插件重新插入或主机的 PCMCIA 槽口加电时，PCMCIA 插件根据 PVD 信号的认定将启动依从工作状态。当 PCMCIA 电源线 PCMCIA 5V（131）电压超过预置电压时，电压检测器（123）将会认定 PVD 信号（133），这又会产生一个 CPU 中断信号 GPINT（221）。CPU 一收到这个中断信号便确定 PVD 信号当前状态，它可以作为一位通过 PCMCIA 接口逻辑（121）读取。当 CPU 已确定 PVD 被认定之后，即启动依从工作状态。

为了避免电路无必要的复位现象，PCMCIA 插件使用四种复位信号，每种复位信号复位电路的一个特定范围。由 PCMCIA 主机（101）产生的 P - RESET（135）信号和 PVD 信号（当未被认定时）主要复位那些由 PCMCIA 主机直接控制的电路。C - RESET 电路主要复位那些由一体的（integral）CPU（125）控制的电路。第四种复位信号，即“电源通”复位信号 POR（137）是由在板上的供电装置产生的可使 PCMCIA 插板上的所有电路全部复位。当板上供电装置输出电压值低于 PCMCIA 插件的最低工

PCMCIA 插件的最低工作电压时，POR 被认定（低态有效）。

图 2 是图 1 所示外设插件的详细框图。接口功能或 PCMCIA 接口逻辑线路（121）包括三个主要的功能块：第一组寄存器或 PCMCIA 寄存器（201），第二组寄存器或 CPU 寄存器（203）以及具有第三组寄存器（206）的通信块（205）。

第一组寄存器（201）包含多个寄存器，它们可经过 PCMCIA 接口，通过 PCMCIA 读和写信号 299 和 297 被读写，但这些寄存器只能通过 CPU 读信号 295 经过 CPU 接口来读取。第一组寄存器可由三个分别通过或（OR）门（211）耦合的复位条件中的任何一个条件来复位：PRESET 信号（135）被认定，POR 低态有效信号（137）被认定或 PVD 信号（133）未被认定。第二组寄存器（203）包括多个寄存器，这些寄存器能经过 CPU 接口通过 CPU 读和写信号 295 和 293 被读写。但这些寄存器只能通过 PCMCIA 读信号 299 经过 PCMCIA 接口读取。第二组寄存器可由 CRESET 低态有效信号（139）或 POR 低压有效被认定信号来复位。通信块（205）包括第三组寄存器（206）和与它们相关的逻辑线路，例如 FIFO 存贮寄存器和控制逻辑寄存器。FIFO 存贮寄存器用于缓存从 PCMCIA 接口到 CPU 接口的数据和缓存从 CPU 接口到 PCMCIA 接口的数据。通信块（205）可由四个分别通过或（OR）门 215 耦合的复位条件中的任何一个来复位，它们是：PRESET 信号（135）被认定，POR 低态有效信号（137）被认定，CRESET 低态有效信号（139）被认定或 PVD 信号（133）未被认定。

如前所述，为了避免不必要的电路复位现象，PCMCIA 插件

使用所描述的四种复位信号，每一个复位信号复位电路的一个特定范围。

主机在它希望将插件置于缺省状态（通常是当一个新插件插入插槽时）或当主机本身复位时，将认定 P - RESET 信号（135）。P - RESET 信号（135）的认定复位第一组寄存器或 PCMCIA 寄存器（201）以及与接口功能或 PCMCIA 接口逻辑（121）相关联的第三组寄存器（205）。这导致那些和插件接口方式相关联的寄存器被复位成只能进行存储器访问，还复位那些由 PCMCIA 主机先前修改过的寄存器，并且为新的通信对话预先清除通信块。

PCMCIA 接口逻辑线路（121）进一步包含了耦合于一体的 CPU（125）的第二组寄存器或 CPU 寄存器（203）。一体的 CPU（125）当它希望将插件置于缺省状态（通常是软件复位，监视计时器终止的结果）或从错误状态下恢复时，便认定 CRESET* 信号（这里的“*”表明低态有效）。CRESET* 的认定使耦合于 CPU（125）的第二组寄存器和第三组寄存器（205）复位。这使所有那些已由 CPU 修改过的寄存器复位，并且为了新的通信对话而预先清除通信块。

信号 POR*（137）的认定使第一组寄存器、第二组寄存器和通信块都复位，用来在电源输出稳定高于最低工作电平之后完全地复位 PCMCIA 接口逻辑线路（121）。参见图 1，POR* 信号（137）通过一个二极管（141）耦合于 CRESET* 信号（139），以便让 POR* 信号也能对 CPU（125）和无线电收发机（128）进行复位。

PVD 信号 (133) 的未认定用于复位第一组寄存器 (201) 和第三组寄存器 (205) 。这使得当 PCMCIA 插件重新插入已加电的 PCMCIA 槽时, 那些与插件接口方式相关联的寄存器复位成只能访问存储器, 还使其它已由 PCMCIA 主机修改过的存储器复位, 并且为了新的通信对话而预先清除通信块。

图 3 是为了确定外设插件是处于依从状态还是独立工作状态而设在外设插件中要完成步骤的流程图。由 START (起始) 块 302 开始, 下面进行的是块 304, 在此处由插件上的电源开关打开插件的供电电源。这引起板上电源产生一个上电复位, 将插件上的所有电路复位。在插件的初始化过程中, 在块 306, 一体的 CPU 通过检测 PCMCIA 电压测试 (PVD) 信号来查验 PCMCIA 接口是否有电。如果 PVD 被认定, 即 $PVD = 1$, 则在块 308 处, CPU 将插件置于依从工作; 否则在块 314 CPU 将插件置于独立工作状态。

当插件处于依从工作状态时, 接口电路监控 PCMCIA 电源线。若插件从槽中移出或槽没有了电, 则在块 316 置 $PVD = 0$, 并在块 318 对于一体的 CPU 产生一个 PVD 差值中断。

同样地, 当插件为独立工作状态时, 接口电路监控 PCMCIA 电源线。在块 310, 若插件置于槽内且槽内有电, 则在块 312 置 $PVD = 1$, 且在块 320 对于一体的 CPU 产生一个差值 PVD 中断。

当 CPU 接到一个 PVD 差值中断时, 一体的 CPU 通过检测 PCMCIA 电压测试 (PVD) 信号来查验 PCMCIA 接口是否有电。若 PVD 被认定, 即 $PV = 1$, 则 CPU 将插件置于依从工作状态, 否则 CPU 将插件置于独立工作状态。

那些精通本门技艺的人们将会认识到本发明提供的具有独立功能性的外设插件在和主机脱离耦合时能工作于独立状态，而在耦合于主机时能处于依从工作状态。再有，该外设插件能通过 PCMCIA 允许的接口与主机相连运行，作为该外设插件的另一种能力或额外的能力。

对于本领域技术人员来说同样显然的是，所揭示的本发明可能会在许多方面有所修改，并且可认为除了前面提出和描述的最佳实施例外还会有许多实施例。

本发明的另一个实施例将不需要象前述最佳实施例中使用的那种电压测试方案，而是使用监视计时器代替。若在预置的时间段之后，主机还未与 PCMCIA 插件相互作用，则 PCMCIA 插件认为它已脱离了插槽。PCMCIA 插件上的 CPU 将会把插件置于独立工作状态。其后，若和主处理器的通信被恢复，PCMCIA 插件上的 CPU 将重新开始其依从工作状态。

因此，附加的权利要求书将要覆盖附合本发明的实际精神和本发明范围的全部修改。

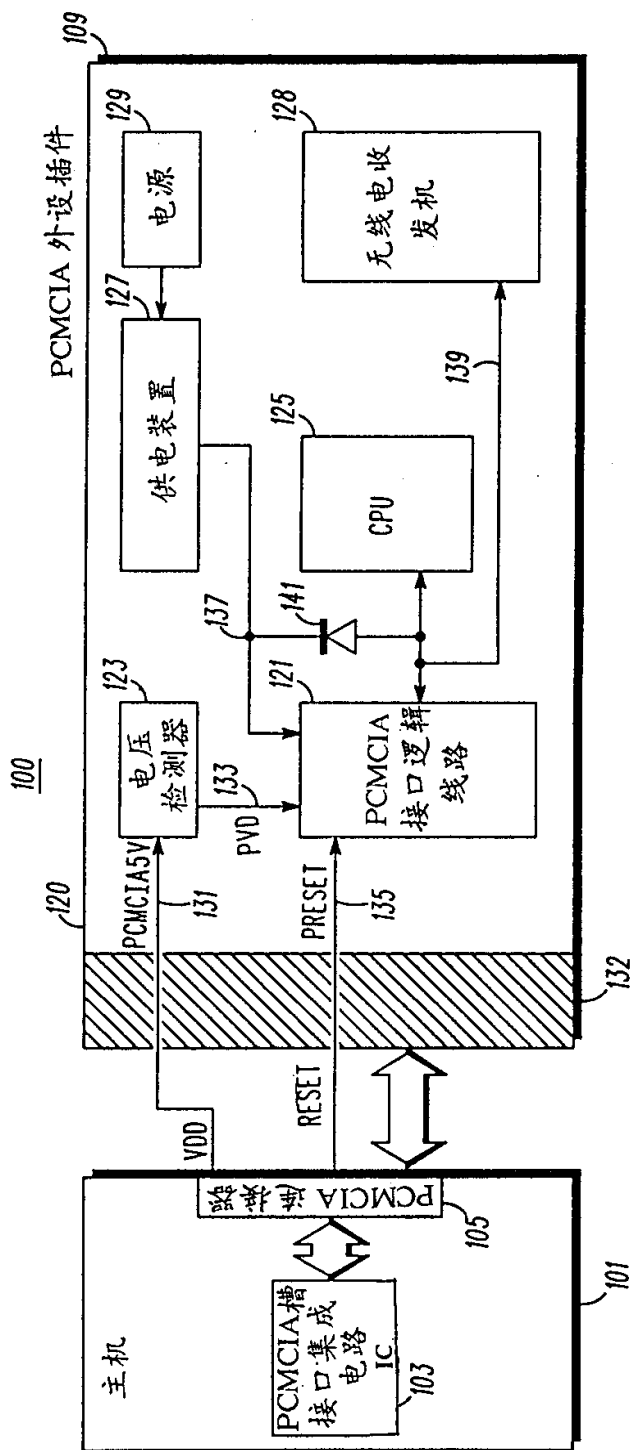


图 1

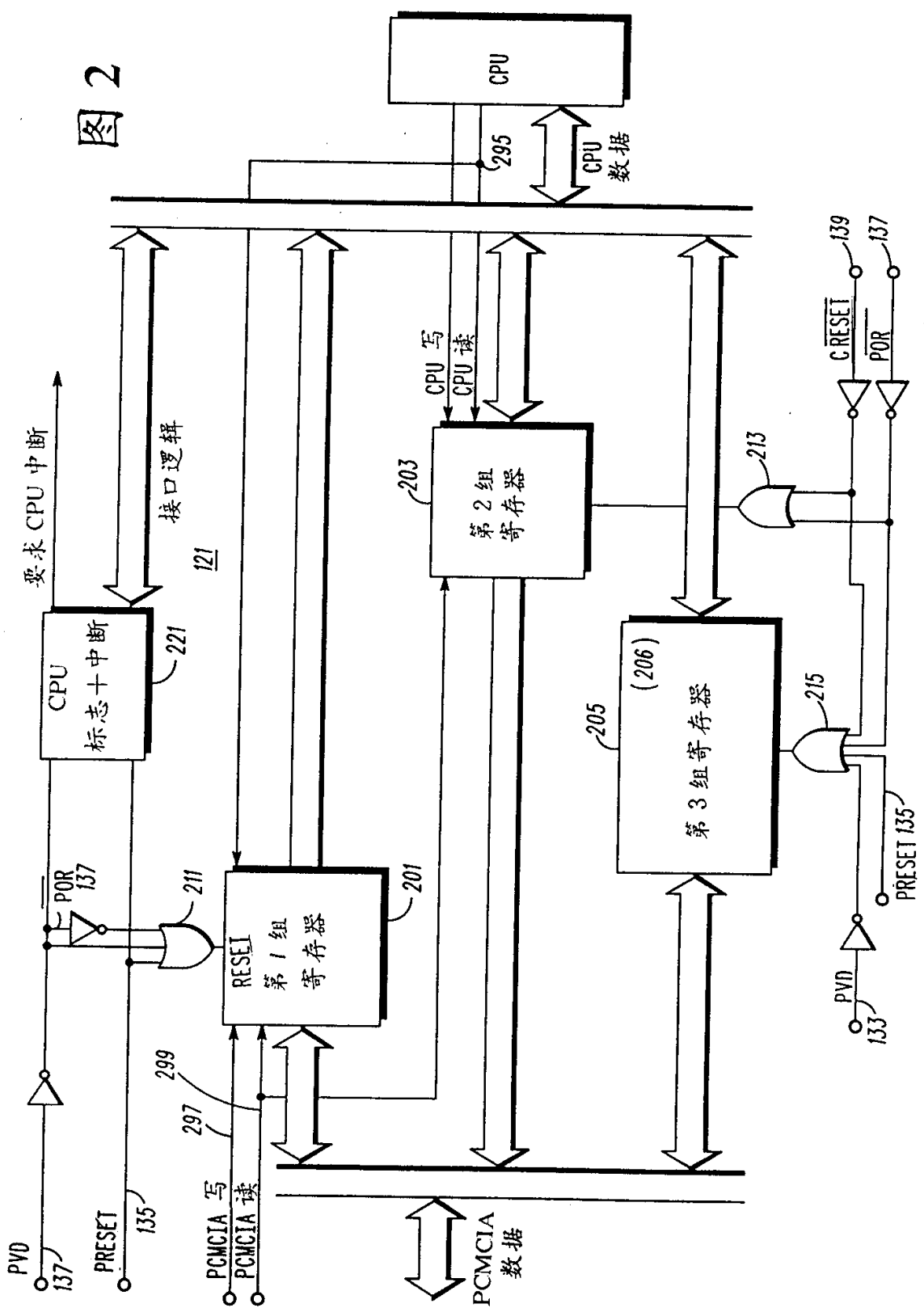


图 2

图 3

