

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5965223号  
(P5965223)

(45) 発行日 平成28年8月3日(2016.8.3)

(24) 登録日 平成28年7月8日(2016.7.8)

(51) Int.Cl. F I  
**G06F 1/04 (2006.01)** G O 6 F 1/04 3 O 2 Z  
**H03K 5/19 (2006.01)** H O 3 K 5/19 T

請求項の数 16 (全 31 頁)

(21) 出願番号 特願2012-147814 (P2012-147814)  
 (22) 出願日 平成24年6月29日 (2012.6.29)  
 (65) 公開番号 特開2014-10704 (P2014-10704A)  
 (43) 公開日 平成26年1月20日 (2014.1.20)  
 審査請求日 平成27年2月19日 (2015.2.19)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 100103894  
 弁理士 冢入 健  
 (72) 発明者 安川 智規  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 (72) 発明者 河合 一慶  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 審査官 征矢 崇

最終頁に続く

(54) 【発明の名称】 クロック補正回路及びクロック補正方法

(57) 【特許請求の範囲】

【請求項1】

第1クロックのクロックパルスに基づいて動作クロックの要求周波数から定まる固定値を累算して累算値を算出し、前記第1クロックの周波数誤差に対応する誤差値を前記第1クロックから定まるタイミングで前記累算値に反映し、前記累算値の所定ビットが変化した場合に前記動作クロックの状態を変化させると共に、前記累算値のうち前記所定ビットより下位にある下位ビット値を出力する動作クロック生成回路と、

前記下位ビット値を前記動作クロックよりも高周波数の第2クロックのパルスカウント数に換算し、前記パルスカウント数のカウントに要する時間と前記動作クロックのクロックパルスに基づき、前記動作クロックを補正した補正クロックを生成する補正クロック生成回路と、

を備えるクロック補正回路。

【請求項2】

前記固定値の絶対値は、前記誤差値の絶対値よりも大きい、請求項1に記載のクロック補正回路。

【請求項3】

前記動作クロック生成回路は、

前記第1クロックに基づいて、所定の第1時間間隔の経過を示す補正間隔信号を生成する補正間隔生成部と、

前記第1時間間隔の経過毎に前記固定値を前記誤差値により調整した補正值を出力し、

それ以外の場合に前記固定値を出力する第 1 セレクタと、

前記第 1 クロックをクロック端子の入力とし、前記累算値を内部レジスタに保持し、前記累算値の前記所定ビットが変化した場合に前記動作クロックの状態を遷移させるフリップフロップと、

前記第 1 セレクタの出力値と、前記フリップフロップの保持する前記累算値と、を加算した加算値を前記フリップフロップのデータ端子に供給する加算器と、

を備える請求項 2 に記載のクロック補正回路。

【請求項 4】

前記補正クロック生成回路は、

前記下位ビット値、当該下位ビット値のビット幅、及び前記第 2 クロックの周波数を基  
10  
に前記パルスカウント数を算出するカウント値算出回路と、

前記動作クロックのエッジタイミングから前記第 2 クロックをカウントしたカウント値を出力するカウンタと、

前記カウント値が前記パルスカウント数に到達したことを検出した場合に、前記カウンタのカウントを停止させるカウント停止信号を出力する検出回路と、

前記カウント停止信号の出力毎に前記補正クロックの状態を変化させるトグル回路と、

を備える請求項 1 に記載のクロック補正回路。

【請求項 5】

前記補正值と前記累算値は、MSB (Most Significant Bit) が正負を示す補数形式の  
20  
値である、請求項 3 に記載のクロック補正回路。

【請求項 6】

前記動作クロック生成回路は、

前記動作クロックの状態の変化を検出し、当該変化から所定の第 2 時間間隔以内に前記補正間隔信号による前記第 1 時間間隔の経過を検出し、当該前記第 1 時間間隔の経過時に前記動作クロックの状態の再変化を検出した場合に前記動作クロックの状態の再変化を補正する動作クロック補正回路を更に備える、請求項 3 に記載のクロック補正回路。

【請求項 7】

前記動作クロック生成回路は、

前記第 1 時間間隔の経過時ではない場合に前記固定値に対応する前記内部レジスタのビット値をカウントアップするとともに前記加算器の動作を停止し、前記第 1 時間間隔の経過時に前記加算器の動作を再開させる動作制御回路を更に有する、請求項 3 に記載のクロック補正回路。  
30

【請求項 8】

出力するクロックの種別情報を保持する出力選択レジスタと、

前記出力選択レジスタの保持する値に基づいて、前記補正クロック、前記動作クロックを含むクロック信号群から外部端子を介して出力するクロックを選択するクロック選択セレクタと、を備える請求項 1 に記載のクロック補正回路。

【請求項 9】

前記補正クロック生成回路は、

前記出力選択レジスタから値を読み出し、読み出した値が前記補正クロックの出力を指示する値では無い場合に、前記補正クロックの生成動作を停止する、請求項 8 に記載のクロック補正回路。  
40

【請求項 10】

前記第 2 クロックは、前記補正クロックの要求出力周波数を、前記補正クロックの所望の分解能により除算して算出した周波数よりも高い周波数を持つ、請求項 1 に記載のクロック補正回路。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項に記載のクロック補正回路を備えたマイクロコントローラユニット。

【請求項 12】

前記第 1 クロックを生成する第 1 発振器と、  
 前記第 2 クロックを生成する第 2 発振器と、  
 前記補正クロックの所定クロックパルス回数内の前記第 2 クロックのクロックパルスカ  
 ウント数と、前記第 2 クロックの要求周波数に基づく期待値と、のずれに応じて前記第 2  
 発振器の内部容量を調整することにより前記第 2 クロックの周波数を調整するクロックリ  
 カバリ回路と、を有する請求項 1 1 に記載のマイクロコントロールユニット。

【請求項 1 3】

前記マイクロコントロールユニット内の温度を検出するセンサと、  
 温度特性算出式に前記センサが検出した温度を代入することにより、前記第 1 クロック  
 の周波数誤差を算出する演算器と、を有する請求項 1 1 に記載のマイクロコントロールユ  
 ニット。

10

【請求項 1 4】

請求項 1 1 乃至請求項 1 3 のいずれか 1 項に記載のマイクロコントロールユニットを備  
 えた電子機器。

【請求項 1 5】

第 1 クロックのクロックパルスに基づいて動作クロックの要求周波数から定まる固定値  
 を累算して累算値を算出し、

前記第 1 クロックの周波数誤差に対応する誤差値を前記第 1 クロックから定まるタイミ  
 ングで前記累算値に反映し、

前記累算値の所定ビットが変化した場合に前記動作クロックの状態を変化させると共に  
 、前記累算値のうち前記所定ビットより下位にある下位ビット値を算出し、

20

前記下位ビット値を前記動作クロックよりも高周波数の第 2 クロックのパルスカウ  
 ント数に換算し、前記パルスカウ  
 ント数のカウ  
 ントに要する時間と前記動作クロックのクロッ  
 クパルスに基づき、前記動作クロックを補正した補正クロックを生成する、クロック補正  
 方法。

【請求項 1 6】

前記固定値の絶対値は、前記誤差値の絶対値よりも大きい、請求項 1 5 に記載のクロッ  
 ク補正方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、クロック補正回路及びクロック補正方法に関し、例えば電力メータ等に使用  
 されるクロック補正回路及びクロック補正方法に関する。

【背景技術】

【0002】

R T C (Real Time Clock) は、近年多くの情報機器に搭載されている。R T C が搭載  
 される一例として電力メータが挙げられる。電力メータは、R T C の計時した時刻に応じ  
 て電気料金を計算する等の処理を行っている。R T C の動作クロックとして一般的に音叉  
 型水晶振動子が用いられており、この周波数は温度特性(約 25 を中心として二次係数  
 を負とする二次関数)を持ち、例えば - 40 の場合には - 1 5 0 p p m (parts per mi  
 llion) 程度の偏差を持っている。R T C の実使用時において、動作クロックが偏差を持  
 つ場合には計時時刻のずれが生じてしまう。そのため、動作クロックの周波数偏差の補正  
 を行う必要がある。

40

【0003】

例えば、電力メータ市場では、R T C の生成するクロックの精度として  $\pm 3$  p p m、 $\pm$   
 $5$  p p m 以内であることが要求されている。R T C を搭載した電力メータの製造工程では  
 、周波数誤差の補正した後のクロックが所望の精度の範囲で動作しているか否かを検査し  
 ている。当該検査方法は、R T C 内の水晶振動子等が生成したクロック(32.768 k  
 H z) から生成したクロック(1 H z 等)を端子から出力させて、その出力クロックが前  
 述の精度( $\pm 3$  p p m、 $\pm 5$  p p m)を満足しているか否かを確認する。しかし、周波数

50

が 32.768 kHz である水晶振動子の出力クロックから 1 Hz のクロックを生成した場合、生成したクロックの周波数の最高精度は 30.5 ppm (1 Hz / 32.768 kHz) となる。そのため、このクロックは電力メータ市場の要求を満たさない。

【0004】

特許文献 1 には、簡便な構成で高精度に時刻補正を行うことが可能な RTC 回路が開示されている。当該 RTC 回路では、基本クロック (例えば 32.768 kHz) を発振する発振器が備えられており、当該基本クロックを分周した分周信号を生成する。これと同時に、発振器の出力する基本クロックの周波数誤差を、基本クロックよりも高速かつ高精度な基準クロックを用いて算出する。そして、当該 RTC 内の補正機能付き発振器は、分周信号をクロックとし、固定値と周波数誤差を加算し、加算値の MSB (Most Significant Bit, 最上位ビット) を補正クロックとして出力する。補正クロックの生成時に、周波数誤差が累積加算され、当該累算値が上述の MSB に反映された時点でクロックの状態を変化させることにより周波数誤差を補正する。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2000-315121 号公報

【非特許文献】

【0006】

【非特許文献 1】[平成 24 年 6 月 1 日 検索]、インターネット <URL : <http://www.sii.co.jp/components/quartz/ocdpJP.jsp>>

【非特許文献 2】[平成 24 年 6 月 1 日 検索]、インターネット <URL : <http://www.tamadevice.co.jp/32768-temp.htm>>

【発明の概要】

【発明が解決しようとする課題】

【0007】

上述のように、特許文献 1 に記載の RTC 回路は、周波数誤差の累算値が一定値に到達した時点で、周波数誤差をまとめて補正した補正クロックを生成している。ここで、この補正クロックは、上述の一定値に達するまでの時間単位では依然として周波数誤差が残存している状態となる。例えば、累算値が一定値に達するまでに時間 X を要する場合、時間 X よりも短い時間単位では、補正クロックは依然として周波数誤差を含む状態である。これにより、例えば補正クロックの周波数が所定精度 (例えば  $\pm 3$  ppm (21 ~ 25)) を満たしているか否かをテストする場合、周波数誤差が補正される時間 (時間 X) よりも長い時間の待ち合わせを行う必要があるため、テストに時間がかかってしまう。また、上述の補正クロックは 1 パルス単位での補正がなされていないため、例えばこの補正クロックをクロックリカバリに使用することが出来ない。

【0008】

すなわち、特許文献 1 に記載の RTC 回路では、任意の時間単位で補正クロックの周波数誤差を検出した場合、当該補正クロックが所望の精度を満たさないという問題があった。

【課題を解決するための手段】

【0009】

一実施の形態によれば、クロック補正回路は、動作クロックの要求周波数と第 1 クロックの周波数誤差を考慮した累算を行い、累算値の所定ビットが変化した場合に動作クロックの状態を変化させると共に、当該累算値から所定ビットより下位の低位ビット値を抽出する。そしてクロック補正回路は、この低位ビット値と、動作クロックよりも高周波数の第 2 クロックと、を用いて動作クロックを補正した補正クロックを生成する。

【発明の効果】

【0010】

前記一実施の形態によれば、任意の時間単位で補正クロックの周波数誤差を検出した場

10

20

30

40

50

合であっても所望の精度を満たす補正クロックを生成することができる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1にかかるクロック補正回路を搭載した電力メータの構成を示すブロック図である。

【図2】実施の形態1にかかるクロック補正回路100を備える電力メータ1の構成を示すブロック図である。

【図3】実施の形態1にかかるクロック補正回路100を備えるMCU10の構成を示すブロック図である。

【図4】実施の形態1にかかる動作クロック生成回路110の構成を示すブロック図である。 10

【図5】実施の形態1にかかるフリップフロップ114の内部レジスタの構成を示す模式図である。

【図6】実施の形態1にかかる基本クロック(a)の周波数誤差と補正值との関係を示す表である。

【図7】実施の形態1にかかる動作クロック生成回路110の動作を示すタイミングチャートである。

【図8】実施の形態1にかかる動作クロック補正回路115の動作を示すタイミングチャートである。

【図9】実施の形態1にかかる補正クロック生成回路120の構成を示すブロック図である。 20

【図10】実施の形態1にかかるクロック補正回路100の動作を示すタイミングチャートである。

【図11】実施の形態1にかかるクロック補正回路100の動作を示すタイミングチャートである。

【図12】実施の形態1にかかるクロック補正回路100の動作を示すタイミングチャートである。

【図13】実施の形態1にかかるクロック補正回路100の動作を示すタイミングチャートである。

【図14】実施の形態1にかかるクロック補正回路100を備えるMCU10の構成例を示すブロック図である。 30

【図15】実施の形態1にかかるクロック補正回路100を備えるMCU10の構成例を示すブロック図である。

【図16】実施の形態1にかかる周波数誤差検出部170の内部構成を示すブロック図である。

【図17】実施の形態1にかかるクロック補正回路100を備えるMCU10の構成例を示すブロック図である。

【図18】実施の形態1にかかるクロックリカバリ回路240の内部構成を示すブロック図である。

【図19】実施の形態2にかかる動作クロック生成回路110の構成を示すブロック図である。 40

【図20】その他の実施の形態にかかるクロック補正回路100を備えるMCU10の構成例を示すブロック図である。

【図21】その他の実施の形態にかかる補正機能付き発振器190の構成を示すブロック図である。

【図22】その他の実施の形態にかかるフリップフロップ192の内部レジスタの構成を示す模式図である。

【発明を実施するための形態】

【0012】

本実施の形態にかかるクロック補正回路を説明する前に、図1を参照して特許文献1に 50

記載の R T C 回路に関する問題を改めて説明する。図 1 は、特許文献 1 にかかる R T C 回路の動作を示すタイミングチャートである。図 1 ( A ) は、特許文献 1 に記載の R T C 回路内の分周信号を示す。図 1 ( B ) は、特許文献 1 に記載の R T C 回路内の前述の加算値を示す。図 1 ( B ) における固定値は、" 2 0 0 0 0 H " である。図 1 ( C ) は、特許文献 1 に記載の R T C 回路が出力する補正クロックを示す。当該 R T C 回路は、タイミング T 0 から動作を開始する。

#### 【 0 0 1 3 】

タイミング T 1 において、累積された周波数誤差 ( 図 1 の例では 1 パルス毎に " 1 " だけ累積加算される ) が加算値 ( 図 1 ( B ) ) の M S B に反映されている。そのため、補正クロック ( 図 1 ( C ) ) は、タイミング T 1 において補正される、すなわち値が変化 ( ハイレベルからロウレベルに変化 ) する。ここで、時間区間 D 1 の補正クロックの周波数誤差は、この補正処理により所定の精度内となっている。時間区間 D 1 とは、動作開始から初めての補正が行われるまでの経過時間である。しかしながら、時間区間 D 2 や D 3 のように、時間区間 D 1 よりも短い時間区間における補正クロックの周波数誤差は、補正処理が行われていないために所望の精度を満たさない。

#### 【 0 0 1 4 】

図 1 ( C ) に示すように一定時間 ( D 1 ) に 1 回だけ補正が行われたクロックは、一般的な R T C 回路内において時刻の計時に用いるクロックとなる。そのため、図 1 ( C ) に示すように一定時間 ( D 1 ) に 1 回補正が行われたクロックを以下の記載では「動作クロック」と呼称する。これに対し、1 パルスの間隔 ( D 2 ) の間隔で補正が行われたクロックを「1 パルス補正クロック」と呼称する。なお本明細書では、時間区間 D 1 のようにクロック信号がハイレベルからロウレベル ( またはロウレベルからハイレベル ) に変わるまでのパルス幅を 1 パルスと呼称する。

#### 【 0 0 1 5 】

< 実施の形態 1 >

以下、適宜図面を参照して、本実施の形態にかかるクロック補正回路について説明する。

#### 【 0 0 1 6 】

< 電力メータ ( 電子機器 ) の構成について >

はじめに、本実施の形態にかかるクロック補正回路が搭載される電子機器の概要について説明する。図 2 は、本実施の形態にかかるクロック補正回路を搭載した電子機器の一例である電力メータ装置の概略を示す図である。

#### 【 0 0 1 7 】

電力メータ装置 1 は、M C U ( Micro Control Unit ) 1 0 と、測定対象ユニット 2 0 と、測定用 L S I ( Large Scale Integration ) 3 0 と、L C D ( Liquid Crystal Display ) パネル 4 0 と、E E P R O M 5 0 と、各種外部インターフェイス ( C a r d I C 5 1 、I r D A I C 5 4 、R S 4 8 5 I C 5 5 、P L C m o d e m 5 6 ) と、を有する。なお、外部インターフェイスである C a r d I C 5 1 は、各種のカード型デバイス ( I C C a r d 5 2 、E S A M 5 3 ) と接続可能である。

#### 【 0 0 1 8 】

測定対象ユニット 2 0 は、内部にシャント抵抗及び C T ( カレントトランス ) 等の電流検出センサを備える。測定用 L S I 3 0 は、測定対象ユニット 2 0 内における消費電力量を測定し、測定結果を M C U 1 0 に通知する。L C D パネル 4 0 は、M C U 1 0 が算出した電力料金等を表示する。

#### 【 0 0 1 9 】

外部インターフェイス ( C a r d I C 5 1 、I r D A I C 5 4 、R S 4 8 5 I C 5 5 、P L C m o d e m 5 6 ) は、M C U 1 0 内の U A R T ( Universal Asynchronous Receiver Transmitter ) 3 2 1 ~ 3 2 4 と接続可能に構成され、各種の情報の入出力を行う。E E P R O M ( Electrically Erasable Programmable Read-Only Memory ) 5 0 は、M C U 1 0 内の I I C 3 2 5 と接続する記憶装置である。E E P R O M 5 0 は、内部

10

20

30

40

50

に課金情報を記憶している。

【0020】

ここで課金情報とは、電力量と各時間帯における課金額との関係を示す情報である。例えば、課金情報は、お昼の時間帯（6時～20時）の1kW当たりの課金額、夜の時間帯（20時～30時）の1kW当たりの課金額、等をテーブル形式で示す情報である。

【0021】

MCU10は、上述の課金情報と、測定用LSI20が算出した電力量から課金額を算出する処理等を行う。MCU10は、クロック補正回路100と、CPU（Central Processing Unit）300と、メモリ310と、UART320～324と、IIC325と、を有する。

10

【0022】

クロック補正回路100は、本例ではいわゆるRTC（Real Time Clock）として動作する回路であり、MCU10の外部端子160と接続する。電力メータ装置1の管理者は、動作確認時（テスト時）に当該外部端子160から出力されるクロック信号の周波数を計測し、所望の分解能を満たしているか否かをテストする。また、クロック補正回路100は、計時した時刻情報をCPU300等に適宜供給する。クロック補正回路100の内部構成及び動作の詳細は、図3等を参照して後述する。

【0023】

CPU300は、MCU10内部の各種の制御を行う中央演算装置である。CPU300は、EEPROM50から読み出した課金情報と、クロック補正回路100から供給される時刻情報と、測定用LSI20から供給される使用電力量の情報と、を基に課金額を算出する。CPU300は、算出した課金額を適宜外部装置（例えばプリンタ装置）やLCDパネル40に出力する。

20

【0024】

メモリ310は、例えばROM（Read Only Memory）やRAM（Random Access Memory）であり、各種の情報を記憶する。上述の説明では、EEPROM50が課金情報を記憶するものとして説明したが、メモリ310が課金情報を記憶しても良い。UART320～324は、測定用LSI30や外部インターフェイス（Card IC51等）と接続し、各種情報の入出力を制御する。

【0025】

なお、図2には図示しないもののMCU10は、温度センサ、A/D変換器、時計発振器、基準発振器等を備える。詳細は、図3等を参照して後述する。

30

【0026】

図示するように、MCU10は、クロック補正回路100と接続する外部端子160を有する。詳細は後述するが、出力選択レジスタ150の設定値には、出力するクロック信号の種別（1パルス補正クロック、動作クロック、補正なしの基本クロック）が設定されている。後述するセレクタ140は、出力選択レジスタ150の設定値に応じて出力クロック信号を選択し、選択したクロック信号を外部端子160から出力する。

【0027】

1パルス補正クロックは、生成のための稼働回路が多いために消費電力量が最も高いが、どのような時間単位で周波数誤差を算出した場合であっても誤差が無いクロック信号である。動作クロックは、生成のための消費電力量が1パルス補正クロックの生成時よりも少ないが、任意の時間単位で周波数誤差を検出した場合に所望の精度を満たさない可能性があるクロック信号である。換言すると、1パルス補正クロックは動作クロックよりも短い時間単位毎に補正が行われている。補正なしの基本クロックは、生成のための消費電力が最も少ないが、基本的に周波数誤差を含むクロック信号である。

40

【0028】

すなわち、クロック補正回路100は、利点と欠点をそれぞれ持つ各種のクロック信号を外部端子160を介して出力する。ユーザは、出力するクロック信号を適宜選択する。これにより、クロック信号の用途や消費電力の観点で最適なクロック信号を使用すること

50

ができる。

【 0 0 2 9 】

一般的に1パルス補正クロックは、電力メータ装置1の本格使用前の動作確認等の場合にのみ出力されることが多く、通常動作時に使用されるケースは少ないものと考えられる。換言すると、上述した複数種別のクロック信号を同時に使用するケースは少ないと言える。上述の構成では外部端子160から複数種別のクロック信号を切り替えて出力できるため、MCU100の外部端子数を削減することができる。

【 0 0 3 0 】

なおセクタ140により選択出力可能なクロック信号は、1パルス補正クロックでなくても良く、たとえば2パルス補正クロック等であってもよい。詳細は後述する。すなわち、セクタ140は、動作クロックと、動作クロックよりも短い時間区間で周波数誤差が補正された補正クロック（好適には1パルス補正クロック）を出力する構成であれば良い。

【 0 0 3 1 】

<クロック補正回路100及びその周辺回路の構成>

図3を参照して、クロック補正回路100の概略的な構成について説明する。クロック補正回路100は、動作クロック生成回路110と、補正クロック生成回路120と、時計カウンタ130と、セクタ140と、出力選択レジスタ150と、を備える。セクタ140は、外部端子160と接続する。

【 0 0 3 2 】

クロック補正回路100内の動作クロック生成回路110には、時計発振器210から基本クロック（第1クロック）が供給される。時計発振器210は、基本クロック（a）を生成する発振器である。以下の説明では基本クロック（a）の周波数は、32.768kHzとする。なお、時計発振器210が生成する基本クロック（a）は、電力メータ装置1では許容できない程度の周波数誤差を持つ場合が多い。以下の説明では基本クロック（a）の誤差は、1秒間に1Hz以上の誤差（たとえば1秒間の周波数が32.769kHz）はないものとする。時計発振器210は、生成した基本クロック（a）を動作クロック生成回路110に供給する。

【 0 0 3 3 】

動作クロック生成回路110は図示しないレジスタ（記憶部）から固定値（図5を参照して後述する）を読み出す。動作クロック生成回路110は、入力される補正值及び固定値に応じて基本クロック（a）の周波数誤差を反映した動作クロック（f）を出力する。以下の説明では、動作クロック（f）は基本クロック（a）（32.768kHz）を基に、基本クロック（a）の周波数誤差を補正した1Hzのクロック信号とする。ここで、動作クロック生成回路110に入力される（または動作クロック生成回路110が読み出す）補正值は、基本クロック（a）の周波数誤差（ppm）から算出する。周波数誤差（ppm）の算出方法は、例えば以下の3通りの方法がある。以下の算出方法の詳細については、図14～図19を参照して説明する。

（1）温度センサの検出した温度及び温度テーブルを基に基本クロック（a）の周波数誤差を算出

（2）温度センサの検出した温度を、温度特性と周波数誤差の関係を示す関係式に代入して基本クロック（a）の周波数誤差を算出

（3）後述する周波数誤差検出器170による周波数誤差の算出

【 0 0 3 4 】

また、動作クロック生成回路110は、動作クロック（f）を時計カウンタ130及び補正クロック生成回路120に供給する。さらに動作クロック生成回路110は、動作クロック（f）の状態変化の判定に用いる所定ビットより下位側の下位mビット値（g）（図5を参照して後述）を補正クロック生成回路120に供給する。動作クロック生成回路110の詳細構成は、図4を参照して後述する。

【 0 0 3 5 】

10

20

30

40

50

補正クロック生成回路 120 は、動作クロック ( f )、レジスタ内の下位 m ビット値 ( g ) ( 図 4 及び図 5 を参照して後述)、及び第 2 クロック ( h ) を基に、基本クロック ( a ) の周波数誤差を 1 パルス毎に補正した 1 パルス補正クロック ( k ) を算出する。ここで、第 2 クロック ( h ) とは、基本クロック ( a ) よりも大きい周波数を持つクロック ( 例えば 24 MHz ) である。厳密には、第 2 クロック ( h ) は式 ( 1 パルス補正クロックの要求出力周波数 / 所望の分解能 ) から算出される周波数よりも大きな周波数を持つクロックである。例えば、補正クロック生成回路 120 から分解能が 1 ppm の 1 Hz である 1 パルス補正クロック ( k ) を出力したい場合、第 2 クロック ( h ) は 1 MHz ( 1 Hz / 1 ppm ) 以上の周波数を持つクロック信号とする。

#### 【 0036 】

なお補正クロック生成回路 120 は、後述する出力選択レジスタ 150 の値を読み出し、1 パルス補正クロック ( k ) の出力を指示する値が設定されている場合にのみ 1 パルス補正クロック ( k ) の生成を行い、それ以外の場合には動作を停止しても良い。一般的に、RTC をスタンバイ状態で使用されるケースや、RTC がバックアップ電池による電源供給により動作する場合がある。すなわち、RTC に対する低消費電流化が要求されるケースが多い。補正クロック生成回路 120 の動作を停止することにより、低電流化を図ることができる。補正クロック生成回路 120 の詳細構成及び動作は、図 9 を参照して後述する。

#### 【 0037 】

時計カウンタ 130 は、動作クロック生成回路 110 から出力される動作クロック ( f ) をカウントアップすることにより、実社会での時刻を測定するカウンタである。時計カウンタ 130 は、例えば内部に 60 秒、60 分、24 時間をそれぞれカウントするカウンタ ( 図示せず ) を有する。時計カウンタ 130 は、計時した時刻情報 ( 秒、分、時 ) を CPU 300 等に適宜供給する。

#### 【 0038 】

セレクタ 140 は、出力選択レジスタ 150 内に記憶された値に応じて、動作クロック ( f ) または 1 パルス補正クロック ( k ) を選択して外部端子 160 に供給する。なお、図示しないもののセレクタ 140 は、出力選択レジスタ 150 内に記憶された値に応じて、基本クロック ( a ) を直接外部端子 160 に供給することも可能である。出力選択レジスタ 150 の値は、電力メータ装置 1 のユーザ ( 例えば電力メータ装置 1 の管理者 ) が任意のタイミングで書き換えることができる。

#### 【 0039 】

< 動作クロック生成回路 110 の構成及び動作について >

続いて、動作クロック生成回路 110 の構成を図 4 を参照して説明する。動作クロック生成回路 110 は、補正間隔生成回路 111 と、セレクタ 112 と、加算器 113 と、FF ( フリップフロップ ) 114 と、動作クロック補正回路 115 とを有する。

#### 【 0040 】

補正生成回路 111 は、基本クロック ( a ) を基に一定タイミングを通知する補正間隔信号 ( b )、例えば 1 Hz のワンショットパルス ( 32768 クロック中 32767 クロックの期間はロウレベルであり、1 クロックだけハイレベルとなる信号 ) を生成する。補正間隔生成回路 111 は、内部に分周器 ( 2 の 15 乗 ) を搭載し、上述の補正間隔信号 ( b ) を生成してセレクタ 112 及び動作クロック補正回路 115 に供給する。なお、補正間隔生成回路 111 は、一定のタイミングを通知できる信号を生成できる構成であればよい。そのため、補正間隔信号 ( b ) の周波数は 1 Hz に限定されない。以下の説明では、補正間隔信号 ( b ) の周波数は 1 Hz ( ワンショットパルス ) とする。

#### 【 0041 】

セレクタ 112 は、補正間隔信号 ( b ) がハイレベルの場合に補正值を加算器 113 に供給し、ロウレベルの場合に固定値 B を加算器 113 に供給する。基本クロック ( a ) に周波数誤差が無い場合、補正值と固定値 B は同一値となる。補正值及び固定値 B の設定方法は、フリップフロップ 114 の動作と共に後述する。

10

20

30

40

50

## 【 0 0 4 2 】

加算器 1 1 3 は、セクタ 1 1 2 の出力値 ( c ) とフリップフロップ 1 1 4 の出力値 ( レジスタ値 ( d ) ) を加算し、加算結果をフリップフロップ 1 1 4 のデータ端子に供給する。

## 【 0 0 4 3 】

フリップフロップ 1 1 4 は、基本クロック ( a ) をクロック端子の入力として動作する。フリップフロップ 1 1 4 は、n ビットのレジスタを有する。なお以下の説明では、フリップフロップ 1 1 4 の保持するレジスタの値をレジスタ値 ( d ) と記載する。基本クロック ( a ) は 3 2 . 7 6 8 k H z であるため、フリップフロップ 1 1 4 は、1 秒間にフリップフロップ 1 1 4 のレジスタ値 ( d ) とセクタ 1 1 2 の出力値 ( c ) との加算値を 3 2 7 6 8 回だけレジスタ値 ( d ) に取り込む。そしてフリップフロップ 1 1 4 は、レジスタ値 ( d ) を動作クロック補正回路 1 1 5 に供給する。詳細にはフリップフロップ 1 1 4 は、レジスタ値 ( d ) の上位 2 ビット目の切り替わりタイミングで値が変化する動作クロック ( e ) と、レジスタ内の下位 m ビット値 ( g ) と、を動作クロック補正回路 1 1 5 に供給する。

10

## 【 0 0 4 4 】

図 5 は、フリップフロップ 1 1 4 内のレジスタの構成を示す図である。当該レジスタは、1 秒間に 3 2 7 6 8 回値が書き換えられる。フリップフロップ 1 1 4 の最上位ビットは、ビット値の正負を示すビットである。上位第 2 ビット ( 所定ビット ) の値は、動作クロック補正回路 1 1 5 に供給されるクロック信号の状態を示す値となる。当該クロック信号が動作クロック ( 後述する動作クロック補正回路 1 1 5 による補正前の動作クロック ( e ) ) となる。基本クロック ( a ) に周波数誤差が無い場合には、補正值と固定値 B は同一値となり、レジスタ内の値は 3 2 7 6 8 回 ( 2 の 1 5 乗 ) インクリメントされる。そのため、当該レジスタは 1 6 ビット ( 正負を示す 1 ビット + 1 5 ビット ( 2 の 1 5 乗 ) ) 以上のビット幅を持つ必要がある。図 5 は、2 1 ビットのビット幅を持つレジスタを示している。

20

## 【 0 0 4 5 】

固定値 B は、自身を 3 2 7 6 8 回加算した場合にレジスタ値 ( d ) の上位 2 ビット目に変化する値に設定する。すなわち固定値 B は、動作クロック ( e ) の要求周波数に応じて値が定まる。図 5 においては、下位 6 ビット目 ( 上位 1 6 ( 1 + 1 5 ) ビット目 ) に 1 が設定された値が固定値 B の値となる。

30

## 【 0 0 4 6 】

仮にレジスタのデータ幅を上述の 1 6 ビットとした場合、補正值によって調整可能な周波数誤差の最小単位 ( 補正分解能 ) は、 $30.5 \text{ ppm} ( 1 / 2^{15} )$  となる。補正分解能を小さくしたい場合、レジスタを固定値 B により書き換わるビットよりも下位側に拡張すればよい。下位側に拡張するビット幅が大きいほど補正值により表現する周波数誤差を細かくすることができるため、補正分解能を小さくすることができる。拡張幅を m ビットとする場合、補正分解能は、 $( 1 / 2^{15+m} )$  となる。m = 5 とした場合、補正分解能は  $0.95 \text{ ppm} ( 1 / 2^{15+5} )$  となり、電力メーカ市場のニーズを満たす。以下の説明では、m = 5 とする。すなわち、レジスタ値 ( d ) のデータ幅は 2 1 ビットとする。なお固定値 B は、1 6 進数表記で 0 0 0 0 2 0 H となる。このレジスタ値 ( d ) 内の下位 m ビットを下位 m ビット値 ( g ) と表記する。

40

## 【 0 0 4 7 】

続いて、基本クロック ( a ) の周波数誤差から補正值を算出する方法について説明する。レジスタ値 ( d ) のデータ幅は 2 1 ビット ( 正負を示す 1 ビット + 2 0 ビット ) であるため、レジスタ値 ( d ) の L S B ( 最下位ビット ) は、 $0.95 \text{ ppm} ( 1 / 2^{20} )$  と対応する。例えば、周波数誤差  $0.95 \text{ ppm}$  は 0 0 0 0 1 H ( 1 6 進数 ) と対応し、周波数誤差  $-0.95 \text{ ppm}$  は 2 の補数形式を用いて 1 F F F F F H ( 1 6 進数 ) と対応する。

## 【 0 0 4 8 】

50

補正值は、補正間隔信号 ( b ) がハイレベルとなった場合に加算される。換言すると、補正間隔信号 ( b ) がハイレベルとなった場合に、固定値 B は加算されない。そのため補正值は、基本クロック ( a ) の周波数誤差をレジスタ値 ( d ) に対応する値 ( 誤差値 ) に変換した値と、固定値 B と、の加算により算出する。詳細には、レジスタ値 ( d ) のデータ幅が 21 ビットである場合の補正值は、以下の [ 数 1 ] に示す式を用いて算出する。なお、[ 数 1 ] における " 10<sup>6</sup> " は、ppm が 100 万分率であることに起因する。例えば、周波数誤差が 0.95 ppm の場合の補正值は、000021H ( 16 進数 ) となる。周波数誤差が -0.95 ppm の場合の補正值は、00001FH ( 16 進数 ) となる。レジスタ値 ( d ) のデータ幅が 21 ビットである場合の基本クロック ( a ) の周波数誤差と、補正值との関係を図 6 に示す。補正值は固定値 B と誤差値の加算により算出するため、加算器 113 は 1 秒間に 32768 回固定値 B を累積加算し、1 回だけ誤差値を累積加算結果に反映 ( 加算または減算 ) する処理と同一の処理をしている。

10

【数 1】

$$\text{補正值} = \left( \frac{\text{周波数誤差 [ppm]} \times 2^{20}}{10^6} \right)_{16\text{進数}} + 000020\text{H}$$

【0049】

図 7 は、動作クロック生成回路 110 内の各回路の出力信号を示すタイミングチャートである。なお説明の明確化のため、図 7 における補正值は、常に 000021H であるものとする。

20

【0050】

基本クロック ( a ) は、1 秒間に 32768 回の値の切り替わりが生じる。補正間隔信号 ( b ) は、32768 回に 1 回の割合で基本クロック ( a ) の 1 周期分だけハイレベルとなる ( タイミング T12 )。セレクタの選択値 ( c ) は、補正間隔信号 ( b ) がハイレベルの間 ( タイミング T12 ) だけ補正值 000021H となり、その他のタイミングでは固定値 B として 000020H となる。

【0051】

レジスタ値 ( d ) は、セレクタの選択値 ( c ) を累積加算し、レジスタ内の上位 2 ビット目の値が切り替わったタイミング ( タイミング T11 ) で動作クロック ( e ) の値を変化させる。なお図 7 では 16 進数表記でレジスタ値 ( d ) を記載しているため、レジスタ値 ( d ) が 07xxxxH ( x は任意 ) から 08xxxxH ( x は任意 ) になる際に動作クロック ( e ) がハイレベルに切り替わり、0FxxxxH ( x は任意 ) から 0x0000H ( x は任意 ) になる際にロウレベルに切り替わる。

30

【0052】

続いて、図 4 及び図 8 を参照して動作クロック補正回路 115 の動作について説明する。図 8 は、動作クロック補正回路 115 の動作を示すタイミングチャートである。

【0053】

上述のように補正值は、正の数にすることも負の数にすることも可能である。これにより、基本クロック ( a ) が正の周波数誤差を持つ場合であっても負の周波数誤差を持つ場合であっても対応が可能となる ( 基本クロック ( a ) が所望の周波数よりも速い場合であっても遅い場合であっても対応が可能となる )。ここで加算器 113 が負の値を加算する場合、図 8 の補正間隔信号 ( b ) がハイレベルとなるタイミング ( タイミング T21、T22 ) にレジスタ値 ( d ) の上位 2 ビット目 ( すなわち動作クロック ( e ) ) が変化してしまう場合がある。当該動作は、動作クロック ( e ) の周波数を不要に増加させる意図しないものである。

40

【0054】

動作クロック補正回路 115 は、当該変化を抑止する回路である。図 4 に示すように、動作クロック補正回路 115 には、動作クロック ( e ) と、補正間隔信号 ( b ) と、が入力される。

50

## 【 0 0 5 5 】

動作クロック補正回路 1 1 5 は、タイミング T 2 0 ~ T 2 8 において動作クロック ( e ) の値の変化を検出する。動作クロック補正回路 1 1 5 は、この検出から所定時間以内に補正間隔信号 ( b ) がハイレベルのタイミングで動作クロック ( e ) の値の再度の変化を検出する。ここで所定時間とは、例えば補正可能最小値が - 1 0 0 p p m であった場合、動作クロック ( e ) の 4 クロック ( 1 0 0 p p m / 3 0 . 5 p p m の切り上げ値 ) の間であり、動作クロック ( e ) の値の変化後に再度変化を行っては不適切となる期間である。動作クロック補正回路 1 1 5 は、例えば T 2 8 から所定時間内の T 2 9 における動作クロック ( e ) の再度の値の変化を検出する。この再度の値の変化を検出した場合、動作クロック補正回路 1 1 5 は、動作クロック ( e ) の値の再度の変化 ( T 2 9 ) を無視した動作クロック ( f ) を生成する。これにより、動作クロック ( e ) の周波数の意図しない増加を防いだ動作クロック ( f ) を生成することができる。

10

## 【 0 0 5 6 】

動作クロック補正回路 1 1 5 は、補正間隔信号 ( b ) のエッジを検出し、所定時間をカウントして動作クロック ( e ) のエッジタイミングを補正する回路であればよく、既存の任意のデジタル回路を組み合わせることにより構成すればよい。動作クロック 1 1 5 は、生成した動作クロック ( f ) を補正クロック生成回路 1 2 0 に供給する。

## 【 0 0 5 7 】

再び図 4 を参照する。フリップフロップ 1 1 4 は、動作クロック ( e ) の状態変化の判定に用いる所定ビット ( 図 5 では上位 2 ビット目 ) より下位のビット値 ( 下位ビット値 ) を、動作クロック ( e ) の状態変化 ( ハイレベルからロウレベル、またはロウレベルからハイレベル ) の際に補正クロック生成回路 1 2 0 に供給する。なお、基本クロック ( a ) には 1 秒間に 1 H z 以上の誤差 ( たとえば 1 秒間の周波数が 3 2 . 7 6 9 k H z ) はないことを前提としているため、基本クロック ( a ) の周波数誤差に対応する値 ( 誤差値 ) の絶対値は、常に固定値 B の絶対値よりも小さくなる。そのため、動作クロック ( e ) の状態変化時 ( エッジタイミング ) には、動作クロック ( e ) の状態変化の判定に用いる所定ビット ( 図 5 では 2 ビット目 ) よりも下位に位置するビットにおいて、レジスタ値 ( d ) の下位 m ( = 5 ) ビット値 ( g ) 以外はすべて 0 となる。すなわち、動作クロック ( e ) のエッジタイミングにおいて、レジスタ値 ( d ) の下位 m ( = 5 ) ビット値 ( g ) 以外のビットは無視することができる。よって、本例ではフリップフロップ 1 1 4 は、レジスタ値 ( d ) の下位 m ( = 5 ) ビット値 ( g ) を補正クロック生成回路 1 2 0 に供給する。

20

30

## 【 0 0 5 8 】

< 補正クロック生成回路 1 2 0 の構成及び動作について >

続いて、補正クロック生成回路 1 2 0 の詳細について説明する。図 9 は、補正クロック生成回路 1 2 0 の構成を示すブロック図である。補正クロック生成回路 1 2 0 は、カウンタ初期値算出回路 1 2 1 と、カウンタ 1 2 2 と、アンダーフロー検出回路 1 2 3 と、トグル回路 1 2 4 とを備える。補正クロック生成回路 1 2 0 には、フリップフロップ 1 1 4 のレジスタ値 ( d ) の下位 m ビット値 ( g ) と、動作クロック ( f ) と、第 2 クロック ( h ) と、が入力される。

## 【 0 0 5 9 】

カウンタ初期値算出回路 1 2 1 は、下位 m ビット値 ( g ) 及びそのビット幅と、第 2 クロック ( h ) の周波数と、を基にカウンタ 1 2 2 がカウントする際に用いるカウント初期値 ( i ) ( パルスカウント数 ) を算出する。カウンタ初期値算出回路 1 2 1 は、いわゆるデコーダであり、以下のデコード式 [ 数 2 ] を演算してカウント初期値 ( i ) を算出する。

40

## 【 0 0 6 0 】

【数 2】

$$\text{カウント初期値} = \frac{(2^N - 1(n)) \times \text{fcnt}}{2^{(15+N)}}$$

n: 下位ビット値(g)

N: 下位ビット値(g)のビット幅

fcnt: 第 2 クロックの周波数

10

【0061】

カウンタ初期値算出回路 121 は、算出したカウント初期値 (i) をカウンタ 122 に供給する。

【0062】

カウンタ 122 は、動作クロック (f) のエッジタイミングから第 2 クロック (h) のカウントを開始し、カウント初期値 (i) から第 2 クロック (h) のカウント数を減算した値 (カウント値 (j)) をアンダーフロー検出回路 123 に供給する。カウンタ 122 は、アンダーフロー検出回路 123 からカウント停止信号が供給された場合にカウントを終了する。

20

【0063】

アンダーフロー検出回路 123 は、カウンタ 122 から供給された値 (カウント値 (j)) がアンダーフローしたことを検出する回路である。アンダーフロー検出回路 123 は、カウント値 (j) がアンダーフローした場合に、カウント停止信号をカウンタ 122 及びトグル回路 124 に供給する。

【0064】

トグル回路 124 は、カウント停止信号が供給された場合に状態 (ハイレベル、ロウレベル) を変化させた 1 パルス補正クロック (k) を生成する。

30

【0065】

なお、上述の説明では、補正クロック生成回路 120 がアンダーフロー検出回路 123 を備えるものとして説明したが必ずしもこれに限られない。例えば、カウンタ 122 がアップカウントするカウンタとすることも可能である。この場合、補正クロック生成回路 120 は、アンダーフロー検出回路 123 に代わり、カウンタ 122 がカウント初期値 (i) を超えてカウントアップしていること (オーバーフロー) を検出するオーバーフロー検出回路を備えても良い。オーバーフロー検出回路は、オーバーフローが生じた際にカウント停止信号が供給する。

【0066】

続いて、図 10 のタイミングチャートを参照して、補正クロック生成回路 120 内の各回路の出力信号を説明する。図 10 は、基本クロック (a) が正の周波数誤差を持つ場合の補正クロック生成回路 120 の動作を示すタイミングチャートである。なお、説明の便宜のため、図 10 には動作クロック生成回路 110 内の各信号 (補正間隔信号 (b)、フリップフロップ 114 内のレジスタ値 (d)) についても記載している。また、タイミングチャート内の数値は、16 進数表記としている。また、図 10 では説明の便宜のため補正值は常に "000021H" とする。

40

【0067】

補正間隔信号 (b) がロウレベルの場合、レジスタ値 (d) に固定値 B (図 10 では "000020H") が基本クロック (a) のカウントに応じて加算される。補正間隔信号 (b) がハイレベルの場合、レジスタ値 (d) に補正值 (000021H) が基本クロッ

50

ク ( a ) のカウントに応じて加算される。補正間隔信号 ( b ) は 1 秒間に 1 回だけハイレベルとなる ( ワンショットパルス ) 。そのため、レジスタ値 ( d ) の下位  $m ( = 5 )$  ビット値 ( g ) は、1 秒間に 1 回だけ値が変化する。

【 0 0 6 8 】

たとえばタイミング T 3 0 において補正間隔信号 ( b ) がハイレベルとなっている。そのため、レジスタ値 ( d ) の下位  $m ( = 5 )$  ビット値 ( g ) は、タイミング T 3 0 に変化する ( 図 1 0 は 1 6 進数表記のため、最下位ビットが変化する ) 。同様にタイミング T 3 2 において補正間隔信号 ( b ) がハイレベルとなり、レジスタ値 ( d ) の下位  $m ( = 5 )$  ビット値 ( g ) がタイミング T 3 2 に変化する ( 図 1 0 は 1 6 進数表記のため、最下位ビットが変化する ) 。

10

【 0 0 6 9 】

カウンタ初期値算出回路 1 2 1 は、レジスタ値 ( d ) の下位  $m ( = 5 )$  ビット値 ( g ) と、第 2 クロック ( h ) の周波数を基にカウント初期値 ( i ) を算出する。例えば、カウンタ初期値算出回路 1 2 1 は、タイミング T 3 0 においてカウント初期値 ( i ) " 6 9 0 d " を算出する。

【 0 0 7 0 】

カウンタ 1 2 2 は、動作クロック ( f ) のエッジタイミング ( タイミング T 3 1 、 T 3 2 等 ) においてカウント処理を開始する。ここでカウンタ 1 2 2 は、カウント初期値 ( i ) から第 2 クロック ( h ) のカウント数を減算してカウント値 ( j ) を算出する。アンダーフロー検出回路 1 2 3 は、カウント値 ( j ) のアンダーフローを検出し、アンダーフローが生じた時点でカウント停止信号を出力する。カウント値の L S B ( j ' ) は、図示するように、カウント開始からカウント終了まで第 2 クロック ( h ) と同一波形となる。カウント停止信号の出力に応じて、1 パルス補正クロック ( k ) の値が変化する。

20

【 0 0 7 1 】

例えばアンダーフロー検出回路 1 2 3 は、タイミング T 3 5 においてアンダーフローを検出してカウント停止信号を出力する。これにより、1 パルス補正クロック ( k ) はタイミング T 3 5 に値が変化する。同様にタイミング T 3 6 においてアンダーフローが生じるため、1 パルス補正クロック ( k ) はタイミング T 3 6 に値が変化する。

【 0 0 7 2 】

カウンタ初期値算出回路 1 2 1 は、各タイミングにおいてカウント初期値 ( i ) を算出する。カウンタ 1 2 2 は、タイミング T 3 3 や T 3 4 ( 動作クロック ( f ) のエッジタイミング ) においてカウント処理を開始する。カウント初期値 ( i ) は、補正間隔信号 ( b ) の入力時の補正值の加算に伴って変化するため、カウントに要する時間も変化する。このように 1 パルス補正クロック ( k ) は、レジスタ値 ( d ) の下位  $m ( = 5 )$  ビット値 ( g ) ( すなわち動作クロック ( f ) に反映されていない周波数誤差に相当する値 ) に応じてパルス幅が調整される。

30

【 0 0 7 3 】

図 1 1 は、図 1 0 のタイミングチャートを模式的に示す図である。図 1 1 では、理解の容易化のためレジスタ値 ( d ) を 5 ビット値とし、下位  $m$  ビット値 ( g ) を 2 ビット値とする。またレジスタ値 ( d ) は、補数形式ではないものとする。固定値 B は、" 0 0 1 0 0 " とし、最上位ビットの値が変化した場合に動作クロック ( f ) が変化するものとする。また、図 1 1 において補正值は常に " 0 0 1 0 1 " とする。

40

【 0 0 7 4 】

補正間隔信号 ( b ) がハイレベルの場合 ( タイミング T 4 1 、 T 4 2 、 T 4 3 、 T 4 4 ) において、レジスタ値 ( d ) に補正值 " 0 0 1 0 1 " が加算される。すなわち、補正間隔信号 ( b ) がハイレベルの場合 ( タイミング T 4 1 、 T 4 2 、 T 4 3 、 T 4 4 ) に、下位  $m ( = 2 )$  ビット値 ( g ) に " 0 1 " が累積加算される。

【 0 0 7 5 】

本例では、タイミング T 4 4 となるまではレジスタ値 ( d ) の下位  $m ( = 2 )$  ビット値 ( g ) の累積加算が下位 3 ビット目に桁上がりしない。そのため、動作クロック ( f ) は

50

、タイミングT44となるまでの期間ではレジスタ値(d)が4回更新される毎に値が変化する。

【0076】

タイミングT44において、下位 $m (= 2)$ ビット値(g)の累積加算が下位3ビット目に桁上がりする。これにより、直近の最上位ビットの更新タイミングから3回のレジスタ更新が行われたタイミング(T44)で最上位ビットの値が変化する。これにより、動作クロック(f)の補正がタイミングT44において行われる。すなわち、タイミングT40~T44の周波数誤差の補正をタイミングT44において一括して行うことにより、動作クロック(f)が生成される。

【0077】

一方、1パルス補正クロック(k)は、動作クロック(f)のエッジタイミングから下位 $m (= 2)$ ビット値(g)に応じたカウントを行う。そして1パルス補正クロック(k)は、当該カウント終了時に値が更新される。例えば、動作クロック(f)のエッジタイミングであるタイミングT45において下位2ビット"00"に応じたカウントを開始し、当該カウントが終了した際に1パルス補正クロック(k)の値が変化する。動作クロック(f)のエッジタイミングであるタイミングT46において下位2ビット"01"に応じたカウントを開始し、当該カウントが終了したに1パルス補正クロック(k)の値が変化する。

【0078】

このように1パルス補正クロック(k)は、レジスタ値(d)の下位 $m (= 2)$ ビット値(g)に応じて調整されたパルス幅を持つ。すなわち、1パルス補正クロック(k)は、タイミングT40~T44の期間において補正が行われた動作クロック(f)に対して、動作クロック(f)の生成に反映されていない周波数誤差を示す下位 $m (= 2)$ ビット値(g)を用いたパルス幅調整を行って生成される。これにより、1パルス補正クロック(k)は、基本クロック(a)の周波数誤差が毎パルス反映されたクロック信号となる。

【0079】

続いて、基本クロック(a)が負の周波数誤差を持つ場合について説明する。図12は、基本クロック(a)が負の周波数誤差を持つ場合の補正クロック生成回路120の動作を示すタイミングチャートである。各回路の動作自体は、正の周波数誤差を持つ場合(図10)と同様である。固定値Bは"000020H"とし、補正值は"00001FH"とする。

【0080】

補正間隔信号(b)がロウレベルの場合、レジスタ値(d)に固定値B(図10では"000020H")が基本クロック(a)のカウントに応じて加算される。補正間隔信号(b)がハイレベルの場合、レジスタ値(d)に補正值が基本クロック(a)のカウントに応じて加算される。例えば、レジスタ値(d)の下位 $m (= 5)$ ビット値(g)がタイミングT52及びT55において変化する(図12は16進数表記のため、最下位ビットが変化する)。

【0081】

カウンタ初期値算出回路121は、レジスタ値(d)の下位 $m (= 5)$ ビット値(g)と、第2クロック(h)の周波数を基にカウンタ初期値(i)を算出する。例えば、カウンタ初期値算出回路121は、タイミングT50においてカウンタ初期値(i)"690d"を算出し、タイミングT53において"0d"を算出する。

【0082】

カウンタ122は、動作クロック(f)のエッジタイミング(タイミングT31、T32等)においてカウント処理を開始する。アンダーフロー検出回路123は、カウンタ122のカウント値(j)のアンダーフローを検出してカウント停止信号を出力する。例えば、アンダーフロー検出回路123は、タイミングT57においてアンダーフローを検出する。同様に、アンダーフロー検出回路123は、タイミングT53、T54、T58においてアンダーフローを検出してカウント停止信号を出力する。なお、タイミングT53

10

20

30

40

50

ではカウント初期値 ( i ) が " 0 d " であるため、動作クロック ( f ) のエッジタイミングとアンダーフローの検出が同時となる。

【 0 0 8 3 】

カウント停止信号の出力に応じて、1パルス補正クロック ( k ) はタイミング T 5 7、T 5 3、T 5 4、T 5 8 に値が変化する。

【 0 0 8 4 】

図 1 3 は、図 1 1 ( 負の周波数誤差を持つ場合 ) のタイミングチャートを模式的に示す図である。図 1 3 では、図 1 1 と同様に理解の容易化のためレジスタ値 ( d ) の値を 5 ビット値とし、下位 m ビット値 ( g ) を 2 ビット値とする。またレジスタ値 ( d ) は、補数形式ではないものとする。固定値 B は、" 0 0 1 0 0 " とし、最上位ビットが変化した場合に動作クロック ( f ) が変化するものとする。また、図 1 3 において補正値は常に " 0 0 0 1 1 " とする。

10

【 0 0 8 5 】

補正間隔信号 ( b ) がハイレベルの場合 ( タイミング T 6 2、T 6 5、T 6 8、T 7 0 ) において、レジスタ値 ( d ) に補正値 " 0 0 1 1 " が加算される。すなわち、補正間隔信号 ( b ) がハイレベルの場合 ( タイミング T 6 2、T 6 5、T 6 8、T 7 0 ) に、下位 m ( = 2 ) ビット値 ( g ) に " 1 1 " が累積加算される。

【 0 0 8 6 】

図 1 3 では、補正値 " 0 0 0 1 1 " よりも固定値 B " 0 0 1 0 0 " の方が大きい。そのため、タイミング T 6 2 においてレジスタ値 ( d ) に補正値 " 0 0 0 1 1 " が加算されたとしても、レジスタ値 ( d ) の最上位ビットが変化しない。そのため、タイミング T 7 2 には動作クロック ( f ) は変化せず、タイミング T 6 3 において状態が変化する。すなわち、タイミング T 6 1 からレジスタ値 ( d ) が 5 回更新されたタイミング T 6 3 において動作クロック ( f ) の状態が変化する。動作クロック ( f ) は、タイミング T 6 1 ~ T 6 3 の間隔を除き、レジスタ値 ( d ) が 4 回更新される毎に状態が変化する ( T 6 0 ~ T 6 1、T 6 3 ~ T 6 4、T 6 4 ~ T 6 6、T 6 6 ~ T 6 7、T 6 7 ~ T 6 9 )。

20

【 0 0 8 7 】

タイミング T 7 2 には動作クロック ( f ) は変化せず、タイミング T 6 3 において値が変化することにより、動作クロック ( f ) は、タイミング T 6 0 ~ タイミング T 7 1 の間隔の周波数誤差が補正されたクロック信号となる。すなわち、タイミング T 6 3 において周波数誤差の補正が一括して行われることにより、動作クロック ( f ) を調整している。

30

【 0 0 8 8 】

一方、1パルス補正クロック ( k ) は、動作クロック ( f ) のエッジタイミングから下位 m ( = 2 ) ビット値 ( g ) に応じたカウントの終了時に値が更新される。例えば、動作クロック ( f ) のエッジタイミングであるタイミング T 6 1 において下位 2 ビット " 0 0 " に応じたカウントを開始し、当該カウントが終了したときに 1 パルス補正クロック ( k ) の状態が変化する。同様に動作クロック ( f ) のエッジタイミングであるタイミング T 6 3 において下位 2 ビット " 1 1 " に応じたカウントを開始し、当該カウントが終了したときに 1 パルス補正クロック ( k ) の状態が変化する。

【 0 0 8 9 】

図 1 1 を参照して説明した場合と同様に、1パルス補正クロック ( k ) は、基本クロック ( a ) の周波数誤差が毎パルス反映されたクロック信号となる。

40

【 0 0 9 0 】

なお図 1 0 ~ 図 1 3 の説明では補正値が一定値であるものとして説明したが、必ずしもこれに限られない。補正値は、後述する温度特性を用いた算出により時間経過とともに適宜変更され得る。当該補正値の変化に応じて、カウント初期値 ( i ) の値が定まる。例えば、補正値が " 0 0 0 0 2 0 H " ( 固定値 B と同値 ) となった場合には、カウント初期値 ( i ) の変化が生じず、前回のカウントと同数のカウントを行ったタイミングでカウント停止信号が出力される。一方、あるタイミングで補正値が大幅に変更された場合、前回のカウント時からカウント初期値 ( i ) の値が大幅に変わり、カウントに要する時間も大幅に

50

変化する。

【 0 0 9 1 】

< クロック補正回路 1 0 0 の効果 >

続いてクロック補正回路 1 0 0 の効果について説明する。動作クロック生成回路 1 1 0 は、一定期間で周波数誤差が補正された動作クロックを出力する。詳細には、動作クロック生成回路 1 1 0 は、一定タイミングで基本クロック ( a ) ( 第 1 クロック ) の周波数誤差に相当する値 ( 誤差値 ) を固定値の累算値に反映 ( 加算 ) する。そして動作クロック生成回路 1 1 0 は、累積値の所定ビット ( 図 5 では上位 2 ビット目 ) が変化したタイミングで補正を一括して行うことにより一定期間で周波数誤差が補正された動作クロックを出力する。上述の説明では、分解能が 3 0 . 5 p p m 未満の周波数誤差の値を下位 m ビット値 ( g ) として累積している。すなわち、動作クロックの各エッジタイミングでは、動作クロックの状態変化に反映されていない周波数誤差が下位 m ビット値 ( g ) として記憶されている。換言すると、動作クロックの状態が変化するタイミング ( つまりエッジタイミング ) の累算値内には、所定ビットより下位のビット値が残存している。この残存しているビット値 ( 下位ビット値 ) は、動作クロックの対象となるエッジタイミングの判定に直接的には扱うことができなかつたビット値である。

10

【 0 0 9 2 】

補正クロック生成回路 1 2 0 は、この累算値内に残存しているビット値である下位 m ビット値 ( g ) を基本クロック ( a ) よりも高速な ( 詳細には式 ( 要求出力周波数 / 所望の分解能 ) を満たす ) 第 2 クロックのカウント数に換算する。そして補正クロック生成回路 1 2 0 は、動作クロックのエッジタイミングを当該カウント数に応じてずらした補正クロック ( 1 パルス補正クロック ( k ) ) を生成する。動作クロック ( f ) の状態変化の際に累算値内に残存していたビット値を用いて動作クロック ( f ) のパルス幅を補正することにより、精度の高いクロック信号を生成することができる。

20

【 0 0 9 3 】

別の観点から更に説明する。フリップフロップ 1 1 4 のレジスタ値 ( d ) ( 累算値 ) は、出力信号の要求周波数を基に定めた固定値を累算し、基本クロック ( a ) の周波数誤差を累算値に反映した値である。すなわちレジスタ値 ( d ) ( 累算値 ) は、要求周波数と生成元となる基本クロック ( a ) の周波数誤差の双方を考慮した値となる。そのためこのレジスタ ( d ) ( 累算値 ) の全ビット ( 全桁 ) を余すことなく使用することにより精度の高い補正信号を算出することができる。補正クロック生成回路 1 2 0 は、動作クロック生成回路 1 1 0 が着目した所定ビット ( 図 5 では上位 2 ビット目 ) 以下の桁の値 ( 上述の例ではレジスタ ( d ) ( 累算値 ) の下位 m ビット値 ( g ) ) を用いて動作クロックを補正している。これにより、精度の高いクロック信号を生成することができる。

30

【 0 0 9 4 】

なお、上述の説明では動作クロックの各エッジタイミングでカウント処理を行ったが必ずしもこれに限られない。例えば、補正クロック生成回路 1 2 0 は、動作クロック ( f ) の立下りのエッジタイミングでのみ上述のカウント処理を行ってもよい。この場合であっても、動作クロック ( f ) の補正間隔よりも短い間隔で周波数誤差が補正された精度の高いクロック信号を生成することができる。同様に動作クロック ( f ) のエッジタイミングの数回に 1 回 ( たとえば 3 回に 1 回 ) だけ上述のカウント処理を行っても良い。すなわち、補正クロック生成回路 1 2 0 は、動作クロック ( f ) の補正間隔 ( 第 1 間隔 ) よりも短い間隔 ( 第 2 間隔 ) で補正 ( カウント処理 ) を行えばよい。

40

【 0 0 9 5 】

また補正值及びレジスタ値 ( d ) は、補数形式により表現することができる数値である。補正值を補数形式で表現できることにより、レジスタ値 ( d ) を増加だけでなく減少させることが可能となる。これにより、基本クロック ( a ) が正の周波数誤差 ( p p m ) を持つ場合と負の周波数誤差を持つ場合の双方に対応することができる。

【 0 0 9 6 】

さらに、上述の動作クロック補正回路 1 1 5 は、補正值及びレジスタ値 ( d ) が補数形

50

式を用いることに起因する動作クロックの意図しない動作を補正間隔信号 ( b ) の出力タイミングに応じて補正する。これにより、精度の高い動作クロック ( f ) を生成することができる。

【 0 0 9 7 】

前述のように第 2 クロック ( h ) は、式 ( 要求出力周波数 / 所望の分解能 ) 以上の周波数を持つクロック信号である。これにより、1 パルス補正クロック ( k ) と要求精度に応じた補正が担保される。

【 0 0 9 8 】

また、本実施の形態では、固定値 B よりも誤差値 ( 補正值から固定値 B を引いた値であり、基本クロック ( a ) の周波数誤差に対応する値 ) が小さい。そのため、動作クロックのエッジタイミングにおける累算値内の残存値 ( 下位ビット値 ) は、常に下位 m ビット値 ( g ) にのみ現れる。よって、動作クロック生成回路 1 1 0 は、動作クロックの状態変化時における累算値内の残存値として下位 m ビット値 ( g ) のみを補正クロック生成回路 1 2 0 に供給すればよい。第 2 クロックのパルスカウントに用いるビット幅が小さくなることにより、カウンタ 1 2 2 のカウント上限数を少なくすることができる。

【 0 0 9 9 】

なお、上述の例では固定値 B は、あるビット ( 図 5 における下位 6 ビット目 ) のみが 1 となっている値であったが必ずしもこれに限られない。例えば固定値 B は、2 つのビットに 1 が設定されているような値であっても良い。この場合であっても動作クロックのエッジタイミング ( 動作クロックの状態の変更時 ) において、補正クロック生成部 1 2 0 は、累算値のうち所定ビットよりも下位側のビット値を用いて補正クロックを生成すればよい。

【 0 1 0 0 】

< M C U 1 0 の構成例について >

続いて、図 3 に示すクロック補正回路 1 0 0 の具体的な構成例について説明する。動作クロック生成回路 1 1 0 に補正值の算出方法は、例えば前述の 3 通り ( ( 1 ) 温度特性テーブル、( 2 ) 温度特性算出式、( 3 ) 周波数誤差検出器 ) の方式がある。各方式を採用したクロック補正回路 1 0 0 の構成例 ( 図 3 に示すクロック補正回路の具体的な構成例 ) について図面を参照して説明する。

【 0 1 0 1 】

< M C U 1 0 の詳細構成例 1 >

図 1 4 は、温度特性 ( ( 1 ) 温度特性テーブル、( 2 ) 温度特性算出式 ) を用いて動作クロック生成回路 1 1 0 に与える補正值を算出するクロック補正回路 1 0 0 及び M C U 1 0 の構成例を示すブロック図である。

【 0 1 0 2 】

M C U 1 0 は、図 3 の構成に加えて高速内蔵発振器 2 2 0 と、温度センサ 3 3 0 と、A / D 変換器 3 4 0 と、を有する。また、クロック補正回路 1 0 0 は、補正值を設定するレジスタを備える構成であってもよい。

【 0 1 0 3 】

温度センサ 3 3 0 は、M C U 1 0 上で使用される外部温度検出のための一般的な温度センサである。温度センサ 3 3 0 は、定期的に温度検出を行い、検出値 ( アナログ値 ) を A / D 変換器 3 4 0 に供給する。A / D ( A n a l o g / D i g i t a l ) 変換器 3 4 0 は、供給されたアナログ値をデジタル値に変換し、当該デジタル値を C P U 3 0 0 に供給する。温度センサ 3 3 0 及び A / D 変換器 3 4 0 は、一般的なマイクロコントローラ上で用いられる任意の構成であればよい。

【 0 1 0 4 】

C P U 3 0 0 は、温度特性 ( ( 1 ) 温度特性テーブル、( 2 ) 温度特性算出式 ) を用いて補正值を算出する。初めに温度特性テーブル ( 1 ) を用いた算出方法を説明する。音叉型水晶振動子の周波数温度特性は、2 5 度を中心とする負の 2 次曲線で示されることが知られている。すなわち、温度が定まると周波数誤差が一意に定まる関係になる。メモリ 3

10

20

30

40

50

10は、温度と基本クロック(a)の周波数誤差とが対応付けられたテーブル情報を保持する。CPU300は、A/D変換器340からバスを介して供給された温度特性と対応する周波数誤差を当該テーブルから読み出す。そして、CPU300は、テーブルから読み出した基本クロック(a)の周波数誤差を上記の[数1]に代入することにより補正値を算出し、算出した補正値を動作クロック生成回路110に供給する。

#### 【0105】

CPU300は、温度特性算出式(2)を用いて補正値を算出する場合、メモリ310から温度特性式を読み出す。当該温度特性式は、前述のように2次曲線である。CPU300は、温度を当該温度特性式に代入することにより基本クロック(a)の周波数誤差を算出する。CPU300は、算出した補正値を動作クロック生成回路110に供給する。

10

#### 【0106】

なお音叉型水晶振動子の周波数温度特性を利用した周波数誤差算出の詳細は、[非特許文献1]、及び[非特許文献2]を参照されたい。また、CPU300が算出した補正値をそのまま動作クロック生成回路110に供給することに限られず、算出した周波数誤差をもとにユーザが動作クロック生成回路110が読み出し可能なレジスタに補正値を設定しても良い。

#### 【0107】

高速内蔵発振器220は、一般的なMCU10内に設けられる発振器である。高速内蔵発振器220は、基本クロック(a)よりも周波数の高い高速クロックを生成する。当該高速クロックは、上述の式(1パルス補正クロックの出力周波数/所望の分解能)を満たす周波数を有する。高速内蔵発振器220は、生成した高速クロックを上述の第2クロック(h)として補正クロック生成回路120に供給する。

20

#### 【0108】

<MCU10の詳細構成例2>

図15は、周波数誤差検出器(3)を用いて動作クロック生成回路110に与える補正値を算出するクロック補正回路100及びMCU10の構成例を示すブロック図である。

#### 【0109】

MCU10は、基準発振器230を備える構成である。基準発振器230は、TCXO等を用いることによって基本クロック(a)よりも周波数の高い基準クロックを生成する。基準クロックの周波数は、例えば14.4MHzや24MHzである。基準発振器230は、生成した基準クロックを第2クロック(h)として周波数誤差検出器170及び補正クロック生成回路120に供給する。なお、基準クロックは、前述の高速クロック(高速内蔵発振器220の出力クロック信号)よりも精度の良いクロック信号を生成することができるが、消費電力が大きい。

30

#### 【0110】

クロック補正回路100は、周波数誤差検出器170を備える。周波数誤差検出器170は、基準クロックを基に基本クロック(a)の周波数誤差を算出する。図16は、周波数誤差検出部170の内部構成を示すブロック図である。周波数誤差検出部170は、ゲート生成カウンタ171と、誤差測定用カウンタ172と、を有する。ゲート生成カウンタ171は、時計発振器210にて生成された基本クロック(a)をカウントし、基本クロック(a)の周波数に応じて設定されたゲート幅Tのゲート信号を生成するものである。以下の説明では、ゲート幅Tは、32768とする。すなわち、基本クロック(a)に誤差がない場合、基本クロック(a)の周波数が32.768kHzであるため、ゲート生成カウンタ171は、1秒のゲート信号を生成する。

40

#### 【0111】

誤差測定用カウンタ172は、基準発振器230が生成した基準クロックをカウントし、ゲートにおいて生成されたゲート信号をイネーブルとする。そして、誤差測定用カウンタ172は、ゲート信号で設定される時間内にカウントしたカウント値と、予め設定される期待値Eとの差を求め、この差を周波数誤差として算出する。なお期待値Eは、基準クロックが14.4MHzである場合には「14400000」となる。誤差測定用カウン

50

タ 1 7 2 は、算出した周波数誤差を CPU 3 0 0 に供給する。CPU 3 0 0 は、上述の [ 数 1 ] に算出した周波数誤差を代入することにより補正値を算出し、当該補正値を動作クロック生成回路 1 1 0 に供給する。

【 0 1 1 2 】

< MCU 1 0 の詳細構成例 3 >

MCU 1 0 は、クロックリカバリ回路を備えても良い。図 1 7 は、クロックリカバリ回路を有する MCU 1 0 の構成を示すブロック図である。MCU 1 0 は、クロックリカバリ回路 2 4 0 及びセクタ 2 5 0 を備える。

【 0 1 1 3 】

セクタ 2 5 0 は、消費電力や外部端子 1 6 0 から出力されるクロック信号の用途に応じて、基準クロック及び高速クロックの一方を第 2 クロック ( h ) として補正クロック生成回路 1 2 0 に供給する。

【 0 1 1 4 】

クロックリカバリ回路 2 4 0 には、高速内蔵発振器 2 2 0 が生成した高速クロック、及び補正クロック生成回路 1 2 0 が生成した 1 パルス補正クロック ( k ) が供給される。クロックリカバリ回路 2 4 0 は、1 パルス補正クロック ( k ) を用いて高速クロックの周波数を測定し、当該測定結果を用いて高速内蔵発振器 2 2 0 のトリミング ( 容量調整 ) を行う。図 1 8 にクロックリカバリ回路 2 4 0 の詳細構成を示す。

【 0 1 1 5 】

図 1 8 にクロックリカバリ回路 2 4 0 の詳細構成を示す。クロックリカバリ回路 2 4 0 は、カウンタ 2 4 1 と、比較回路 2 4 2 と、を有する。なお、図示しないものの後述の期待値を保持するレジスタも備える。

【 0 1 1 6 】

カウンタ 2 4 1 は、1 パルス補正クロック ( k ) が所定回数入力される間に、高速クロックの入力回数をカウントする。カウンタ 2 4 1 は、当該カウント数を比較回路 2 4 2 に供給する。

【 0 1 1 7 】

比較回路 2 4 2 は、図示しないレジスタ ( または任意の記憶装置 ) から高速クロックの期待値、すなわち要求周波数を読み出す。比較回路 2 4 2 は、読み出した期待値と、カウント数と、を比較する。ここで両者が一致する場合、比較回路 2 4 2 は高速クロックが所望の周波数で動作していると判定する。両者にずれがある場合、比較回路 2 4 2 は高速クロックと所望の周波数との間にずれがあるものと判定する。比較回路 2 4 2 は、高速内蔵発振器 2 2 0 の周波数がプラス方向かマイナス方向のどちらにずれているかを比較する。そして比較回路 2 4 2 は、ずれの方向により補正容量値を  $\pm 1$  する。この補正容量値の調整動作を読み出した期待値とカウント数が一致するまで繰り返し、適切な補正容量値を算出する。そして、比較回路 2 4 2 は、当該容量値を高速内蔵発振器 2 2 0 に供給する。

【 0 1 1 8 】

高速内蔵発振器 2 2 0 は、比較回路 2 4 2 から通知された容量値を用いて高速内蔵発振器 2 2 0 内の可変容量等に反映することにより、周波数誤差の調整を行う。

【 0 1 1 9 】

ここで、カウンタ 2 4 1 が 1 パルス補正クロック ( k ) を用いる理由を以下に説明する。仮にカウンタ 2 4 1 が動作クロック ( f ) を使用する場合、最低でも動作クロック ( f ) の補正が行われるまでの時間だけ高速クロックのカウント処理を行う必要が生じるため、カウンタ 2 4 1 のカウント時間が長くなってしまふ。一方、カウンタ 2 4 1 が 1 パルス補正クロック ( k ) を使用する場合、1 パルス補正クロック ( k ) は各パルスの周波数調整が行われているため、カウント時間を短くすることができる。カウント時間を短くすることにより消費電流を少なくすることができる。

【 0 1 2 0 】

さらに、1 パルス補正クロック ( k ) を使用した場合、カウンタ 2 4 1 の最大カウント数を削減することができる。これにより、カウンタ 2 4 1 の回路規模を小さくすることが

10

20

30

40

50

できる。よって、消費電流及び回路規模の観点からクロックリカバリ回路 240 に供給されるクロックは、各パルスの周波数誤差が逐次補正された 1 パルス補正クロック (k) であることが望ましい。

#### 【0121】

<実施の形態 2 >

実施の形態 2 にかかるクロック補正回路 100 は、動作クロック生成回路 110 内の消費電流を実施の形態 1 の構成と比べて削減出来ることを特徴とする。以下、実施の形態 2 にかかるクロック補正回路 100 について実施の形態 1 と異なる点を説明する。

#### 【0122】

実施の形態 2 にかかるクロック補正回路 100 は、実施の形態 1 と動作クロック生成回路 110 の構成のみが異なるため、動作クロック生成回路 110 についてのみ説明を行う。図 19 は、本実施の形態にかかる動作クロック生成回路 110 の構成を示すブロック図である。

#### 【0123】

本実施の形態にかかる動作クロック生成回路 110 は、図 4 に示す構成に加えて FF 動作制御回路 116 を備える。FF 動作制御回路 116 には、補正間隔信号 (b) が供給される。なお以下の説明においてフリップフロップ 114 の構成は、図 5 に示す構成、すなわち 21 ビットのレジスタを持つ構成とする。また補正間隔信号 (b) は、32768 クロックのうち 1 クロックのみがハイレベルとなるワンショットパルスである。

#### 【0124】

FF 動作制御回路 116 は、補正間隔信号 (b) に応じてフリップフロップ 114 の動作を制御する。詳細には FF 動作制御回路 116 は、補正間隔信号 (b) がロウレベルの場合にレジスタの上位 16 ビット目がカウントアップするように制御する。レジスタの上位 16 ビット目の値は、上述の固定値 B に相当する値である。この際に、FF 動作制御回路 116 は、フリップフロップ 114 が加算器 113 からの値の取り込みを行わないように制御する。また、FF 動作制御回路 116 は、フリップフロップ 114 から加算器 113 への値の入力も行わないように制御する。一方、FF 動作制御回路 116 は、補正間隔信号 (b) がハイレベルの場合にのみ加算器 113 からの出力値を取り込み、レジスタ値 (d) に当該出力値を反映する。

#### 【0125】

すなわち、FF 動作制御回路 116 は、32768 クロックのうち 1 クロックの期間だけ加算器 113 が加算処理を行い、その他の期間ではフリップフロップ 114 内のレジスタが単なるアップカウンタとして動作するように制御する。

#### 【0126】

上述の構成をとることにより加算演算の回数が大幅に減少し、フリップフロップ 114 はほとんどの期間を単なるカウンタとして動作する。カウント処理は単純処理であるため、実施の形態 1 と比べて消費電流を大幅に削減することができる。近年のクロック補正回路 100 (RTC) は、スタンバイモード設定下において使用されることが非常に多い。スタンバイモード時では超消費電流化が求められている。本実施の形態にかかる動作クロック生成回路 110 の構成は加算演算を極力行わないため、スタンバイモード時における消費電流削減の要求に応えることができる。

#### 【0127】

<その他の実施形態 >

なお、特許文献 1 に記載の RTC 回路も動作クロックに相当するクロック信号を生成できる構成である。実施の形態 1 にかかるクロック補正回路 100 の構成回路の一部を特許文献 1 に記載の各回路に置き換えることも可能である。当該構成について以下に説明する。

#### 【0128】

図 20 は、クロック補正回路 100 に特許文献 1 に記載の RTC 回路を構成する各回路を適応した構成を示すブロック図である。クロック補正回路 100 は、動作クロック生成

10

20

30

40

50

回路 110 に代わり、分周器 180 と、補正機能付き発振器 190 とを備える。なお、図 3 に示す構成要素と同一の構成要素は、同一符号を付して詳細な説明を省略する。また実施の形態 1 と同様に 1 パルス補正クロック (k) が 1 ppm 以下の補正精度を実現する構成について説明する。

【0129】

分周器 180 は、基本クロック (a) を分周した分周信号 (l) を生成する。分周器 180 は、一般的に知られた分周器の構成であればよく、たとえば複数のフリップフロップを用いた非同期カウンタにより構成すれば良い。以下の説明では、分周器 180 は、 $2^{14}$  分周回路であるものとする。すなわち、分周器 180 は、基本クロック (a) から 2 Hz の分周信号 (l) を生成する。

10

【0130】

補正機能付き発振器 190 は、動作クロック (f') を生成する。補正機能付き発振器 190 の構成例を図 21 に示す。補正機能付き発振器 190 は、加算器 191 と、フリップフロップ (FF) 192 と、を備える。

【0131】

加算器 191 は、周波数誤差検出器 170 が算出した周波数誤差と、固定値 A と、フリップフロップ 192 の出力値と、を加算する。固定値 A は、"2000H" とする。周波数誤差の算出方法は、図 6 に示す算出方法と略同一であり、たとえば 0.95 ppm の場合には 1 H となる。

【0132】

フリップフロップ 192 は、内部に n ビット (以下の説明では  $n = 18$ ) のレジスタ (レジスタ値 (d')) を有する。フリップフロップ 192 は、分周信号 (l) をクロック端子の入力として加算器 191 の出力値を n ビットのレジスタに取り込む。さらにフリップフロップ 192 は、レジスタ値 (d') の MSB (Most Significant Bit) が変化するタイミングで値が切り替わる動作クロック (f') を生成する。さらにフリップフロップ 192 は、レジスタ値 (d') の下位 m ( $m = 17$ ) ビット値 (g') を補正クロック生成回路 120 内のカウンタ初期値算出回路 121 に供給する。

20

【0133】

図 22 は、フリップフロップ 192 内のレジスタ値 (d') を示す図である。当該レジスタ値 (d') は、図 5 に示すレジスタ値 (d) と略対応するが、正負を示すビットを持たない点と下位 m ビット値 (g') のビット幅が大きい点が異なる。

30

【0134】

以上のように特許文献 1 と同様の構成であっても、補正機能付き発振器 190 は、周波数誤差を累積加算して動作クロック (f') を生成する。補正クロック生成回路 120 は、この動作クロック (f') と下位 m ビット値 (g') を用いることにより 1 パルス補正クロック (k) を生成することができる。

【0135】

次に実施の形態 1 にかかるクロック補正回路 100 の構成 (図 3 等) と図 20 に示すクロック補正回路 100 の構成の比較を行う。実施の形態 1 にかかる構成では、 $32.768 \text{ kHz}$  の基本クロック (a) から動作クロック (f) を生成するため、動作クロック (f) の最大誤差を  $30.5 \text{ ppm}$  ( $1 \text{ Hz} / 32.768 \text{ kHz}$ ) とすることができる。これにより、 $1 \text{ ppm}$  の補正精度を実現するためには、下位 m ビット値 (g) を 5 ビット値とすることができる。一方、図 20 の構成では分周信号 2 Hz から動作クロック (f') を生成するため、動作クロック (f') の最大誤差は動作クロック (f) の最大誤差 ( $30.5 \text{ ppm}$ ) よりも大きくなる。これにより、下位 m ビット値 (g') が実施の形態 1 よりも大きなビット幅の値 (17 ビット値) となる。

40

【0136】

実施の形態 1 では下位 m ビット値 (g) のビット幅を小さくできるため、第 2 クロック (h) のカウント時間を短くすることができる。これにより、第 2 クロック (h) に多少の誤差がある場合であっても、1 パルス補正クロック (k) の要求精度を満たすことがで

50

きる。例えば、上述の高速内蔵発振器 2 2 0 の出力する高速クロック ( 第 2 クロック ( h ) ) に 5 % 程度の精度誤差があった場合であっても、1 パルス補正クロック ( k ) は ± 3 p p m 程度の精度を満たすことができる。

【 0 1 3 7 】

さらに、実施の形態 1 では下位 m ビット値 ( g ) のビット幅を小さくできるため、カウンタ初期値算出回路 1 2 1 ( いわゆるデコーダ ) の回路規模を小さくすることができる。

【 0 1 3 8 】

さらにまた、実施の形態 1 では補正值及びレジスタ値 ( d ) が正負を示すことができる補数形式である。そのため実施の形態 1 に記載のクロック補正回路 1 0 0 は、図 2 0 に示す構成と異なり、基本クロック ( a ) が正の周波数誤差 ( p p m ) を持つ場合にも負の周波数誤差 ( p p m ) を持つ場合にも対応することができる。

10

【 0 1 3 9 】

以上、本発明を上記実施形態に即して説明したが、上記実施形態の構成にのみ限定されるものではなく、本願特許請求の範囲の請求項の発明の範囲内で当業者であればなし得る各種変形、修正、組み合わせを含むことは勿論である。

【 0 1 4 0 】

例えば、クロック補正回路 1 0 0 が電力メータ 1 内部で用いられる例について説明したが、必ずしもこれに限られない。上述のクロック補正回路 1 0 0 は、例えば任意の車載システム、携帯電話やスマートフォンをはじめとする携帯端末、パーソナルコンピュータ等に内蔵されても良い。

20

【 0 1 4 1 】

上記実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

【 0 1 4 2 】

( 付記 1 )

クロック信号を出力可能な外部端子を有するマイクロコントローラであって、出力するクロック種別を記憶する出力選択レジスタと、第 1 クロックに基づいて第 1 間隔で周波数誤差が補正された動作クロック、前記第 1 クロックに基づいて第 1 間隔よりも短い第 2 間隔で周波数誤差が補正された補正クロック、を含むクロック信号群から前記出力選択レジスタの記憶値に応じてクロック信号を選択して前記外部端子から出力するセレクタと、を備えるマイクロコントローラ。

30

【 0 1 4 3 】

( 付記 2 )

前記補正クロックは、各パルスのパルス幅が補正された 1 パルス補正クロック信号である、付記 1 に記載のマイクロコントローラ。

【 0 1 4 4 】

( 付記 3 )

測定用 L S I が測定した電力情報と、消費電力量と各時刻の課金額の関係を示すテーブル情報と、前記動作クロックに基づいて計時された時刻情報と、に基づいて電力課金額を算出する演算部、を更に備える付記 1 に記載のマイクロコントローラ。

40

【 0 1 4 5 】

( 付記 4 )

付記 3 に記載のマイクロコントローラと、前記電力課金額を表示するパネル装置と、を備える電力メータ装置。

【 符号の説明 】

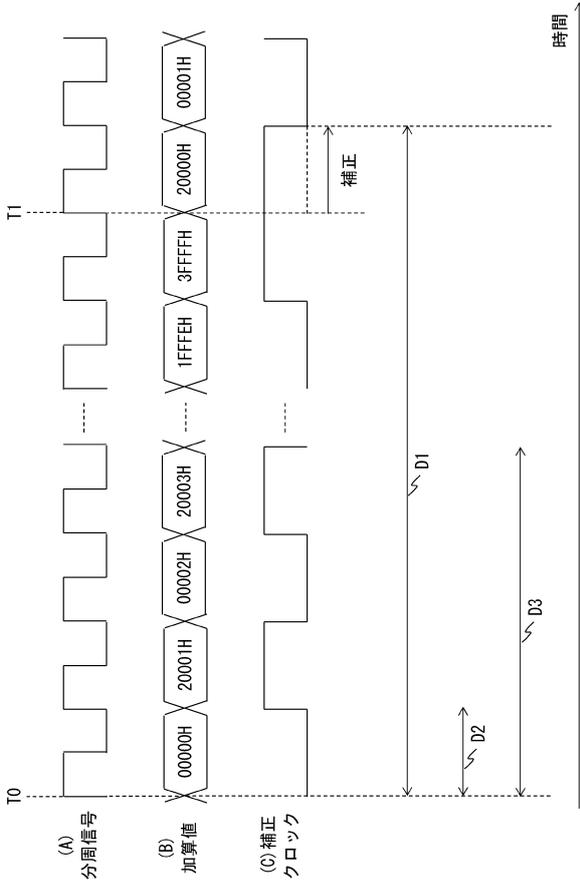
【 0 1 4 6 】

- 1 電力メータ ( 電子機器 )
- 1 0 M C U
- 2 0 測定対象ユニット
- 3 0 測定用 L S I

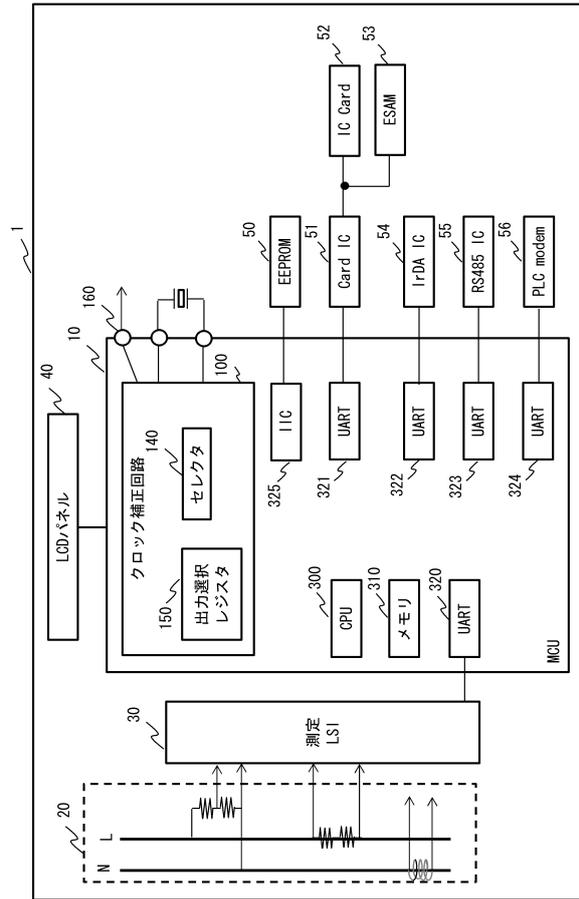
50

4 0	L C D パネル	
5 0	E E P R O M	
5 1	C a r d I C	
5 2	I C C a r d	
5 3	E S A M	
5 4	I r D A I C	
5 5	R S 4 8 5 I C	
5 6	P L C m o d e m	
1 0 0	ク ロ ッ ク 補 正 回 路	
1 1 0	動 作 ク ロ ッ ク 生 成 回 路	10
1 1 1	補 正 間 隔 生 成 回 路	
1 1 2	セ レ ク タ	
1 1 3	加 算 器	
1 1 4	F F ( フ リ ッ プ フ ロ ッ プ )	
1 1 5	動 作 ク ロ ッ ク 補 正 回 路	
1 1 6	F F 動 作 制 御 回 路	
1 2 0	補 正 ク ロ ッ ク 生 成 回 路	
1 2 1	カ ウ ン タ 初 期 値 算 出 回 路	
1 2 2	カ ウ ン タ	
1 2 3	ア ン ダ ー フ ロ ー 検 出 回 路	20
1 2 4	ト グ ル 回 路	
1 3 0	時 計 カ ウ ン タ	
1 4 0	セ レ ク タ	
1 5 0	出 力 選 択 レ ジ ス タ	
1 6 0	外 部 端 子	
1 7 0	周 波 数 誤 差 検 出 器	
1 7 1	ゲ ー ト 生 成 カ ウ ン タ	
1 7 2	誤 差 測 定 カ ウ ン タ	
1 8 0	分 周 器	
1 9 0	補 正 機 能 付 き 発 振 器	30
1 9 1	加 算 器	
1 9 2	フ リ ッ プ フ ロ ッ プ	
2 1 0	時 計 発 振 器	
2 2 0	高 速 内 蔵 発 振 器	
2 3 0	基 準 発 振 器	
2 4 0	ク ロ ッ ク リ カ バ リ 回 路	
2 4 1	カ ウ ン タ	
2 4 2	比 較 回 路	
2 5 0	セ レ ク タ	
3 0 0	C P U	40
3 1 0	メ モ リ	
3 2 0 ~ 3 2 4	U A R T	
3 2 5	I I C	
3 3 0	温 度 セ ン サ	
3 4 0	A / D 変 換 器	

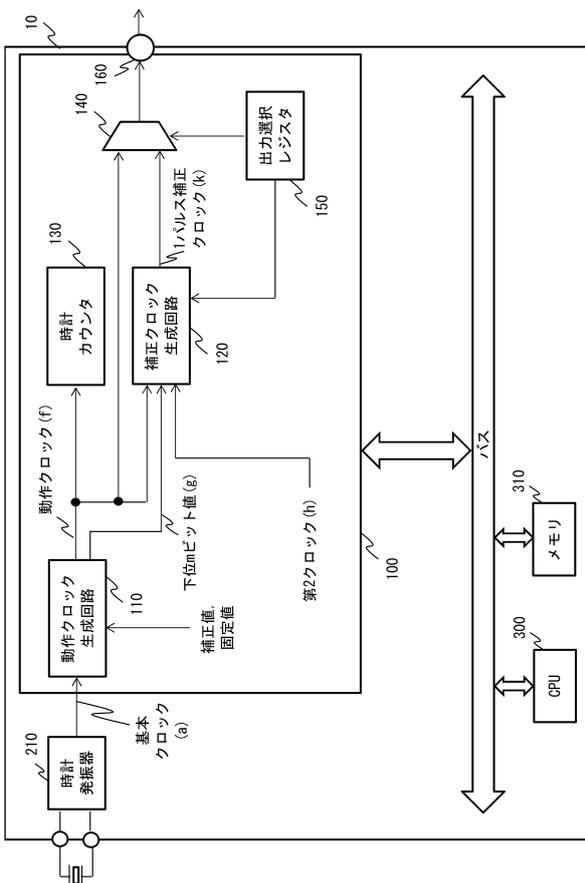
【図1】



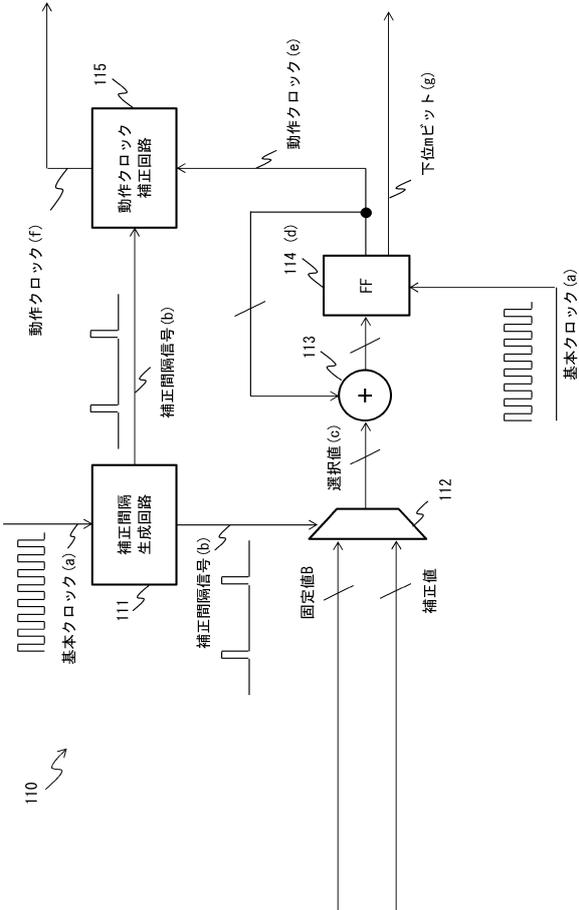
【図2】



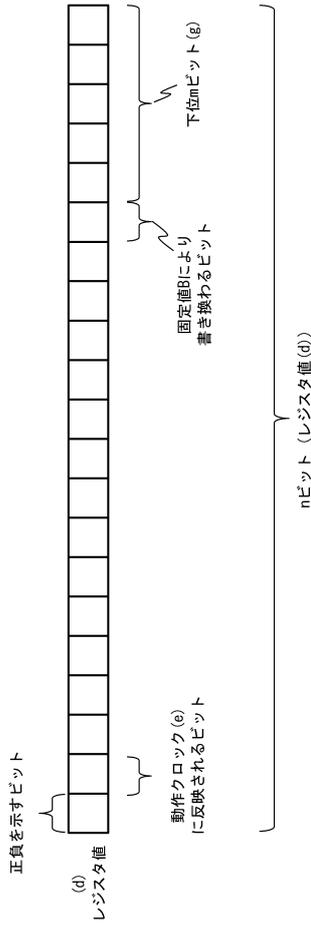
【図3】



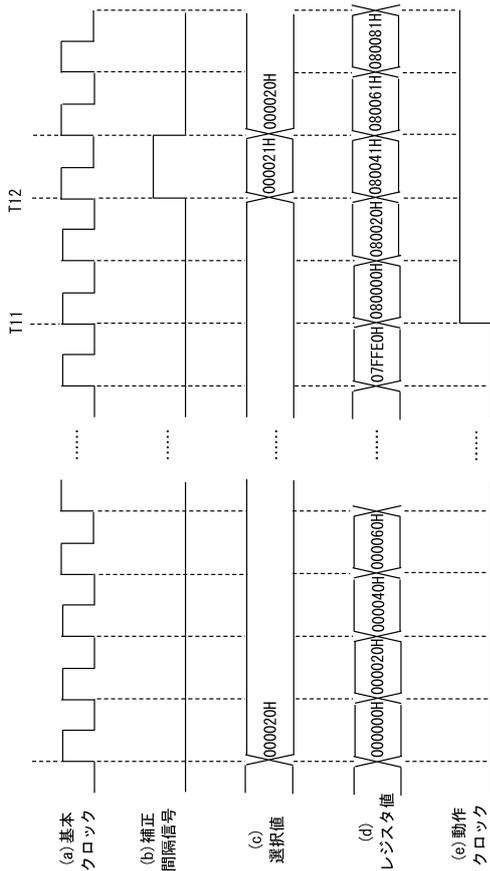
【図4】



【図5】



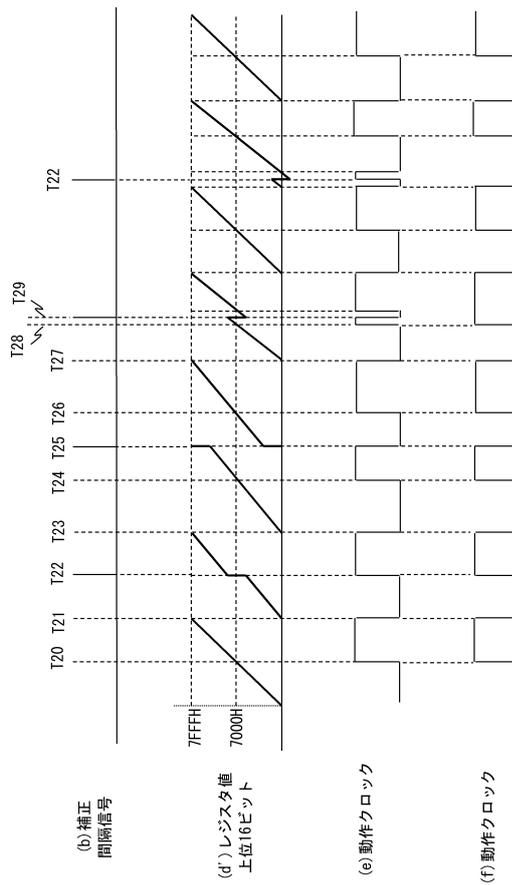
【図7】



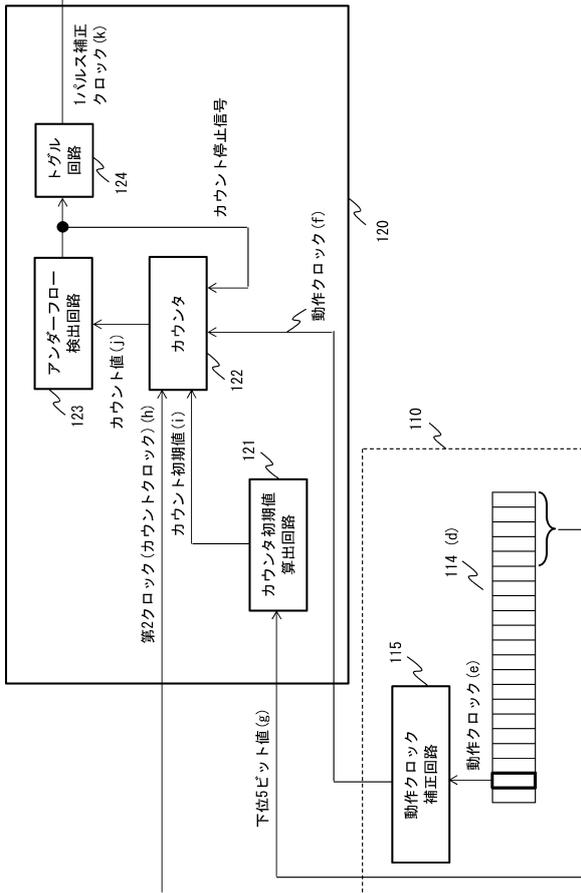
【図6】

周波数誤差	FF114のレジスタ値(d)に換算した値	補正值(負数は2の補数形式)
...	...	...
-100ppm	1FFF98 H	1FFFA8 H
...	...	...
-31.4ppm	1FFFD F H	1FFFF H
-30.5ppm	1FFFE0 H	000000 H
-29.6ppm	1FFFE1 H	000001 H
...	...	...
-1.91ppm	1FFFE E H	00001 E H
-0.95ppm	1FFFF F H	00001 F H
0ppm	000000 H	000020 H
0.95ppm	000001 H	000021 H
1.91ppm	000002 H	000022 H
...	...	...
100ppm	000068 H	000088 H
...	...	...

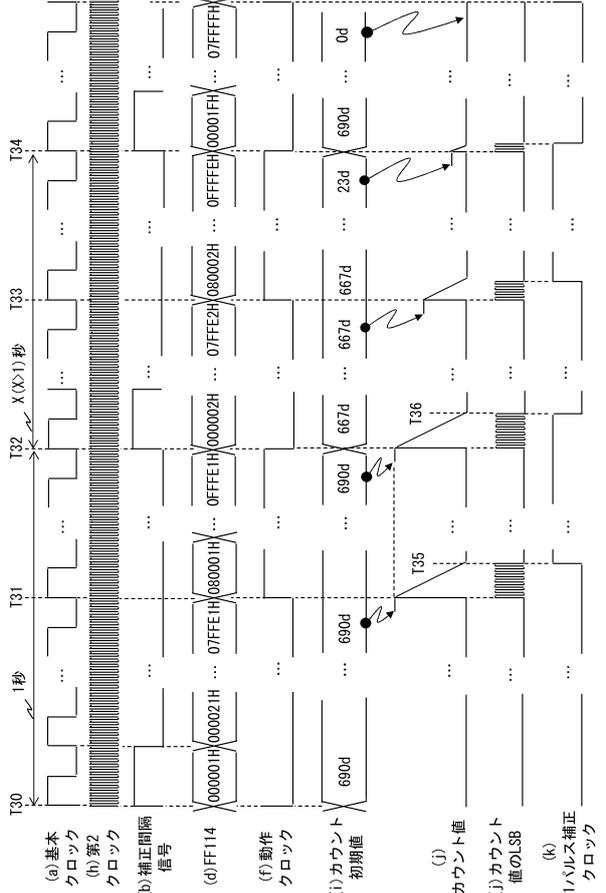
【図8】



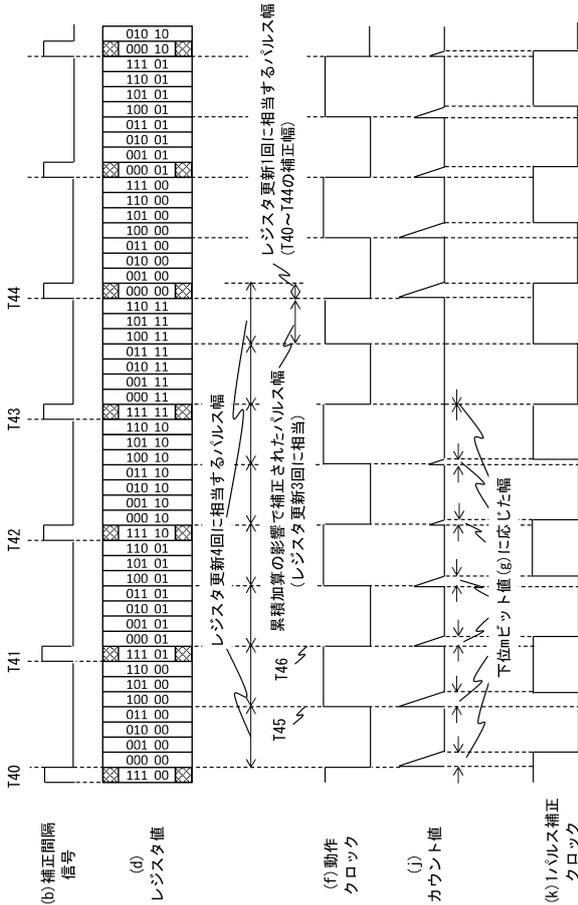
【図9】



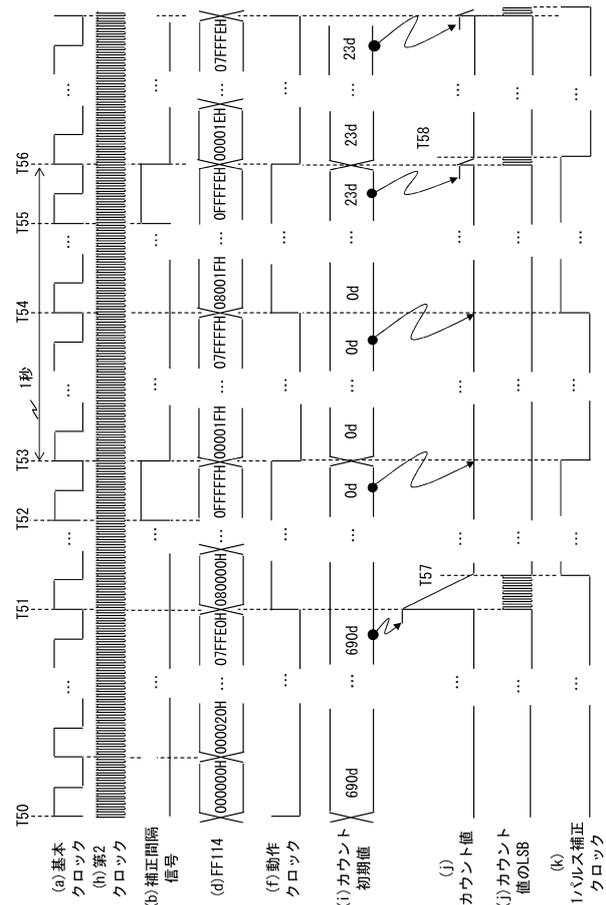
【図10】



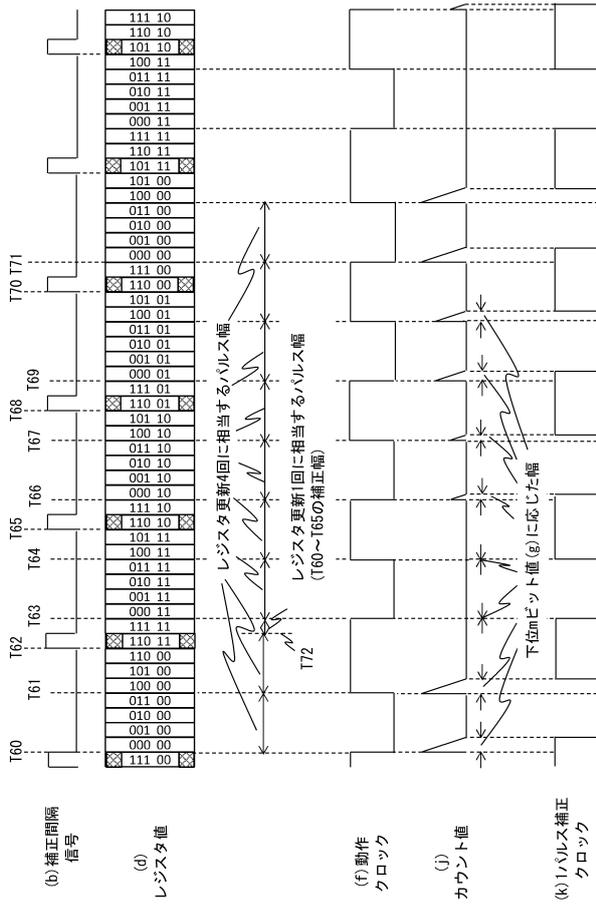
【図11】



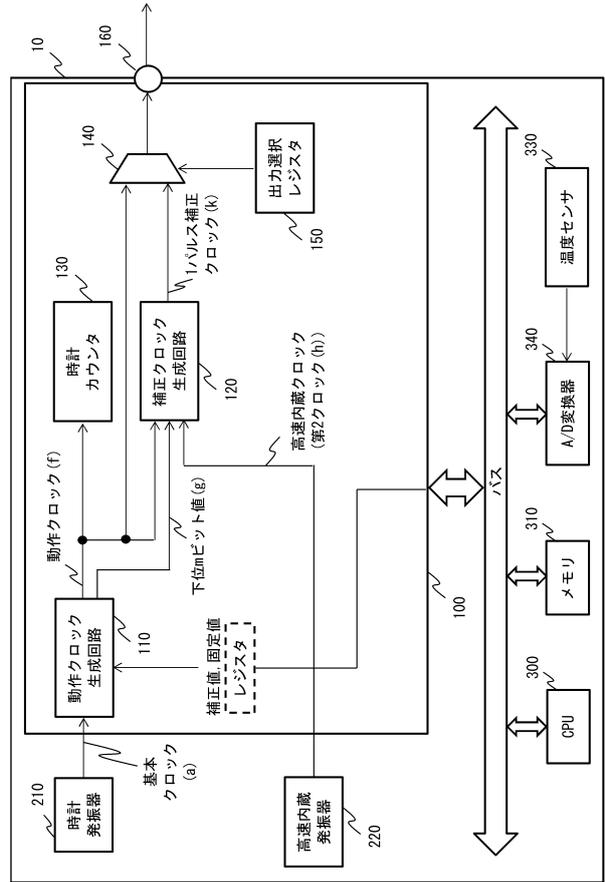
【図12】



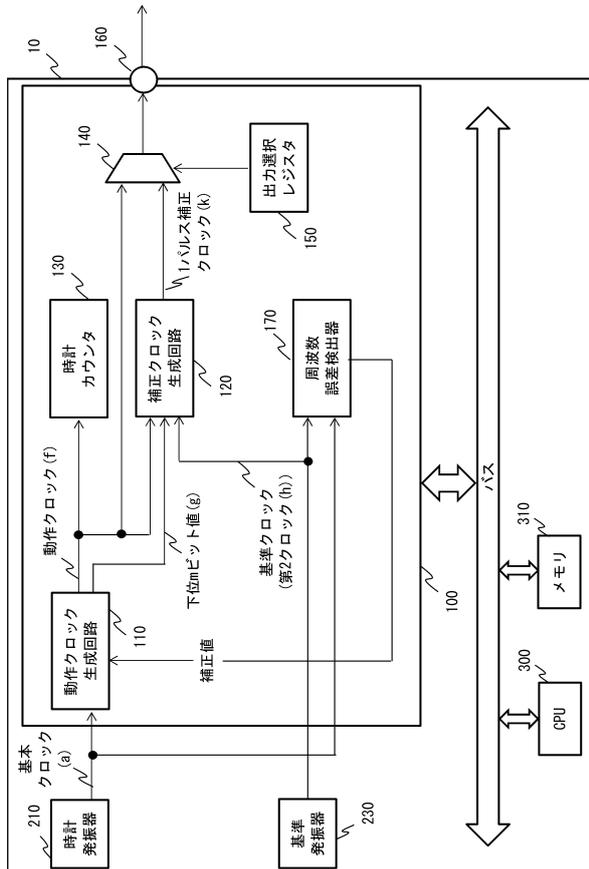
【図13】



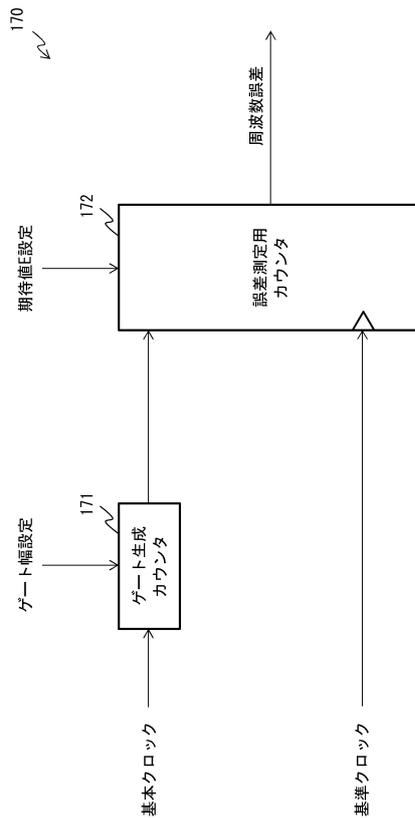
【図14】



【図15】

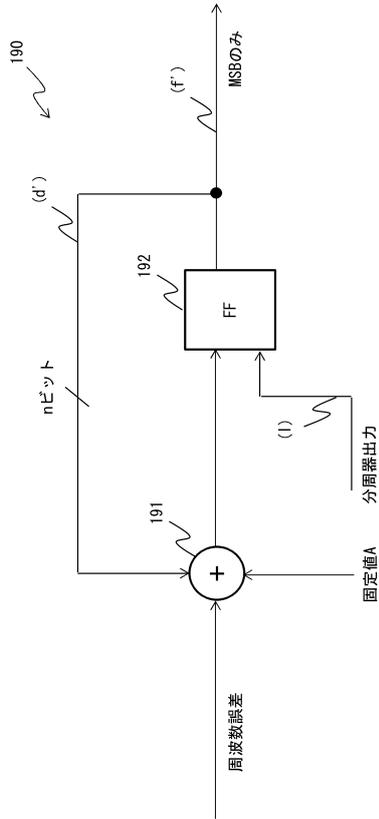


【図16】

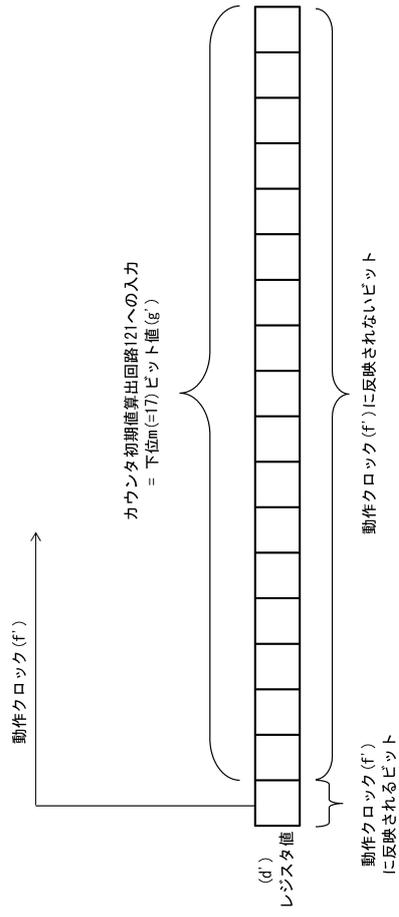




【図 2 1】



【図 2 2】



---

フロントページの続き

(56)参考文献 特開平08-278828(JP,A)  
特開平07-084670(JP,A)  
特開2000-341092(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F1/04-1/14  
H03K5/00-5/02