

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 925 234**

51 Int. Cl.:

G06K 7/10 (2006.01)

G06K 19/07 (2006.01)

H04B 1/59 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.04.2018 PCT/JP2018/015470**

87 Fecha y número de publicación internacional: **01.11.2018 WO18198813**

96 Fecha de presentación y número de la solicitud europea: **13.04.2018 E 18791684 (6)**

97 Fecha y número de publicación de la concesión europea: **20.07.2022 EP 3617931**

54 Título: **Dispositivo y método de comunicación**

30 Prioridad:

28.04.2017 JP 2017090036

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

14.10.2022

73 Titular/es:

**SONY GROUP CORPORATION (100.0%)
1-7-1 Konan Minato-ku
Tokyo 108-0075, JP**

72 Inventor/es:

**TERUYAMA KATSUYUKI;
TAKAYAMA YOSHIHISA y
KITA MASATO**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 925 234 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo y método de comunicación

5 CAMPO TÉCNICO

La presente invención se refiere a un dispositivo y método de comunicación, y en particular a un dispositivo y método de comunicación capaz de contribuir a una reducción en el tiempo total de transacción de RF.

10 ANTECEDENTES

Los sistemas de comunicaciones inalámbricas de corto alcance que realizan comunicaciones inalámbricas sin contacto en distancias cortas utilizando tarjetas de circuitos integrados (IC) han sido ampliamente utilizados. Por ejemplo, es bien conocido el uso de sistemas de comunicación inalámbricos tales como billetes electrónicos o dinero electrónico. Además, en los últimos años, los teléfonos móviles que tienen funciones de billetes electrónicos o de dinero electrónico a través de comunicación inalámbrica sin contacto se han generalizado (por ejemplo, véase el documento de patente 1).

Los sistemas de comunicaciones inalámbricas de corto alcance se han generalizado de forma rápida en un ámbito global y se han convertido en normas internacionales. Ejemplos de normas internacionales incluyen ISO/IEC 14443, que es una norma de un sistema de tarjeta IC de tipo de proximidad e ISO/IEC 18092, que es una norma de interfaz y de protocolo de comunicación de campo cercano (NFCIP)-1.

En la comunicación inalámbrica de corto alcance, según ISO/IEC 18092, existe un modo de comunicación activo y un modo de comunicación pasivo. El modo de comunicación activo es un modo de comunicación en donde una pluralidad de dispositivos de comunicación, que transmiten y reciben datos, transmiten datos emitiendo ondas electromagnéticas y modulando dichas las ondas electromagnéticas. En el modo de comunicación pasivo, un dispositivo de comunicación (un iniciador) de una pluralidad de dispositivos de comunicación transmite datos emitiendo ondas electromagnéticas y modulando dichas las ondas electromagnéticas. Los otros dispositivos de comunicación (objetivos) de la pluralidad de dispositivos de comunicación transmiten datos realizando una modulación de carga de las ondas electromagnéticas emitidas por el iniciador.

En el modo de comunicación pasivo de ISO/IEC 18092 (en lo sucesivo denominado Tipo F), la codificación de datos por una codificación Manchester se realiza en la transmisión de datos entre un dispositivo de lectura-escritura y una tarjeta IC. Además, en el Tipo F se adoptan como velocidades de comunicación de datos 212 kbps y 424 kbps. El sistema FeliCa (marca registrada) de Sony Corporation, que es el solicitante actual, es equivalente al Tipo F.

Además, incluso en un sistema de tarjeta IC de ISO/IEC 14443, por ejemplo, existen varios sistemas de comunicación denominados Tipo A y Tipo B.

Se adopta el tipo A como el tipo MIFARE (marca registrada) de Philips. En el Tipo A, la codificación de datos por parte de Miller se realiza en la transmisión de datos desde un dispositivo de lectura-escritura a una tarjeta IC y la codificación de datos por parte de una codificación Manchester se realiza en la transmisión de datos desde la tarjeta IC al dispositivo de lectura-escritura. Además, en el Tipo A, se adoptan de 106 a 847 kilobits por segundo (kbps) para una capa de comunicación de datos.

En el Tipo B, la codificación de datos por NRZ se realiza en la transmisión de datos desde un dispositivo de lectura-escritura a una tarjeta IC y la codificación de datos por NRZ-L se realiza en la transmisión de datos desde la tarjeta IC al dispositivo de lectura-escritura. Además, en el Tipo B se adoptan 106 kbps en una capa de comunicación de datos.

Un dispositivo de comunicación que realiza una comunicación inalámbrica de corto alcance según ISO/IEC 18092 o ISO/IEC 14443 se denomina dispositivo NFC a continuación. Un dispositivo NFC se separa funcionalmente en un controlador NFC (NFCC) y en un dispositivo host (DH) y se define un protocolo o una orden intercambiada entre el NFCC y el DH (por ejemplo, consultar el documento de patente 1). El NFCC transmite y recibe principalmente datos de RF hacia y desde un objetivo remoto (un PICC (tarjeta IC) de ISO/IEC 14443 o un objetivo de ISO/IEC 18092) a través de una antena y el DH realiza principalmente la ejecución de una aplicación y el control el dispositivo NFC completo. El documento de patente 2 describe un establecimiento de comunicación entre dispositivos inalámbricos. El documento de patente 3 describe un sistema de comunicación, un método de comunicación y un equipo electrónico portátil para acortar el tiempo de comunicación simplificando un procedimiento de comunicación en comparación con un método convencional para evitar colisiones.

LISTA DE CITAS DE REFERENCIA

DOCUMENTO DE PATENTE

65

Documento de patente 1: Solicitud de patente japonesa abierta al público nº 2009-48415

Documento de patente 2: US 2008/212558 A1

Documento de patente 3: JP 2012/008888 A1

5

SUMARIO DE LA INVENCION

PROBLEMAS A RESOLVER CON LA INVENCION

10 De manera incidental, en el modo de comunicacion pasivo, un dispositivo inalámbrico que actúa como maestro realiza un "procedimiento de prevencion de colisiones" para seleccionar un dispositivo inalámbrico que actúa como esclavo. En particular, en el tipo A de ISO/IEC 14443, sin embargo, lleva algún tiempo entrar en un estado en donde se pueda intercambiar la informacion que se va a utilizar en una capa de aplicacion.

15 La presente descripcion está diseñada en vista de dichas circunstancias para poder contribuir a una reduccion en el tiempo total de una transaccion de RF.

SOLUCIONES A PROBLEMAS

20 Las formas de realizacion particulares y preferidas de la invencion se exponen en las reivindicaciones independientes y dependientes.

25 Un dispositivo de comunicacion, según un primer ejemplo de la presente tecnologia, incluye: una unidad de seleccion de aplicacion configurada para seleccionar una aplicacion alojada por un dispositivo objetivo de comunicacion; y una unidad de adquisicion de informacion de identificacion configurada para adquirir informacion de identificacion del dispositivo objetivo de comunicacion después de que la unidad de seleccion de aplicacion seleccione la aplicacion.

30 La unidad de seleccion de aplicacion selecciona la aplicacion alojada por el dispositivo objetivo de comunicacion al incluir informacion de identificacion de aplicacion en una orden que se transmitirá en primer lugar en un proceso de anticollision, y la unidad de adquisicion de informacion de identificacion adquiere la informacion de identificacion del dispositivo objetivo de comunicacion realizando el proceso de anticollision.

La informacion de identificacion de aplicacion tiene 2 bytes.

35 El proceso de anticollision se realiza utilizando un intervalo de tiempo.

Un valor SEL de una primera orden en el proceso de anticollision se establece en un valor predeterminado.

40 También se puede incluir una unidad de deteccion de dispositivos, estando configurada la unidad de deteccion de dispositivos para designar la informacion de identificacion de aplicacion y detectar si existe, o no, un dispositivo objetivo de comunicacion al comienzo de un proceso de inicializacion antes del proceso de anticollision de designacion de un intervalo de tiempo.

45 También se puede incluir una unidad de deteccion de dispositivos, estando configurada la unidad de deteccion de dispositivos para designar la informacion de identificacion de aplicacion y detectar si existe, o no, un dispositivo objetivo de comunicacion al comienzo de un proceso de inicializacion antes del proceso de anticollision en el que se utiliza la colision de bits.

50 La unidad de seleccion de aplicacion puede seleccionar la aplicacion alojada por el dispositivo objetivo de comunicacion utilizando una orden de sondeo extendido en donde se utiliza una trama estándar.

La orden de sondeo extendido puede almacenar la informacion de identificacion de aplicacion y un tramo de la informacion de identificacion de aplicacion.

55 La orden de sondeo extendido puede incluir una orden clasificada para cada tipo de informacion de identificacion de aplicacion.

60 Una orden de respuesta enviada por el dispositivo objetivo de comunicacion que recibe la orden de sondeo extendido puede incluir al menos una de entre la informacion de identificacion o la informacion de protocolo del dispositivo objetivo de comunicacion.

La unidad de seleccion de aplicacion puede introducir intervalos de tiempo y realizar un proceso de anticollision de designacion de la informacion de identificacion de aplicacion y del número de intervalos como un proceso de inicializacion de la comunicacion.

65

La unidad de selección de aplicación realiza un proceso de anticolisión de designación de la información de identificación de aplicación y del número de intervalos como un proceso de inicialización de la comunicación, y la información de identificación de aplicación se puede designar adicionalmente en 2 bytes.

5 La unidad de selección de aplicación puede detectar si existe, o no, un dispositivo objetivo de comunicación a través de un proceso de sondeo al comienzo de un proceso de inicialización de comunicación y realiza un proceso de anticolisión de designación de información de identificación de aplicación y del número de intervalos como el proceso de inicialización de comunicación.

10 El dispositivo objetivo de comunicación es un dispositivo de comunicación de campo cercano (NFC).

Un método de comunicación según el primer ejemplo de la presente tecnología incluye: mediante un dispositivo de comunicación, seleccionar una aplicación alojada por un dispositivo objetivo de comunicación; y adquirir información de identificación del dispositivo objetivo de comunicación después de seleccionar la aplicación.

15 En el primer ejemplo de la presente tecnología, se selecciona una aplicación alojada por un dispositivo objetivo de comunicación. A continuación, la información de identificación del dispositivo objetivo de comunicación se adquiere después de seleccionar la aplicación.

20 EFECTOS DE LA INVENCION

De conformidad con la presente descripción, se puede realizar la comunicación. En particular, es posible contribuir a una reducción en el tiempo total de una transacción de RF.

25 BREVE DESCRIPCION DE LOS DIBUJOS

La Figura 1 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un sistema de comunicación según la presente tecnología.

30 La Figura 2 es un diagrama explicativo que ilustra una visión general de un proceso de inicialización.

La Figura 3 es un diagrama explicativo que ilustra una visión general de la presente tecnología.

La Figura 4 es un diagrama explicativo que ilustra una visión general de la presente tecnología.

35 La Figura 5 es un diagrama de flujo explicativo que ilustra un proceso detallado desde la inicialización del Tipo A hasta una transacción de aplicación.

40 La Figura 6 es un diagrama que ilustra ejemplos de REQA, ATQA y una relación entre tamaños de UID y niveles de cascada.

La Figura 7 es un diagrama de flujo explicativo que ilustra un proceso de anticolisión de la etapa S14 de la Figura 5.

La Figura 8 es un diagrama que ilustra ejemplos de una primera orden de anticolisión y datos de anticolisión.

45 La Figura 9 es un diagrama que ilustra un ejemplo de SAK.

La Figura 10 es un diagrama que ilustra un formato de ejemplo de una orden SELECT para realizar la selección de aplicaciones.

50 La Figura 11 es un diagrama de flujo explicativo que ilustra un proceso de anticolisión según una primera forma de realización (A1) de la presente tecnología.

La Figura 12 es un diagrama que ilustra un ejemplo de una primera orden de anticolisión y datos de anticolisión.

55 La Figura 13 es un diagrama que ilustra un ejemplo de una primera orden de anticolisión según una segunda forma de realización (A2) de la presente tecnología.

60 La Figura 14 es un diagrama de bloques que ilustra una configuración principal, a modo de ejemplo, de un dispositivo NFC.

La Figura 15 es un diagrama que ilustra un ejemplo de un campo de valor de enrutamiento de un código de sistema.

65 La Figura 16 es un diagrama que ilustra un caso en donde la información de identificación de aplicación se transmite según una tercera forma de realización (A11) de la presente tecnología.

- La Figura 17 es un diagrama que ilustra otro caso en donde se transmite la información de identificación de aplicación.
- La Figura 18 es un diagrama que ilustra una configuración, a modo de ejemplo, de cada nivel de cascada en un caso en donde se designa información de identificación de aplicación con 10 bytes.
- 5 La Figura 19 es un diagrama que ilustra una configuración, a modo de ejemplo, de cada nivel de cascada en un caso en donde se designa información de identificación de aplicación con 16 bytes.
- La Figura 20 es un diagrama que ilustra un ejemplo de una orden de sondeo extendido REQA_X.
- 10 La Figura 21 es un diagrama que ilustra ejemplos de tres órdenes clasificadas.
- La Figura 22 es un diagrama que ilustra un ejemplo de una respuesta ATQA_X a la orden de sondeo extendido.
- 15 La Figura 23 es un diagrama que ilustra una configuración, a modo de ejemplo, de la respuesta ATQA_X.
- La Figura 24 es un diagrama de flujo explicativo que ilustra un proceso detallado desde la inicialización hasta una transacción de aplicación cuando se utilizan las órdenes de sondeo extendido REQA_X y ATQA_X.
- 20 La Figura 25 es un diagrama que ilustra un formato a modo de ejemplo de ATQA_X según una quinta forma de realización (A4) de la presente tecnología.
- La Figura 26 es un diagrama de flujo explicativo que ilustra un ejemplo cuando se utilizan las órdenes de sondeo extendido REQA_X y ATQA_X de conformidad con la quinta forma de realización (A4).
- 25 La Figura 27 es un diagrama de flujo explicativo que ilustra un ejemplo de un proceso de inicialización de Tipo B.
- La Figura 28 es un diagrama que ilustra una configuración, a modo de ejemplo, de REQB.
- 30 La Figura 29 es un diagrama que ilustra la codificación, a modo de ejemplo, de AFI de REQB en la Figura 28.
- La Figura 30 es un diagrama que ilustra la codificación, a modo de ejemplo, de PARAM de REQB en la Figura 28.
- La Figura 31 es un diagrama que ilustra una configuración, a modo de ejemplo, de una orden SLOT_MAKER.
- 35 La Figura 32 es un diagrama de flujo explicativo que ilustra otro ejemplo de un proceso de selección de flujo.
- La Figura 33 es un diagrama que ilustra la codificación, a modo de ejemplo, de un número de intervalo en la Figura 32.
- 40 La Figura 34 es un diagrama que ilustra ejemplos de un formato básico y de un formato extendido de ATQB.
- La Figura 35 es un diagrama que ilustra un ejemplo de anticollisión en donde se designan una familia de aplicaciones (AFI) y el número de intervalos (N).
- 45 La Figura 36 es un diagrama que ilustra un ejemplo de anticollisión en donde se designan una familia de aplicaciones (AFI) y el número de intervalos (N).
- La Figura 37 es un diagrama que ilustra la codificación, a modo de ejemplo, de PARAM en donde se añade un bit de intervalo de tiempo.
- 50 La Figura 38 es un diagrama que ilustra un ejemplo de una temporización de un intervalo de tiempo.
- La Figura 39 es un diagrama que ilustra un ejemplo de una temporización del Tipo B antes de la SOF de una tarjeta IC.
- 55 La Figura 40 es un diagrama que ilustra la codificación, a modo de ejemplo, de PARAM de REQB.
- La Figura 41 es un diagrama que ilustra una configuración, a modo de ejemplo, de REQB_X.
- 60 La Figura 42 es un diagrama que ilustra otra configuración, a modo de ejemplo, de REQB_X.
- La Figura 43 es un diagrama de flujo explicativo que ilustra un ejemplo de un proceso de inicialización según una octava forma de realización (B3) de la presente tecnología.
- 65 La Figura 44 es un diagrama que ilustra ejemplos de REQA (B) y WUPA (B).

La Figura 45 es un diagrama que ilustra un ejemplo de ATQA (B).

La Figura 46 es un diagrama que ilustra un ejemplo de un formato de orden (trama corta) de REQA.

5 La Figura 47 es un diagrama que ilustra un ejemplo de una temporización en el Tipo A (un sistema de intervalos de tiempo).

10 La Figura 48 es un diagrama que ilustra un ejemplo de un conjunto de una orden y de una respuesta en el Tipo A (el sistema de intervalos de tiempo).

La Figura 49 es un diagrama que ilustra un ejemplo de un parámetro de una orden REQ-ID en el Tipo A (el sistema de intervalos de tiempo).

15 La Figura 50 es un diagrama de flujo explicativo que ilustra un ejemplo de un proceso de Tipo A (el sistema de intervalos de tiempo).

La Figura 51 es un diagrama que ilustra un ejemplo de un formato de orden de REQ-ID_X.

20 La Figura 52 es un diagrama que ilustra la codificación, a modo de ejemplo, de P2.

La Figura 53 es un diagrama de flujo explicativo que ilustra un proceso de inicialización extendido.

25 La Figura 54 es un diagrama que ilustra una configuración, a modo de ejemplo, de una SOLICITUD DE SONDEO de la extensión JIS X 6319-4.

La Figura 55 es un diagrama que ilustra una configuración, a modo de ejemplo, de una RESPUESTA DE SONDEO de una extensión JIS X 6319-4.

30 La Figura 56 es un diagrama de flujo explicativo que ilustra un ejemplo de un proceso de inicialización según una novena forma de realización de la presente tecnología.

La Figura 57 es un diagrama que ilustra un ejemplo del formato de REQA-F.

35 La Figura 58 es un diagrama que ilustra un ejemplo del formato de ATQA-F.

La Figura 59 es un diagrama que ilustra la comparación de una secuencia de proceso en la inicialización de la comunicación.

40 La Figura 60 es un diagrama que ilustra la comparación de una secuencia de proceso en el acceso a archivos.

La Figura 61 es un diagrama de bloques que ilustra una configuración de hardware, a modo de ejemplo, de un ordenador.

45 FORMAS DE REALIZACIÓN DE LA INVENCION

A continuación, se describirán los modos para realizar la presente descripción (en lo sucesivo, denominados formas de realización). Conviene señalar que la descripción se hará en el siguiente orden.

50 1. Configuración del sistema de comunicación

2. Visión general de la tecnología actual

55 3. Proceso de anticollisión de Tipo A

4. Primera forma de realización (A1)

5. Segunda forma de realización (A2)

60 6. Tercera forma de realización (A11)

7. Cuarta forma de realización (A3)

65 8. Quinta forma de realización (A4)

9. Proceso de inicialización del Tipo B

- 10. Sexta forma de realización (B1)
- 5 11. Séptima forma de realización (B2)
- 12. Octava forma de realización (B3)
- 13. Proceso de inicialización de intervalos de tiempo de Tipo A
- 10 14. Novena forma de realización (A5)
- 15 15. Proceso de inicialización para ISO/IEC 18092 212 kbit/s + extensión JIS X 6319-4
- 16. Décima forma de realización (J1)
- 17. Undécima forma de realización (J2)
- 18. Comparación de secuencias de procesos
- 20 19. Ejemplo de configuración de ordenador
- 1. Configuración del sistema de comunicación

25 La Figura 1 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un sistema de comunicación según la presente tecnología. El sistema de comunicación de la Figura 1 incluye una tarjeta IC (PICC) 1 y un dispositivo de procesamiento de tarjetas IC 2 de tipo A según la norma ISO/IEC 14443.

30 La tarjeta IC 1 se hace utilizable (se activa) cuando se suministra energía desde el dispositivo de procesamiento de tarjetas IC 2 que es un dispositivo externo. La tarjeta IC utilizable 1 realiza varios procesos en respuesta a varios órdenes del dispositivo de procesamiento de tarjetas IC 2. Es decir, el dispositivo de procesamiento de tarjetas IC 2 suministra energía para utilizar la tarjeta IC 1 y proporciona una orden para solicitar varios procesos a la tarjeta IC 1. La orden proporcionada a la tarjeta IC 1, por el dispositivo de procesamiento de tarjetas IC 2, se utiliza para solicitar un proceso de conformidad con un propósito, una forma administrativa o similar.

35 La tarjeta IC 1 puede ser un dispositivo electrónico portátil sin contacto (tarjeta IC sin contacto) que realiza una comunicación inalámbrica con el dispositivo de procesamiento de tarjetas IC 2 a través de una antena, una unidad de comunicación inalámbrica o similar en un estado sin contacto o puede ser un dispositivo electrónico portátil de contacto (tarjeta IC de contacto) que entra en contacto físico con el dispositivo de procesamiento de tarjetas IC 2 y realiza la comunicación. Además, la tarjeta IC 1 puede ser una tarjeta IC combinada (tarjeta IC de doble interfaz) que tiene una función de comunicación de una tarjeta IC sin contacto y una función de comunicación de una tarjeta IC de contacto. Conviene señalar que, en la forma de realización, en la descripción se supondrá principalmente una tarjeta IC sin contacto. Solamente un sistema de comunicación o similar con el dispositivo de procesamiento de tarjetas IC 2 es diferente entre una tarjeta IC sin contacto y una tarjeta IC de contacto. Por lo tanto, en las formas de realización que se describirán a continuación, lo mismo puede aplicarse a una tarjeta IC de contacto.

45 En este caso, se supone que la tarjeta IC 1 incluye un dispositivo de comunicación de campo cercano (NFC). Por otro lado, se supone que el dispositivo de procesamiento de tarjetas IC 2 incluye un dispositivo de acoplamiento de proximidad (PCD) que es un dispositivo que permite NFC.

50 Tal como se ilustra en la Figura 1, la tarjeta IC 1 incluye una CPU 10, una memoria de programa 11, una memoria de trabajo 12, una memoria de datos 13, una unidad de control de comunicación 15, una unidad de alimentación 16, una interfaz 17 y un dispositivo similar.

55 Además, la tarjeta IC 1 incluye un cuerpo 1c en forma de tarjeta. Un circuito impreso IC (o una pluralidad de circuitos impresos IC) 1a y la antena están integrados en el cuerpo 1c en forma de tarjeta incluido en la tarjeta IC 1. El circuito impreso IC 1a incluye una CPU 10, una memoria de programa 11, una memoria de trabajo 12, una memoria de datos 13, una unidad de control de comunicación 15, una unidad de alimentación 16 y similares. El circuito impreso IC 1a se forma como un módulo en un estado en donde el circuito impreso IC 1a está conectado a una antena que sirve como interfaz 17 y está integrado en el cuerpo 1c en forma de tarjeta incluido en la tarjeta IC 1. Tal como se indica mediante línea de trazos, un módulo 1b que incluye un circuito impreso IC (o la pluralidad de circuito impresos IC) 1a y una antena está integrados en el cuerpo 1c.

60 La CPU 10 controla toda la tarjeta IC 1. La CPU 10 funciona sobre la base de un programa de control y de datos de control o similares almacenados en la memoria de programa 11 o en la memoria de datos 13. La CPU 10 realiza un proceso en respuesta a una orden dada desde el dispositivo de procesamiento de tarjetas IC 2 mediante la ejecución

del programa de control que realiza una operación básica. Además, al ejecutar un programa de proceso instalado de conformidad con un propósito de la tarjeta IC 1 o similar, la CPU 10 realiza un proceso de conformidad con el propósito.

5 Por ejemplo, cuando se proporciona una orden para solicitar la escritura de datos en la memoria de datos 13 desde el dispositivo de procesamiento de tarjeta IC 2, la CPU 10 realiza un proceso de escritura de datos en la memoria de datos 13. Además, cuando se proporciona una orden para solicitar la lectura de datos almacenados en la memoria de datos 13 desde el dispositivo de procesamiento de tarjetas IC 2, la CPU 10 realiza un proceso de lectura de datos de la memoria de datos 13.

10 La memoria de programa 11 incluye una memoria de solo lectura (ROM). Un programa de control, datos de control y similares utilizados para realizar una operación básica se almacenan de antemano en la memoria de programa 11. En resumen, el programa de control y los datos de control, de conformidad con la especificación de la tarjeta IC 1, se almacenan de antemano en la memoria de programa 11. Por ejemplo, la CPU 10 realiza un proceso en respuesta a una orden dada desde el exterior de conformidad con el programa de control almacenado en la memoria de programa 11. Además, información o similar para designar un atributo o elemento análogo de una zona de memoria en la memoria de datos 13 se almacena en la memoria de programa 11. Además, la información que indica una orden de ejecución predeterminada de varias órdenes en un proceso específico se almacena en la memoria de programa 11. Como ejemplo de dicha información, la información que indica que una orden de generación de números aleatorios y una orden de autenticación externa se realizan en una orden de ejecución predeterminada en un proceso de autenticación que se almacena en la memoria del programa 11. Conviene señalar que la información que indica la orden de ejecución predeterminada de cada orden puede almacenarse en la memoria de datos 13.

25 La memoria de trabajo 12 incluye una memoria volátil (memoria de acceso aleatorio (RAM)). La memoria de trabajo 12 funciona como una memoria intermedia que almacena datos de manera temporal. Por ejemplo, los datos enviados y recibidos en un proceso de comunicación con el dispositivo de procesamiento de tarjetas IC (dispositivo externo) 2 se almacenan temporalmente en la memoria de trabajo 12. Además, la memoria de trabajo 12 también se utiliza como una memoria que retiene temporalmente diversos tipos de datos de escritura o similares.

30 Además, una tabla de gestión de canales lógicos 12a y una tabla de gestión de historial 12b se proporcionan en la memoria de trabajo 12. En este caso, la tabla de gestión de canales lógicos 12a y la tabla de gestión de historial 12b que se restablecen cada vez que se activa la tarjeta IC 1 se supone que se proporcionan en la memoria de trabajo 12. Conviene señalar que la tabla de gestión de canales lógicos 12a o la tabla de gestión de historial 12b se pueden proporcionar en la memoria de datos 13. En un caso en donde la tabla de gestión de canales lógicos 12a y la tabla de gestión de historial 12b se proporcionan en la memoria de datos 13, la información almacenada en la tabla de gestión de canales lógicos 12a y la tabla de gestión de historial 12b se retiene incluso cuando la tarjeta IC 1 está desconectada.

40 En la tabla de gestión de canales lógicos 12a, se almacena información que indica un estado actual y un estado de seguridad de cada canal lógico. En resumen, una carpeta actual o un archivo actual de cada canal lógico se determina con referencia a la información almacenada en la tabla de gestión de canales lógicos 12a. Además, el estado de seguridad de cada canal lógico se determina consultando la tabla de gestión de canales lógicos 12a.

45 En la tabla de gestión de historial 12b, la información de historial se almacena para cada canal lógico. La información de historial de cada canal lógico es información relativa a una orden realizada para cada canal lógico. En este caso, como la información de historial de cada canal lógico, es necesario almacenar un código de orden de una orden al que se hará referencia cuando se ejecute al menos una orden posterior. Por ejemplo, en una forma en donde solamente se comprueba un orden de ejecución de una orden que se ha ejecutado de manera inmediata con anterioridad y de una orden que se va a ejecutar, se almacena como información de historial un código de orden de la orden que se ha ejecutado de manera inmediata con anterioridad. Además, en una forma en donde se verifica una orden no solamente de una orden que se ha ejecutado de manera inmediata con anterioridad, sino también de una orden que se ha ejecutado dos o más órdenes anteriores o un resultado de ejecución, los códigos de orden de la pluralidad de órdenes y los resultados de la ejecución se almacenan como información de historial.

50 La memoria de datos (memoria no volátil) 13 es una memoria no volátil capaz de realizar escritura de datos. La memoria de datos 13 está configurada, por ejemplo, como una memoria EEPROM, una memoria instantánea o similar. Varios tipos de información, de conformidad con los propósitos de uso de la tarjeta IC 1, se almacenan en la memoria de datos 13. En la memoria de datos 13 se proporciona una tabla de datos o similar para almacenar diversos tipos de información de configuración.

60 Además, las aplicaciones (un programa de proceso, datos administrativos y similares) de conformidad con los propósitos de uso de la tarjeta IC se almacenan en la memoria de datos 13. Además, en un caso en donde la tarjeta IC 1 se utiliza para una pluralidad de propósitos de uso, una pluralidad de aplicaciones, de conformidad con cada propósito de uso, se almacena en la memoria de datos 13. Conviene señalar que una aplicación, de conformidad con un propósito de uso de la tarjeta IC 1, se almacena en cada archivo, como un archivo de programa y un archivo de datos para cada propósito de uso definido en la memoria de datos 13. Dicha estructura de archivos se basa, por ejemplo, en ISO/IEC 7816-4 o JIS X 6319-4. En resumen, se pueden almacenar varias aplicaciones y diversos datos administrativos en la memoria de datos 13 de la tarjeta IC 1.

La unidad de control de comunicaciones 15 controla la comunicación de datos con un dispositivo externo (por ejemplo, el dispositivo de procesamiento de tarjetas IC 2) a través de la interfaz 17. En el caso de que se reciban datos desde el dispositivo externo, la unidad de control de comunicaciones 15 demodula los datos enviados que son ondas de radio recibidas por la interfaz 17 y suministra una señal demodulada a la CPU 10. Además, en el caso de que los datos se envíen al dispositivo externo, la unidad de control de comunicación 15 modula los datos proporcionados por la CPU 10 y envía los datos modulados tales como ondas de radio desde una antena que actúa como interfaz 17. Conviene señalar que en el caso de una tarjeta IC de contacto, la interfaz 17 incluye un terminal o similar que entra en contacto físico con una unidad de contacto de un dispositivo externo.

La unidad de alimentación 16 genera energía y un pulso de reloj para utilizar cada unidad de la tarjeta IC 1 a partir de ondas de radio recibidas por la interfaz 17. La unidad de alimentación 16 suministra, a cada unidad, una tensión de energía y el pulso de reloj generado a partir de las ondas de radio recibidas por la antena 17. Además, en un caso en donde la tarjeta IC 1 se activa mediante el suministro de energía desde la unidad de alimentación 16, la CPU 10 realiza un proceso de reinicio de un estado de proceso de la tarjeta IC 1. Conviene señalar que en el caso de una tarjeta IC de contacto, cada unidad funciona con energía y un pulso de reloj suministrado directamente desde un dispositivo externo a través de la interfaz 17.

Tal como se ilustra en la Figura 1, el dispositivo de procesamiento de tarjetas IC 2 incluye un dispositivo de control 21 y un dispositivo de lectura-escritura de tarjetas 22. El dispositivo de control 21 está configurado como un ordenador personal (PC) o similar. El dispositivo de control 21 incluye una unidad de procesamiento aritmético, tal como una CPU, diversas memorias, tales como una memoria RAM, una memoria ROM, una memoria no volátil y una unidad de disco duro, y varias interfaces, tal como una interfaz de comunicación, tal como se describirá en detalle a continuación con referencia a la Figura 61, a modo de ejemplo. En el dispositivo de control 21, se realizan varios procesos cuando la unidad de procesamiento aritmético ejecuta varios programas de control almacenados en las memorias. Además, el dispositivo de control 21 introduce y envía datos hacia y desde el dispositivo de lectura-escritura de tarjetas 22 que realiza la comunicación de datos con la tarjeta IC 1.

Por ejemplo, los programas de control, de conformidad con varios procesos en los que se utiliza la tarjeta IC 1, se almacenan por adelantado en el dispositivo de control 21. El dispositivo de control 21 realiza varios procesos en los que se utiliza la tarjeta IC 1 ejecutando los programas de control descritos con anterioridad. Por ejemplo, en varios procesos en los que se utiliza la tarjeta IC 1, el dispositivo de control 21 proporciona órdenes predeterminadas en un procedimiento también predeterminado. El dispositivo de control 21 realiza varios procesos sobre la base de cada respuesta (información que indica un resultado de un proceso o similar de la orden) de cada tarjeta IC 1 a cada orden.

El dispositivo de lectura-escritura de tarjetas 22 funciona como medio de comunicación para realizar la comunicación de datos con la tarjeta IC 1. El dispositivo de lectura-escritura de tarjetas 22 realiza la comunicación de datos de conformidad con un sistema de comunicación compatible con un sistema de comunicación de la tarjeta IC 1. En resumen, el dispositivo de control 21 realiza la comunicación de datos con la tarjeta IC 1 a través del dispositivo de lectura-escritura de tarjetas 22.

En un caso en donde la tarjeta IC 1 es una tarjeta IC sin contacto, el dispositivo de lectura-escritura de tarjetas 22 incluye una antena y una unidad de control de comunicación (un circuito de modulación-demodulación o similar) para realizar la comunicación de datos con la tarjeta IC 1 de forma inalámbrica. En un caso en donde los datos se envían a la tarjeta IC sin contacto 1, el dispositivo de lectura-escritura de tarjetas 22 modula los datos enviados proporcionados desde el dispositivo de control 21 y envía una señal modulada tales como ondas de radio desde la antena. Además, en caso de que se reciban datos de la tarjeta IC sin contacto 1, el dispositivo de lectura-escritura de tarjetas 22 hace que la unidad de control de comunicación demodule una señal que son las ondas de radio recibidas por la antena y proporcione los datos demodulados como datos recibidos al dispositivo de control 21. Además, el dispositivo de lectura-escritura de tarjetas 22 envía y recibe datos y transmite ondas de radio que sirven como un pulso de reloj y energía para utilizar la tarjeta IC 1 desde la antena.

Además, en un caso en donde la tarjeta IC 1 es una tarjeta IC de contacto, el dispositivo de lectura-escritura de tarjetas 22 incluye una unidad de contacto, una unidad de control de comunicación y similares para entrar en contacto físico con la tarjeta IC 1 y realizar la comunicación de datos. En un caso en donde se envían y reciben datos desde la tarjeta IC de contacto, la unidad de contacto del dispositivo de lectura-escritura de tarjetas 22 entra en contacto físico con la unidad de contacto provista en la tarjeta IC 1 y realiza diversos tipos de comunicación de datos. Además, el dispositivo de lectura-escritura de tarjetas 22 suministra la energía y el pulso de reloj a la tarjeta IC 1 a través de la unidad de contacto que entra en contacto físico con la tarjeta IC 1.

En este caso, en el tipo A de la norma ISO/IEC 14443, la tarjeta IC 1 y el dispositivo de procesamiento de tarjetas IC 21 realizan la anticollisión utilizando la colisión de bits como un proceso de inicialización de la comunicación, adquieren un identificador único (UID) de una tarjeta IC 1 objetivo de comunicación desde la pluralidad de tarjetas IC 1, y selecciona la tarjeta IC 1. A continuación, después de realizar una etapa de selección de una aplicación alojada por la tarjeta IC 1, se realiza un proceso de la aplicación. Un proceso de inicialización en ISO/IEC 18092 106 kbit/s es el mismo que en el Tipo A de ISO/IEC 14443.

2. Descripción general de la tecnología actual

A continuación, se describirá una descripción general de un proceso de inicialización con referencia a la Figura 2.

Tal como se ilustra en la Figura 2, el dispositivo de procesamiento de tarjetas IC 2 designa el número permitido de intervalos de tiempo recibidos y envía una orden de solicitud 21. De este modo, se detecta si existe, o no, la tarjeta IC. Conviene señalar que este proceso se configura en una memoria cuando el dispositivo de control 21 de la Figura 1 ejecuta un programa predeterminado, por ejemplo, este proceso lo realiza una unidad de detección de presencia de tarjeta. Las tarjetas IC 1-1 a 1-3 responden con las respuestas 22-1 y 22-3 en intervalos de números aleatorios generados en un margen del número de intervalos de tiempo, respectivamente. La tarjeta IC 1-1 responde con la respuesta 22-1 en el intervalo de tiempo nº 2, la tarjeta IC 1-2 responde con la respuesta 22-2 en el intervalo de tiempo nº 0 y la tarjeta IC 1-3 responde con la respuesta 22-3 en el intervalo de tiempo nº 2.

El dispositivo de procesamiento de tarjetas IC 2 espera la recepción en cada intervalo de tiempo e identifica la tarjeta IC 1-2 a partir de una respuesta 22-2 en el intervalo de tiempo. Conviene señalar que las respuestas 22-1 y 22-3 colisionan en el mismo intervalo de tiempo nº 2 y no se identifica ninguna tarjeta IC.

En este caso, tal como se ilustra en la Figura 3, se realiza un proceso de anticollisión para adquirir los identificadores IDs de tarjeta en el Tipo A. La anticollisión es una estructura en la responde la tarjeta IC 1 que tiene el mismo valor (ID de tarjeta) que bits del UID enviado desde el dispositivo de procesamiento de tarjetas IC 2.

En consecuencia, en la presente tecnología, solamente se hace que la tarjeta IC 11 con 2 bytes responda mediante la designación de los primeros 2 bytes (aplicación) por adelantado desde el dispositivo de procesamiento de tarjeta IC 2 (como información de identificación de aplicación utilizada en una capa de aplicación) que utiliza esta estructura.

Por lo tanto, la selección de una aplicación y la adquisición de una ID de tarjeta se pueden realizar efectuando un pequeño cambio (envío de los primeros 2 bytes por adelantado) en un proceso de anticollisión conocido de Tipo A, y así se puede realizar una transacción de aplicación en un periodo corto. Conviene señalar que, por ejemplo, la selección de una aplicación y la adquisición de una ID de tarjeta son realizadas, por ejemplo, por una unidad de selección de aplicación o por una unidad de adquisición de ID de tarjeta configurada en una memoria cuando el dispositivo de control 21, en la Figura 1, ejecuta un programa predeterminado.

Además, en la presente tecnología, tal como se ilustra en la Figura 4, un valor de un código de sistema (SC) con 2 bytes que es información de identificación de una aplicación se designa con una primera orden en un proceso de anticollisión realizado entre un PCD (el dispositivo de procesamiento de tarjetas IC 2) y un PICC (la tarjeta IC 1). Por lo tanto, IDm, que es una ID de tarjeta, se especifica haciendo que solamente la tarjeta IC 1 con el mismo valor de SC pueda responder y realizar el proceso de anticollisión restante en este estado.

A continuación, se hará una descripción detallada.

3. Proceso de anticollisión de Tipo A

En el dispositivo de procesamiento de tarjetas IC 2, es necesario un proceso descrito en la Figura 5 siguiente desde la selección de la tarjeta IC 1 hasta la selección de una aplicación (en un caso de un nivel de cascada CL = 3).

El diagrama de flujo en la Figura 5 muestra un proceso detallado desde la inicialización del Tipo A hasta una transacción de aplicación en el dispositivo de procesamiento de tarjetas IC 2. Un número entre [] corresponde a un número en la Figura 5.

En el dispositivo de procesamiento de tarjetas IC 2, después del campo ACTIVADO, se realiza un proceso de sondeo en las etapas S11 y S12. Dicho de otro modo, en la etapa S11, el dispositivo de procesamiento de tarjetas IC 2 envía REQA o WUPA ilustrado en A de la Figura 6. En A de la Figura 6, REQA incluye un bit de inicio, "0110010" y un bit de finalización. Por otro lado, la tarjeta IC 1 envía ATQA cuando se recibe REQA o WUPA.

En la etapa S12, el dispositivo de procesamiento de tarjeta IC 2 recibe ATQA ilustrado en B de la Figura 6. En B de la Figura 6, ATQA incluye 4 bits reservados para uso futuro (RFU), codificación propietaria de 4 bits, una trama de bits de tamaño UID de 2 bits, RFU de 1 bit y anticollisión de trama de bits de 5 bits.

En la etapa S13, el dispositivo de procesamiento de tarjetas IC 2 selecciona el nivel de cascada 1 (CL1). C de la Figura 6 ilustra una tabla que muestra una relación entre los tamaños de UID y los niveles de cascada. La tabla en C de la Figura 6 muestra el tamaño de UID con único (4 bits) y CL1 cuando b8 = 0 y b7 = 0. La tabla muestra el tamaño de UID con doble (7 bits) y CL2 cuando b8 = 0 y b7 = 1. La tabla muestra el tamaño de UID con triple (10 bits) y CL3 cuando b8 = 1 y b7 = 0. La tabla muestra el tamaño de UID con RFU y no aplicable (n/a) cuando b8 = 0 y b7 = 1.

En la etapa S14, el dispositivo de procesamiento de tarjetas IC 2 envía una orden de anticolidión y realiza un proceso de anticolidión de adquisición de UID. El proceso de anticolidión se describirá con referencia a la Figura 7.

5 Puesto que el dispositivo de procesamiento de tarjetas IC 2 no conoce en primer lugar el valor de UID que tiene la tarjeta IC 1, el dispositivo de procesamiento de tarjetas IC 2 selecciona SEL = '93' en la etapa S41 de la Figura 7, establece NVB = '20' en la etapa S42, y envía una orden de anticolidión de SEL = '93' y NVB = '20' y solicita el UID de la tarjeta IC 1 en la etapa S43.

10 En A de la Figura 8 se representa un diagrama que ilustra un ejemplo en donde el dispositivo de procesamiento de tarjetas IC 2 envía una primera orden de anticolidión en cada CL.

15 Tal como se ilustra en A de la Figura 8, en el momento de CL1, se envían SEL = '93', NVB = '20' y el parámetro = empty. En el momento de CL2, se envían SEL = '95', NVB = '20' y el parámetro = empty. En el momento de CL3, se envían SEL = '97', NVB = '20' y el parámetro = empty.

20 La tarjeta IC 1 dentro de un campo de RF que la recibe envía UID y BCC (una suma de 5 bytes). Si el UID es de 4 bytes, se envían 4 bytes. Si el UID es de 7 o 10 bytes, el UID inicial de 3 bytes se envía después de una etiqueta en cascada (CT) de 1 byte. Conviene señalar que BCC son datos para la detección de errores calculados a partir de 4 bytes respondidos de manera inmediata con anterioridad.

25 La B de la Figura 8 ilustra un ejemplo de datos de anticolidión enviados por la tarjeta IC 1 en el momento de cada CL. Conviene señalar que el UID de 10 bytes se configura conectando uid0 a uid9.

30 Dicho de otro modo, CL1 incluye CT, uid0, uid1, uid2 y BCC, cada uno con 1 byte. CL2 incluye CT, uid3, uid4, uid5 y BCC, cada uno con 1 byte. CL3 incluye uid6, uid7, uid8, uid9 y BCC, cada uno con 1 byte.

35 En un caso en donde solamente una tarjeta IC está dentro del campo de RF, no se produce colisión y el dispositivo de procesamiento de tarjetas IC 2 puede recibir correctamente todos los bits de UID de la tarjeta IC 1. Sin embargo, en un caso en donde la pluralidad de las tarjetas IC 1 están dentro del campo de RF, la pluralidad de tarjetas IC 1 envía UID. Por lo tanto, la colisión ocurre en posiciones de bits con diferentes valores.

40 En la etapa S45, el dispositivo de procesamiento de tarjetas IC 2 determina si se produce, o no, una colisión. En caso de que se determine en la etapa S45 que se produce una colisión, el proceso prosigue a la etapa S46. El dispositivo de procesamiento de tarjetas IC 2 adquiere la posición de la primera colisión en la etapa S46 y añade la posición obtenida en la etapa S46 a NVB = '20' a la adición recién establecida de la posición a NVB = '20' en la etapa S47. En la etapa S48, el dispositivo de procesamiento de tarjetas IC 2 añade 1 bit cualquiera a los bits de SEL = '93', el NVB y el UID recién establecidos, envía una orden de anticolidión y solicita el UID de la tarjeta IC 1.

45 En un caso en donde se determina en la etapa S45 que no se produce ninguna colisión, el dispositivo de procesamiento de tarjetas IC 2 envía NVB como una orden SELECT (NVB = '70') en la etapa S49 y envía la orden SELECT (NVB = '70 ') en la etapa S50 para entrar en un estado en donde se selecciona la tarjeta IC 1. La tarjeta IC 1 responde con SAK. Por lo tanto, el dispositivo de procesamiento de tarjetas IC 2 recibe SAK en la etapa S51 y finaliza el proceso de anticolidión de la Figura 7, y luego el proceso prosigue a la etapa S15 de la Figura 5.

50 La Figura 9 es un diagrama que ilustra un ejemplo de SAK.

55 En el ejemplo de la Figura 9, SAK está configurado con 8 bits de b8 a b1. SAK en un caso en donde solamente b3 es 1 y los demás tienen cualquier valor significa "Conjunto de bits en cascada: UID no completo". SAK en un caso en donde solamente b3 es 0, solamente b6 es 1, y los otros pueden ser cualquier valor que significa "UID completo, PICC cumple con ISO/IEC 14443-4". Una orden SELECT en un caso donde b3 y b6 son 0 y los otros pueden tener cualquier valor significa "UID completo, PICC no cumple con ISO/IEC 14443-4".

60 En la etapa S15, el dispositivo de procesamiento de tarjetas IC 2 verifica b3 de SAK, devuelve el proceso a la etapa S14 cuando SAK significa que UID no está completo, y realiza el proceso de anticolidión en un nivel de cascada posterior. Un nivel de cascada en donde es necesario realizar el proceso de anticolidión se indica como nivel de cascada de conformidad con un valor (el número de veces que CL y la orden SELECT son necesarios) adquiriendo una trama de bits de tamaño UID en b8 y b7 de ATQA recibida en la etapa S12.

65 Si SAK significa UID completo y cumpliendo con ISO/IEC 14443-4 en la etapa S15, el proceso prosigue a la etapa S16. En la etapa S16, el dispositivo de procesamiento de tarjetas IC 2 determina si utilizar, o no, el protocolo de ISO/IEC 14443-4. Si se determina en la etapa S16 que se utiliza el protocolo de ISO/IEC 14443-4, el proceso prosigue a la etapa S17. En las etapas S17 a S19, se realiza un proceso de activación de protocolo de ISO/IEC 14443-4.

70 Dicho de otro modo, como el proceso de activación del protocolo de ISO/IEC 14443-4, el dispositivo de procesamiento de tarjetas IC 2 envía RATS en la etapa S17 y recibe ATS en la etapa S18. En la etapa S19, el dispositivo de procesamiento de tarjetas IC 2 solicita PPS y recibe una respuesta de PPS enviada en respuesta a la solicitud en la

etapa S19 (en un caso en donde se admite PPS). A continuación, en la etapa S20, como un proceso de intercambio de datos transparentes (transacción de aplicación), el dispositivo de procesamiento de tarjeta IC 2 selecciona una aplicación mediante una orden SELECT en caso de cumplir con ISO/IEC 7816-4.

5 La Figura 10 es un diagrama que ilustra un formato, a modo de ejemplo, de una orden SELECT para realizar la selección de aplicaciones.

10 Por el contrario, en un caso en donde SAK significa UID completo y no cumple con ISO/IEC 14443-4, en la etapa S15, y en un caso en donde el dispositivo de procesamiento de tarjeta IC 2 no utiliza el protocolo de ISO/IEC 14443-4 en etapa S16, el proceso prosigue a la etapa S21.

15 En la etapa S21, el dispositivo de procesamiento de tarjetas IC 2 verifica SAK para determinar si SAK significa UID completo y cumple con ISO/IEC 18092. En un caso en donde se determina en la etapa S21 que SAK significa UID completo y cumple con ISO/IEC 18092, el proceso prosigue a la etapa S22.

20 En la etapa S22, el dispositivo de procesamiento de tarjetas IC 2 determina si utilizar, o no, un protocolo de transporte de ISO/IEC 18092. En un caso en donde se determina, en la etapa S22, que se utiliza el protocolo de transporte de ISO/IEC 18092, el proceso prosigue a la etapa S23 y se realiza un proceso de activación del protocolo de transporte de ISO/IEC 18092 en las etapas S23 a S25.

25 Es decir, como el proceso de activación del protocolo de transporte de ISO/IEC 18092, el dispositivo de procesamiento de tarjetas IC 2 envía ATR_REQ en la etapa S23 y recibe ATR_RES en la etapa S24. En la etapa S25, el dispositivo de procesamiento de tarjetas IC 2 solicita PSL_REQ y recibe PSL_RES enviado en respuesta a la solicitud. A continuación, en la etapa S26, el dispositivo de procesamiento de tarjetas IC 2 puede seleccionar una aplicación como un proceso de intercambio de datos transparentes (transacción de aplicación).

30 En un caso en donde se determina, en la etapa S21, que SAK significa UID completo y no cumple con ISO/IEC 18092 o en un caso en donde se determina, en la etapa S22, que no se utiliza el protocolo de transporte de ISO/IEC 18092, el proceso prosigue a la etapa S27. En la etapa S27, se utiliza un protocolo propietario como la selección de la aplicación y transacción de la aplicación.

4. Primera forma de realización (A1)

35 Una primera forma de realización (A1) de la presente tecnología es un ejemplo en donde un caso en donde la información de identificación de una aplicación tiene una longitud de 2 bytes (denominada código de sistema (SC)) y la información de identificación, única para una tarjeta IC, tiene una longitud de 8 bytes (denominada ID de fabricación (IDm)) y se supone que utiliza el Tipo A como base. En la primera forma de realización, para adaptar un total de 10 bytes a un proceso de anticollisión de Tipo A, se realiza anticollisión de nivel de cascada 3 (CL3).

40 En el proceso de anticollisión de Tipo A descrito con anterioridad con referencia a las Figuras 5 a 10, no se envía un valor de UID específico designando NVB = '20' con la primera orden. Sin embargo, tal como se ilustra en la Figura 11, el IDm de 8 bytes se adquiere designando el valor del código de sistema (SC) de 2 bytes con la primera orden, lo que hace que solamente la tarjeta IC 1, con el mismo valor de SC, pueda responder y realizar el proceso de anticollisión restante en este estado. Para realizar lo que antecede, se cambia la primera orden desde la norma conocida, se designa '50' (una longitud de 5 bytes) en NVB, y se designan un CT y un SC de 2 bytes en el parámetro.

A continuación, se describirá el proceso de anticollisión según la primera forma de realización (A1) con referencia a la Figura 11.

50 El dispositivo de procesamiento de tarjeta IC 2 selecciona SEL = '93' en la etapa S61, establece NVB = '50' en la etapa S62 y envía una orden de anticollisión y SEL = '93', NVB = '50', el CT, y el SC y solicita el UID de la tarjeta IC 1 en la etapa S63.

55 La referencia A de la Figura 12 es un diagrama que ilustra un ejemplo en donde el dispositivo de procesamiento de tarjetas IC 2 envía una primera orden de anticollisión en cada CL.

60 Tal como se ilustra en A de la Figura 12, como una orden que se enviará en primer lugar en cada CL, en el momento de CL1, se envían SEL = '93', NVB = '50' y el parámetro = CT, SO0, SC1. En el momento de CL2, se envían SEL = '95', NVB = '20' y el parámetro = empty. En el momento de CL3, se envían SEL = '97', NVB = '20' y parámetro = empty.

La tarjeta IC 1, dentro de un campo de RF que la recibe, envía datos de anticollisión ilustrados en B de la Figura 12. Conviene señalar que BCC son datos para detección de errores calculados a partir de 4 bytes respondidos de manera inmediata con anterioridad.

La referencia B de la Figura 12 ilustra un ejemplo de datos de anticolidión enviados por la tarjeta IC 1 en el momento de cada CL. Conviene señalar que SC se configura conectando SC0 y SC1 e IDm se configura conectando IDm0 a IDm7.

- 5 Es decir, CL1 incluye CT, SC0, SC1, IDm0 y BCC, cada uno con 1 byte. CL2 incluye CT, IDm1, IDm2, IDm3 y BCC, cada uno con 1 byte. CL3 incluye IDm4, IDm5, IDm6, IDm7 y BCC, cada uno con 1 byte.

10 En un caso en donde solamente una tarjeta IC está dentro del campo de RF, no se produce colisión y el dispositivo de procesamiento de tarjetas IC 2 puede recibir correctamente todos los bits de UID de la tarjeta IC 1. Sin embargo, en un caso en donde la pluralidad de las tarjetas IC 1 están dentro del campo de RF, la pluralidad de tarjetas IC 1 envía UID. Por lo tanto, la colisión ocurre en posiciones de bits con diferentes valores.

15 En la etapa S65, el dispositivo de procesamiento de tarjetas IC 2 determina si se produce, o no, una colisión. En caso de que se determine en la etapa S65 que se produce una colisión, el proceso prosigue a la etapa S66. El dispositivo de procesamiento de tarjetas IC 2 adquiere la posición de la primera colisión en la etapa S66 y añade la posición obtenida en la etapa S66 a NVB = '50' para establecer de nuevo un valor de NVB en la etapa S67. En la etapa S68, el dispositivo de procesamiento de tarjetas IC 2 añade 1 bit cualquiera a los bits de SEL='93', el NVB, CT, SC y UID recién configurados, envía una orden de anticolidión y solicita el UID de la tarjeta IC 1.

20 En un caso en donde se determina, en la etapa S65, que no se produce colisión, el dispositivo de procesamiento de tarjetas IC 2 envía NVB como una orden SELECT (NVB = '70') en la etapa S69 y envía la orden SELECT (NVB = '70', CT, SC) en la etapa S70 para entrar en un estado en donde se selecciona la tarjeta IC 1. La tarjeta IC 1 responde con SAK. Por lo tanto, el dispositivo de procesamiento de tarjetas IC 2 recibe SAK en la etapa S71 y finaliza el proceso de anticolidión de la Figura 11, y luego el proceso prosigue a la etapa S15 de la Figura 5. Conviene señalar que el proceso de anticolidión de CL2 y CL3 han de realizarse de conformidad con la Figura 7 descrita con anterioridad.

30 Tal como se describió con anterioridad, cuando se completa el proceso de anticolidión, el dispositivo de procesamiento de tarjetas IC 2 completa la selección de la aplicación y la adquisición de IDm designando el SC. Posteriormente, en las etapas S20, S26 y S27 de la Figura 5 descritas con anterioridad, se puede intercambiar una transacción de la aplicación.

Conviene señalar que en la etapa S20, la aplicación puede seleccionarse con una orden SELECT para la definición ISO/IEC 7816-4.

35 5. Segunda forma de realización (A2)

Una segunda forma de realización (A2) de la presente tecnología es una modificación de la primera forma de realización (A1) de dicha tecnología. Un valor SEL (valor RFU) en CL1 en A de la Figura 12 se establece en '9F' (un valor predeterminado). De este modo, la primera orden de anticolidión se puede distinguir del Tipo A.

40 La Figura 13 es un diagrama que ilustra un ejemplo en donde el dispositivo de procesamiento de tarjetas IC 2 envía una primera orden de anticolidión en cada CL según una segunda forma de realización (A2) de la presente tecnología.

45 Tal como se ilustra en la Figura 13, como una orden a enviar en primer lugar en cada CL, en el momento de CL1, se envían SEL = '9F', NVB = '50' y el parámetro = CT, SC0, SC1. En el momento de CL2, se envían SEL = '95', NVB = '20' y el parámetro = empty. En el momento de CL3, se envían SEL = '97', NVB = '20' y parámetro = empty.

50 En el caso del ejemplo de la Figura 13, puesto que el valor SEL es diferente desde el punto de vista del dispositivo de procesamiento de tarjetas IC 2, se puede reconocer que el código del sistema está incluido en el parámetro.

En un caso en donde el tamaño de UID es el doble o el triple en ISO/IEC 14443-3, un byte inicial 1 se define como un valor único de un fabricante. Por lo tanto, como método para evitar lo que antecede, también es útil un ejemplo de la segunda forma de realización. Es decir, el primer byte se puede utilizar libremente como parte del código del sistema.

55 Conviene señalar que la tarjeta IC 1 está configurada para incluir el dispositivo NFC 51, tal como se describió con anterioridad con referencia a la Figura 1. En la segunda forma de realización, sin embargo, se describirá un caso en donde el dispositivo NFC 51, que tiene una configuración ilustrada en la Figura 14, funciona en un modo de emulación de tarjeta.

60 En un ejemplo de la Figura 14, el dispositivo NFC 51 incluye un dispositivo host (DH) 71, un controlador NFC (NFCC) 72 y cero o más entornos de ejecución NFC (NFCEE) 73. Puesto que el número de NFCEE 73 es 0 o más, el número de NFCEE puede ser 0 (el NFCEE puede omitirse).

65 El DH 71 controla la totalidad del dispositivo NFC 51, genera una orden (CMD) para controlar el NFCC 72 e interpreta un resultado de ejecución de la orden. El DH 71 intercambia un mensaje con el NFCC 72 de conformidad con una interfaz de controlador NFC (NCI). Además, el DH 71 ejecuta una aplicación que intercambia datos con un objetivo

remoto. Como la aplicación, por ejemplo, existe una aplicación o similar que realiza un proceso de intercambio de datos para una tarjeta de identificación o una agenda de direcciones utilizando comunicación de homólogo a homólogo (P2P), un proceso de liquidación de dinero electrónico utilizando comunicación entre un dispositivo de lectura-escritura y una tarjeta IC, y similares.

5 El NFCC 72 es una interfaz que está dispuesta en un punto intermedio del DH 71 y un objetivo remoto y media entre el DH 21 y el objetivo remoto y realiza el control de ruta para que el DH 71 o el NFCEE 73 puedan intercambiar datos con el objetivo remoto. La NFCC 72 tiene una pluralidad de niveles de interfaz como niveles de la interfaz que media entre el DH 71 y el objetivo remoto. La NFCC 72 intercambia un mensaje con el DH 71 de conformidad con la NCI y realiza el envío y la recepción de datos de RF a través de la antena 74 sobre la base de una orden (CMD) desde el DH 71.

La NCI es una interfaz lógica entre el DH 71 y el NFCC 72. En la NCI, se definen una orden (CMD) con un formato predeterminado, una notificación (NTF) y similares.

15 El NFCEE 73 procesa y retiene datos seguros entre los procesos necesarios para que el dispositivo NFC 51 intercambie datos con el objetivo remoto. En el ejemplo de la Figura 14, se proporciona un NFCEE 73 dentro del dispositivo NFC 51. El NFCEE 73 está conectado al NFCC 72 y retiene y procesa datos seguros gestionados por el NFCC 72. El número de NFCEEs 73 necesarios en el dispositivo NFC 51 se puede proporcionar a este respecto y se puede omitir el NFCEE 73 por ser innecesario.

La antena 74 incluye una bobina de bucle cerrado y emite ondas electromagnéticas (datos de RF) cambiando una corriente que fluye en la bobina.

25 En un caso donde el dispositivo NFC 51, que tiene la configuración ilustrada en la Figura 14, funciona en el modo de emulación de tarjeta, el NFCC 72 procesa una orden de anticolidión. Por lo tanto, es necesario configurar previamente en el NFCC 72 un parámetro incluido en una respuesta correspondiente a la orden de anticolidión.

30 En un caso en donde uno o más NFCEEs 73 están conectados al NFCC 72, el DH 71 y el NFCEE 73 procesan una transacción de aplicación. Una estructura para determinar que el DH 71 o el NFCEE 73 determinado procesan la transacción de aplicación se conoce como enrutamiento.

Una vez completado el proceso de anticolidión, se transfiere una trama de RF posterior de conformidad con la configuración del enrutamiento.

35 El proceso de enrutamiento y la configuración preliminar realizada por el NFCC 72 se definen con una especificación técnica de interfaz de controlador NFC (NCI) de la norma NFC Forum.

40 Un parámetro devuelto en la anticolidión de Tipo A de ISO/IEC 14443-4 se define como Parámetro de Escucha A. Se puede establecer un objetivo de comparación de un parámetro designado con una orden de anticolidión de SEL = '9F' añadiendo LA_SC (longitud de 2 bytes) como uno de los parámetros.

45 En un caso en donde se completa una orden SELECT de nivel de cascada 3 que continúa en la orden de anticolidión, cuando existe un SC coincidente de SC RouteList establecido como una entrada de enrutamiento, se establece una ruta correspondiente al SC. De este modo, una trama recibida de una RF posterior se transfiere a la ruta. Conviene señalar que SC RouteList se puede configurar mediante una orden RF_SET_LISTEN_MODE_ROUTING_CMD en el NFCC 72 desde el DH 71.

50 Además, en un caso en donde el NFCEE es un host HCI (por ejemplo, UICC) en la norma ETSI, se puede establecer un objetivo de comparación de un parámetro designado con la orden de anticolidión de SEL = '9F' añadiendo el SC (longitud de 2 bytes) a la compuerta de RF de la tarjeta para el registro de Tipo A de tecnología RF definido en ETSI TS 102 622.

55 La Figura 15 es un diagrama que ilustra un campo de valor en un caso en donde se establece el enrutamiento de un código de sistema (SC).

60 El campo de valor incluye una ruta, un estado de energía y una lista de rutas. La ruta almacena una ID NFCEE de 1 octeto para el encaminamiento de un destino de ruta. El estado de energía almacena una condición del estado de energía al que se aplica la configuración de enrutamiento con una longitud de 1 octeto. La lista de rutas SC almacena una lista de conexiones de n SCs (2 bytes) con una longitud de 2 n octetos en ($1 \leq n \leq 32$). Conviene señalar que FFFFh no se puede utilizar en el SC.

65 El LA_SC de los Parámetros de Escucha A anteriores y el SC del registro de la compuerta de RF de la tarjeta para la tecnología de RF Tipo A se definen como una lista de los códigos del sistema con una longitud de $n \times 2$ bytes. Cuando se recibe una primera orden de anticolidión de CL1, se puede buscar la orden coincidente en la lista de códigos del sistema.

6. Tercera forma de realización (A11)

5 En una tercera forma de realización (A11) de la presente tecnología, una información de identificación de aplicación (AI: Identidad de la aplicación) que se transmitirá en primer lugar se generaliza en la primera forma de realización (A1) y en la segunda forma de realización (A2) de la presente tecnología.

10 En la primera forma de realización (A1) y en la segunda forma de realización (A2) de la presente tecnología, la información de identificación de aplicación de 2 bytes se transmite en primer lugar, pero no es necesario fijar la información de identificación de aplicación en 2 bytes. La información de identificación de aplicación puede tener 1 byte o 4 bytes.

15 La Figura 16 es un diagrama que ilustra un caso en donde se transmite información de identificación de aplicación. En ISO/IEC 14443-3, la información de identificación de aplicación que se puede designar como máximo es de 6 bytes, puesto que se definen CL1 a CL3 y la longitud mínima de bytes del UID es de 4 bytes.

20 Tal como se ilustra en la Figura 16, en el caso de NVB = '40' en SEL = '9F' en CL1, los parámetros son CT y AI0. En el caso de NVB = '50' en SEL = '9F' en CL1, los parámetros son CT, AI0 y AI1. En el caso de NVB = '60' en SEL = '9F' en CL1, los parámetros son CT, AI0, AI1 y AI2.

En el caso de NVB = '20' en SEL = '95' en CL2, los parámetros son empty. En el caso de NVB = '40' en SEL = '95' en CL2, los parámetros son CT y AI3. En el caso de NVB = '50' en SEL = '95' en CL2, los parámetros son CT, AI3 y AI4. En el caso de NVB = '60' en SEL = '95' en CL2, los parámetros son CT, AI3, AI4 y AI5.

25 En el caso de NVB = '20' en SEL = '97' en CL3, los parámetros son empty.

Al extender CL3 hasta CL7, es posible transmitir la información de identificación de aplicación de hasta 16 bytes. La Figura 17 es un diagrama que ilustra otro caso en donde se transmite información de identificación de aplicación.

30 Tal como se ilustra en la Figura 17, en el caso de NVB = '40' en SEL = '9F' en CL1, los parámetros son CT y AI0. En el caso de NVB = '50' en SEL = '9F' en CL1, los parámetros son CT, AI0 y AI1. En el caso de NVB = '60' en SEL = '9F' en CL1, los parámetros son CT, AI0, AI1 y AI2.

35 En el caso de NVB = '20' en SEL = '95' en CL2, los parámetros son empty. En el caso de NVB = '40' en SEL = '95' en CL2, los parámetros son CT y AI3. En el caso de NVB = '50' en SEL = '95' en CL2, los parámetros son CT, AI3 y AI4. En el caso de NVB = '60' en SEL = '95' en CL2, los parámetros son CT, AI3, AI4 y AI5.

40 En el caso de NVB = '40' en SEL = '95' en CL3, los parámetros son CT y AI6. En el caso de NVB = '50' en SEL = '97' en CL3, los parámetros son CT, AI6 y AI7. En el caso de NVB = '60' en SEL = '97' en CL3, los parámetros son CT, AI6, AI7 y AI8.

45 En el caso de NVB = '20' en SEL = '99' en CL4, los parámetros son empty. En el caso de NVB = '40' en SEL = '99' en CL4, los parámetros son CT y AI9. En el caso de NVB = '50' en SEL = '99' en CL4, los parámetros son CT, AI9 y AI10. En el caso de NVB = '60' en SEL = '99' en CL4, los parámetros son CT, AI9, AI10 y AI11.

En el caso de NVB = '20' en SEL = '9B' en CL5, los parámetros son empty. En el caso de NVB = '40' en SEL = '9B' en CL5, los parámetros son CT y AI12. En el caso de NVB = '50' en SEL = '9B' en CL5, los parámetros son CT, AI12 y AI13. En el caso de NVB = '60' en SEL = '9B' en CL5, los parámetros son CT, AI12, AI13 y AI14.

50 En el caso de NVB = '20' en SEL = '9D' en CL6, los parámetros son empty. En el caso de NVB = '40' en SEL = '9D' en CL6, los parámetros son CT y AI15.

En el caso de NVB = '20' en SEL = '90' en CL7, los parámetros son empty.

55 Por ejemplo, en un caso en donde se transmiten AIs de 10 bytes (AI0 a AI9) o en un caso en donde se transmiten AIs de 16 bytes de CL1 a CL5, es necesario transmitir cada orden de anticollisión de CL1 a CL7.

60 La Figura 18 es un diagrama que ilustra una configuración, a modo de ejemplo, de cada nivel de cascada en un caso en donde se designa información de identificación de aplicación con 10 bytes.

Es decir, CL1 incluye CT, AI0, AI1, AI2 y BCC, cada uno con 1 byte. CL2 incluye CT, AI3, AI4, AI5 y BCC, cada uno con 1 byte. CL3 incluye CT, AI6, AI7, AI8 y BCC, cada uno con 1 byte. CL4 incluye CT, AI9, UID0, UID1 y BCC, cada uno con 1 byte. CL5 incluye UID2, UID3, UID4, UID5 y BCC, cada uno con 1 byte.

65 La Figura 19 es un diagrama que ilustra una configuración, a modo de ejemplo, de cada nivel de cascada en un caso en donde se designa información de identificación de aplicación con 16 bytes.

Es decir, CL1 incluye CT, AI0, AI1, AI2 y BCC, cada uno con 1 byte. CL2 incluye CT, AI3, AI4, AI5 y BCC, cada uno con 1 byte. CL3 incluye CT, AI6, AI7, AI8 y BCC, cada uno con 1 byte. CL4 incluye CT, AI9, AI10, AI11 y BCC, cada uno con 1 byte. CL5 incluye CT, AI12, AI13, AI14 y BCC, cada uno con 1 byte. CL6 incluye CT, AI15, UID0, UID1 y BCC, cada uno con 1 byte. CL7 incluye UID2, UID3, UID4, UID5 y BCC, cada uno con 1 byte.

7. Cuarta forma de realización (A3)

En una cuarta forma de realización (A3), se supondrá un caso en donde la información de identificación de aplicación es la siguiente información:

1. AFI (longitud de 1 byte) para la definición ISO/IEC 14443-3;
2. SC (longitud de 2 bytes) para la definición JIS X 6319-4; y
3. AID (longitud de 5 a 16 bytes) para la definición ISO/IEC 7816-4.

En un proceso de sondeo en las etapas S11 y S12 de la Figura 5, se utiliza una trama corta de 7 bits, pero se añade una nueva orden de sondeo en donde se utiliza una trama estándar. En este momento, la orden de sondeo incluye un parámetro de la información de identificación de aplicación anterior con 1 byte o más y solamente la tarjeta IC 1 que tiene la misma información de identificación de aplicación puede responder. A continuación, en este estado, se realiza el proceso de anticolidión (etapas S13 a S15 de la Figura 5) para especificar el UID.

Después de especificar el UID, se completa la selección de la aplicación. Por lo tanto, posteriormente, puede intercambiarse una transacción de la aplicación en las etapas S20, S26 y S27 de la Figura 5 descrita con anterioridad.

En el proceso de sondeo, se define una orden de sondeo extendido REQA_X en donde se utiliza una trama estándar, tal como se ilustra en la Figura 20.

REQA_X es una orden para seleccionar una aplicación con la información de identificación de aplicación designada con AS0 a ASn e incluye AS_LEN que indica la longitud de la información de identificación de aplicación, AS0 a ASn almacena la información de identificación de aplicación y PARAM.

La tarjeta IC 1 reconoce qué información de identificación de aplicación en 1 a 3 se designa utilizando un valor de AS_LEN, compara la información de identificación de aplicación con la información de la aplicación en la tarjeta IC 1 y responde con ATQA_X cuando la información coincide entre sí.

Además, tal como se ilustra en la Figura 21, se pueden definir tres órdenes clasificadas.

REQA_X1 es una orden para seleccionar la aplicación por AFI e incluye un parámetro PX1 de 1 byte. REQA_X2 es una orden para seleccionar una aplicación por parte del SC e incluye un parámetro PX2 de 1 byte. El SC incluye SC0 y SC1. REQA_X3 es una orden para seleccionar la aplicación por AID e incluye un parámetro PX3 de 1 byte. AID incluye ADI0 a Ain y la longitud se da con AID_LEN.

En el caso del ejemplo de la Figura 21, la tarjeta IC 1 reconoce qué información de identificación de aplicación en 1 a 3 se designa utilizando el primer byte recibido, compara la información de identificación de aplicación con la información de la aplicación en la tarjeta IC 1 y responde con ATQA_X cuando la información coincide.

La respuesta ATQA_X a la orden de sondeo extendido se define como en la Figura 22. Conviene señalar que los primero y segundo bytes se definen como en el ATQA conocido, tal como se ilustra en la Figura 23. AP_L almacena una longitud de ATQAP0 a ATQAPn.

El diagrama de flujo de la Figura 24 ilustra un ejemplo cuando se utilizan las órdenes de sondeo extendidos REQA_X y ATQA_X de la Figura 5.

El dispositivo de procesamiento de tarjetas IC 2 realiza un proceso de sondeo en las etapas S101 y S102 después de la activación del campo. Es decir, el dispositivo de procesamiento de tarjetas IC 2 envía REQA_X en la etapa S101. Por otro lado, cuando la tarjeta IC 1 recibe REQA_X, se envía ATQA_X.

En la etapa S102, el dispositivo de procesamiento de tarjetas IC 2 recibe ATQA_X.

Conviene señalar que, puesto que en las etapas S103 a S117 de la Figura 24 se realizan procesos básicamente similares a los de las etapas S13 a S27 de la Figura 5, se omitirá su descripción.

Tal como se describió con anterioridad, cuando se envía REQA_X y se recibe ATQA_X, se completa la selección de la aplicación. Posteriormente, realizando el conocido proceso de anticolidión y especificando una sola tarjeta IC 1, es

posible realizar una transacción de la aplicación. De conformidad con el valor de SAK, el proceso de aplicación se realiza en las etapas S110 (ISO/IEC 14443-4), S116 (protocolo de transporte ISO/IEC 18092) y S117 (órdenes y protocolos propietarios).

5 En este caso, en el caso en que el dispositivo NFC 51 que tiene la configuración descrita con anterioridad en la Figura 14, como en la segunda forma de realización, se utiliza como la tarjeta IC 1, los parámetros de LA_AFI (longitud de 1 byte) y LA_AID (longitud de 16 bytes) de los Parámetros de Escucha A y AFI (longitud de 1 byte) y AID (longitud de 16 bytes) del registro de la compuerta de RF de la tarjeta para la tecnología de RF de Tipo A que son necesarios, además, de los parámetros establecidos (LA_SC de los Parámetros de Escucha A y SC del registro de compuerta RF de tarjeta para tecnología RF de Tipo A) descrito con referencia a la Figura 15. En caso de que se reciban REQA_X, REQA_X1, REQA_X2 y REQA_X3, los parámetros descritos con anterioridad se evalúan en el dispositivo NFC 51.

8. Quinta forma de realización (A4)

15 Una quinta forma de realización (A4) de la presente tecnología es una modificación de la cuarta forma de realización (A3) de dicha tecnología. En la quinta forma de realización (A4) de la presente tecnología, REQA_X tiene una configuración similar a la de la cuarta forma de realización (A3) y ATQA_X está configurada para incluir UID o información de protocolo.

20 La Figura 25 es un diagrama que ilustra un formato, a modo de ejemplo, de ATQA_X según la quinta forma de realización (A4) de la presente tecnología. En la Figura 25, ATQA_X incluye ATQA_X0, ATQA_X02, SAK, AP_L, AP0 a APn y CRC_A (2 bytes) uno al lado del otro desde la izquierda.

25 En este caso, AP_L almacena una longitud de AP0 a APn. La información del protocolo se almacena en SAK y el UID se almacena en AP0 a APn.

A continuación, el diagrama de flujo de la Figura 26 ilustra un ejemplo cuando se utilizan las órdenes de sondeo extendidos REQA_X y ATQA_X según la quinta forma de realización (A4) de la Figura 5.

30 El dispositivo de procesamiento de tarjetas IC 2 realiza un proceso de sondeo en las etapas S121 y S122 después de la activación del campo. Es decir, el dispositivo de procesamiento de tarjetas IC 2 envía REQA_X en la etapa S121. Por otro lado, cuando la tarjeta IC 1 recibe REQA_X, se envía ATQA_X ilustrado en la Figura 25.

35 En la etapa S122, el dispositivo de procesamiento de tarjetas IC 2 recibe ATQA_X.

Conviene señalar que, puesto que en las etapas S123 a S135 de la Figura 24 se realizan procesos básicamente similares a los descritos en las etapas S15 a S27 de la Figura 5, se omitirá su descripción.

40 Tal como se describió con anterioridad, cuando se envía REQA_X y se recibe ATQA_X, se completa la selección de la aplicación y la adquisición de UID. Por lo tanto, un proceso de anticollisión es innecesario.

9. Proceso de inicialización de Tipo B

45 La tarjeta IC (PICC) 1 y el dispositivo de procesamiento de tarjetas IC (PCD) 2 de tipo B de la norma ISO/IEC 14443, a partir de 2017, efectúa una etapa de realizar un proceso de anticollisión de designación de una familia de aplicaciones (AFI) y el número de intervalos (N), adquiriendo un identificador único (UID) de una tarjeta IC objetivo de comunicación 1 entre la pluralidad de tarjetas IC 1, seleccionando la tarjeta IC 1 y a continuación, seleccionando una aplicación alojada por la tarjeta IC 1, como un proceso de inicialización de la comunicación, y luego realiza un proceso de la aplicación.

50 El diagrama de flujo de la Figura 27 ilustra un ejemplo de un proceso de inicialización de Tipo B.

55 En las etapas S151 y S152, el dispositivo de procesamiento de tarjetas IC 2 realiza un proceso de sondeo. Es decir, en la etapa S151, el dispositivo de procesamiento de tarjetas IC 2 envía REQB o WUPB ilustrados en la Figura 28. En la Figura 28, REQB incluye APF '05', AFI, PARAM y CRC_B. Por otro lado, cuando la tarjeta IC 1 recibe REQB y WUPB, se envía ATQB.

60 La Figura 29 es un diagrama que ilustra la codificación, a modo de ejemplo, de AFI de REQB en la Figura 28. La referencia A de la Figura 30 ilustra la codificación, a modo de ejemplo, de PARAM de REQB de la Figura 28. En PARAM, b8 a b6 son RFU, b5 es admitida por ATQB extendido, b4 es REQB o WUPB, y b3 a b1 son N.

La referencia B de la Figura 30 ilustra la codificación, a modo de ejemplo, de N en A de la Figura 30.

65 En la etapa S152, el dispositivo de procesamiento de tarjetas IC 2 recibe ATQB. En la etapa S153, el dispositivo de procesamiento de tarjetas IC 2 realiza un proceso de anticollisión con una orden SLOT_MAKER.

La Figura 31 ilustra una configuración, a modo de ejemplo, de una orden SLOT_MAKER. La orden SLOT_MAKER incluye APn (longitud de 1 byte) y CRC_B (longitud de 2 bytes).

5 La Figura 32 ilustra un ejemplo de codificación de APn de una orden SLOT_MAKER de la Figura 31. APn incluye un número de intervalo formado por 4 bytes de b8 a b5 y [0101b] formado por 4 bytes de b4 a b1.

La Figura 33 es un diagrama que ilustra la codificación, a modo de ejemplo, del número de intervalo en la Figura 32.

10 La referencia A de la Figura 34 ilustra un formato básico, a modo de ejemplo, de ATQB recibido en la etapa S152 de la Figura 27. La referencia B de la Figura 34 ilustra un formato extendido, a modo de ejemplo, de ATQB recibido en la etapa S152 de la Figura 27.

15 Volviendo a la Figura 27, después del proceso de anticollisión en la etapa S153, el dispositivo de procesamiento de tarjetas IC 2 determina, en la etapa S154, si se admite, o no, el protocolo de ISO/IEC 14443-4. En caso de que se determine en la etapa S154 que se admite el protocolo de ISO/IEC 14443-4, el proceso prosigue a la etapa S155.

20 En la etapa S155, el dispositivo de procesamiento de tarjetas IC 2 envía ATTRIB. Por otro lado, cuando la tarjeta IC 1 recibe ATTRIB, se envía una respuesta a ATTRIB. En la etapa S156, el dispositivo de procesamiento de tarjetas IC 2 recibe la respuesta a ATTRIB. En la etapa S157, el dispositivo de procesamiento de tarjetas IC 2 realiza un proceso que cumple con ISO/IEC 7816-4 como la selección de la aplicación.

25 A la inversa, en un caso en donde se determina, en la etapa S154, que el protocolo de ISO/IEC 14443-4 no se admite, el proceso prosigue a la etapa S158. En la etapa S158, se utiliza un protocolo propietario en la selección de la aplicación.

Las Figuras 35 y 36 son diagramas que ilustran un ejemplo de un proceso de anticollisión en donde se designa una familia de aplicaciones (AFI) y el número de intervalos (N).

30 10. Sexta forma de realización (B1)

En una sexta forma de realización (B1) de la presente tecnología, se introducen intervalos de tiempo en el proceso de anticollisión de Tipo B.

35 Es decir, en el Tipo B, la forma de realización de la restricción de la tarjeta IC de respuesta 1 se completa designando una categoría (AFI) de un campo de aplicación con REQB, pero es necesario enviar una orden para cada intervalo en anticollisión por una orden SLOT_MARKER. Por lo tanto, puede aumentar la probabilidad de que la tarjeta IC 1 no reciba de manera correcta las órdenes y existe la posibilidad de que falle el proceso de anticollisión.

40 En consecuencia, en la presente tecnología, los intervalos de tiempo se introducen como un método para disminuir la probabilidad. Se cambia PARAM de REQB, tal como se ilustra en la Figura 37.

La Figura 37 es un diagrama que ilustra la codificación, a modo de ejemplo, de PARAM en donde se añade un bit de intervalo de tiempo.

45 Es decir, de b8 a b6 que son RFU, b7 se utiliza para un intervalo de tiempo. En un caso en donde b7 (intervalo de tiempo) es 1b, el dispositivo de procesamiento de tarjetas IC 2 espera ATQB en el número de intervalos de tiempo codificados con N. La tarjeta IC 1 genera números aleatorios en un margen del número de intervalos de tiempo y responde con los intervalos de tiempo de los números aleatorios

50 El inicio de un intervalo de tiempo se establece en $4096/f_c$ (302 ms) después del final de una trama (EOF) de REQB y

un tiempo de cada intervalo de tiempo se establece para:

55

$$\begin{aligned} & \text{tiempo de transmisión de SOF máx} + (\text{longitud de ATQB} + 1) \text{ bytes} \\ & \quad (\text{incluyendo EGT}) + \text{EOF máx} + \text{TR1 máx} \\ & = 14 \text{ etu} + [16 \text{ bytes} \times (10 + 2) \times 1 \text{ etu}] + 11 \text{ etu} + 25 \text{ etu} \\ & = 242 \text{ etu} (2.28 \text{ ms}). \end{aligned}$$

60 La Figura 38 es un diagrama que ilustra un ejemplo de una temporización de un intervalo de tiempo. La Figura 39 es un diagrama que ilustra un ejemplo de una temporización del Tipo B antes de la SOF de una tarjeta IC.

En las Figuras 38 y 39, TR1 es un tiempo de subportadora no modulado.

11. Séptima forma de realización (B2)

5 En una séptima forma de realización (B2) de la presente tecnología, el AFI de tipo B se extiende de manera que se puedan designar 2 bytes adicionales.

Es decir, en el Tipo B, AFI puede designarse con REQB, pero puesto que solamente existe un campo de 8 bits, falta escalabilidad.

10 En consecuencia, para extender AFI, PARAM de REQB se extiende, tal como se ilustra en la Figura 40. Es decir, de b8 a b6 que son RFU, b7 se cambia a un intervalo de tiempo y b6 se cambia a soporte AFI extendido. Además, en un caso en donde el AFI extendido compatible con b6 es 1b, la definición se proporciona tal como se ilustra en la Figura 41.

15 Es decir, en REQB_X de la Figura 41, XAFI0 y XAFI1 se añaden entre PARAM y CRC_B de REQB en la Figura 28. En caso de que se seleccione una aplicación con el SC (2 bytes), el SC se expresa con AFI y XAFI0 y XAFI1 se consideran como un parámetro adicional. En este caso, la tarjeta IC 1 evalúa XAFI0 y XAFI1, además, de AFI y determina si responder, o no hacerlo.

20 Además, como otro ejemplo, como en la cuarta forma de realización (A3), la definición se da como en la Figura 42 en un caso en donde se almacena información de longitud con respecto al parámetro adicional.

En REQB_X en la Figura 42, XAFI_L, XAFI0... y XAFIn se añaden entre PARAM y CRC_B de REQB en la Figura 28.

25 La tarjeta IC 1 reconoce qué información de identificación de aplicación en 1 a 3 que se muestra en la cuarta forma de realización (A3) se designa utilizando un valor de XAFI_L, compara la información de identificación de aplicación con la información de la aplicación en la tarjeta IC 1 y responde con ATQB_X cuando la información coincide entre sí.

30 En este caso, en el caso en que el dispositivo NFC 51 que tiene la configuración descrita con anterioridad en la Figura 14 se utiliza como la tarjeta IC 1, los parámetros devueltos en el proceso de anticollisión de Tipo B se definen como Parámetros de Escucha B de NCI y la compuerta de RF de tarjeta para registros de tecnología RF de Tipo B de ETSI_TS 102_622.

35 Como parámetros de escucha B, se añaden LB_SC (longitud de 2 bytes o longitud de $n \times 2$ bytes) y LB_AID (longitud de 16 bytes). Como compuerta de RF de tarjeta para registros de Tipo B de tecnología RF, se añade SC (longitud de 2 bytes o longitud de $n \times 2$ bytes) y LB_AID (longitud de 16 bytes).

40 Cuando se recibe REQB_X, NFCC evalúa estos parámetros, y si los parámetros coinciden, se devuelve una respuesta.

12. Octava forma de realización (B3)

45 En una octava forma de realización (B3) de la presente tecnología, en un comienzo de un proceso de inicialización de Tipo B, se detecta la presencia o ausencia de tarjeta (a través de un proceso de sondeo). Así, es posible reducir el consumo de energía en presencia o en ausencia de la tarjeta.

50 El diagrama de flujo de la Figura 43 ilustra un ejemplo de un proceso de inicialización según la octava forma de realización (B3) de la presente tecnología. Conviene señalar que en las etapas S175 a S180 de la Figura 43 se realizan procesos básicamente similares a los de las etapas S153 a S158 de la Figura 27, se omitirá la descripción repetida.

55 Es decir, el dispositivo de procesamiento de tarjetas IC 2 realiza un proceso de sondeo en las etapas S171 a S174. Es decir, el dispositivo de procesamiento de tarjetas IC 2 envía REQA (B) o WUQA (B) en la etapa S171. Por otro lado, puesto que la tarjeta IC 1 recibe REQA (B) o WUQA (B), se devuelve ATQA (B). Por lo tanto, el dispositivo de procesamiento de tarjetas IC 2 recibe ATQA (B) en la etapa S172. Además, el dispositivo de procesamiento de tarjetas IC 2 envía REQB en la etapa S173. Por otro lado, cuando la tarjeta IC 1 recibe REQB, se devuelve ATQB. Por lo tanto, el dispositivo de procesamiento de tarjetas IC 2 envía ATQB en la etapa S174.

60 La Figura 44 es un diagrama que ilustra ejemplos de REQA (B) y WUPA (B) enviados y recibidos en las etapas S171 y S172. La Figura 45 es un diagrama que ilustra un ejemplo de ATQA (B) enviado y recibido en las etapas S173 y S174. Conviene señalar que se utiliza un sistema de modulación y una codificación de bits de Tipo B.

13. Proceso de inicialización de intervalos de tiempo de Tipo A

65 La tarjeta IC (PICC) 1 y el dispositivo de procesamiento de tarjetas IC (PCD) 2 de Tipo A (un sistema de intervalos de tiempo) efectúan una etapa de realizar un proceso de anticollisión utilizando intervalos de tiempo, adquiriendo un identificador único (UID) de una sola tarjeta IC 1 de objetivo de comunicación entre la pluralidad de tarjetas IC 1,

seleccionando la tarjeta IC 1, y luego seleccionando una aplicación alojada por la tarjeta IC 1, como un proceso de inicialización de comunicación, y a continuación, realiza un proceso de la aplicación.

5 La Figura 46 es un diagrama que ilustra un ejemplo de un formato de orden (trama corta) de REQA. La Figura 47 es un diagrama que ilustra un ejemplo de una temporización en el Tipo A (el sistema de intervalos de tiempo). La Figura 48 es un diagrama que ilustra un ejemplo de un conjunto de una orden y una respuesta en el Tipo A (el sistema de intervalos de tiempo). La Figura 49 es un diagrama que ilustra un ejemplo de un parámetro de una orden REQ-ID en Tipo A (el sistema de intervalos de tiempo).

10 La Figura 50 es un diagrama de flujo explicativo que ilustra un ejemplo de un proceso de tipo A (el sistema de intervalos de tiempo).

14. Novena forma de realización (A5)

15 En una novena forma de realización (A5) de la presente tecnología, una orden REQ-ID se extiende utilizando el Tipo A (el sistema de intervalo de tiempo) como una base, la orden REQ-ID extendida se denomina REQ-ID_X, se añade información de identificación de aplicación de bytes (SC0 y SC1), y solamente la tarjeta IC 1 que tiene la información de identificación de aplicación puede responder.

20 La Figura 51 es un diagrama que ilustra un ejemplo de un formato de orden de REQ-ID_X. REQ-ID_X incluye REQ-ID, P1, P2, SC0, SC1 y CRC_B.

La inclusión o no de la información de identificación de aplicación se indica en b1 de P2. Una respuesta a REQ-ID_X se denomina ATQ-ID.

25 La Figura 52 es un diagrama que ilustra la codificación, a modo de ejemplo, de P2. En la Figura 52, b8 a b2 son 0. Si b1 es 0, se indica el cumplimiento de un formato REQ-ID. Si b1 es 1, se indica el cumplimiento de un formato REQ-ID_X.

30 15. Proceso de inicialización para ISO/IEC 18092 212 kbit/s + extensión JIS X 6319-4

En la norma ISO/IEC 18092 212 kbit/s a partir de 2017, la información relativa a una aplicación no se complementa en un proceso de anticollisión, pero esta parte se amplía con JIS X 6319-4.

35 La Figura 53 es un diagrama de flujo explicativo que ilustra un proceso de inicialización extendido. En el proceso de inicialización de la Figura 53, se designa una familia de aplicaciones denominada código de sistema (SC), el proceso de anticollisión (SOLICITUD DE SONDEO y RESPUESTA DE SONDEO) se realiza utilizando intervalos de tiempo en las etapas S231 y S232, se adquiere NFCID2 (identificador único) de una sola tarjeta IC 1 objetivo de comunicación en la pluralidad de tarjetas IC 1.

40 En la etapa S233, se determina si se utiliza, o no, el protocolo de transporte de ISO/IEC 18092. En caso de que se use el protocolo de transporte de ISO/IEC 18092, el dispositivo de procesamiento de tarjetas IC 2 envía ATR_REQ en la etapa S235 y recibe ATS_RES en la etapa S236. En la etapa S237, se realiza un proceso para una orden de PSL. En la etapa S238, se intercambian datos transparentes.

45 En un caso en donde el protocolo de transporte de ISO/IEC 18092 no se utiliza en la etapa S233, el proceso prosigue a la etapa S239 y se realiza un proceso de aplicación en la base JIS X 6319-4. Conviene señalar que en ISO/IEC 18092, el lado que envía la orden se denomina iniciador y el lado que envía la respuesta se denomina objetivo. En este caso, el lado de envío de órdenes se denomina dispositivo de procesamiento de tarjeta IC 2 y el lado de envío de respuesta se denomina tarjeta IC 1 en comparación con otra norma.

50 La Figura 54 es un diagrama que ilustra una configuración, a modo de ejemplo, de SOLICITUD DE SONDEO de una extensión JIS X 6319-4. La Figura 55 es un diagrama que ilustra una configuración, a modo de ejemplo, de RESPUESTA DE SONDEO de una extensión JIS X 6319-4.

55 16. Décima forma de realización (J1)

60 En una décima forma de realización (J1) de la presente tecnología, la presencia o ausencia de tarjeta es detectada por REQA-F/ATQA-F en un comienzo de un proceso de inicialización de ISO/IEC 18092 212 kbit/s. De este modo, es posible reducir el consumo de energía en presencia o en ausencia de la tarjeta.

65 El diagrama de flujo de la Figura 56 ilustra un ejemplo de un proceso de inicialización según la décima forma de realización de la presente tecnología. Conviene señalar que los procesos básicamente similares a los de las etapas S231 a S238 de la Figura 53 se realizan en las etapas S253 a S260 de la Figura 56, por lo que se omitirá la descripción repetida.

Es decir, cuando el dispositivo de procesamiento de tarjetas IC 2 envía REQA-F y la tarjeta IC 1 recibe REQA-F en un proceso de sondeo de las etapas S251 y S252, se envía ATQA-F. Por lo tanto, el dispositivo de procesamiento de tarjetas IC 2 recibe ATQA-F.

5 La Figura 57 es un diagrama que ilustra un ejemplo del formato de REQA-F. La Figura 58 es un diagrama que ilustra un ejemplo del formato de ATQA-F. Conviene señalar que se utiliza un sistema de modulación y de codificación de bits de ISO/IEC 18092 212 kbit/s.

17. Undécima forma de realización (J2)

10 Una undécima forma de realización (J2) de la presente tecnología es una modificación de la décima forma de realización (J1) de la presente tecnología. En la inicialización de la comunicación, no se realiza la anticollisión, es decir, se instruye una respuesta (un proceso de anticollisión que utiliza la colisión de bits) con un único intervalo de tiempo sin designar intervalos de tiempo. No se asume un caso en donde el dispositivo de procesamiento de tarjetas IC 2 realiza la recepción dividiendo la pluralidad de tarjetas IC 1 en intervalos de tiempo separados, se puede acortar un tiempo de espera de respuestas transmitiendo una SOLICITUD DE SONDEO sin designar los intervalos de tiempo. Como resultado, es posible acortar el tiempo de una transacción completa.

20 Conviene señalar que 0 está designado en un número de intervalo de tiempo de SOLICITUD DE SONDEO en la Figura 54.

18. Comparación de secuencias de procesos

25 Las Figuras. 59 y 60 son diagramas que ilustran las diferencias en un proceso hasta el acceso a archivos de conformidad con una combinación de inicialización de comunicación y un sistema de archivos.

La inicialización de la comunicación ilustrada en la Figura 59 es como sigue.

30 1. Las normas están proporcionadas por ISO/IEC 14443 de Tipo A (ISO/IEC 18092 106 kbit/s). La detección de la presencia o ausencia de la tarjeta, el reconocimiento de la tarjeta (adquisición de UID) y la activación del protocolo se realizan en secuencia. El reconocimiento de tarjeta significa que el PCD (el dispositivo de procesamiento de tarjetas IC 2) reconoce individualmente el PICC (la tarjeta IC 1) por UID o similar incluido en una respuesta cuando responde el PICC (la tarjeta IC 1).

35 2. Las normas están proporcionadas por ISO/IEC 14443 de Tipo B. Después de seleccionar una familia de aplicaciones, el reconocimiento de la tarjeta y la activación del protocolo se realizan en secuencia. En él se incluye la sexta forma de realización (Ejemplo B1) (aplicación de intervalos de tiempo al Tipo B).

40 3. La primera forma de realización (Ejemplo A1) y la segunda forma de realización (Ejemplo A2) basadas en el Tipo A. Después de la detección de la presencia o ausencia de tarjeta, la selección de una familia de aplicaciones (código de sistema de 2 bytes) y el reconocimiento de tarjeta (8 bytes IDm) se realizan utilizando anticollisión de CL1 a CL3.

45 4. La cuarta forma de realización (Ejemplo A3) basada en el Tipo A. La detección de la presencia o ausencia de la tarjeta no se realiza y el reconocimiento de la tarjeta se realiza después de seleccionar una familia de aplicaciones o una aplicación.

5. La quinta forma de realización (Ejemplo A4) basada en el Tipo A. No se realiza la detección de presencia o ausencia de tarjeta y anticollisión y se selecciona una familia de aplicaciones o una aplicación.

50 6. La séptima forma de realización (Ejemplo B2) basada en el Tipo B. AFI se extiende y no solamente se puede seleccionar una familia de aplicaciones sino también una aplicación.

55 7. La octava forma de realización (Ejemplo B3) basada en el Tipo B. En un comienzo de inicialización, se introduce REQA/ATQA de Tipo A (el Tipo B se utiliza en modulación y codificación de bits) para realizar el sondeo a alta velocidad y con bajo consumo de energía.

8. Extensión de ISO/IEC 18092 212 kbit/s por JIS X 6319-4. Se realiza anticollisión en donde se pueda seleccionar una familia de aplicaciones y se utilizan intervalos de tiempo.

60 9. La décima forma de realización (Ejemplo J1) basada en 18092. Se presenta REQA/ATQA de Tipo A (ISO/IEC 18092 212 kbit/s en modulación y codificación de bits) para realizar sondeos a alta velocidad y con bajo consumo de energía.

65 10. La undécima forma de realización (Ejemplo J2) basada en 18092. Como en el Ejemplo J1, se introduce REQA/ATQA de Tipo A para realizar sondeos a mayor velocidad y con bajo consumo de energía en donde se omite la anticollisión.

Un sistema de archivos ilustrado en la Figura 60 es como sigue.

F.1. Las normas están proporcionadas por ISO/IEC 7816-4. Para una tarjeta seleccionada, después de seleccionar un archivo como DF o EF con una orden SELECT, se realiza el acceso a un archivo seleccionado con una orden READ BINARY o similar.

F.2. Las regulaciones están proporcionadas por JIS X6319-4. El acceso a un archivo designado en una tarjeta designada se realiza con una orden de lectura que incluye un identificador de una tarjeta e identificadores tales como un código de zona y un código de servicio (identificación de una aplicación o un archivo).

Tal como se describió con anterioridad, de conformidad con la presente tecnología, al completar la selección de una aplicación por parte del dispositivo de procesamiento de tarjetas IC (PCD) en una etapa temprana hasta la finalización del proceso de anticolisión, es posible iniciar de manera rápida el proceso de la aplicación con la tarjeta IC (PICC), lo que contribuye a reducir el tiempo total de una transacción de RF.

Seleccionando una aplicación antes del proceso de anticolisión y contribuyendo a una reducción en las tarjetas IC (PICC) que responden en la anticolisión, también se contribuye a una reducción en los procesos del dispositivo de procesamiento de tarjetas IC (PCD).

Actualmente, existe un sistema de transporte público (por ejemplo, Suica) como uno de los campos de aplicación de los sistemas de comunicación inalámbricos de corto alcance como FeliCa (marca registrada) de Sony Corporation, que es el presente solicitante. A partir del hecho de que se solicita un proceso de aceleración en donde el tiempo de procesamiento de la tarjeta es de 200 ms o menos en una compuerta automática de billetes, la aceleración también contribuye a lograr el rendimiento del proceso solicitado en un sistema de transporte público, incluso en un sistema de comunicación inalámbrica de corto alcance utilizando el Tipo A en donde una velocidad de comunicación de RF es de 106 kbps (por ejemplo, una velocidad de comunicación de RF es de 212 kbps de FeliCa (marca registrada)).

19. Ejemplo de configuración de ordenador

La serie de procesos descritos con anterioridad se pueden ejecutar por hardware, y también se puede ejecutar por software. En el caso de ejecutar la serie de procesos por software, se instala en un ordenador un programa que forma el software. En el presente documento, el término ordenador incluye un ordenador integrado en un hardware de uso especial, un ordenador capaz de ejecutar varias funciones mediante la instalación de diversos programas en el mismo, tal como un ordenador personal de uso general, por ejemplo, y similares.

La Figura 61 es un diagrama de bloques que ilustra una configuración de hardware, a modo de ejemplo, de un ordenador que ejecuta la serie de procesos descritos con anterioridad según un programa. Por ejemplo, el dispositivo de control 21 ilustrado en la Figura 1 incluye el ordenador ilustrado en la Figura 61.

En el ordenador ilustrado en la Figura 61, una unidad central de procesamiento (CPU) 301, una memoria de solo lectura (ROM) 302 y una memoria de acceso aleatorio (RAM) 303 están interconectadas a través de un bus 304.

Además, una interfaz de entrada/salida 305 también está conectada al bus 304. Una unidad de entrada 306, una unidad de salida 307, una unidad de almacenamiento 308, una unidad de comunicación 309 y un controlador 310 están conectados a la interfaz de entrada/salida 305.

La unidad de entrada 306 incluye un teclado, un ratón, un micrófono, un panel táctil, un terminal de entrada y similares, a modo de ejemplo. La unidad de salida 307 incluye una pantalla, un altavoz, un terminal de salida y similares, a modo de ejemplo. La unidad de almacenamiento 308 incluye un disco duro, un disco RAM, una memoria no volátil y similares, a modo de ejemplo. La unidad de comunicación 309 incluye una interfaz de red, a modo de ejemplo. El controlador 310 acciona un medio extraíble 311 tal como un disco magnético, un disco óptico, un disco magnetoóptico o una memoria de semiconductores.

Además, en una tarjeta IC 1 configurada tal como se ilustra en la Figura 1, la serie de procesos descritos con anterioridad se realizan haciendo que la CPU 10 cargue un programa almacenado en la memoria de datos 13 en la memoria de trabajo 12 a través de la CPU 10 y ejecuta el programa, a modo de ejemplo. Además, los datos necesarios para que la CPU 10 ejecute varios procesos y similares también se almacenan en la memoria de trabajo 12 según corresponda.

El programa ejecutado por el ordenador (CPU 10) puede aplicarse registrándose en el medio extraíble (no ilustrado) como una instancia de medios empaquetados o similar, a modo de ejemplo. En este caso, el programa puede instalarse en la memoria de datos 13 a través de la CPU 10 insertando el medio extraíble en el controlador.

Además, el programa también se puede proporcionar a través de un medio de transmisión alámbrico o inalámbrico, tal como una red de área local, la red Internet o una transmisión digital por satélite. En este caso, el programa puede ser recibido por la interfaz 17 e instalado en la memoria de datos 13.

De lo contrario, el programa también puede estar preinstalado en la memoria de trabajo 12 o en la memoria de datos 13.

5 En un ordenador configurado como anteriormente, la serie de procesos descritos con anterioridad se realiza haciendo que la CPU 10 cargue un programa almacenado en la memoria de datos 13 en la memoria de trabajo 12 y ejecuta el programa, a modo de ejemplo. Además, los datos necesarios para que la CPU 10 ejecute varios procesos y similares también se almacenan en la memoria de trabajo 12 según corresponda.

10 El programa ejecutado por el ordenador (CPU 10) puede aplicarse registrándose en el medio extraíble como una instancia de medios empaquetados o similar, a modo de ejemplo. En este caso, el programa puede instalarse en la memoria de trabajo 12 a través de la CPU 10 insertando el medio extraíble en el controlador.

15 Además, el programa también se puede proporcionar a través de un medio de transmisión alámbrico o inalámbrico, tal como una red de área local, la red Internet o una transmisión digital por satélite. En este caso, el programa puede ser recibido por la interfaz 17 e instalado en la memoria de trabajo 12.

20 De lo contrario, el programa también puede estar preinstalado en la memoria de programa 11 o en la memoria de trabajo 12.

Además, una forma de realización de la presente tecnología no se limita a las formas de realización descritas con anterioridad, y se pueden realizar varios cambios y modificaciones sin desviarse por ello del alcance de la presente tecnología.

25 Por ejemplo, en esta especificación, un sistema significa un conjunto de una pluralidad de elementos constituyentes (por ejemplo, dispositivos o módulos (partes)), independientemente de si todos los elementos constituyentes están, o no, en el mismo alojamiento. En consecuencia, una pluralidad de dispositivos que están contenidos en diferentes alojamientos y conectados a través de una red y un dispositivo en donde una pluralidad de módulos están contenidos en un alojamiento son ambos sistemas.

30 Además, por ejemplo, un elemento descrito como un único dispositivo (o unidad de procesamiento) puede dividirse y configurarse como una pluralidad de dispositivos (o unidades de procesamiento). Por el contrario, los elementos descritos con anterioridad como una pluralidad de dispositivos (o unidades de procesamiento) pueden configurarse de manera colectiva como un único dispositivo (o unidad de procesamiento). Además, se puede añadir un elemento diferente a los descritos con anterioridad a la configuración de cada dispositivo (o unidad de procesamiento). Además, una parte de la configuración de un determinado dispositivo (o unidad de procesamiento) puede incluirse en la configuración de otro dispositivo (u otra unidad de procesamiento) siempre que la configuración o el funcionamiento del sistema en su conjunto sea sustancialmente el mismo.

40 Además, por ejemplo, la presente tecnología puede adoptar una configuración de cálculo en la nube informática que realiza el procesamiento asignando y compartiendo una función por una pluralidad de dispositivos a través de una red.

45 Además, por ejemplo, el programa descrito con anterioridad se puede ejecutar en cualquier dispositivo. En este caso, es suficiente si el dispositivo tiene una función necesaria (bloque funcional o similar) y puede obtener la información necesaria.

50 Además, por ejemplo, cada etapa descrita por los diagramas de flujo descritos con anterioridad puede ser ejecutada por un solo dispositivo o ejecutada al ser asignada a una pluralidad de dispositivos. Además, en el caso de que se incluya una pluralidad de procesos en una etapa, la pluralidad de procesos incluidos en esta única etapa puede ejecutarse mediante un dispositivo o ejecutarse asignándose a una pluralidad de dispositivos.

55 Conviene señalar que, en un programa ejecutado por un ordenador, el procesamiento en etapas que describen el programa puede ejecutarse de manera cronológica en el orden descrito en esta especificación, o puede ejecutarse de forma simultánea o de manera individual en el momento necesario, como cuando se realiza una llamada. Además, el procesamiento en etapas, que describe el programa, puede ejecutarse simultáneamente con el procesamiento de otro programa, o puede ejecutarse en combinación con el procesamiento de otro programa.

60 Conviene señalar que la pluralidad de tecnologías presentes descritas en esta memoria descriptiva se puede realizar por sí solas independientemente unas de otras, a menos que surja una contradicción. Por supuesto, cualquier pluralidad de las presentes tecnologías se puede realizar en combinación. En un ejemplo, la presente tecnología descrita en cualquiera de las formas de realización se puede realizar en combinación con la presente tecnología descrita en otra forma de realización. Además, cualquiera de las tecnologías presentes descritas con anterioridad se puede realizar en combinación con otra tecnología que no se describa con anterioridad.

LISTA DE REFERENCIAS NUMÉRICAS

	1 Tarjeta CI
5	2 Dispositivo de procesamiento de tarjetas IC
	10 UPC
10	11 Memoria de programa
	12 Memoria de trabajo
	12a Tabla de gestión de canales lógicos
15	12b Tabla de gestión de historial
	13 Memoria de datos
20	15 Unidad de control de comunicaciones
	16 Unidad de alimentación
	17 Interfaz
25	51 Dispositivo NFC
	71 Dispositivo host DH
30	72 NFCC
	73 NFCEE
	74 Antena

REIVINDICACIONES

1. Un dispositivo de comunicación (2) que comprende:
- 5 una unidad de selección de aplicación configurada para seleccionar una aplicación alojada por un dispositivo objetivo de comunicación (1); y
- una unidad de adquisición de información de identificación configurada para adquirir información de identificación del dispositivo objetivo de comunicación después de que la unidad de selección de aplicación seleccione la aplicación,
- 10 caracterizado por cuanto que
- la unidad de selección de aplicación selecciona la aplicación alojada por el dispositivo objetivo de comunicación incluyendo información de identificación de aplicación de 2 bytes en una orden (21) que se transmitirá en primer lugar en un proceso de anticolisión entre el dispositivo de comunicación y el dispositivo objetivo de comunicación,
- 15 la unidad de adquisición de información de identificación adquiere la información de identificación del dispositivo objetivo de comunicación realizando el proceso de anticolisión.
- 20 2. El dispositivo de comunicación según la reivindicación 1,
- en donde el proceso de anticolisión se realiza utilizando un intervalo de tiempo.
3. El dispositivo de comunicación según la reivindicación 1,
- 25 en donde un valor SEL de una primera orden en el proceso de anticolisión se establece en un valor predeterminado.
4. El dispositivo de comunicación según la reivindicación 1, que comprende, además, una de entre:
- 30 una unidad de detección de dispositivos configurada para designar la información de identificación de aplicación y detectar si existe, o no, un dispositivo objetivo de comunicación al comienzo de un proceso de inicialización antes del proceso de anticolisión de designación de un intervalo de tiempo; y
- una unidad de detección de dispositivos configurada para designar la información de identificación de aplicación y detectar si existe, o no, un dispositivo objetivo de comunicación al comienzo de un proceso de inicialización antes del proceso de anticolisión en donde se utiliza la colisión de bits.
- 35 5. El dispositivo de comunicación según la reivindicación 1,
- 40 en donde la unidad de selección de aplicación selecciona la aplicación alojada por el dispositivo objetivo de comunicación utilizando una orden de sondeo extendido en donde se utiliza una trama estándar.
6. El dispositivo de comunicación según la reivindicación 5,
- 45 en donde la orden de sondeo extendido almacena la información de identificación de aplicación y un tramo de la información de identificación de aplicación.
7. El dispositivo de comunicación según la reivindicación 5,
- 50 en donde la orden de sondeo extendido incluye una orden clasificada para cada tipo de información de identificación de aplicación.
8. El dispositivo de comunicación según la reivindicación 5,
- 55 en donde una orden de respuesta enviada por el dispositivo objetivo de comunicación que recibe la orden de sondeo extendido incluye al menos una de entre la información de identificación y la información de protocolo del dispositivo objetivo de comunicación.
9. El dispositivo de comunicación según la reivindicación 1,
- 60 en donde la unidad de selección de aplicación introduce intervalos de tiempo y realiza un proceso de anticolisión para designar la información de identificación de aplicación y del número de intervalos como un proceso de inicialización de la comunicación.
- 65 10. El dispositivo de comunicación según la reivindicación 1,

en donde la unidad de selección de aplicación realiza un proceso de anticollisión de designación de la información de identificación de aplicación y del número de intervalos como un proceso de inicialización de la comunicación, y

la información de identificación de aplicación también se puede designar en 2 bytes.

5
11. El dispositivo de comunicación según la reivindicación 1,
en donde la unidad de selección de aplicación detecta si existe, o no, un dispositivo objetivo de comunicación a través
de un proceso de sondeo al comienzo de un proceso de inicialización de comunicación y realiza un proceso de
10 anticollisión de designación de información de identificación de aplicación y del número de intervalos como el proceso
de inicialización de comunicación.

12. El dispositivo de comunicación según la reivindicación 1,

15 en donde el dispositivo objetivo de comunicación es un dispositivo de comunicación de campo cercano (NFC).

13. Un método de comunicación que comprende:

mediante un dispositivo de comunicación,

20 seleccionar una aplicación alojada por un dispositivo objetivo de comunicación (1) incluyendo información de
identificación de aplicación de 2 bytes en una orden (21) para ser transmitida en primer lugar en un proceso de
anticollisión entre el dispositivo de comunicación y el dispositivo objetivo de comunicación; y

25 adquirir información de identificación del dispositivo objetivo de comunicación después de seleccionar la aplicación
realizando el proceso de anticollisión.

FIG. 1

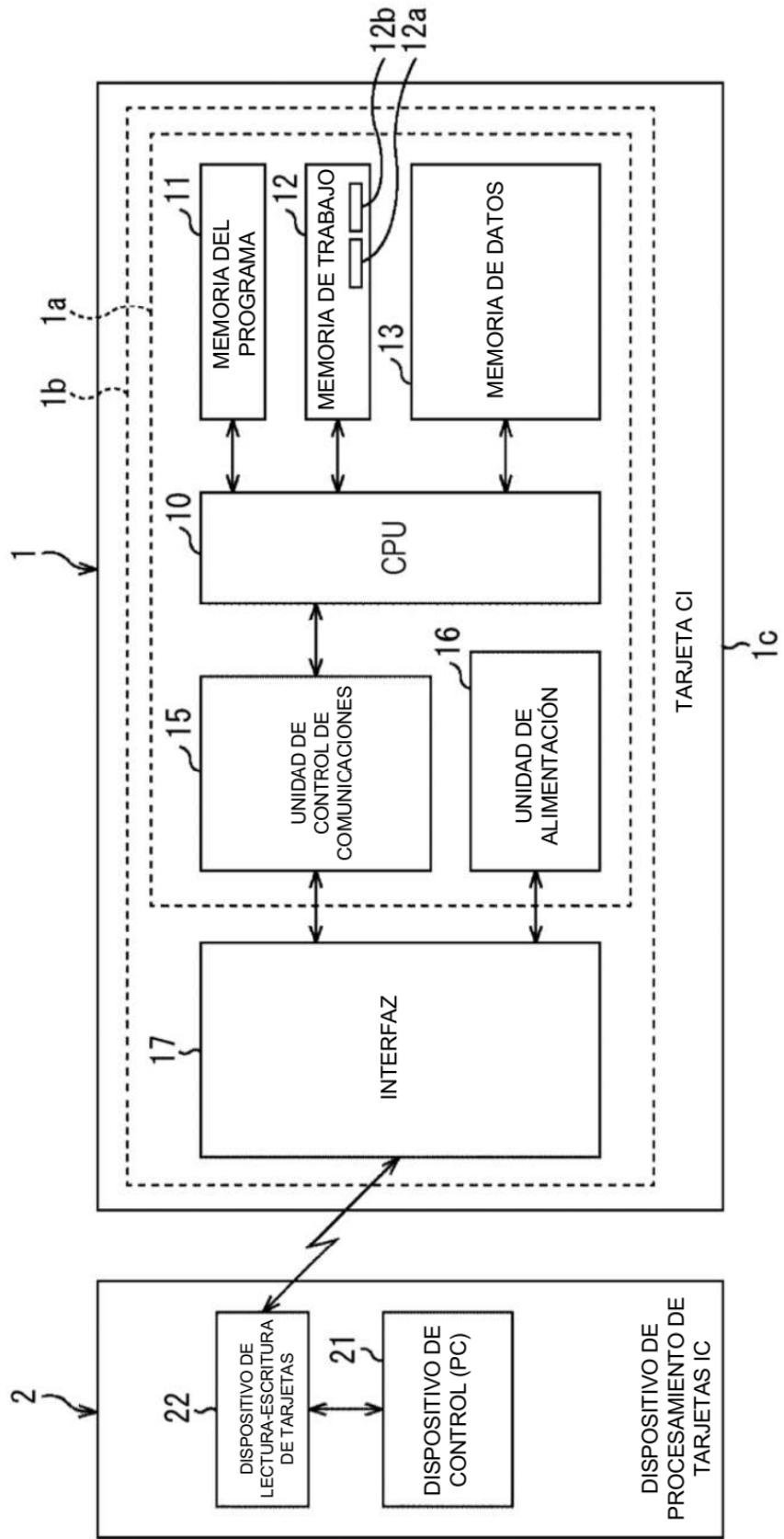


FIG. 2

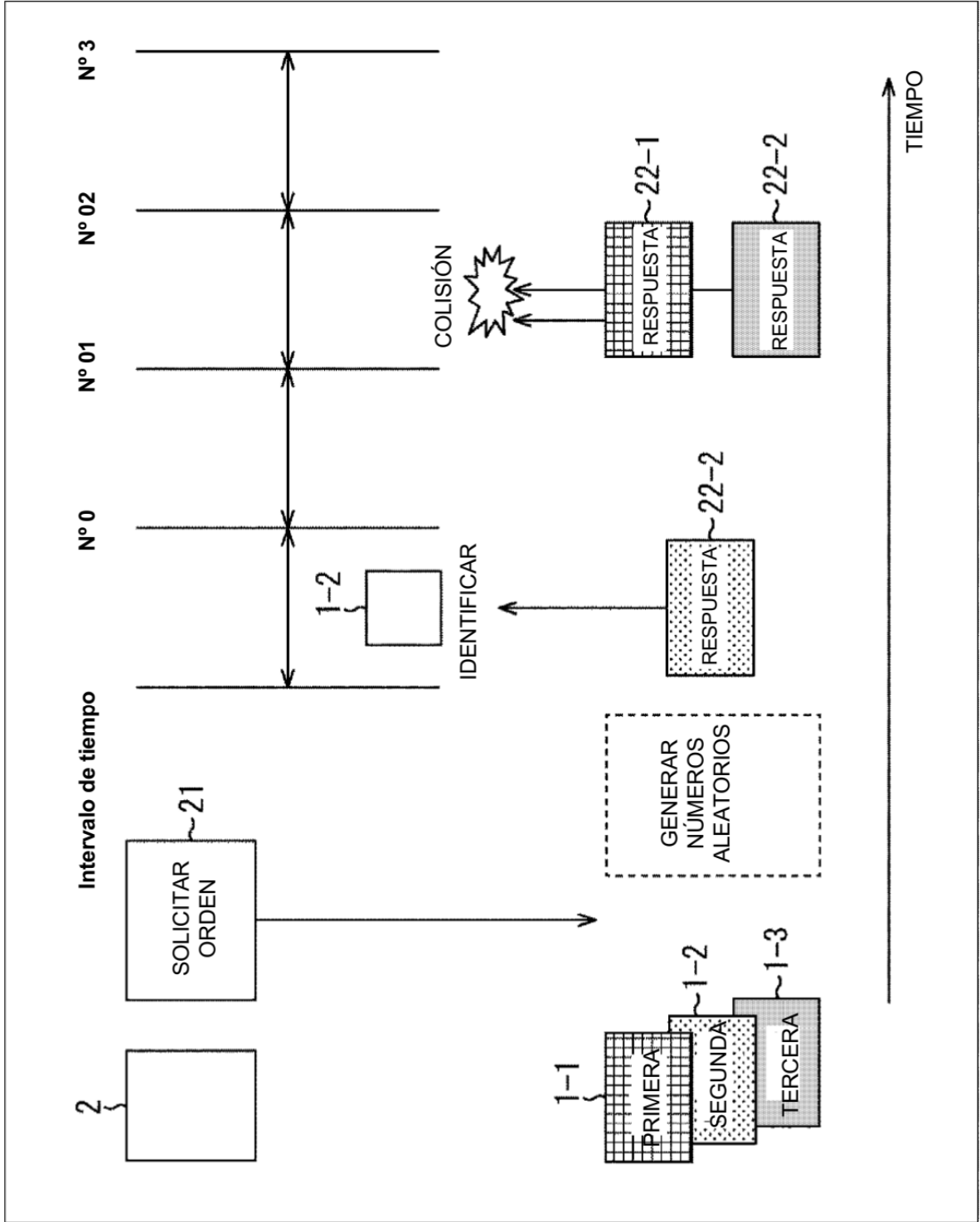


FIG. 3

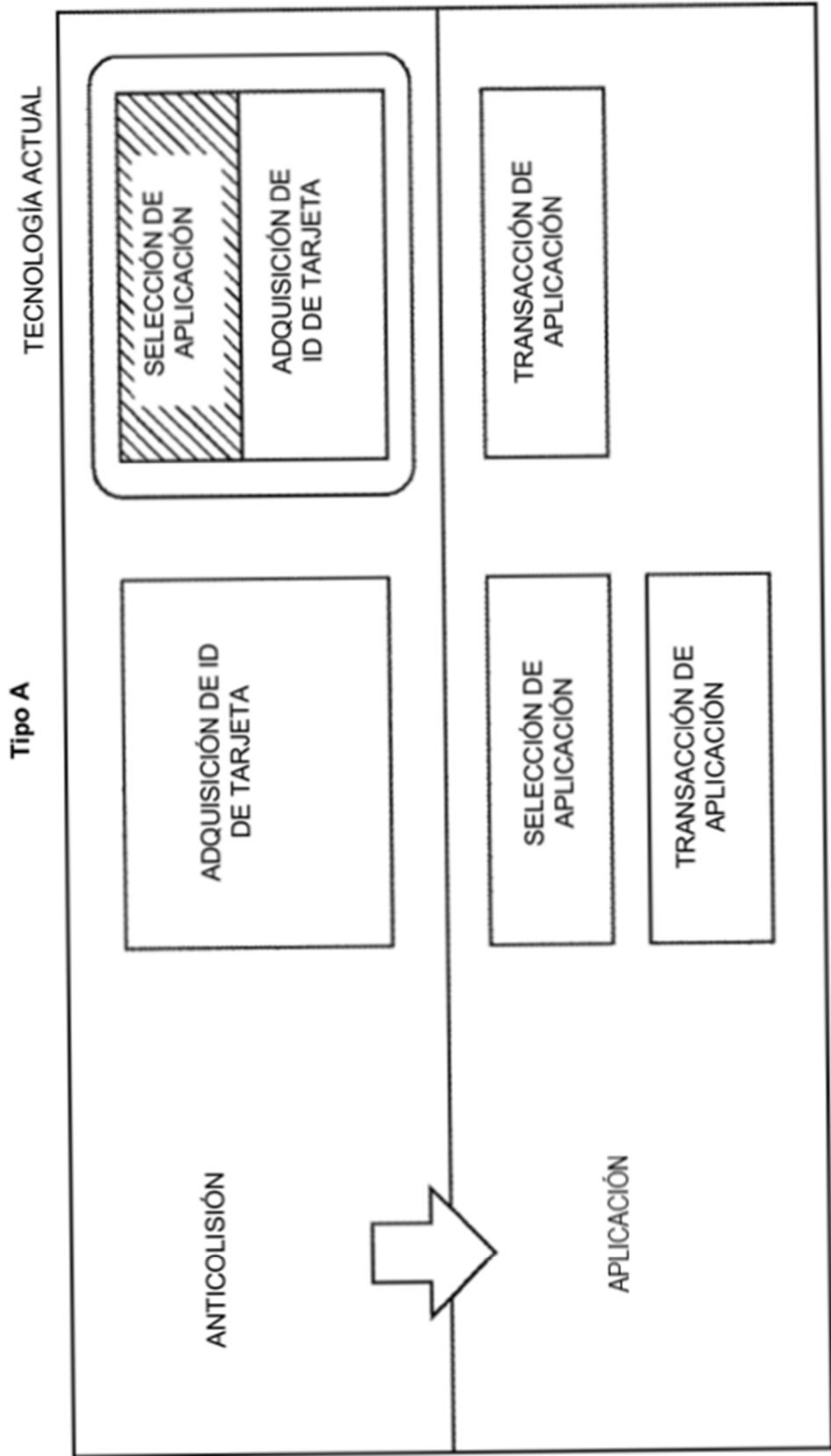


FIG. 4

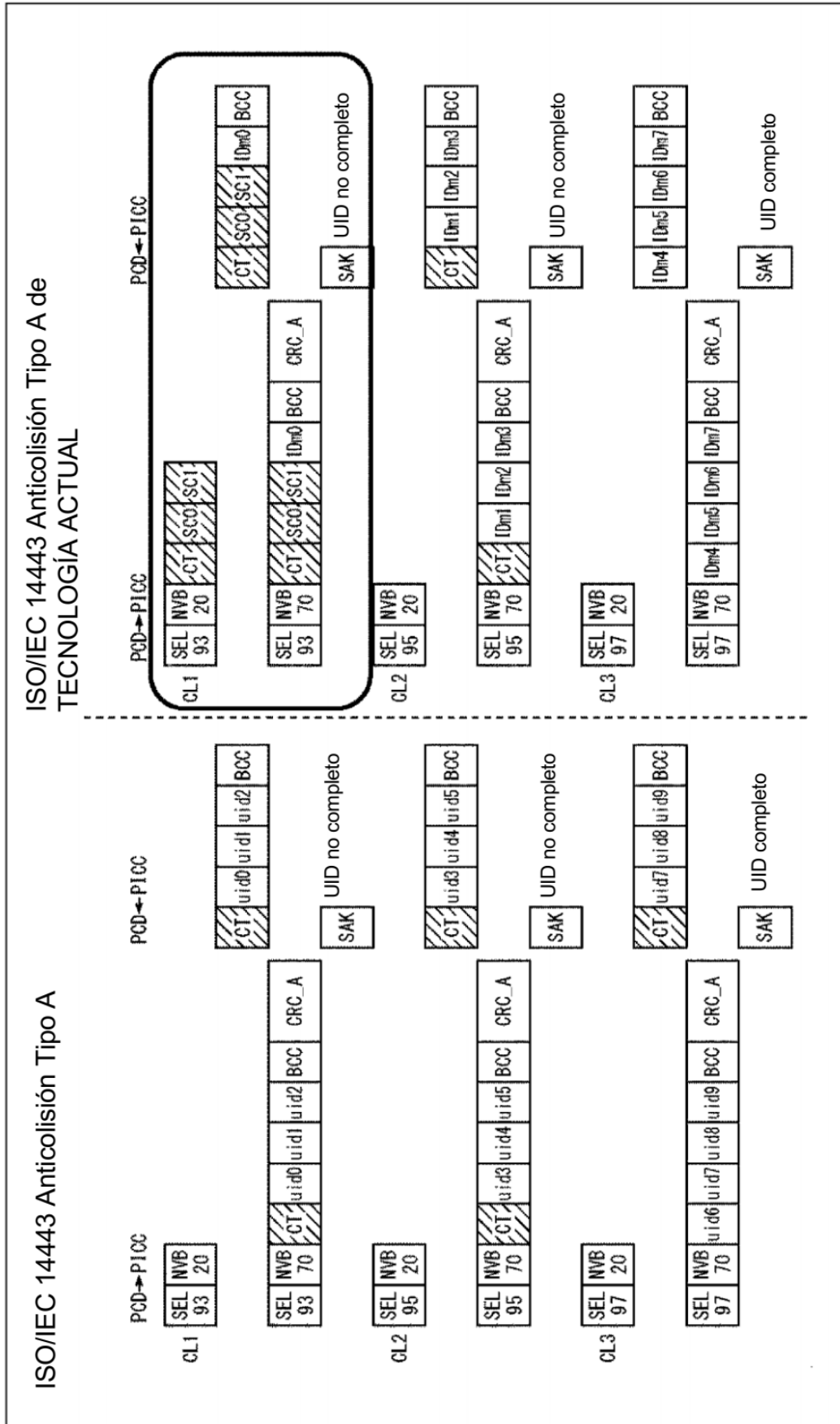


FIG. 5

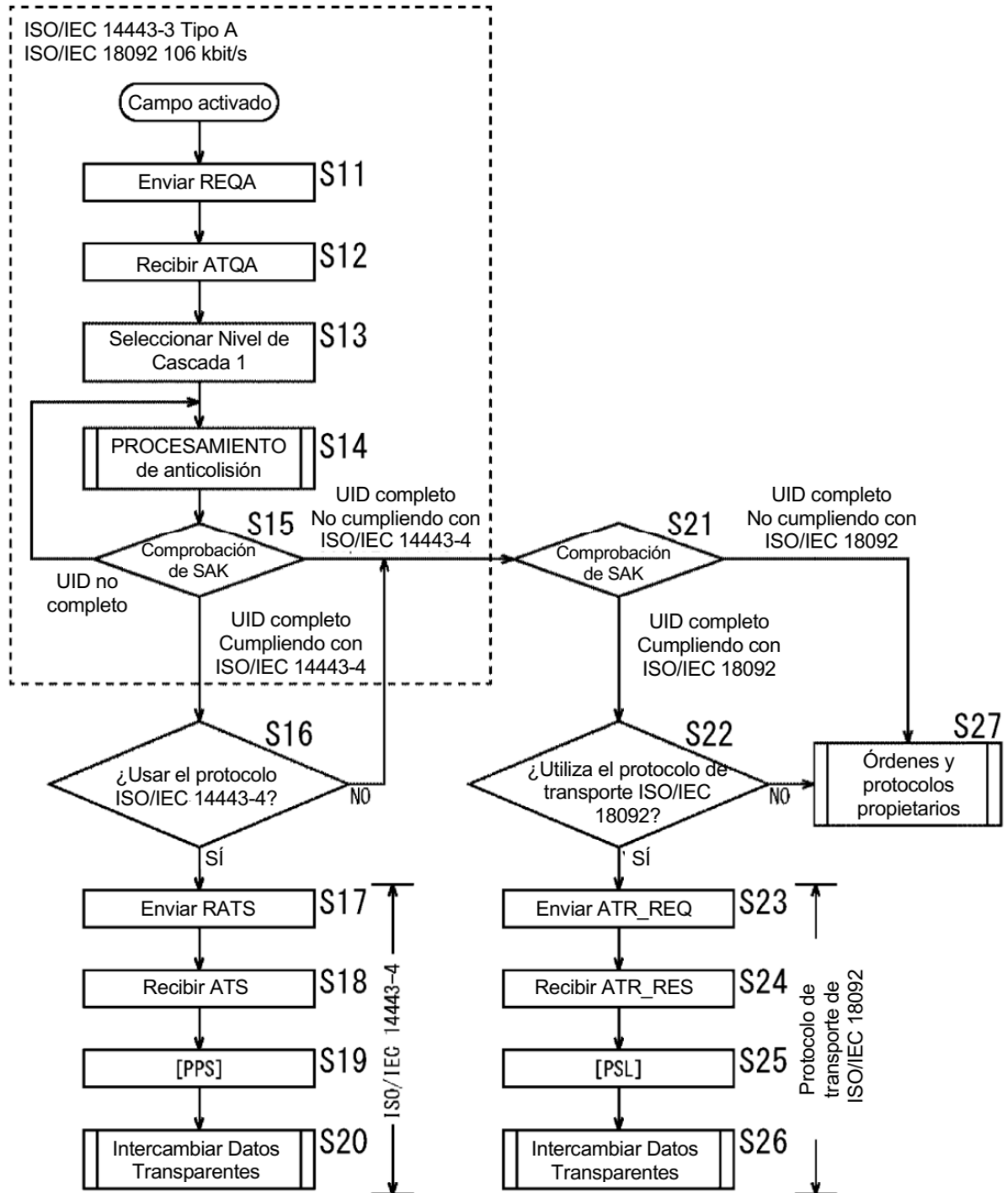


FIG. 6

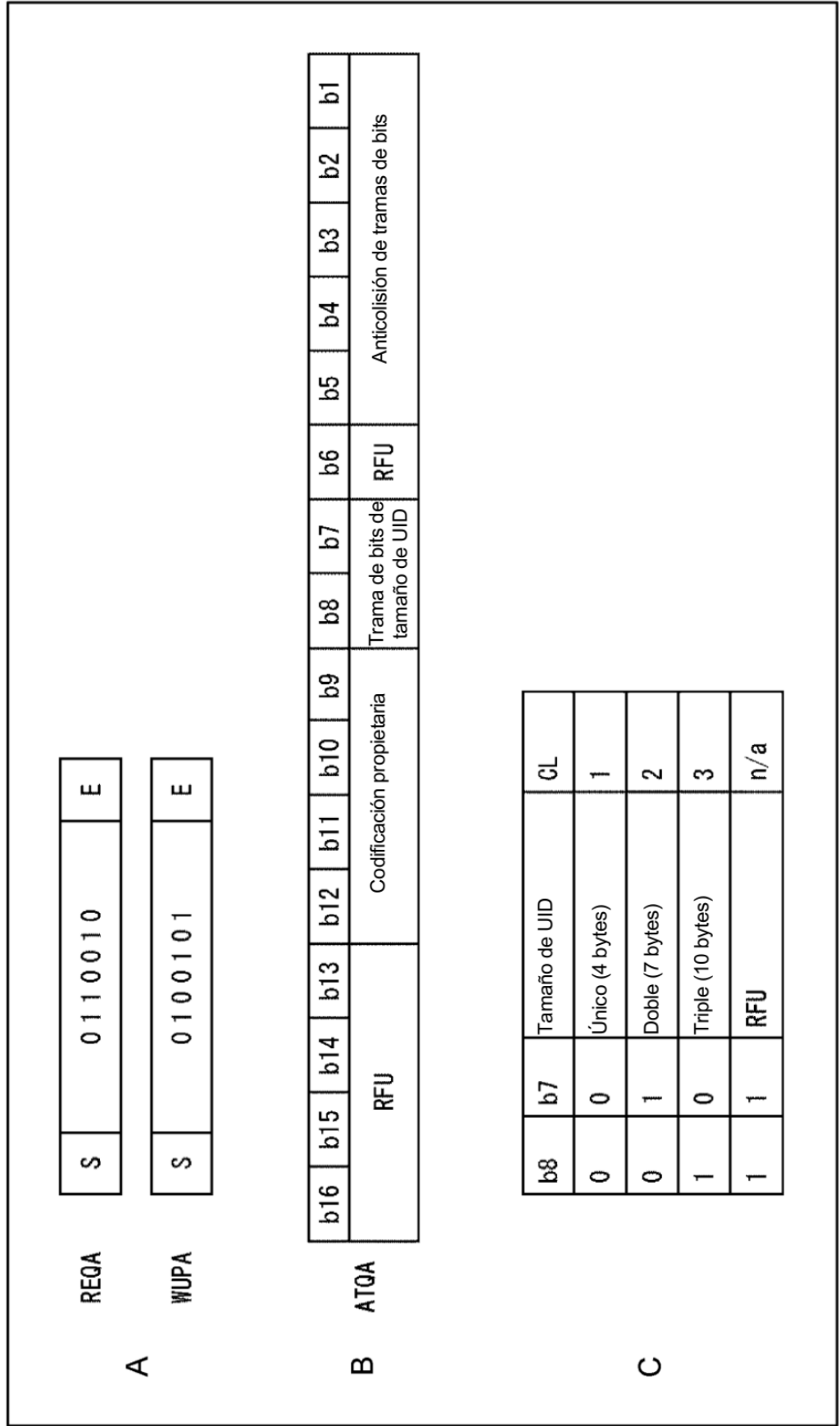


FIG. 7

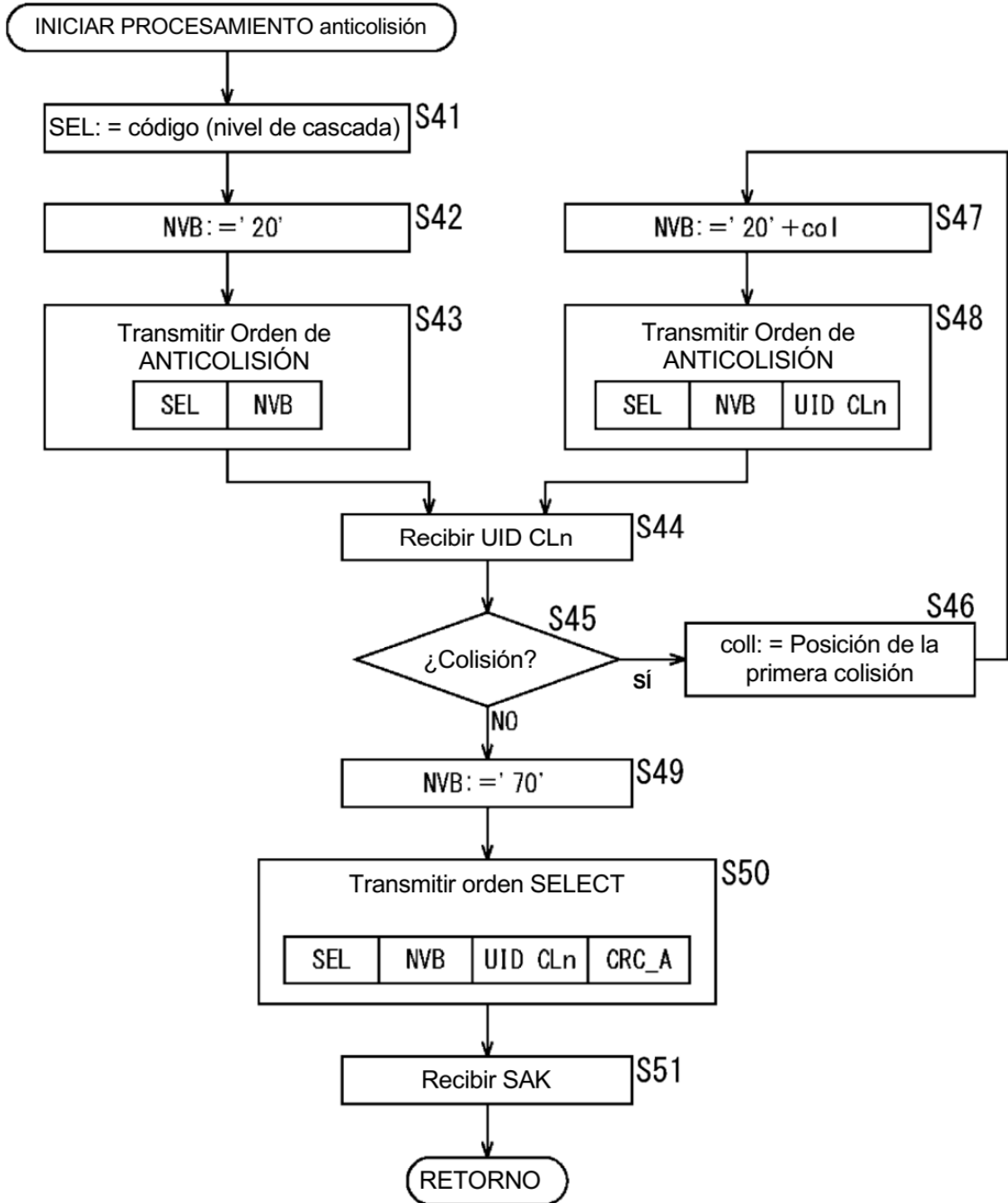


FIG. 8

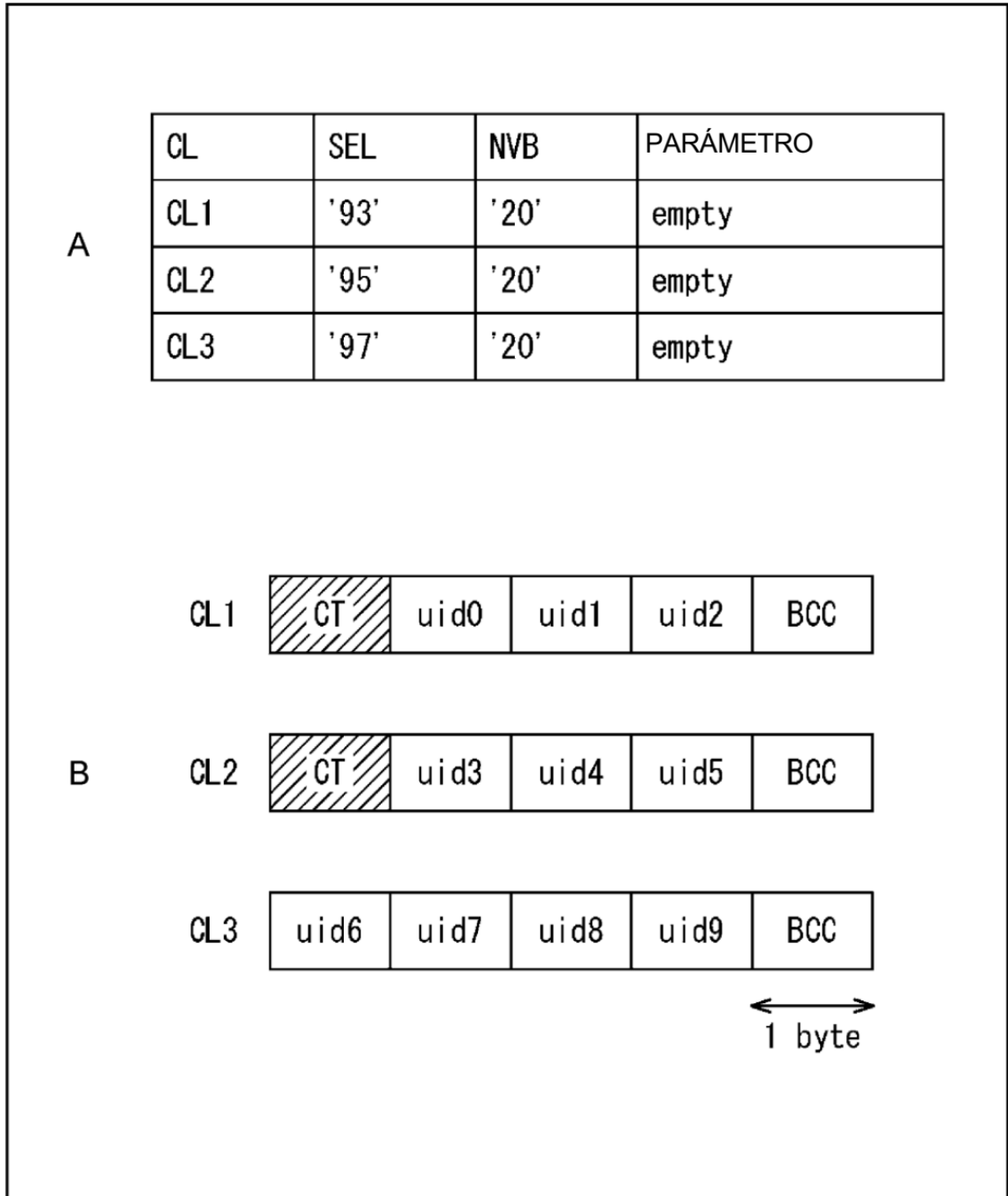


FIG. 9

b8	b7	b6	b5	b4	b3	b2	b1	Significado
x	x	x	x	x	1	x	x	Conjunt de bits en cascada: UID no completo
x	x	1	x	x	0	x	x	UID completo, PICC cumple con ISO/IEC 14443-4
x	x	0	x	x	0	x	x	UID completo, PICC no cumple con ISO/IEC 14443-4
"x" significa un valor "no importa".								

FIG. 10

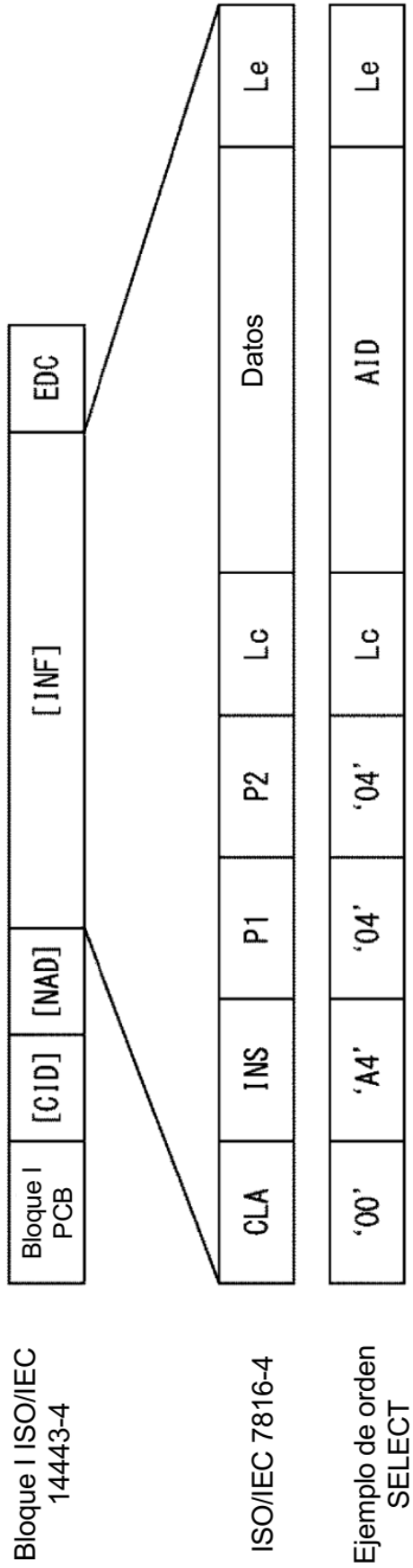


FIG. 11

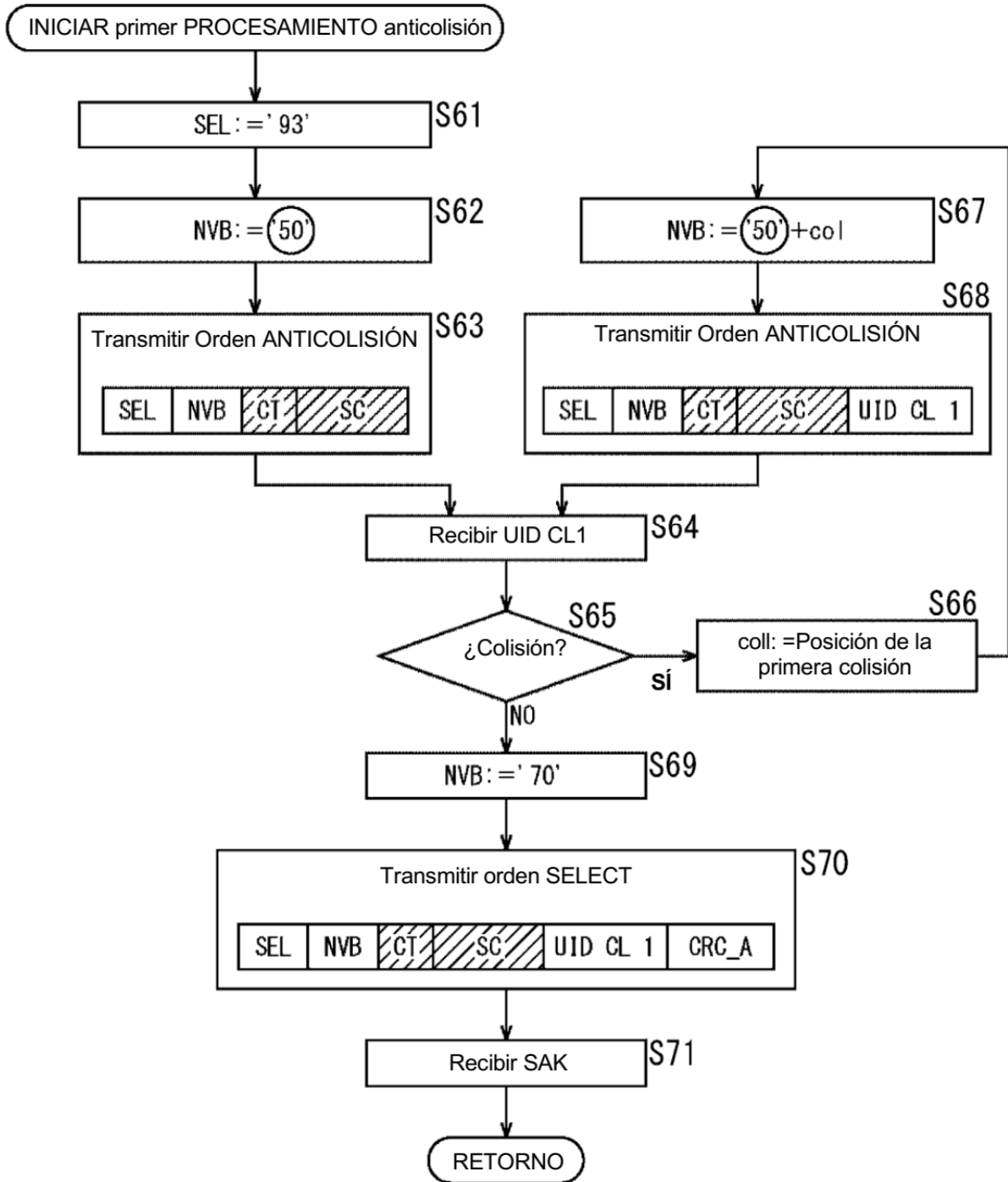


FIG. 12

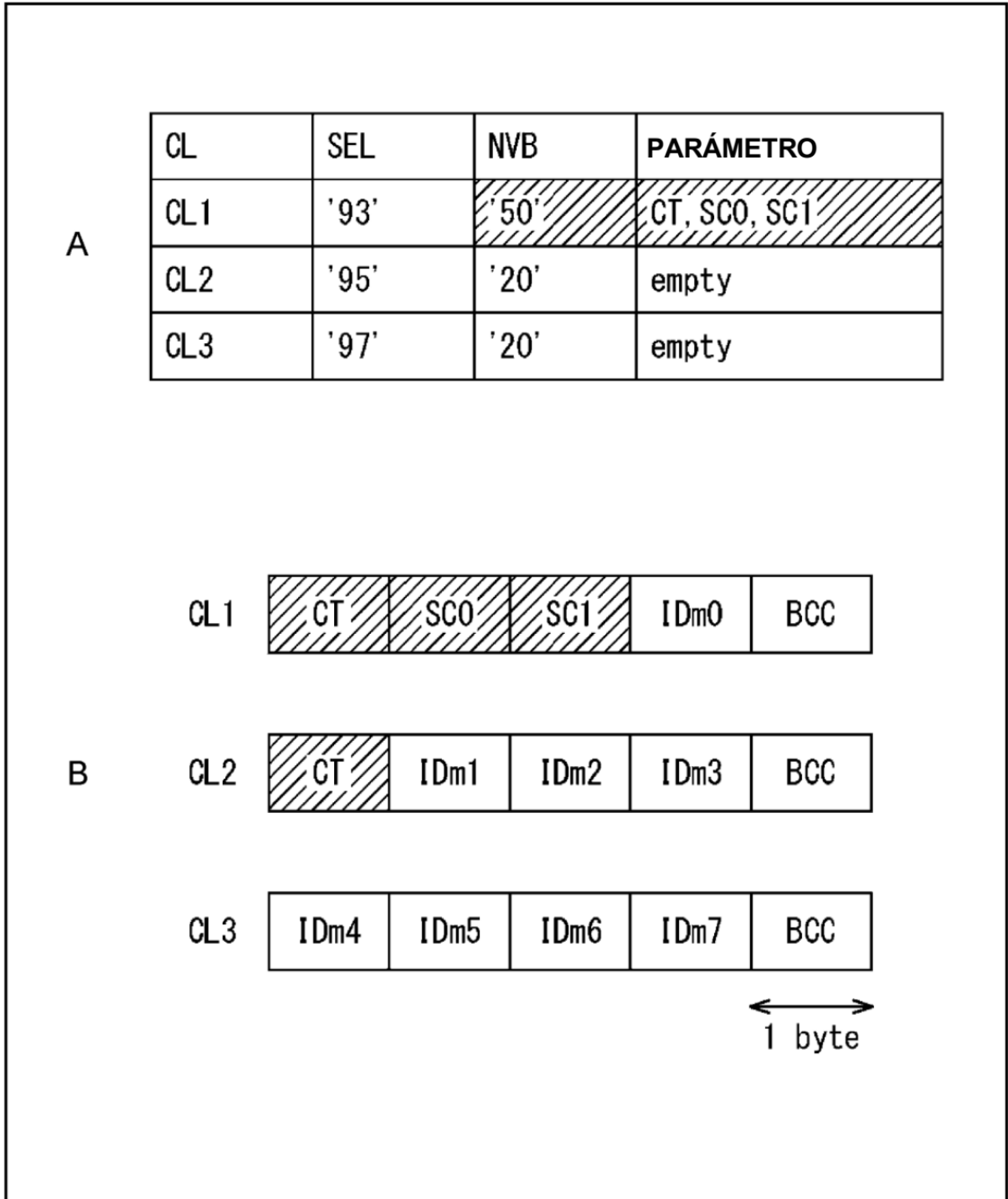


FIG. 13

CL	SEL	NVB	PARÁMETRO
CL1	'9F'	'50'	CT, SC0, SC1
CL2	'95'	'20'	empty
CL3	'97'	'20'	empty

FIG. 14

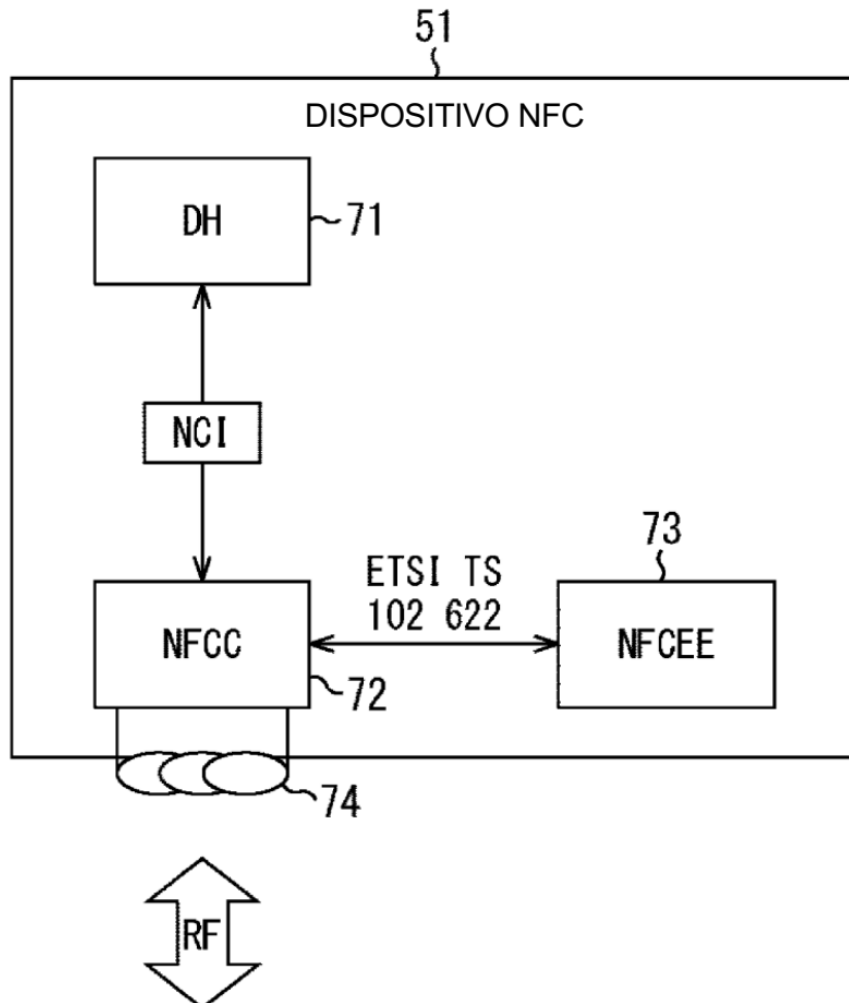


FIG. 15

Campo(s) de carga útil	Longitud	Valor/Descripción
Ruta	1 octeto	ID NFCEE DE DESTINO DE RUTA
Estado de energía	1 octeto	CONDICIÓN DEL Estado de Energía AL QUE SE APLICA LA CONFIGURACIÓN DE ENRUTAMIENTO
Lista de rutas SC	2n octetos	LISTA DE CONEXIONES DE n SCS (2 BYTES)

FIG. 16

CL	SEL	NVB	PARÁMETRO
CL1	'9F'	'40'	CT, AI0
		'50'	CT, AI0, AI1
		'60'	CT, AI0, AI1, AI2
CL2	'95'	'20'	empty
		'40'	CT, AI3
		'50'	CT, AI3, AI4
		'60'	CT, AI3, AI4, AI5
CL3	'97'	'20'	empty

FIG. 17

CL	SEL	NVB	PARÁMETRO
CL1	'9F'	'40'	CT, AI0
		'50'	CT, AI0, AI1
		'60'	CT, AI0, AI1, AI2
CL2	'95'	'20'	empty
		'40'	CT, AI3
		'50'	CT, AI3, AI4
		'60'	CT, AI3, AI4, AI5
CL3	'97'	'40'	CT, AI6
		'50'	CT, AI6, AI7
		'60'	CT, AI6, AI7, AI8
CL4	'99'	'20'	empty
		'40'	CT, AI9
		'50'	CT, AI9, AI10
		'60'	CT, AI9, AI10, AI11
CL5	'9B'	'20'	empty
		'40'	CT, AI12
		'50'	CT, AI12, AI13
		'60'	CT, AI12, AI13, AI14
CL6	'9D'	'20'	empty
		'40'	CT, AI15
CL7	'90'	'20'	empty

FIG. 18

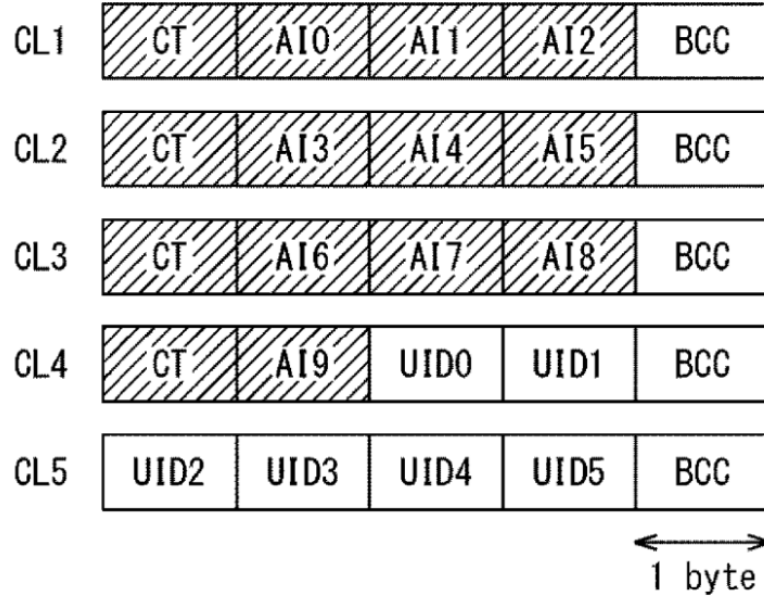


FIG. 19

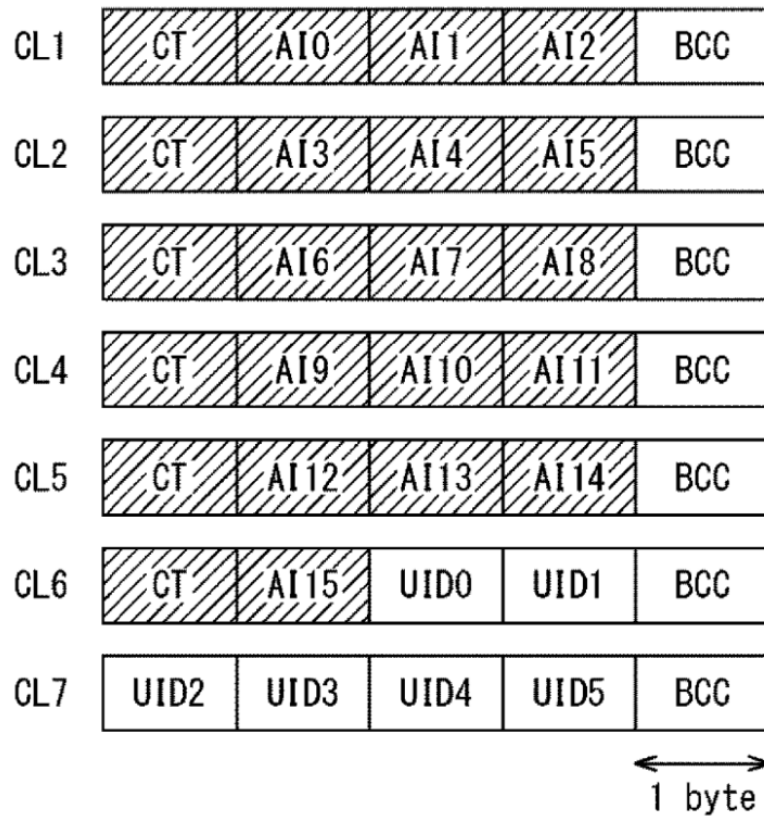


FIG. 20



FIG. 21

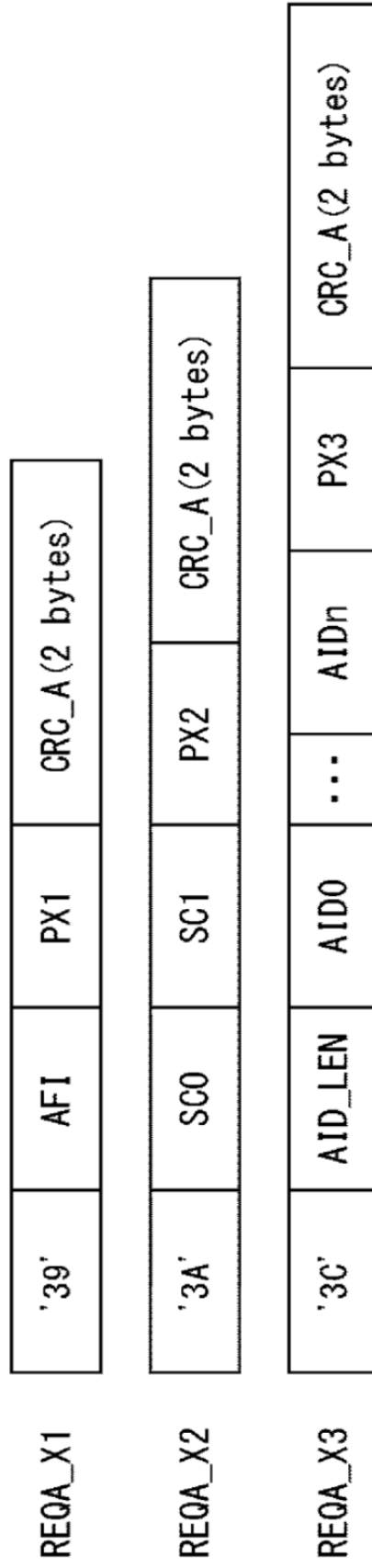


FIG. 22

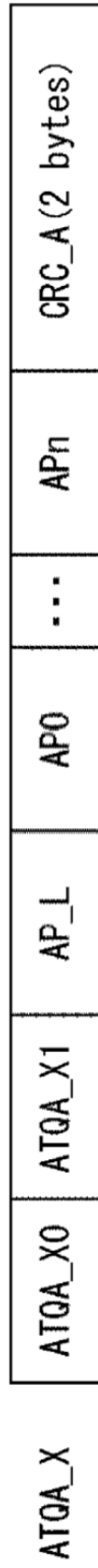


FIG. 23

	b8	b7	b6	b5	b4	b3	b2	b1
ATQA_X0	Trama de bits de tamaño UID		RFU	Anticolisión de tramas de bits				
	b16	b15	b14	b13	b12	b11	b10	b9
ATQA_X1	RFU				Codificación propietaria			

FIG. 24

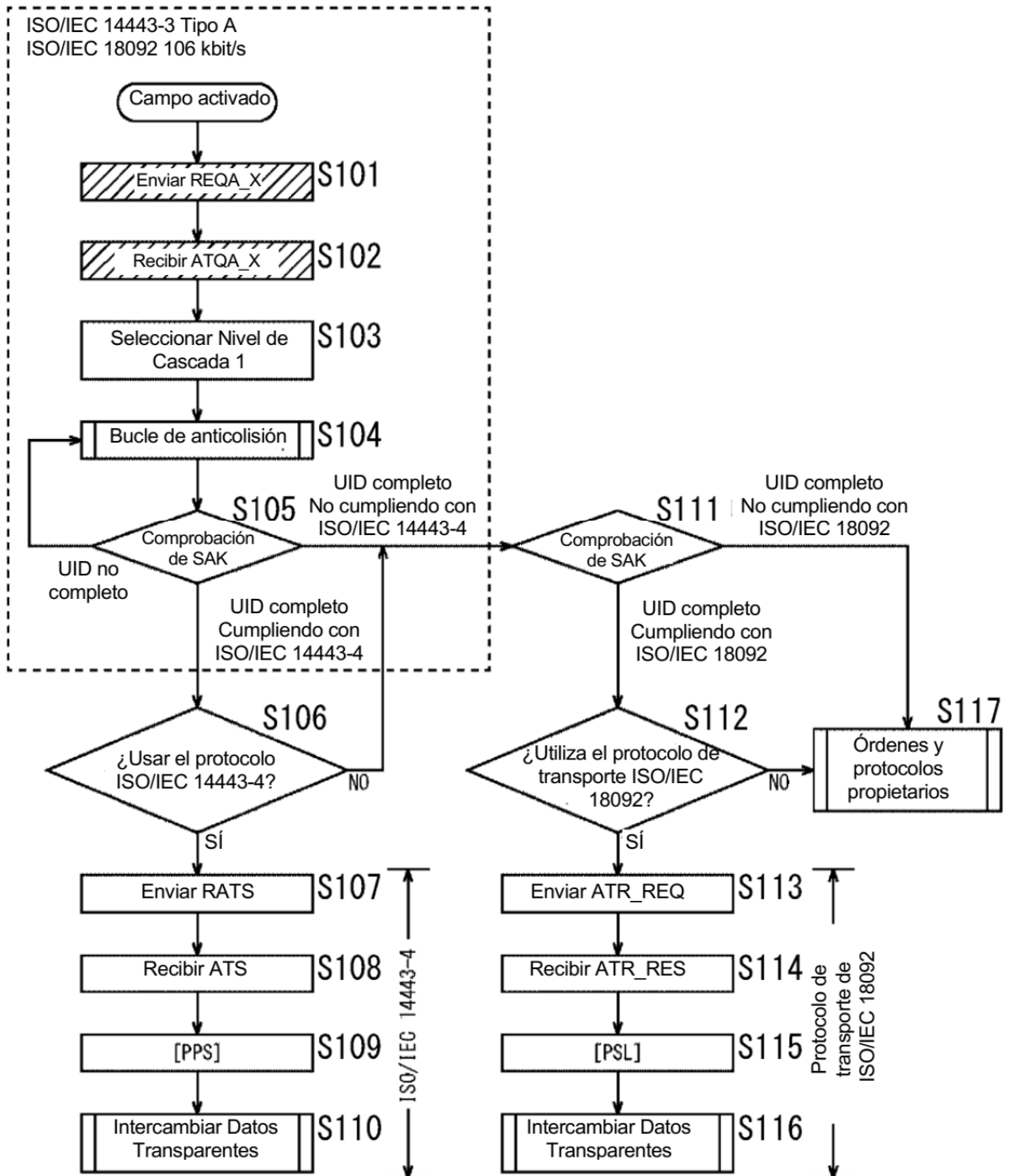


FIG. 25



FIG. 26

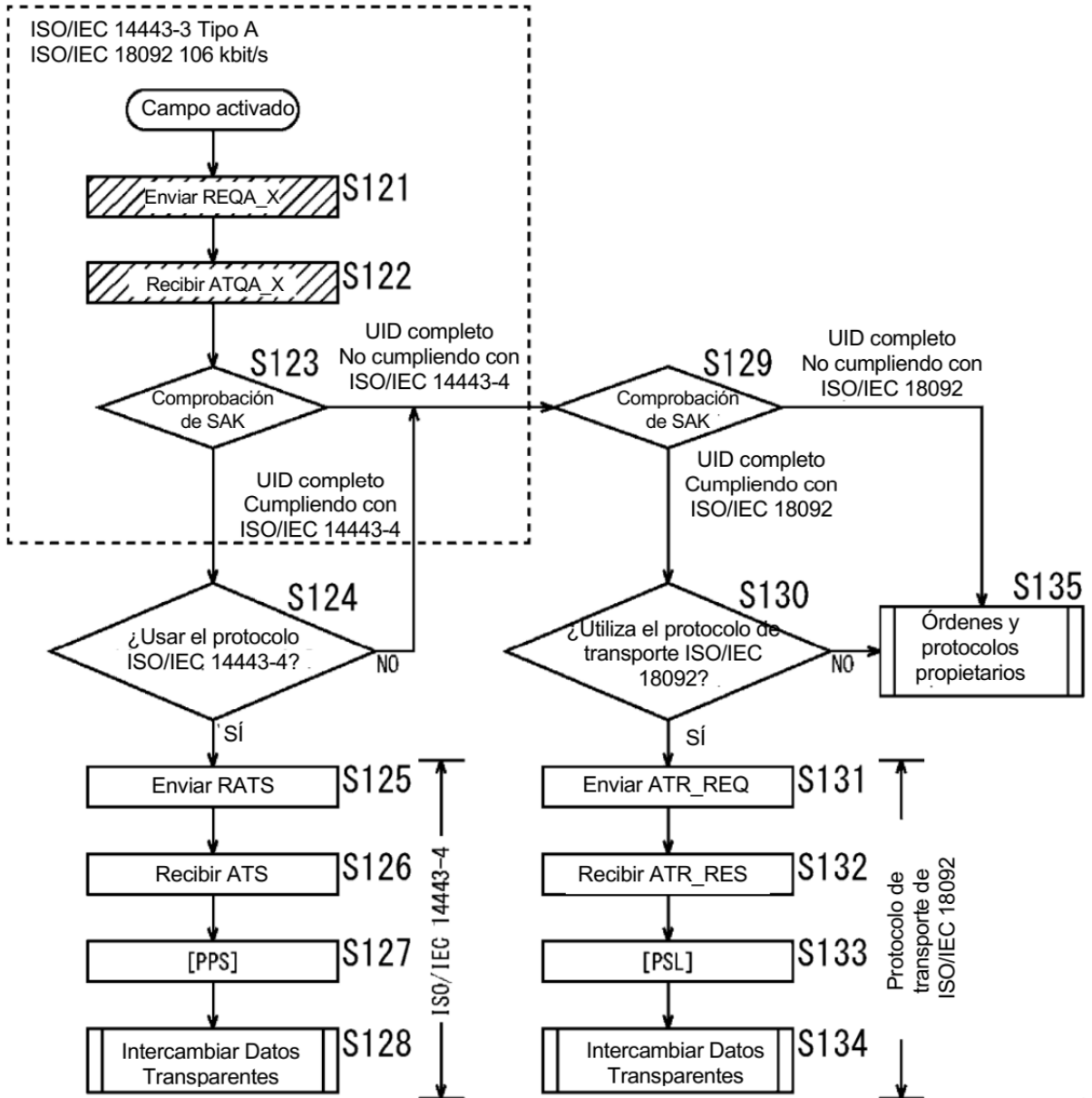


FIG. 27

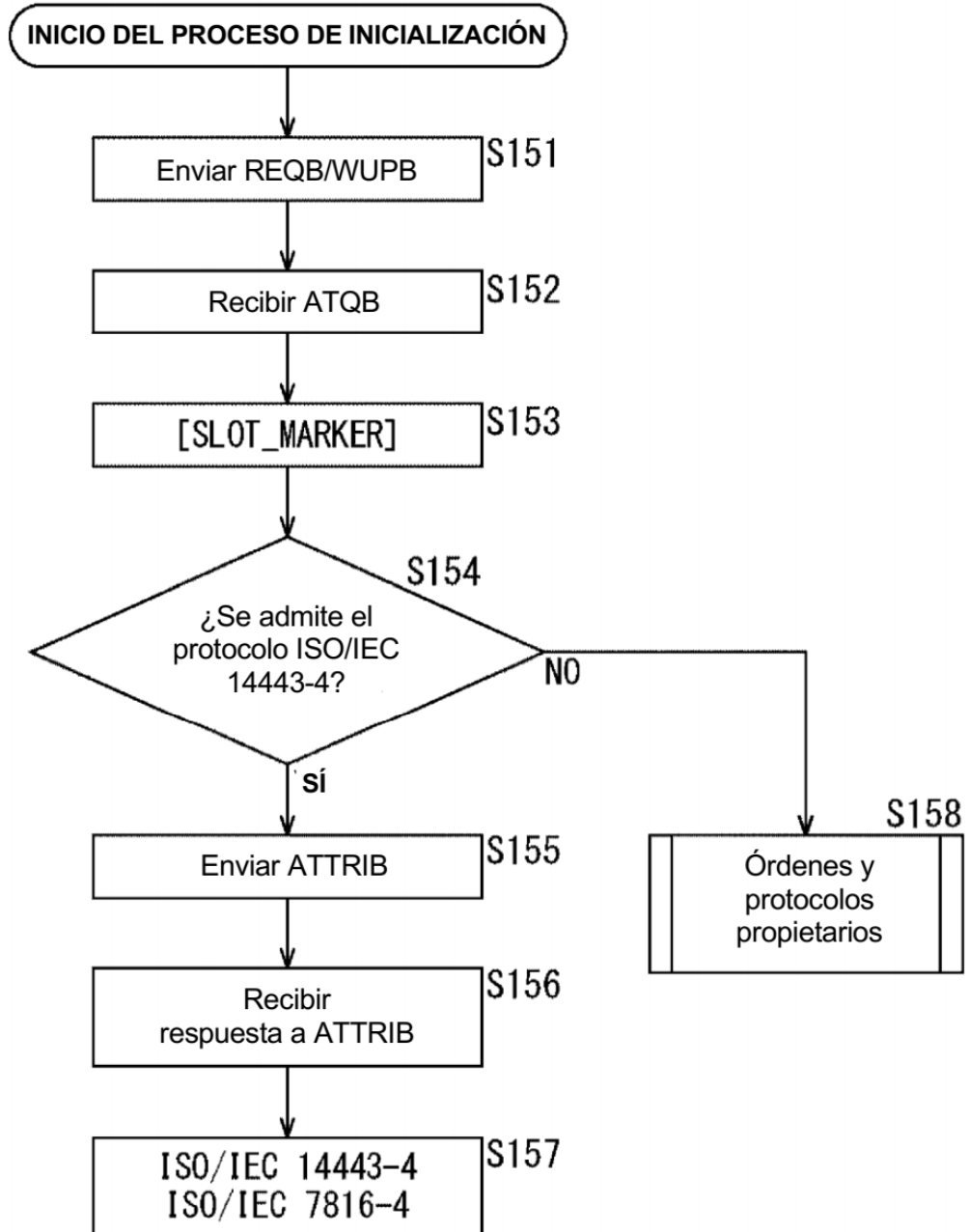


FIG. 28

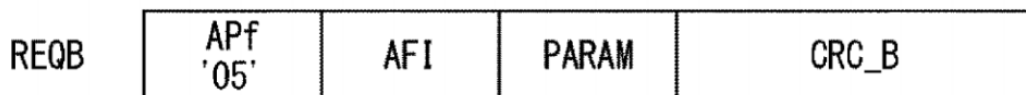


FIG. 29

AFI semi byte más significativo	AFI semi byte menos significativo	Significado-Respuesta de PICCs	Ejemplos/Nota
'0'	'0'	Todas las familias y subfamilias	Sin preselección de aplicaciones
X	'0'	Todas las subfamilias de la familia X	Amplia preselección de aplicaciones
X	Y	Solo la subfamilia Yth de la familia X	
'0'	Y	Solo subfamilia Y propietaria	
'1'	'0', Y	Transporte	Transporte público, autobús, avión, etc.
'2'	'0', Y	Financiero	IEP, banca, minorista, etc.
'3'	'0', Y	Identificación	Control de acceso, etc.
'4'	'0', Y	Telecomunicación	Telefonía pública, GSM, etc.
'5'	'0', Y	Médico	
'6'	'0', Y	Multimedia	Servicios de Internet, etc.
'7'	'0', Y	Juego de azar	
'8'	'0', Y	Almacenamiento de datos	Archivos portátiles, etc.
'9' - 'D'	'0', Y	RFU	
'E'	'0' Y=1, Y=2, Otros valores Y son RFU	Documentos de Viaje Legibles por Máquina (MRTDs)	Y=1 pasaporte electrónico Y=2 visado electrónico
'F'	'0', Y	RFU	

NOTA X = '1' a 'F'; Y = '1' a 'F'

FIG. 30

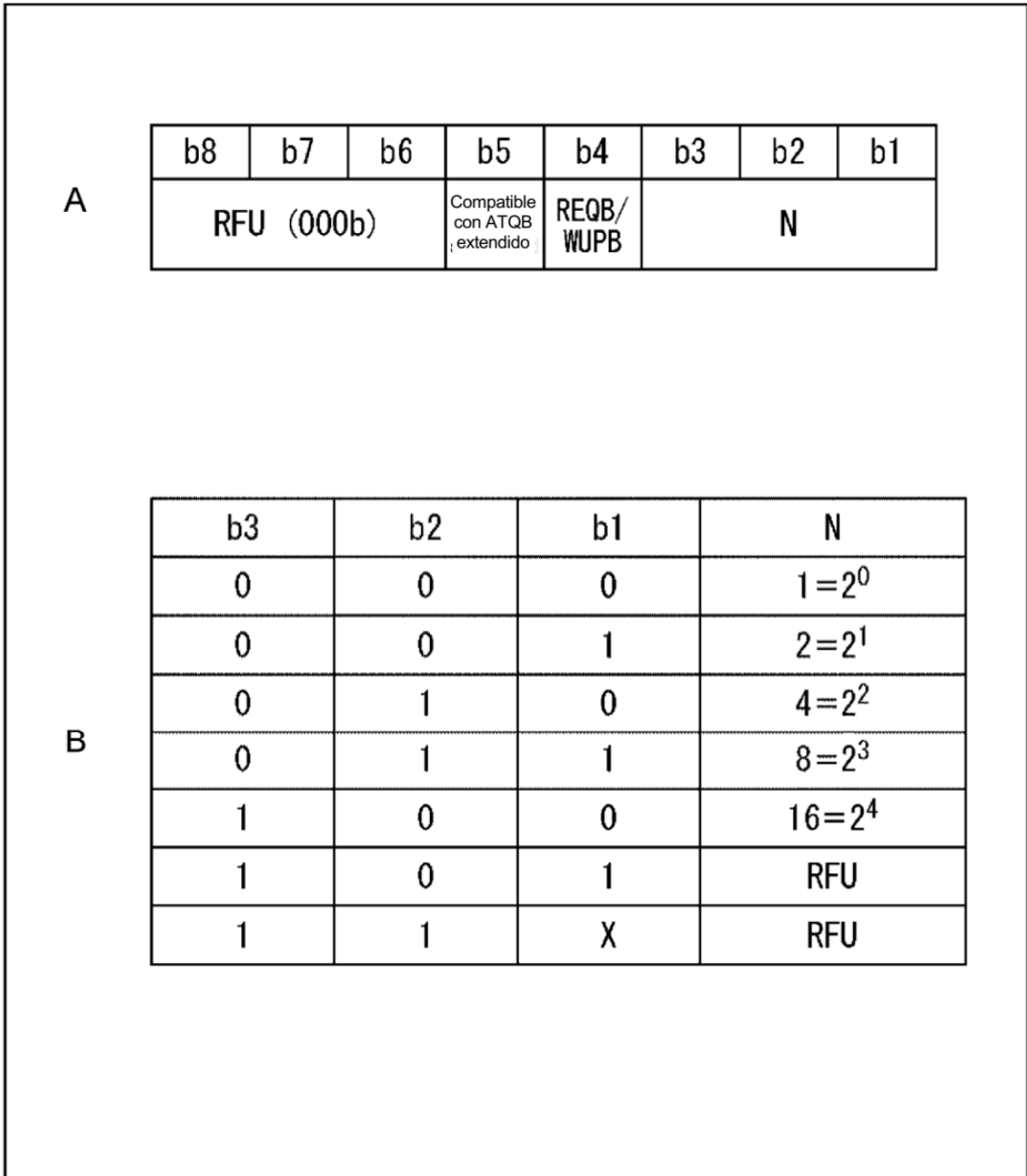


FIG. 31

1º byte	2º, 3º bytes
APn (1 byte)	CRC_B (2 bytes)

FIG. 32

b8	b7	b6	b5	b4	b3	b2	b1
Número de intervalo				(0101b)			

FIG. 33

nnnn	Número de intervalo
0001	2
0010	3
0011	4
.....
1110	15
1111	16

FIG. 34

A

1º byte	2º, 3º, 4º, 5º bytes	6º, 7º, 8º, 9º bytes	10º, 11º, 12º bytes	13º, 14º bytes
'50' (1 byte)	PUPI (4 bytes)	Datos de la aplicación (4 bytes)	Información de protocolo (3 bytes)	CRC_B (2 bytes)

B

1º byte	2º, 3º, 4º, 5º bytes	6º, 7º, 8º, 9º bytes	10º, 11º, 12º, 13º bytes	14º, 15º bytes
'50' (1 byte)	PUPI (4 bytes)	Datos de la aplicación (4 bytes)	Información de protocolo (4 bytes)	CRC_B (2 bytes)

FIG. 35

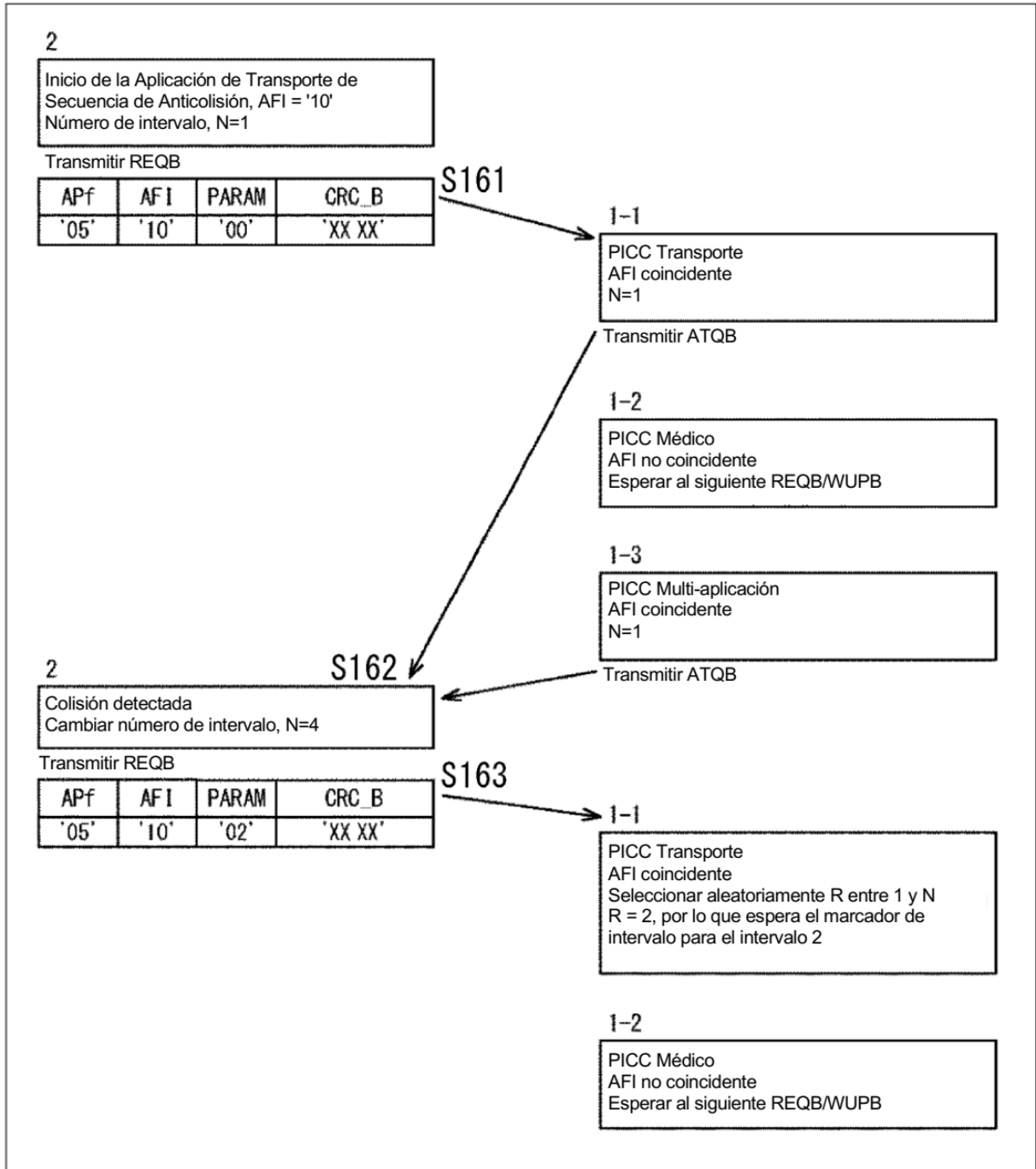


FIG. 36

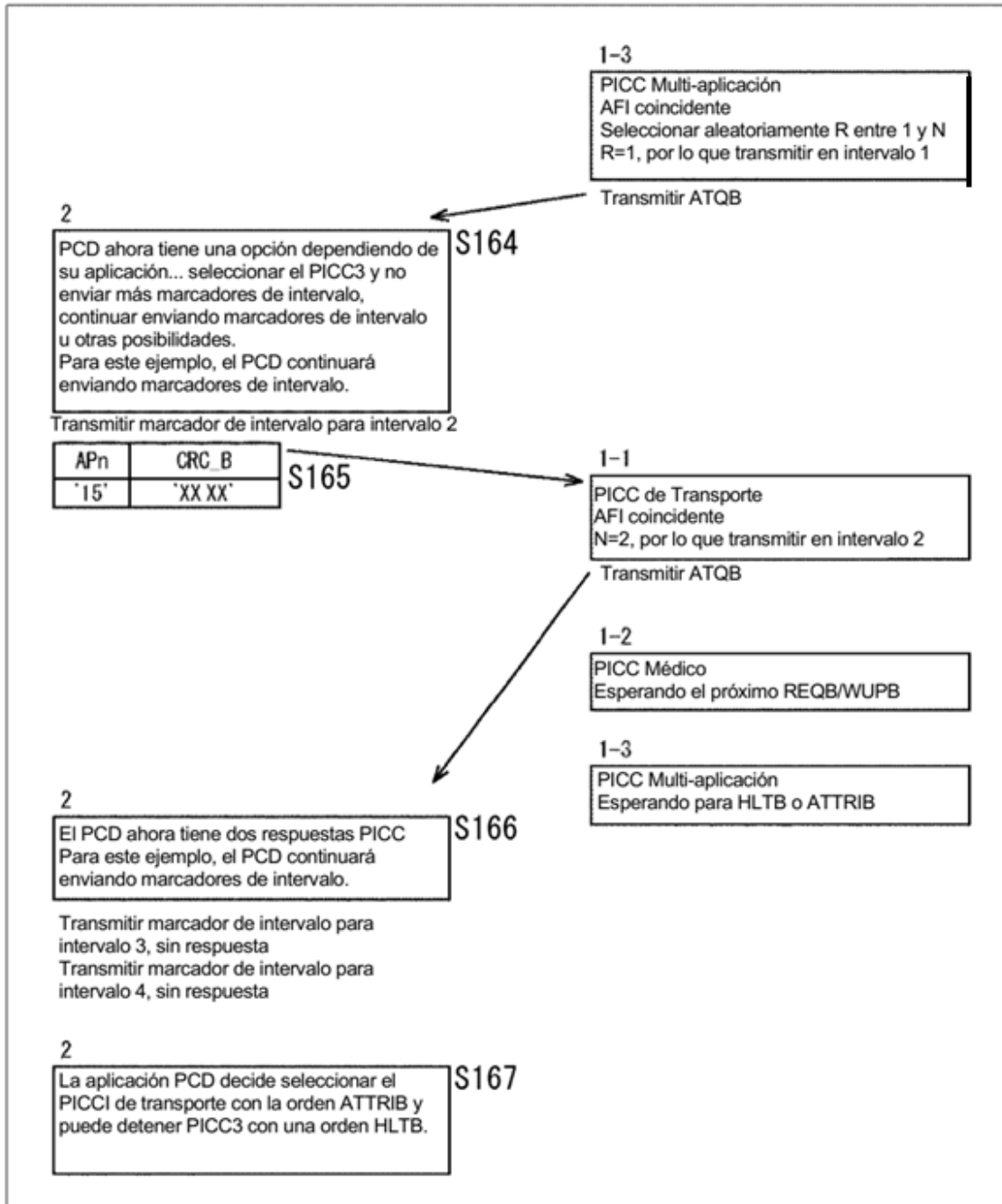


FIG. 37

b8	b7	b6	b5	b4	b3	b2	b1
RFU (0b)	Intervalo de tiempo	RFU (0b)	Compatible con ATQB extendido	REQB/WUPB	N		

FIG. 38

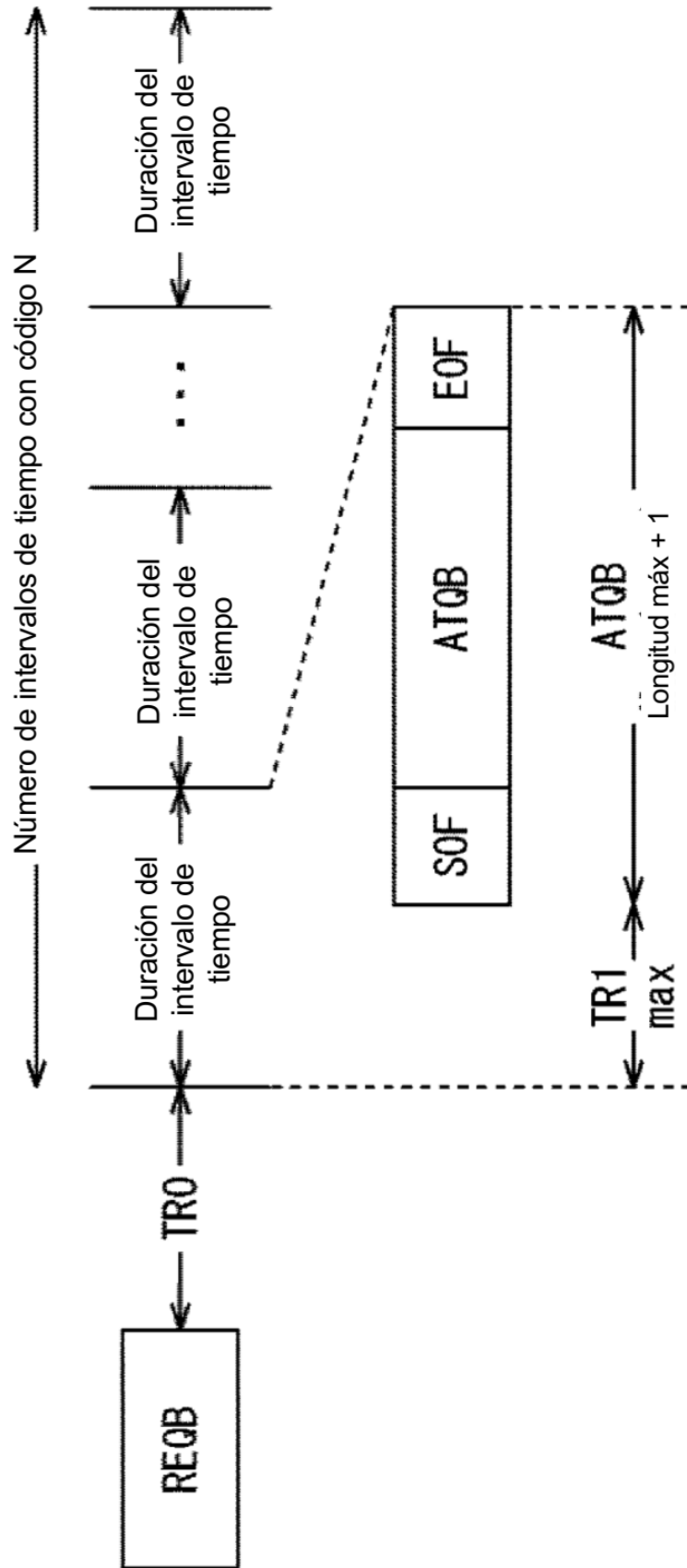


FIG. 39

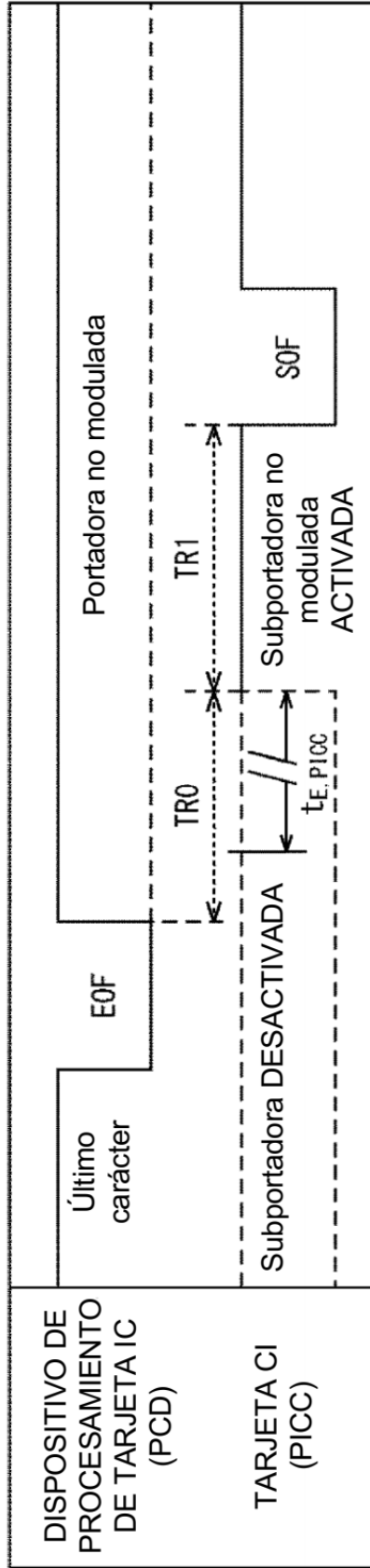


FIG. 40

b8	b7	b6	b5	b4	b3	b2	b1
RFU (0b)	Intervalo de tiempo	Compatible con AFI extendido	Compatible con REQB extendido	REQB/ WUPB	N		

FIG. 41



FIG. 42



FIG. 43

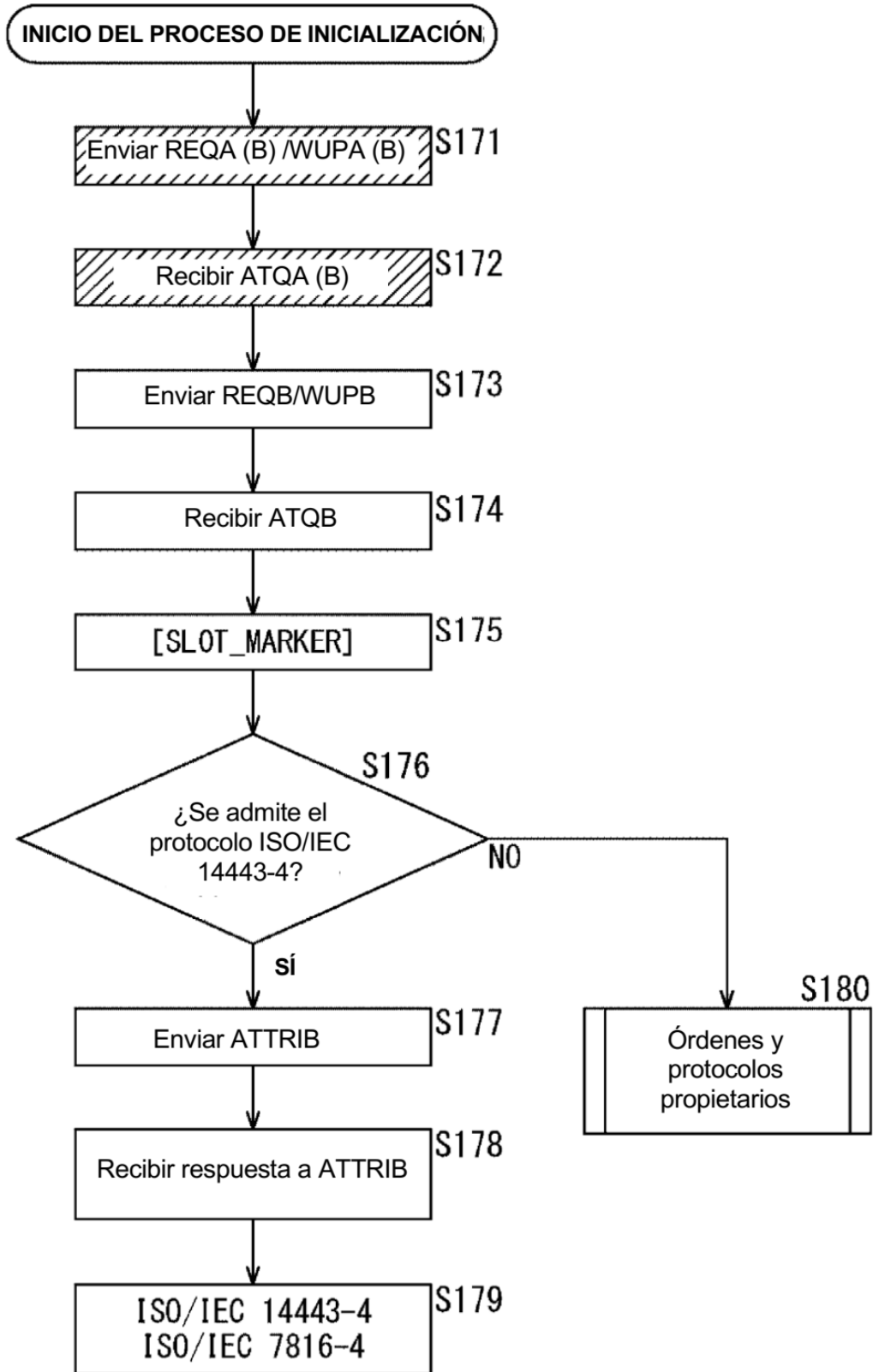


FIG. 44

REQA(B)	S	00100110	E
WUPA(B)	S	01010010	E

FIG. 45

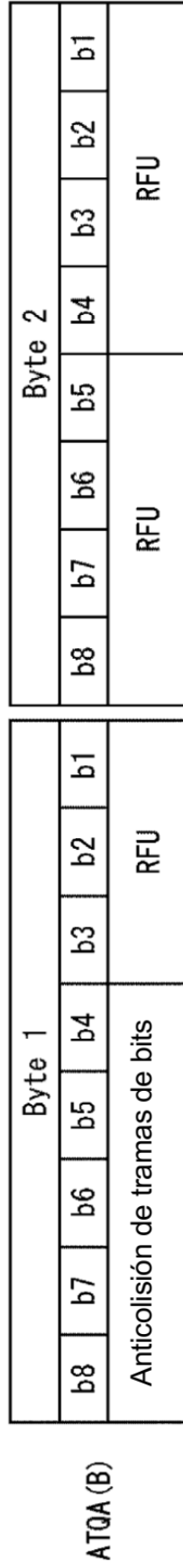


FIG. 46

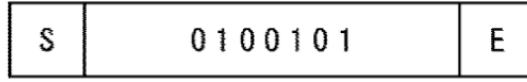


FIG. 47

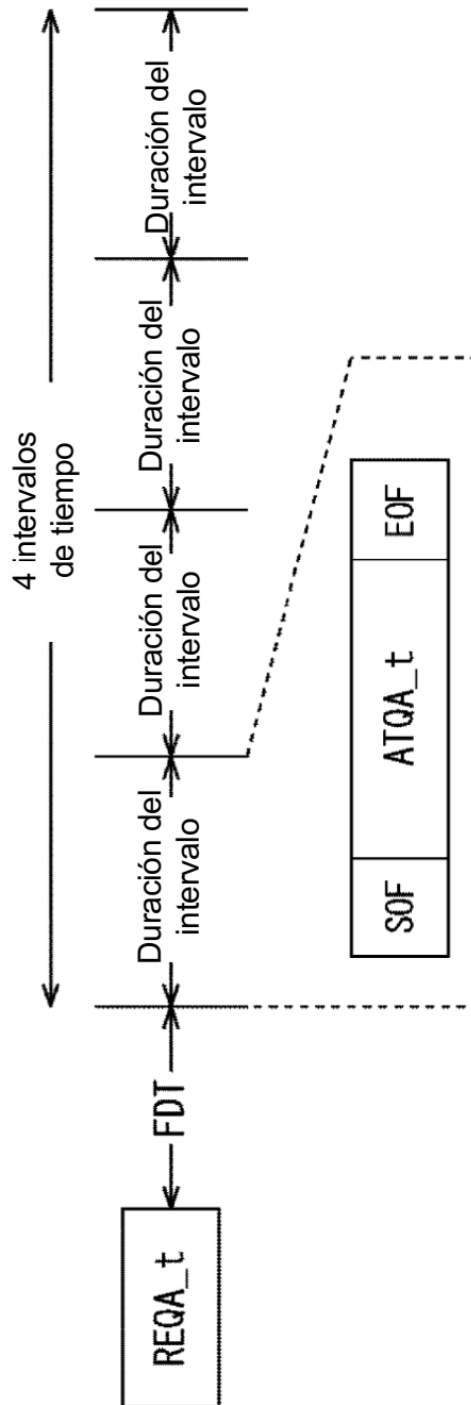


FIG. 48

Tipo	Nombre	Codificación (b8-b1)	Significado
Orden	REQA_t	(b7-b1) (0110101)b (= '35')	Solicitud de intervalo de tiempo Tipo A de PICC para responder a ATQA_t.
Respuesta	ATQA_t	cualquier contenido de un byte de '00' a 'FF'	La respuesta a REQA_t. PCD puede reconocer la existencia de PICC de intervalo de tiempo de tipo A. Sin embargo, no se requiere que el PCD reconozca la codificación del ATQA_t.

Tipo	Nombre	Codificación (b8-b1)	Significado
Orden	REQ-ID	(00001000)b (= '08')	Solicitar a PICC que responda a su UID para uno de los intervalos de tiempo. REQ-ID es seguido por dos parámetros.
Respuesta	ATQ-ID	(00000110)b (= '06')	Responder UID de 8 bytes a uno de los 4 intervalos de tiempo. ATQ-ID es seguido por su UID de 8 bytes.
Orden	SEL_t	(01000NNN)b, (NNN=CID_t N° (0-7)) (01100NNN)b, (NNN+8=CID_t N° (8-15))	Seleccionar el PICC con su UID y configurar el CID_t. SEL_t va seguido de UID de 8 bytes.
Respuesta	SAK_t	b8-b5 (1000) b, Información adicional disponible en protocolos b8-b5 (1100) b, Modo predeterminado en protocolos b4-b1 (0000) b, distinto de ISO/IEC 14443-4 b4-b1 (0001) b: PICC admite ISO/IEC 14443-4	Reconocer SEL_t.
Orden	HLTA_t	(00011NNN)b, (NNN=CID_t N° (0-7)) (00111NNN)b, (NNN+8=CID_t N° (8-15))	Detener el PICC con su CID_t.
Respuesta	Responder a HLTA_t	(00000110)b (= '06')	Reconocer HLTA_t.

FIG. 49

Parámetros		Significado
P1	b8-b7	Longitud del intervalo de tiempo, b7= (1) b: para UID de 8 bytes, b8=(0)b
	b6-b1	Número de intervalos de tiempo, b3= (1) b: para cuatro intervalos de tiempo, Otros= (0) b
P2		'00'

FIG. 50

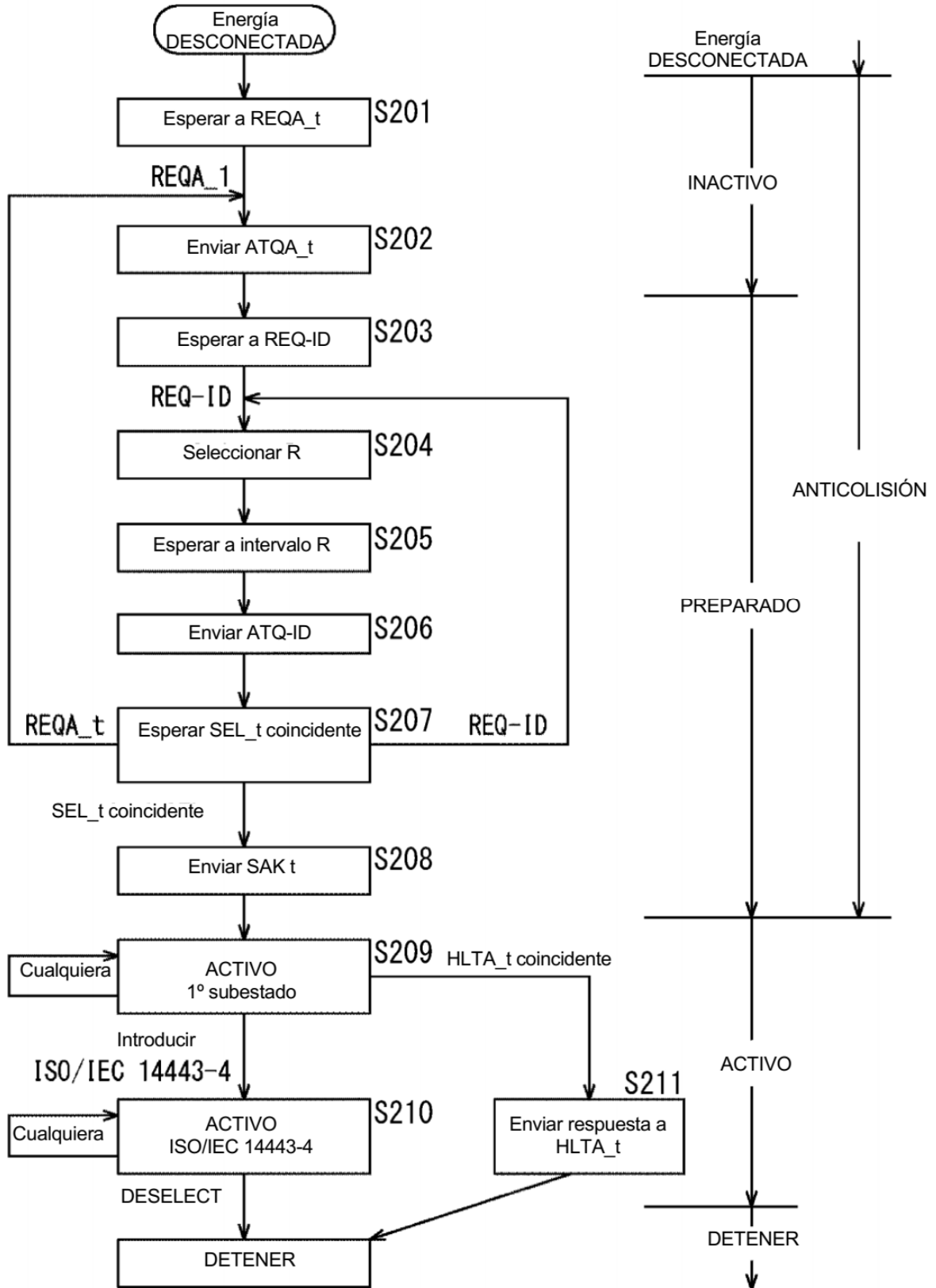


FIG. 51



FIG. 52

b8	b7	b6	b5	b4	b3	b2	b1	
0	0	0	0	0	0	0		RFU
							X	0: CUMPLIMIENTO DEL FORMATO REQ-ID 1: CUMPLIMIENTO DEL FORMATO REQ-ID_X

FIG. 53

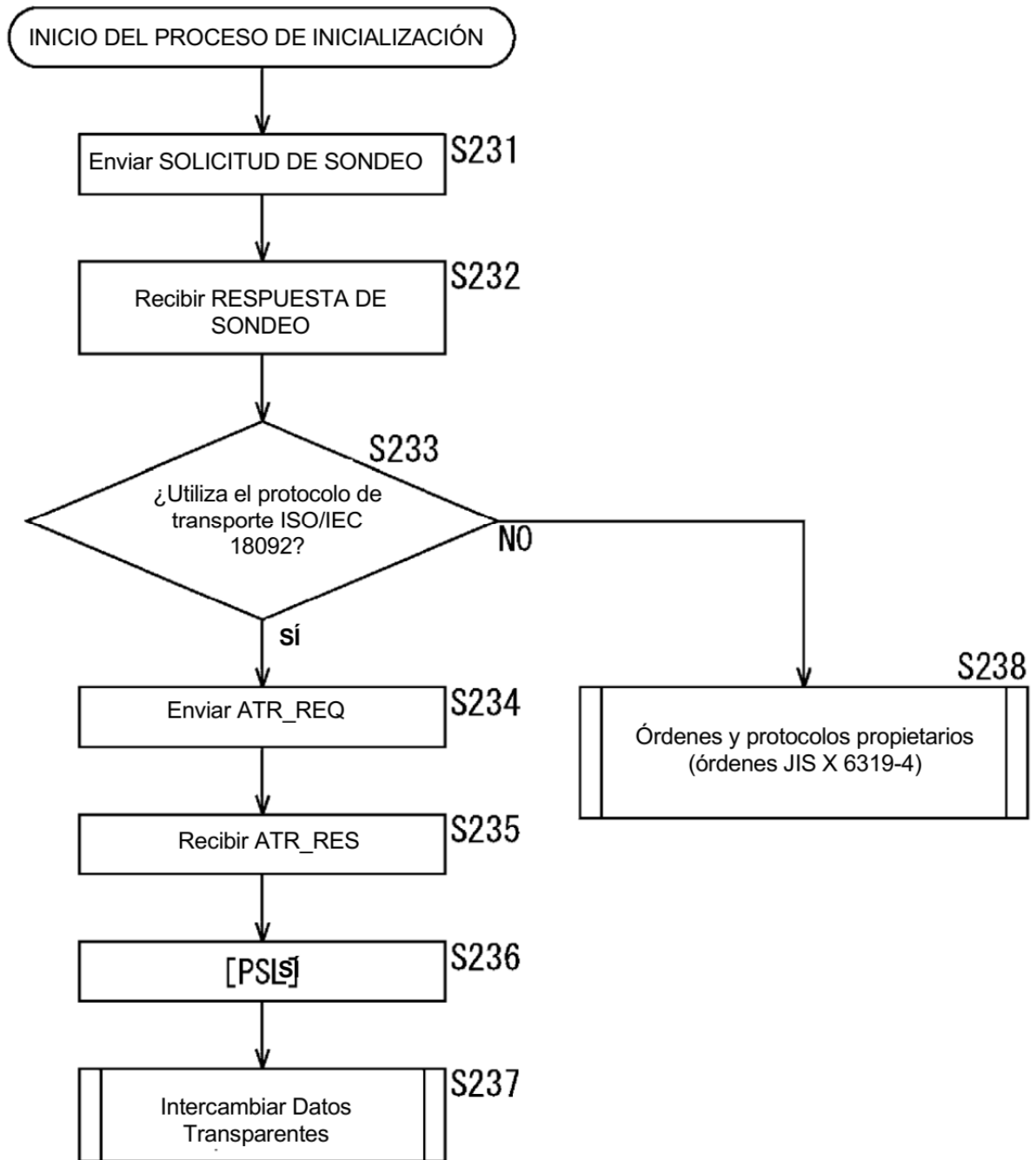


FIG. 54

SOLICITUD DE SONDEO	Byte 1-6	Byte 7-8	Byte 9	Byte 10	Byte 11-12	Byte 13	Byte 14	Byte 15-16
	PREÁMBULO	SYNC	LEN	'00'	Código del sistema	Código de solicitud	Número de intervalo de tiempo	GRC_F

FIG. 55

Byte 1-6	Byte 7-8	Byte 9	Byte 10	Byte 11-18	Byte 19-26	Byte 27-28	Byte 27-28/29-30
PREAMBULO	SYNC	LEN	'01'	NFCID2	PAD	[Solicitar datos]	CRC_F

RESPUESTA
DE SONDEO

FIG. 56

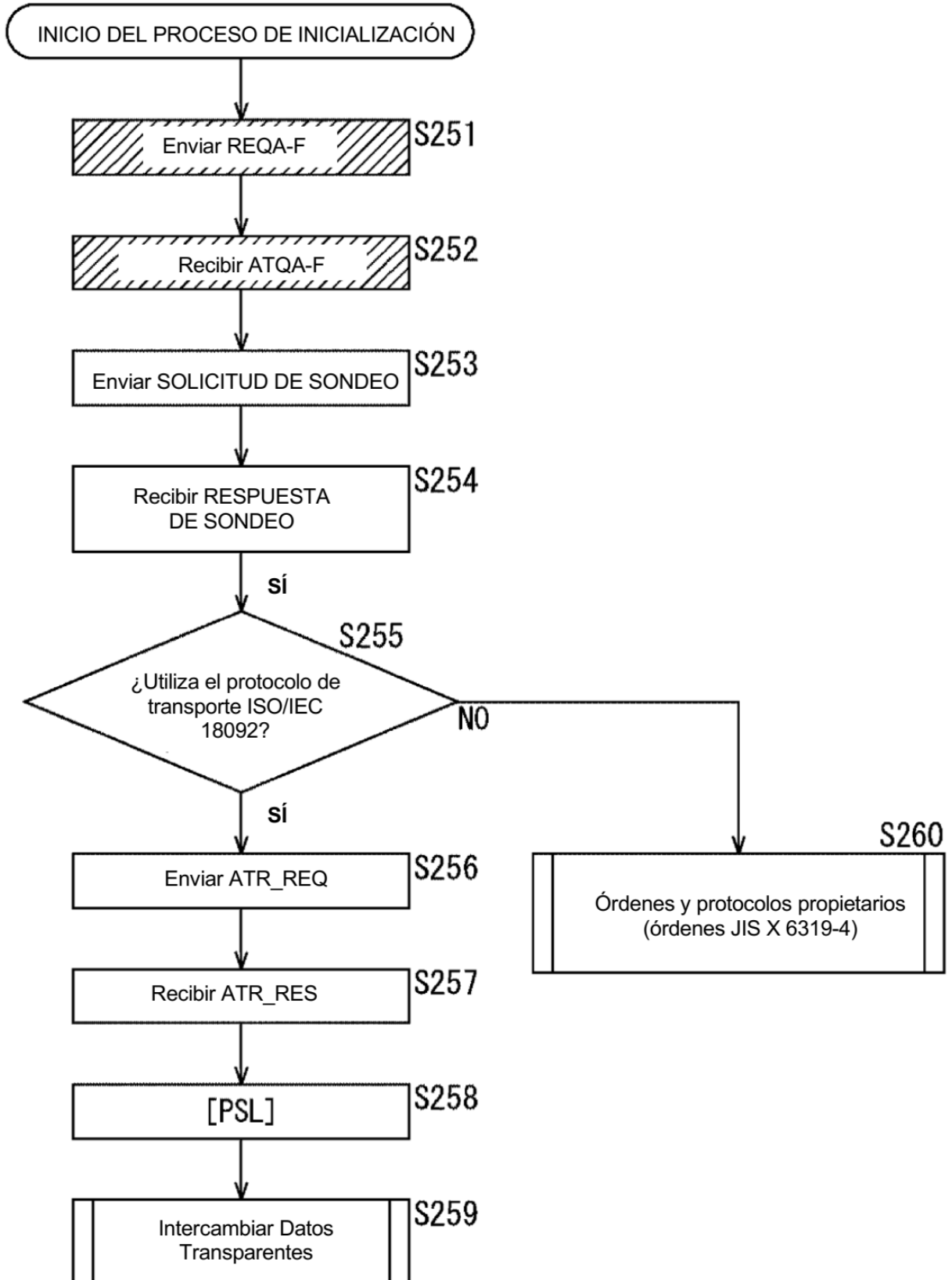


FIG. 57

REQA-F

00100110

FIG. 58

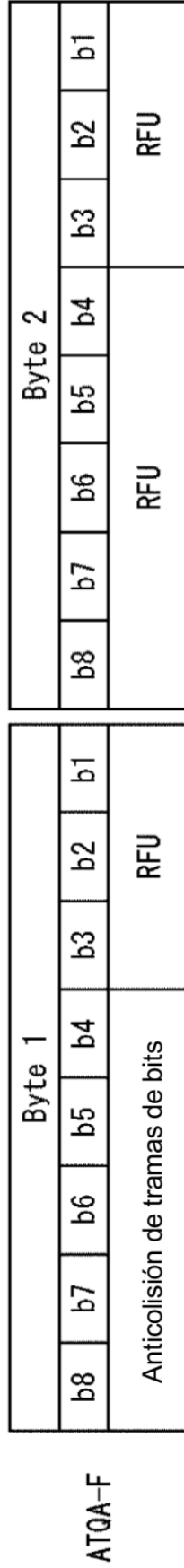


FIG. 59

NORMA	Nº 1 ISO/IEC 14443 A (ISO/IEC 18092-106 kbit/s)	Nº 2 ISO/IEC 14443 B EJEMPLO B1	Nº 3 ISO/IEC 14443 A REV. EJEMPLOS A1, A2	Nº 4 ISO/IEC 14443 A REV. EJEMPLO A3	Nº 5 ISO/IEC 14443 A REV. EJEMPLO A4	Nº 6 ISO/IEC 14443 B REV. EJEMPLO B2	Nº 7 ISO/IEC 14443 B REV. EJEMPLO B3	Nº 8 ISO/IEC 18092 212 kbit/s. EXTENDIDO POR JIS X 6319-4	Nº 9 ISO/IEC 18092 212 kbit/s. REVISIÓN EXTENDIDA POR JIS X 6319-4, EJEMPLO J1	Nº 10 ISO/IEC 18092 212 kbit/s. REVISIÓN EXTENDIDA POR JIS X 6319-4, EJEMPLO J2
PROCEDIMIENTO										
1	DETECCIÓN DE PRESENCIA O AUSENCIA DE TARJETA	N/A	DETECCIÓN DE PRESENCIA O AUSENCIA DE TARJETA	N/A	DETECCIÓN DE PRESENCIA O AUSENCIA DE TARJETA	N/A	DETECCIÓN DE PRESENCIA O AUSENCIA DE TARJETA	N/A	DETECCIÓN DE PRESENCIA O AUSENCIA DE TARJETA	DETECCIÓN DE PRESENCIA O AUSENCIA DE TARJETA
2	RECONOCIMIENTO DE TARJETAS Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES)	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES) Y PREVENCIÓN DE COLISIONES	RECONOCIMIENTO DE TARJETAS (SELECCIÓN DE FAMILIA DE APLICACIONES)
3	ACTIVACIÓN DE PROTOCOLO	ACTIVACIÓN DE PROTOCOLO	ACTIVACIÓN DE PROTOCOLO INNECESARIA EN CASO DE Nº F.2	ACTIVACIÓN DE PROTOCOLO INNECESARIA EN CASO DE Nº F.2	ACTIVACIÓN DE PROTOCOLO INNECESARIA EN CASO DE Nº F.2	ACTIVACIÓN DE PROTOCOLO INNECESARIA EN CASO DE Nº F.2	ACTIVACIÓN DE PROTOCOLO INNECESARIA EN CASO DE Nº F.2	N/A	N/A	N/A
4, 5, 6	Nº F.1	Nº F.1	Nº F.1 O Nº F.2	Nº F.1 Y Nº F.2	Nº F.1 Y Nº F.2	Nº F.1 Y Nº F.2	Nº F.1 Y Nº F.2	Nº F.2	Nº F.2	Nº F.2

FIG. 60

<p>NORMA PROCEDIMIENTO</p>	<p>NORMA ISO/IEC 7816-4</p>	<p>JIS X 6319-4 (Fe i Ca OS)</p>
<p>4</p>	<p>SELECCIÓN DE APLICACIÓN</p>	<p>N/A</p>
<p>5</p>	<p>SELECCIÓN DE ARCHIVO</p>	<p>SELECCIÓN DE ARCHIVO ACCESO A ARCHIVOS (SELECCIÓN DE APLICACIÓN UTILIZANDO CÓDIGO DE ZONA Y CÓDIGO DE SERVICIO, ACCESO A ARCHIVO)</p>
<p>6</p>	<p>ACCESO A ARCHIVOS</p>	<p>N/A</p>

FIG. 61

