

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월25일 10-0583317 2006년05월18일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0091795 2003년12월16일	(65) 공개번호 (43) 공개일자	10-2005-0060230 2005년06월22일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	조봉래 경기도부천시원미구심곡2동488-8번지
(74) 대리인	김영호

심사관 : 최훈영

(54) 액정표시장치의 구동장치 및 구동방법

요약

본 발명은 제조비용을 절감함과 아울러 설계의 자유도를 확보할 수 있도록 한 액정표시장치의 구동장치에 관한 것이다.

본 발명의 액정표시장치의 구동장치의 구동회로부는 외부로부터 공급된 데이터의 비트값에 대응하여 다수의 승압 디코더들 중 어느 하나에서 소정의 전압값을 출력하기 위한 승압 디코딩부를 구비한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 폴리 실리콘 박막트랜지스터를 이용한 액정표시장치의 구성을 개략적으로 나타내는 도면.

도 2는 도 1에 도시된 데이터 드라이버를 나타내는 블록도.

도 3은 도 2에 도시된 디코딩부, 레벨슈프터부 및 DAC부의 구성을 나타내는 도면.

도 4는 도 2에 도시된 디코딩부, 레벨슈프터부 및 DAC부의 구성의 다른예를 나타내는 도면.

도 5는 본 발명의 실시예에 의한 데이터 드라이버를 나타내는 블록도.

도 6은 도 5에 도시된 승압 디코딩부 및 DAC부를 나타내는 도면.

도 7은 도 5에 도시된 승압 디코딩부에 포함된 제 1 및 제 2디코더를 나타내는 도면.

도 8은 도 7에 도시된 디코더의 상세한 구성을 나타내는 회로도.

도 9는 도 8에 도시된 디코더의 동작과정을 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 액정패널 12 : 데이터 드라이버

14 : 게이트 드라이버 16 : 화상표시부

20,22,24 : 디코딩부 22a,22b,22c,76,78 : 디코더

26 : 레벨 쉬프터부 26a,26b,26c : 레벨 쉬프터

28,30,32,52 : 디지털-아날로그 변환부

30a,30b,30c,72a,72b,72c,72d : 스위칭소자

31,72 : 스위칭부 34 : 멀티플렉서부

36,56 : 쉬프트 레지스터부 38,58 : 래치부

40,60 : 출력 버퍼부 50 : 승압 디코딩부

54 : 선택부 70 : 엔드게이트

74,102,104 : 인버터 100 : 인버터부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동장치 및 구동방법에 관한 것으로 특히, 제조비용을 절감함과 아울러 설계의 자유도를 확보할 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 게이트라인들 중 어느 하나에 접속된다.

구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적

으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 비디오신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 비디오신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이러한 액정표시장치에 이용되는 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘과 폴리(Poly) 실리콘을 사용하는가에 따라 아몰퍼스 실리콘형과 폴리 실리콘형으로 구분된다.

아몰퍼스 실리콘형 박막트랜지스터는 비정질 구조로 형성되어 특성이 안정된 장점을 가지고 있으나 전하 이동도가 비교적 작아 화소 밀도를 향상시키는 경우에는 적용이 어려운 단점이 있다. 또한, 아몰퍼스 실리콘형 박막트랜지스터를 사용하는 경우 상기 게이트 드라이버와 데이터 드라이버와 같은 주변 구동회로들은 별도로 제작하여 액정패널에 실장시켜야 하므로 액정표시장치의 제조비용이 높다는 단점이 있다.

반면에, 폴리 실리콘형 박막트랜지스터는 전하 이동도가 높음에 따라 화소밀도 증가에 어려움이 없을 뿐만 아니라 주변 구동회로들을 액정패널에 내장할 수 있게 되어 제조단가를 낮출 수 있는 장점을 가지고 있다. 이에 따라, 폴리실리콘형 박막트랜지스터를 이용한 액정표시장치가 대두되고 있다.

도 1은 종래의 폴리 실리콘 박막트랜지스터를 이용한 액정표시장치의 구성을 개략적으로 도시한다.

도 1을 참조하면, 종래의 폴리 실리콘 박막트랜지스터를 이용한 액정표시장치는 화상표시부(16), 게이트 드라이버(14) 및 데이터 드라이버(12)가 형성된 액정패널(10)을 구비한다.

화상표시부(16)는 매트릭스 형태로 배열된 액정셀들(LC)을 통해 화상을 표시한다. 액정셀들(LC) 각각은 게이트라인(GL)과 데이터라인(DL)의 교차점에 접속된 스위칭소자로서 폴리 실리콘을 이용한 박막 트랜지스터(TFT)를 포함한다. 이와 같은 박막 트랜지스터(TFT)들은 아몰퍼스 실리콘을 이용한 박막 트랜지스터(TFT) 보다 높은 응답속도를 갖는다. 데이터라인들(DL)은 데이터 드라이버(12)로부터 비디오신호를 공급받는다. 게이트라인들(GL)은 게이트 드라이버(14)로부터 게이트펄스를 공급받는다.

게이트 드라이버(14)는 도시되지 않은 타이밍 컨트롤러로부터의 게이트 제어신호(GCS), 즉, 게이트 스타트 펄스를 쉬프트시킴으로써 게이트라인들(GL)에 순차적으로 게이트펄스를 공급한다.

데이터 드라이버(12)는 타이밍 컨트롤러로부터의 데이터 제어신호(DCS) 및 데이터(Data)를 공급받는다. 그리고, 데이터 드라이버(12)는 도시되지 않은 감마전압 발생부로부터 정극성 및 부극성 감마전압을 공급받는다. 이와 같은 데이터 드라이버(12)는 정극성 또는 부극성 감마전압을 이용하여 데이터(Data)를 비디오신호로 변환하여 데이터라인들(DL)로 공급한다.

이를 위하여, 데이터 드라이버(12)는 도 2에 도시된 바와 같이 데이터(Data)에 대응하는 감마전압이 선택되도록 제어하는 디코딩부(20) 및 레벨 쉬프터부(26)와, 레벨 쉬프터부(26)로부터 공급되는 신호에 대응하여 데이터(Data)를 아날로그 비디오신호로 변환하는 디지털-아날로그 변환부(이하 "DAC부"라 함)(28)와, 극성신호(POL)의 제어에 의하여 DAC부(28)로부터 출력된 정극성 비디오신호 및 부극성 비디오신호 중 어느 하나를 출력하기 위한 멀티플렉서(이하 "MUX부"라 함)(34)와, 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(36)와, 샘플링신호에 응답하여 MUX부(34)로부터 출력된 비디오신호를 래치하여 동시에 출력하는 래치부(38)와, 래치부(38)로부터의 비디오신호를 완충하여 출력하는 출력 버퍼부(40)를 구비한다.(여기서, 도 2에는 데이터 드라이버(12)의 일례의 구성을 나타내는 것으로 실제로 다양하게 데이터 드라이버(12)가 구성된다)

디코딩부(20)는 입력된 데이터(Data)에 대응하여 특정 계조의 감마전압이 선택되도록 한다. 이와 같은 디코딩부(20)는 입력된 데이터(Data)에 대응하여 정극성 감마전압의 계조를 제어하기 위한 P디코딩부(22)와, 입력된 데이터(Data)에 대응하여 부극성 감마전압의 계조를 제어하기 위한 N디코딩부(24)를 구비한다.

P디코딩부(22)는 입력된 데이터(Data)에 대응하여 특정 계조의 정극성 감마전압이 선택되도록 특정신호를 출력한다. 그리고, N디코딩부(24)는 입력된 데이터(Data)에 대응하여 특정 계조의 부극성 감마전압이 선택되도록 특정신호를 출력한다.

이를 위하여, P디코딩부(22) 및 N디코딩부(24) 각각은 다수개의 디코더를 구비한다. 예를 들어, P디코딩부(22)는 도 3에 도시된 바와 같이 데이터(Data)의 비트수가 6비트인 경우 2^6 개, 즉 64개의 디코더(22a,...,22b,22c)를 포함한다. 마찬가지로, N디코딩부(22)도 데이터(Data)의 비트수가 6비트인 경우 64개의 디코더를 포함한다.

디코더(22a 내지 22c) 각각은 하위 3비트(D1 내지 D3)가 입력되는 제 1NAND 게이트(23a)와, 상위 3비트(D4 내지 D6)가 입력되는 제 2NAND 게이트(23b)와, 제 1 및 제 2NAND 게이트(23a,23b)의 출력값을 NOR연산하기 위한 NOR 게이트(23c)를 구비한다. 이와 같은 디코더(22a 내지 22c) 각각은 제 1 및 제 2NAND 게이트(23a,23b)에 입력되는 데이터(Data)의 비트값에 제어되면서 어느 하나의 디코더(22a 내지 22c)에서만 "1"의 신호가 출력되도록 제어된다.

예를 들어, P디코딩부(22)에 설치된 첫번째 디코더(22a)의 제 1NAND 게이트(23a)에는 /D1, /D2, /D3의 비트가 입력되고(여기서, "/"는 반전을 의미한다), 제 2NAND 게이트(23b)에는 /D4,/D5,/D6의 비트가 입력된다. 따라서, D1 내지 D6의 비트수 모두가 "0"의 값을 가질 때 P디코딩부(22)에 설치된 첫번째 디코더(22a)에서 "1"의 신호가 출력된다. 이때, 첫번째 디코더(22a)를 제외한 나머지 디코더들에서는 "1"의 신호가 출력되지 않는다.

그리고, P디코딩부(22)에 설치된 마지막 디코더(22c)의 제 1NAND 게이트(23a)에는 D1, D2, D3의 비트가 입력되고, 제 2NAND 게이트(23b)에는 D4, D5, D6의 비트가 입력된다. 따라서, D1 내지 D6의 비트수 모두가 "1"의 값을 가질 때 P디코딩부(22)에 설치된 마지막 디코더(22c)에서 "1"의 신호가 출력된다. 이때, 마지막 디코더(22c)를 제외한 나머지 디코더들에서는 "1"의 신호가 출력되지 않는다. 즉, P디코딩부(22)는 자신에게 입력되는 데이터의 비트값에 대응하여 다수의 디코더(22a 내지 22c)들 중 어느하나의 디코더에서만 "1"의 값이 출력되도록 한다. 마찬가지로, N디코딩부(24)도 도 3과 동일한 구성을 가짐과 아울러 동일한 동작과정을 행한다.

레벨 쉬프터부(26)는 P디코딩부(22)(및 N디코딩부(24))로부터 입력되는 "1"의 신호값을 소정의 전압값(예를 들면 10V)으로 변환한다. 이를 위하여 레벨 쉬프터부(26)는 다수의 레벨 쉬프터(26a 내지 26c)를 구비한다. 레벨 쉬프터(26a 내지 26c) 각각은 디코더(22a 내지 22c)의 출력부마다 설치되어 "1"의 신호가 입력될 때 소정의 전압값을 출력하고, "0"의 신호가 입력될 때 기저전압(GND)을 출력한다. 마찬가지로, 레벨 쉬프터부(26)는 N디코딩부(24)로부터 입력되는 "1"의 신호값을 소정의 전압값으로 변환하여 출력한다.

레벨 쉬프터부(26)에서 출력되는 소정의 전압값은 DAC부(28)로 공급된다. 여기서, P디코딩부(22)로부터 출력되어 레벨 쉬프터(26)에서 상승된 소정의 전압값은 PDAC부(30)로 공급되고, N디코딩부(24)로부터 출력되어 레벨 쉬프터(26)에서 상승된 소정의 전압값은 NDAC부(32)로 공급된다.

PDAC부(30)로 공급된 소정의 전압값은 PDAC부(30)의 스위칭부(31)에 포함된 다수의 스위칭소자(30a 내지 30c) 중 어느 하나의 소자를 턴-온시킨다. 예를 들어, P디코딩부(22)에 포함된 마지막 디코더(22c)에서 "1"의 신호가 출력될 때(즉, "111111"의 데이터값) 63계조값을 표현할 수 있도록 특정 스위칭소자(30c)가 턴-온된다. 그러면, 63의 계조값을 표현할 수 있는 정극성의 전압값이 MUX부(34)로 공급된다. 그리고, P디코딩부(22)에 포함된 첫번째 디코더(22a)에서 "1"의 신호가 출력될 때(즉, "000000"의 데이터값) 0의 계조값을 표현할 수 있도록 특정 스위칭소자(30a)가 턴-온된다. 그러면, 0의 계조값을 표현할 수 있는 정극성의 전압값이 MUX부(34)로 공급된다.

실질적으로 레벨 쉬프터부(26)에 포함된 64개의 레벨 쉬프터들은 스위칭부(31)에 포함된 64개의 스위칭소자 중 어느 하나와 접속되어 소정의 계조레벨이 표시될 수 있도록 디코딩부(20)에서 "1"의 신호가 입력될 때 자신과 접속된 스위칭소자를 턴-온시킨다.

마찬가지로, NDAC부(32)도 64개의 스위칭소자를 포함하고, 레벨 쉬프터(26)로부터 공급된 특정 전압신호에 대응하는 부극성의 전압을 MUX부(34)로 공급한다.

MUX부(34)는 극성제어신호(POL)에 응답하여 DAC부(28)로부터 공급되는 정극성 및 부극성 비디오신호 중 어느 하나의 비디오신호를 래치부(38)로 공급한다.

쉬프트 레지스터부(36)는 다수의 쉬프트 레지스터들을 포함한다. 이와 같은 쉬프트 레지스터부(36)는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 대응하여 순차적으로 쉬프트시키면서 샘플링신호를 출력한다.

래치부(38)는 쉬프트 레지스터부(36)로부터의 샘플링신호에 응답하여 MUX부(34)로부터 공급된 비디오신호를 순차적으로 래치한다. 그리고, 래치부(38)는 소스 출력 인에이블(SOE)신호에 응답하여 래치된 다수의 비디오신호들을 출력버퍼부(40)로 공급한다.

출력버퍼부(40)는 래치부(38)로부터의 비디오신호들을 신호완충하여 데이터라인들(DL)로 공급한다. 종래의 데이터 드라이버(12)는 이와 같은 과정을 반복하면서 데이터라인들(DL)로 소정의 비디오신호를 공급한다.

하지만, 이와 같은 종래의 데이터 드라이버(12)는 P디코딩부(28), N디코딩부(30) 각각에 다수의 디코더들을 포함함과 아울러 디코더들의 출력부마다 레벨 쉬프터들이 각각 설치되기 때문에 많은 회로부품들이 실장되어 생산 수율이 저하됨과 아울러 높은 제조비용이 소모되는 문제점이 있다. 아울러, 디코더들 및 레벨 쉬프터들 분리되어 설치되기 때문에 넓은 회로면적을 차지하고, 이에 따라 설계의 자유도를 확보하기 곤란했다.

한편, 종래에는 도 4와 같이 레벨 쉬프터부(26)가 디코딩부(20)의 앞단에 설치되는 경우도 있다. 이와 같이 레벨 쉬프터부(26)가 디코딩부(20)의 앞단에 설치되면 레벨 쉬프터부(26)에서 먼저 데이터들(Data)의 전압값이 상승되고, 상승된 전압값을 디코딩하여 감마전압을 선택하게 된다. 그 이외에 동작과정은 도 2에 도시된 데이터 드라이버와 동일하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 제조비용을 절감함과 아울러 설계의 자유도를 확보할 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시장치의 구동장치의 구동회로부는 외부로부터 공급된 데이터의 비트값에 대응하여 다수의 승압 디코더들 중 어느 하나에서 소정의 전압값을 출력하기 위한 승압 디코딩부를 구비한다.

상기 승압 디코딩부는 n (n 은 자연수)비트의 데이터에 대응하여 2^n 개의 승압 디코더들을 구비한다.

상기 승압 디코더들 각각은 3비트씩을 입력받아 기저전위 또는 소정 전압값을 출력하기 위한 다수의 디코더를 구비한다.

상기 승압 디코더들에 포함된 다수의 디코더들의 출력을 앤드 연산하기 위하여 승압 디코더들 각각에 설치되는 앤드게이트를 구비한다.

상기 디코더 각각은 데이터의 제 1비트 입력부와 소정의 전압값을 가지는 전압원 사이에 설치되는 제 1 및 제 2스위치와, 데이터의 제 2비트 입력부와 전압원 사이에 설치되는 제 3 및 제 4스위치와, 데이터의 제 3비트 입력부와 전압원 사이에 설치되는 제 5 및 제 6스위치를 구비한다.

상기 제 1 내지 제 3비트 입력부와 접속된 제 1스위치, 제 3스위치 및 제 5스witch는 외부로부터 공급되는 바이어스 전압에 의하여 항상 턴온된다.

상기 제 2스위치의 게이트단자 및 제 6스위치의 게이트단자는 제 3스위치에 접속되어 제 2비트 입력부의 입력값에 의하여 턴온 또는 턴오프된다.

상기 제 4스위치의 게이트단자는 제 1스위치 및 제 3스위치의 드레인단자에 접속된다.

상기 제 2비트 입력부로 "1"의 신호가 입력되면 제 2스위치 및 제 6스위치의 게이트단자가 턴오프되어 제 3스위치의 드레인단자에 기저전위가 유지된다.

상기 제 2비트 입력부로 "0"의 신호가 입력되면 제 2스위치 및 제 6스위치의 게이트단자가 턴온되고, 제 1 및 제 2비트 입력부로 "1"의 신호가 입력되면 제 1 및 제 5스위치의 저항값이 증가되어 제 3스위치의 드레인단자로 전압원의 전압값이 유지된다.

상기 제 2비트 입력부로 "0"의 신호가 입력되면 제 2스위치 및 제 6스위치가 턴온되고, 제 1 및 제 2비트 입력부 중 적어도 하나 이상의 비트로 "0"의 신호가 입력되면 "0"의 신호가 입력된 제 1스위치 및 제 5스위치중 적어도 하나의 스위칭소자로 전압원의 전압값이 공급되어 제 3스위치의 드레인단자로 기저전위가 유지된다.

상기 제 3스위치의 드레인단자에 유지된 전압을 제 1인버팅하기 위한 제 1인버터와, 제 1인버터로부터 공급된 전압을 제 2인버팅하여 출력하기 위한 제 2인버터를 추가로 구비한다.

상기 2비트 입력부 앞단에 설치되는 인버터를 추가로 구비한다.

본 발명의 액정표시장치의 구동장치의 구동회로부는 외부로부터 공급된 데이터의 비트값에 대응하여 다수의 승압 디코더들 중 어느 하나에서 소정의 전압값을 출력하기 위한 승압 디코딩부와, 극성제어신호에 의하여 제어되면서 외부로부터 공급된 부극성 감마전압 및 정극성 감마전압 중 어느 하나를 출력하기 위한 선택부와, 선택부로부터의 감마전압과 승압 디코딩부로부터 소정의 전압값을 공급받아 소정의 전압값에 대응하는 감마전압값을 선택하여 출력하는 디지털-아날로그 변환부와, 외부로부터 공급되는 소스 스타트 펄스를 소스 샘플링 신호에 대응하여 쉬프트시키면서 샘플링신호를 발생하는 쉬프트 레지스터와, 샘플링신호에 대응하여 디지털-아날로그 변환부로부터 공급되는 감마전압값을 순차적으로 래치하기 위한 래치부와, 상기 래치부로부터 공급된 감마전압값을 완충하여 데이터라인들로 공급하기 위한 출력 버퍼부를 구비한다.

상기 승압 디코딩부는 n (n 은 자연수)비트의 데이터에 대응하여 2^n 개의 승압 디코더들을 구비한다.

상기 디지털-아날로그 변환부는 승압 디코더들과 동일한 수의 스위칭소자를 포함하며 각각의 스위칭부에는 서로 다른 전압 레벨을 가지는 감마전압값이 공급된다.

상기 승압 디코딩부는 데이터의 비트값에 대응하여 다수의 스위칭소자 중 어느 하나를 턴온시키기 위한 소정의 전압값을 상기 디지털-아날로그 변환부로 공급한다.

본 발명의 액정표시장치의 구동방법은 외부로부터 정극성 및 부극성의 감마전압을 공급하는 단계와, 극성제어신호의 제어에 의하여 정극성 및 부극성 감마전압 중 어느 하나의 감마전압을 출력하는 단계와, 외부로부터 공급되는 데이터에 대응하여 감마전압과 접속되는 다수의 스위칭소자 중 어느 하나의 스위칭소자를 턴온시켜 비디오신호를 생성하는 단계와, 비디오신호를 데이터라인들로 공급하는 단계를 포함한다.

상기 비디오신호를 상기 데이터라인들로 공급하는 단계는 비디오신호를 순차적으로 래치하는 단계와, 래치된 비디오신호를 동시에 데이터라인들로 출력시키는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 5 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 5는 액정패널에 실장되는 본 발명의 실시예에 의한 데이터 드라이버를 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 의한 데이터 드라이버는 데이터(Data)에 대응하는 감마전압이 선택되도록 제어하는 승압 디코딩부(50)와, 승압 디코딩부(50)로부터 공급되는 신호에 대응하여 데이터(Data)를 아날로그 비디오신호로 변환하는 DAC부(52)와, 극성신호(POL)의 제어에 의하여 정극성 감마전압 및 부극성 감마전압 중 어느 하나의 감마전압을 DAC부(52)로 공급하기 위한 선택부(54)와, 순차적인 샘플링신호를 공급하는 쉬프트 레지스터부(56)와, 샘플링신호에 응답하여 DAC부(52)로부터 출력된 비디오신호를 래치하여 동시에 출력하는 래치부(58)와, 래치부(58)로부터의 비디오신호를 완충하여 출력하는 출력 버퍼부(60)를 구비한다.

승압 디코딩부(50)는 입력된 데이터(Data)에 대응하여 특정 계조의 감마전압이 선택되도록 한다. 이와 같은 승압 디코딩부(50)는 데이터(Data)의 비트수에 대응하여 DAC부(52)에 포함된 특정 스위칭소자로 소정의 전압값(스위칭소자가 턴-온될 수 있는 전압)을 공급한다. 즉, 승압 디코딩부(50)는 도 2에 도시된 디코딩부(20) 및 레벨 쉬프터부(26)의 동작을 동시에 행한다.

이를 위해, 승압 디코딩부(50)는 도 6과 같이 다수개의 승압 디코더(BVD)를 구비한다. 예를 들어, 승압 디코딩부(50)는 데이터(Data)의 비트수가 6비트인 경우 2^6 개, 즉 64개의 승압 디코더(BVD)를 포함한다.

여기서, 데이터(Data)의 비트수에 대응하여 승압 디코딩부(50)에 포함된 다수의 승압 디코더(BVD)들 중 어느 하나의 승압 디코더(BVD)에서만 소정의 전압이 출력된다. 다시 말하여, 입력된 데이터(Data)에 대응하는 감마전압값이 선택될 수 있도록 다수의 승압 디코더(BVD)들 중 하나의 승압 디코더(BVD)에서만 소정의 전압값이 출력되도록 승압 디코더(BVD)들의 입력값이 제어된다.

예를 들어, 승압 디코딩부(50)에 설치된 첫번째 디코더(BVD1)에는 /D1, /D2, /D3, /D4, /D5, /D6의 비트가 입력된다.(여기서, "/"는 반전을 의미한다) 즉, 첫번째 디코더(BVD1)는 모든 비트수가 "0"의 값을 가질 때 소정의 전압값을 출력하고, 이 전압값은 앤드 게이트(70)를 경유하여 DAC부(52)로 입력된다. 이때, 첫번째 디코더(BVD1)를 제외한 나머지 디코더들에서는 기저전위가 출력된다. 이러한 상기 디코더는 자신에게 입력되는 모든 데이터가 '1'일 때에만, 즉 '111'이 입력될 때에만 소정의 전압값으로 '1'을 출력하고 그 이외의 경우에는 소정의 전압값으로 '0'을 출력한다. 즉, /D1, /D2 및 /D3이 모두 '0'이고 /D4, /D5 및 /D6이 모두 '0'이면, 첫번째 디코더(BVD1)에는 '010'과 '010'이 각각 입력되므로, '010'과 '010'을 각각 디코딩하여 '0'과 '0'을 소정의 전압값으로 앤드게이트(70)의 2개의 입력단에 출력한다. 만일, /D1, /D2 및 /D3이 각각 '1', '0' 및 '1'이고, /D4, /D5 및 /D6이 각각 '1', '0' 및 '1'인 경우, /D2와 /D5/가 각각 인버터에 의해 반전되므로, 첫번째 디코더(BVD1)에는 '111'과 '111'이 각각 입력되고, 이에 따라 첫번째 디코더(BVD1)는 '111'과 '111'을 각각 디코딩하여 '1'과 '1'을 소정의 전압값으로 앤드게이트(70)의 2개의 입력단에 출력한다.

한편, 첫번째 디코더(BVD1)에서 출력된 소정의 전압값은 DAC부(52)의 스위칭부(72)에 포함된 다수의 스위칭소자들(72a 내지 72d) 중 어느 하나를 턴온시킨다. 예를 들어, 첫번째 디코더(BVD1)에서 출력된 소정의 전압값은 데이터의 비트수, 즉 "000000"의 계조에 대응하는 감마전압이 출력될 수 있도록 스위칭부(72)에 포함된 첫번째 스위칭소자(72a)를 턴온시킨다.

또한, 승압 디코딩부(50)에 설치된 마지막 디코더(BVDi)에는 D1, D2, D3, D4, D5, D6의 비트가 입력된다. 즉, 마지막 디코더(BVDi)는 모든 비트수가 "1"의 값을 가질 때 소정의 전압값을 출력하고, 이 전압값은 앤드 게이트(70)를 경유하여 DAC부(52)로 입력된다. 이때, 마지막 디코더(BVDi)를 제외한 나머지 디코더들에서는 기저전위가 출력된다.

한편, 마지막 디코더(BVDi)에서 출력된 소정의 전압값은 DAC부(52)의 스위칭부(72)에 포함된 다수의 스위칭소자들(72a 내지 72d) 중 어느 하나를 턴온시킨다. 예를 들어, 마지막 디코더(BVDi)에서 출력된 전압값은 데이터의 비트수, 즉 "111111"의 계조에 대응하는 감마전압이 출력될 수 있도록 스위칭부(72)에 포함된 마지막 스위칭소자(72d)를 턴온시킨다.

즉, 본 발명에서의 승압 디코딩부(50)는 입력된 데이터(Data)에 대응하여 스위칭부(72)에 포함된 스위칭소자들 중 어느 하나가 턴온될 수 있도록 소정의 전압값을 출력한다. 이를 위해, 승압 디코더(BVD) 각각은 도 7과 같이 제 1디코더(76)와, 제 2디코더(78)를 포함한다.(실제로, 승압 디코더(BVD)에는 데이터의 비트수에 대응하는 디코더가 포함된다. 예를 들어, 데이터의 비트수가 9비트라면 각각의 승압 디코더(BVD)에는 3개의 디코더가 포함된다) 제 1디코더(76)는 자신에게 입력된 3비트(예를 들면, D1 내지 D3)의 신호에 대응하여 기저전압 또는 소정의 전압을 출력한다. 마찬가지로, 제 2디코더(78)는 자신에게 입력된 3비트(예를 들면, D4 내지 D6)의 신호에 대응하여 기저전압 또는 소정의 전압을 출력한다.

실제로, 제 1 및 제 2디코더(76,78)는 동일한 회로로 형성되어 각각의 비트로 "111"의 신호가 입력될 때 소정의 전압을 출력하고, 그 외의 경우에는 기저전압을 출력한다. 여기서, 제 1 및 제 2디코더(76,78)의 2번째 비트(D2,D5)는 인버터(74)를 경유하여 디코더(76,78)로 입력된다. 그리고, 제 1 및 제 2디코더(76,78)의 출력은 앤드 게이트(70)에 의하여 앤드 연산된 후 DAC부(52)로 공급된다. 이와 같은 제 1 및 제 2디코더(76,78)의 상세한 구성은 후술하기로 한다.

선택부(54)는 극성제어신호(POL)의 제어에 의하여 정극성 감마전압 및 부극성 감마전압 중 어느 하나의 전압을 DAC부(52)로 공급한다.

DAC부(52)는 선택부(54)로부터 입력되는 정극성 또는 부극성 감마전압과 승압 디코딩부(50)로부터 입력되는 소정의 전압값을 이용하여 데이터(Data)에 대응하는 감마전압을 래치부(58)로 공급한다. 이는 액정패널에는 아날로그 데이터만이 공급되므로, 승압 디코딩부(50)로부터 출력되는 디지털 전압값을 DAC부(52)를 통해 아날로그 전압값으로 변환시켜 주는 것이다.

쉬프트 레지스터부(56)는 다수의 쉬프트 레지스터들을 포함한다. 이와 같은 쉬프트 레지스터부(56)는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 대응하여 순차적으로 쉬프트시키면서 샘플링신호를 출력한다.

삭제

래치부(58)는 쉬프트 레지스터부(56)로부터의 샘플링신호에 응답하여 DAC부(52)로부터 공급된 비디오신호를 순차적으로 래치한다. 그리고, 래치부(58)는 소스 출력 인에이블(SOE) 신호에 응답하여 래치된 다수의 비디오신호들을 출력 버퍼부(60)로 공급한다.

출력버퍼부(60)는 래치부(58)로부터의 비디오신호들을 신호완충하여 데이터라인들(DL)로 공급한다. 실제로, 본 발명의 데이터 드라이버는 이와 같은 과정을 반복하며 데이터(Data)에 대응하는 비디오신호를 데이터라인들(DL)로 공급한다.

이와 같은 본 발명에서 승압 디코딩부(50)는 데이터(Data)의 비트수에 대응하여 소정전압값을 DAC부(52)로 공급한다. 즉, 본 발명의 승압 디코딩부(50)는 디코딩 동작과 레벨 쉬프터의 동작을 함께 행하기 때문에 종래에 비하여 회로의 면적을 줄일 수 있고(compact한 디자인이 가능하다), 이에 따라 설계의 자유도를 확보함과 아울러 제조비용을 저감할 수 있다. 한편, 본 발명의 승압 디코딩부(50)는 다양하게 적용될 수 있다. 예를 들어, 본 발명의 승압 디코딩부(50)는 도 2에서 디코딩부(20)와 레벨 쉬프터부(26) 대신에 설치될 수 있다.

그리고, 본 발명에서는 선택부(54)를 이용하여 정극성 감마전압 및 부극성 감마전압 중 어느 하나의 감마전압을 선택하여 DAC부(52)로 공급하기 때문에 DAC부(52)에 포함되는 스위칭소자의 수를 줄일 수 있다. 다시 말하여, 종래에는 정극성 및 부극성 감마전압 각각에 대응하여 스위칭소자들이 설치되었지만, 본 발명에서는 하나의 감마전압에 대응하는 스위칭소자들만이 설치되기 때문에 DAC부(52)에 포함되는 스위칭소자의 수를 최소화할 수 있다. 아울러, 선택부(54)에서 정극성 감마전압 및 부극성 감마전압 중 어느 하나의 감마전압이 DAC부(52)로 공급되기 때문에 MUX부(34)가 생략됨과 아울러 디코딩부(20) 및 레벨 쉬프터부(26)가 하나의 승압 디코딩부(50)로 구현될 수 있다.

도 8은 제 1 및 제 2디코더 각각의 상세 구성을 나타내는 도면이다.

도 8을 참조하면, 제 1 및 제 2디코더(76,78) 각각은 전압원(Vdd)과 제 1비트(D1) 사이에 설치되는 제 1스위치(T1) 및 제 4스위치(T4)와, 전압원(Vdd)과 제 2비트(D2) 사이에 설치되는 제 2스위치(T2) 및 제 5스위치(T5)와, 전압원(Vdd)과 제 3비트(D3) 사이에 설치되는 제 3스위치(T3) 및 제 6스위치(T6)와, 제 6스위치(T6) 및 제 3스위치(T3)와 접속되도록 설치되는 인버터부(100)를 구비한다.

인버터부(100)는 제 1인버터(102) 및 제 2인버터(104)를 구비한다. 따라서, 인버터부(100)는 자신에게 입력된 전압값과 동일한 전압값을 출력단자(Vout)로 공급한다. 실제로, 이와 같은 인버터부(100)는 앞단 스위치들(T1 내지 T6)의 문턱전압등에 의하여 약간 감압되어 자신에게 공급되는 전압(Vdd 또는 GND)을 승압하여 출력단자(Vout)로 공급하는 역할을 한다.

제 1스위치(T1), 제 2스위치(T2) 및 제 3스위치(T3)은 N타입으로 형성되어 외부로부터 바이어스전압(Vbais)을 공급받는다. 제 4스위치(T4) 내지 제 6스위치(T6)는 P타입으로 형성된다. 제 4스위치(T4)의 소오스단자는 전압원(Vdd)에 접속되고, 드레인단자는 제 1스위치(T1)에 접속된다. 그리고, 제 4스위치(T4)의 게이트단자는 제 2스위치(T2)의 드레인단자에 접속된다.

제 5스위치(T5)의 소오스단자는 전압원(Vdd)에 접속되고, 드레인단자는 제 2스위치(T2)에 접속된다. 그리고, 제 5스위치(T5)의 게이트단자는 제 1스위치(T1)의 드레인단자에 접속된다. 제 6스위치(T6)의 소오스단자는 전압원(Vdd)에 접속되고, 드레인단자는 제 3스위치(T3)에 접속된다. 그리고, 제 6스위치(T6)의 게이트단자는 제 2스위치(T2)의 드레인단자에 접속된다.

이와 같은 승압 디코더부(76,78)의 동작과정을 도 9를 참조하여 상세히 설명하면, 먼저, 제 1 내지 제 3스위치(T1 내지 T3)는 바이어스전압(Vbais)에 의하여 항상 턴온상태를 유지한다. 그리고, 제 2비트(D2)에 "0"의 신호가 입력되면(즉, 인버터(74)를 경유하면 "1"의 신호) Vb단자에 "1"의 신호가 입력되어 제 4 및 제 6스위치(T4,T6)가 턴오프된다. 제 4 및 제 6스위치(T4,T6)가 턴오프되면 Va단자가 로우전압을 갖게되고, 이에 따라 인버터부(100)에 접속된 출력단자(Vout)로 기저전위(GND)가 출력된다. 즉, 제 2비트(D1)에 "0"의 신호가 입력되면 제 1비트(D1) 및 제 3비트(D3)의 입력신호와 무관하게 출력단자(Vout)로 기저전위(GND)가 출력된다.

한편, 제 2비트(D2)에 "1"의 신호가 입력되면(즉, 인버터(74)를 경유하면 "0"의 신호) Vb단자에 "0"의 신호가 입력되어 제 4 및 제 6스위치(T4,T6)가 턴온된다. 이때, 제 1비트(D1) 및 제 3비트(D3)로 "1"의 신호가 입력되면 제 1스위치(T1) 및 제 3스위치(T3)의 Vgs(게이트와 소오스)의 전압이 상승되고, 즉 제 1스위치(T1) 및 제 3스위치(T3)의 저항값이 상승하여 Va단자로 인가된 전압원(Vdd)이 전압이 인버터부(100)로 공급된다. 따라서, 인버터부(100)에 접속된 출력단자(Vout)로 전압원(Vdd)의 전압이 출력된다. 즉, 제 1 내지 제 3비트(D1 내지 D3) 모두에 "1"의 신호가 입력될 때에는 출력단자(Vout)로 전압원(Vdd)의 전압이 출력된다.

그리고, 제 2비트(D2)에 "1"의 신호가 입력될 때 제 1비트(D1) 및 제 3비트(D3) 중 어느하나의 비트로 "0"의 신호가 입력되면, 예를 들면 제 1비트(D1)로 "0"의 신호가 입력되면 제 1스위치(T1)의 저항이 낮아져 Va단자로 인가된 전압이 제 1스위치(T1)를 경유하여 외부로 공급된다. 즉, 본 발명의 제 1 및 제 2승압 디코더부(76,78) 각각은 "111"의 신호가 입력되는 경우에만 소정의 전압값(Vdd)을 출력하고, 그 외의 경우에는 기전전위(GND)를 출력한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치 및 구동방법에 의하면 디코더부와 레벨 쉬프터를 하나의 회로로 구성할 수 있기 때문에 회로면적을 최소화하여 설계의 자유도를 확보할 수 있다. 그리고, 디코더부와 레벨 쉬프터를 하나의 회로로 구성할 수 있기 때문에 제조비용을 절감할 수 있다. 그리고, 본 발명에서는 선택부에서 부극성 감마전압 및 부극성 감마전압 중 어느 하나를 선택하여 공급하기 때문에 DAC부에 포함된 스위칭소자들 및 승압 디코딩부에 포함된 디코더들의 수를 최소화할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

액정패널에 실장되는 구동회로부를 포함하는 액정표시장치의 구동장치에 있어서,

상기 구동회로부는 외부로부터 공급된 데이터의 비트값에 대응하여 소정의 전압값을 출력하기 위한 승압 디코딩부; 및

상기 승압 디코딩부로부터 출력되는 디지털 전압값을 아날로그 전압값으로 변환하기 위한 DAC부를 구비하되,

상기 승압 디코딩부는 외부로부터 공급된 n(n은 자연수)비트의 데이터에 대응하여 소정의 전압값을 출력하기 위한 2ⁿ개의 승압 디코더들을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3.

제 2항에 있어서,

상기 승압 디코더들 각각은 3비트씩을 입력받아 기저전위 또는 상기 소정 전압값을 출력하기 위한 다수의 디코더를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 4.

제 3항에 있어서,

상기 승압 디코더들에 포함된 상기 다수의 디코더들의 출력을 앤드 연산하기 위하여 상기 승압 디코더들 각각에 설치되는 앤드게이트를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 5.

제 3항에 있어서,

상기 디코더 각각은

상기 데이터의 제 1비트 입력부와 상기 소정의 전압값을 가지는 전압원 사이에 설치되는 제 1 및 제 2스위치와,

상기 데이터의 제 2비트 입력부와 상기 전압원 사이에 설치되는 제 3 및 제 4스위치와,

상기 데이터의 제 3비트 입력부와 상기 전압원 사이에 설치되는 제 5 및 제 6스위치를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 6.

제 5항에 있어서,

상기 제 1 내지 제 3비트 입력부와 접속된 상기 제 1스위치, 제 3스위치 및 제 5스witch는 외부로부터 공급되는 바이어스 전압에 의하여 항상 턴온되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 7.

제 5항에 있어서,

상기 제 2스위치의 게이트단자 및 상기 제 6스위치의 게이트단자는 상기 제 3스위치에 접속되어 상기 제 2비트 입력부의 입력값에 의하여 턴온 또는 턴오프되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 8.

제 7항에 있어서,

상기 제 4스위치의 게이트단자는 상기 제 1스위치 및 상기 제 3스위치의 드레인단자에 접속되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 9.

제 8항에 있어서,

상기 제 2비트 입력부로 "1"의 신호가 입력되면 상기 제 2스위치 및 제 6스위치가 턴오프되어 상기 제 3스위치의 드레인단에 기저전위가 유지되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 10.

제 8항에 있어서,

상기 제 2비트 입력부로 "0"의 신호가 입력되면 상기 제 2스위치 및 제 6스위치가 턴온되고, 상기 제 1 및 제 2비트 입력부로 "1"의 신호가 입력되면 상기 제 1 및 제 5스위치의 저항값이 증가되어 상기 제 3스위치의 드레인단자로 전압원의 전압값이 유지되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 11.

제 8항에 있어서,

상기 제 2비트 입력부로 "0"의 신호가 입력되면 상기 제 2스위치 및 제 6스위치가 턴온되고, 상기 제 1 및 제 2비트 입력부 중 적어도 하나 이상의 비트로 "0"의 신호가 입력되면 상기 "0"의 신호가 입력된 제 1스위치 및 제 5스위치중 적어도 하나의 스위칭소자로 전압원의 전압값이 공급되어 상기 제 3스위치의 드레인단자로 기저전위가 유지되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 12.

제 8항에 있어서,

상기 제 3스위치의 드레인단자에 유지된 전압을 제 1인버팅하기 위한 제 1인버터와,

상기 제 1인버터로부터 공급된 전압을 제 2인버팅하여 출력하기 위한 제 2인버터를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 13.

제 5항에 있어서,

상기 2비트 입력부 앞단에 설치되는 인버터를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 14.

액정패널에 실장되는 구동회로부를 포함하는 액정표시장치의 구동장치에 있어서,

상기 구동회로부는

외부로부터 공급된 데이터의 비트값에 대응하여 다수의 승압 디코더들 중 어느 하나에서 소정의 전압값을 출력하기 위한 승압 디코딩부와,

극성제어신호에 의하여 제어되면서 상기 외부로부터 공급된 부극성 감마전압 및 정극성 감마전압 중 어느 하나를 출력하기 위한 선택부와,

상기 선택부로부터의 감마전압과 상기 승압 디코딩부로부터 상기 소정의 전압값을 공급받아 상기 소정의 전압값에 대응하는 감마전압값을 선택하여 출력하는 디지털-아날로그 변환부와,

외부로부터 공급되는 소스 스타트 펄스를 소스 샘플링 신호에 대응하여 쉬프트시키면서 샘플링신호를 발생하는 쉬프트 레지스터와,

상기 샘플링신호에 대응하여 상기 디지털-아날로그 변환부로부터 공급되는 상기 감마전압값을 순차적으로 래치하기 위한 래치부와,

상기 래치부로부터 공급된 상기 감마전압값을 완충하여 데이터라인들로 공급하기 위한 출력 버퍼부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 15.

제 14항에 있어서,

상기 승압 디코딩부는 n (n 은 자연수)비트의 상기 데이터에 대응하여 2^n 개의 상기 승압 디코더들을 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 16.

제 15항에 있어서,

상기 디지털-아날로그 변환부는 상기 승압 디코더들과 동일한 수의 스위칭소자를 포함하며 상기 각각의 스위칭부에는 서로 다른 전압레벨을 가지는 감마전압값이 공급되는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 17.

제 16항에 있어서,

상기 승압 디코딩부는 데이터의 비트값에 대응하여 상기 다수의 스위칭소자 중 어느 하나를 턴온시키기 위한 상기 소정의 전압값을 상기 디지털-아날로그 변환부로 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 18.

삭제

청구항 19.

외부로부터 정극성 및 부극성의 감마전압을 공급하는 단계와,

극성제어신호의 제어에 의하여 상기 정극성 및 부극성 감마전압 중 어느 하나의 감마전압을 출력하는 단계와,

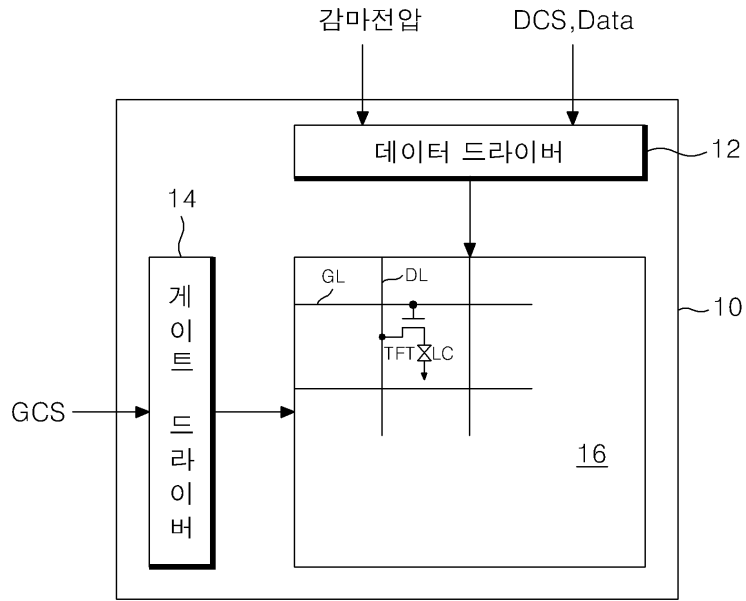
상기 외부로부터 공급되는 데이터에 대응하여 상기 감마전압과 접속되는 다수의 스위칭소자 중 어느 하나의 스위칭소자를 턴온시켜 비디오신호를 생성하는 단계와,

상기 비디오신호를 순차적으로 래치하는 단계와,

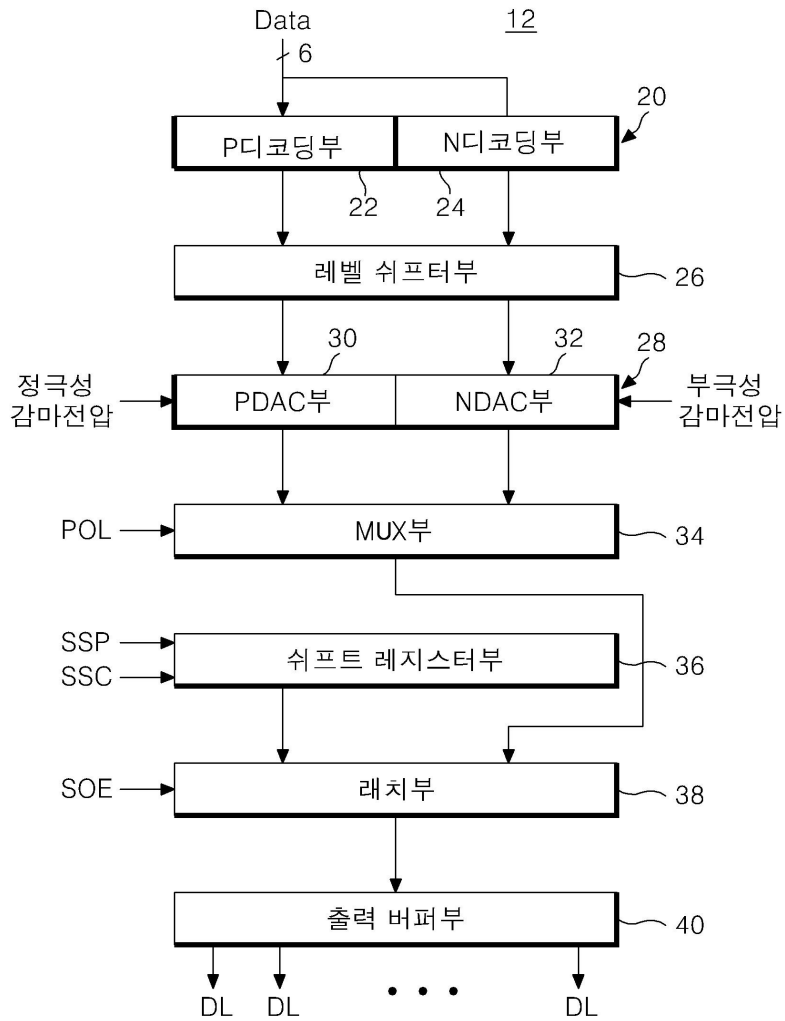
상기 래치된 비디오신호를 동시에 상기 데이터라인들로 출력시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

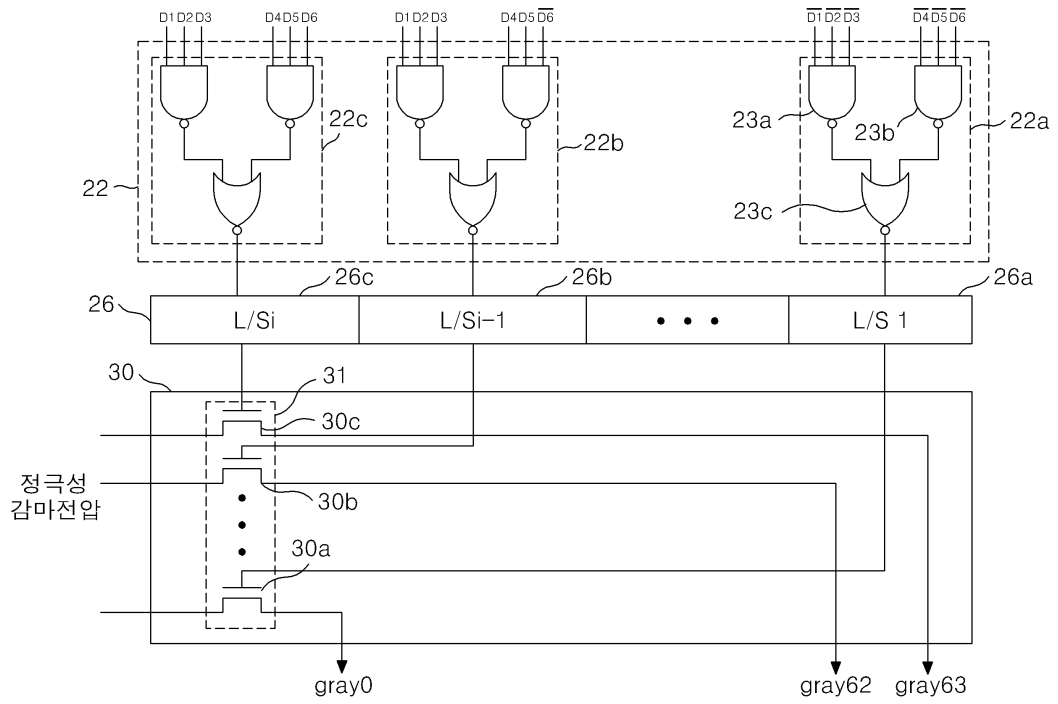
도면1



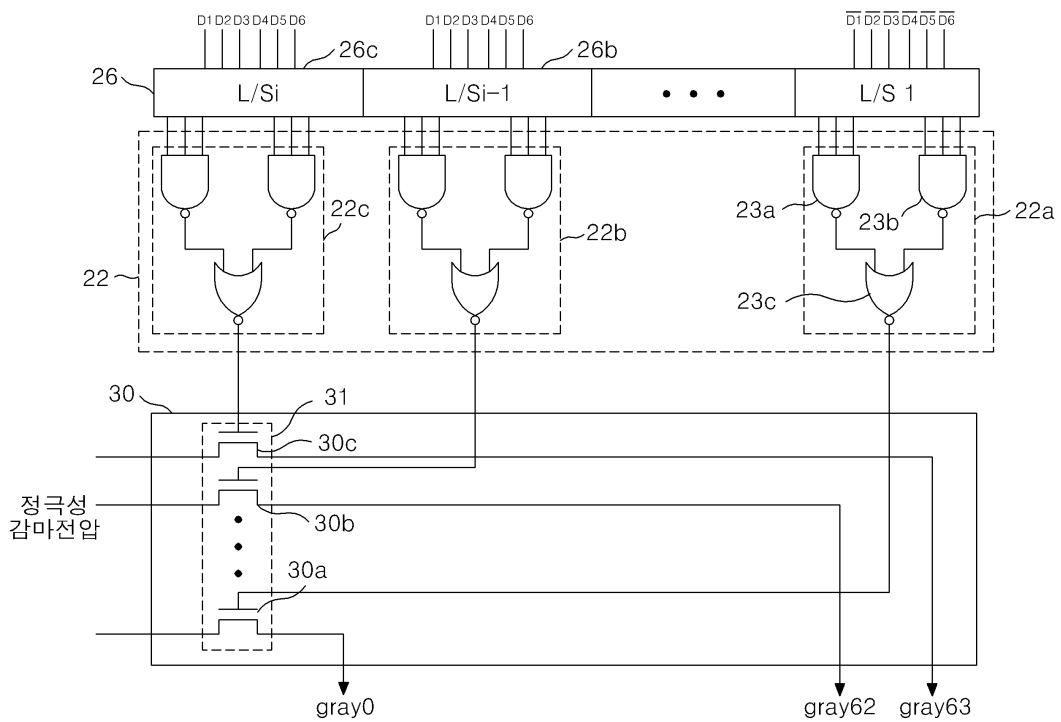
도면2



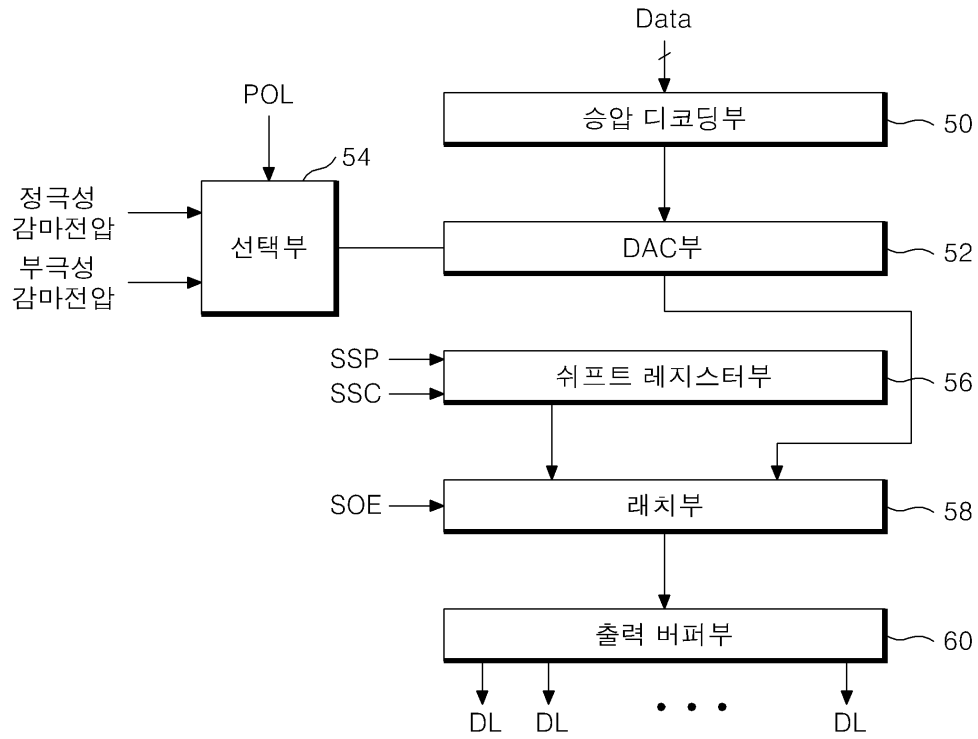
도면3



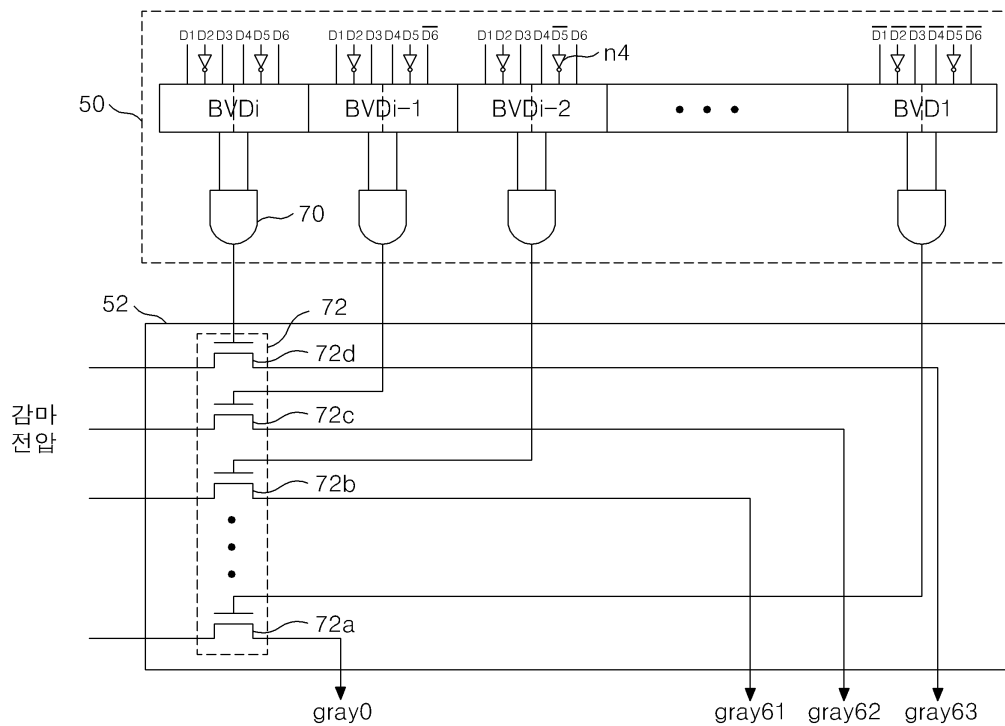
도면4



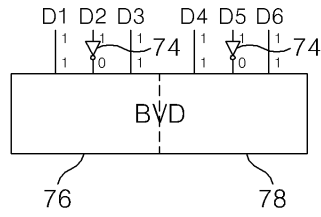
도면5



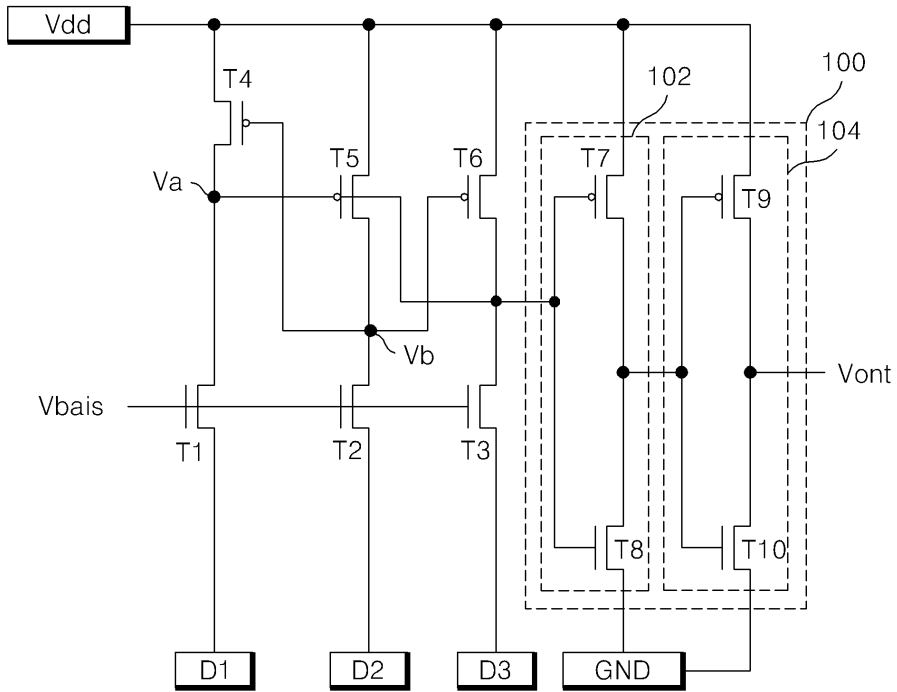
도면6



도면7



도면8



도면9

