

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4535588号
(P4535588)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl.		F I			
H05K	1/02	(2006.01)	H05K	1/02	R
G02F	1/1345	(2006.01)	G02F	1/1345	
H01L	23/12	(2006.01)	H01L	23/12	F
			H01L	23/12	Q

請求項の数 2 (全 9 頁)

(21) 出願番号	特願2000-278595 (P2000-278595)	(73) 特許権者	000006633
(22) 出願日	平成12年9月13日(2000.9.13)		京セラ株式会社
(65) 公開番号	特開2002-94199 (P2002-94199A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成14年3月29日(2002.3.29)	(72) 発明者	小紫 賢一
審査請求日	平成19年8月20日(2007.8.20)		長野県岡谷市長地2800番地 京セラ株式会社長野岡谷工場内
		(72) 発明者	松尾 茂樹
			鹿児島県始良郡隼人町内999番地3 京セラ株式会社鹿児島隼人工場内
		審査官	千壽 哲郎

最終頁に続く

(54) 【発明の名称】 回路基板および電子デバイス

(57) 【特許請求の範囲】

【請求項1】

素子を搭載するための矩形形状の素子搭載領域を有する基体と、
前記基体上に設けられ、前記素子搭載領域に位置する第1素子接続用端子から前記素子搭載領域の長辺を介して引き出されるとともに、前記素子からの出力電圧を印加するための複数の第1配線パターンを有する第1配線パターン群と、

前記基体上に設けられ、前記素子搭載領域に位置する第2素子接続用端子から前記素子搭載領域の短辺を介して引き出されるとともに、前記素子からの出力電圧を印加するための複数の第2配線パターンを有する第2配線パターン群と、

前記基体上に設けられ、且つ前記素子と前記素子搭載領域との位置合わせを行うためのアライメントマークと、

前記基体上に設けられ、且つ前記アライメントマークと接続されるアライメントマーク用引き出し配線と、を備え、

前記アライメントマークおよび前記アライメントマーク用引き出し配線は、前記第1配線パターン群および前記第2配線パターン群と電気的に絶縁されているとともに、前記素子搭載領域外であって且つ平面視において前記第1配線パターン群と前記第2配線パターン群との間に位置している、回路基板。

【請求項2】

請求項1に記載の回路基板と、

前記回路基板が有する基体の素子搭載領域に搭載された素子と、を備えた電子デバイス

10

20

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はフレキシブル回路基板に関するものであり、とくにICやメモリ、コントローラなどの素子チップを実装するためのアライメントマークを改善したフレキシブル回路基板に関するものである。

【0002】

また、本発明はかかるフレキシブル回路基板を用いた携帯電話や電子手帳、携帯情報端末などの機器としての電子デバイス、あるいは液晶表示装置やその他の表示装置などの電子部品としての電子デバイスに関するものである。

10

【0003】

【従来の技術】

フレキシブル回路基板にICを搭載する従来の構造を説明する。

フレキシブル回路基板は、つぎのような工程を経る。

4 ~ 12 μm 厚みの銅箔上にポリイミドワニス塗り、その銅箔上に20 ~ 30 μm 厚みのポリイミドフィルムを形成し、ついで銅箔を所望の配線パターンにエッチングし、その後、レジストで被覆する。この時、フレキシブル回路基板において、他の基板と接続する外部接続用端子が露出されるように、レジストを除去する。また、ICと電気的導通をとるIC接続用端子の付近もレジストを除去しておく。

20

【0004】

図2は上記工程を経て得られる従来のフレキシブル回路基板の模式図である。

フィルム1の表面に所定の配線パターンを形成し、この配線パターン上にレジスト2を被膜し、そのレジスト2内にIC搭載用のレジスト除去部3を設けている。このレジスト除去部3内にIC接続用端子4を形成し、レジスト2の外側領域に外部接続用端子5を形成し、これらIC接続用端子4と外部接続用端子5とを結線するリード6をフィルム1とレジスト2との間に介在させている。

【0005】

この構成のフレキシブル回路基板においては、ICを搭載するには、高い精度でもっておこなう必要がある。

30

【0006】

そのために、配線パターンの形成とともに、フレキシブル回路基板にアライメントマーク7を設け、そして、斜光照明をアライメントマーク7に当て、その像を画像認識し、これでもってICとフレキシブル回路基板との位置合わせをおこなっていた。

【0007】

その場合、このようなアライメントマーク7の部位に対してもレジストを除去していた。

【0008】

しかしながら、上記構成のフレキシブル回路基板によれば、レジストが除去されたIC接続用端子4や外部接続用端子5、アライメントマーク7については、銅箔が空気中に露出されるので、その部分でもって腐食が発生し、その結果、配線パターンが断線する等の課題があった。

40

【0009】

この課題を解消するために、IC接続用端子4や外部接続用端子5、アライメントマーク7に対し、Auの電解メッキを施し、これによって腐食を防止する技術が提案されている。

【0010】

この点をさらに図2にて説明すると、レジスト2の外側領域に形成した外部接続用端子5には、さらに電解メッキ用パターン8を設け、すべてのリード6と接続させ、そして、レジスト2が被覆されていない部分に対し、Auの電解メッキをおこない、その後、カット線9にて切断し、電解メッキ用パターン8を除外し、フレキシブル回路基板が供される。

50

【 0 0 1 1 】

アライメントマーク7についても、同様に電解メッキさせるが、そのためには近接のリード6と結線することで、Auの電解メッキを施していた。

【 0 0 1 2 】

しかしながら、この電解メッキされた後も、そのままリード6と結線されていると、レジストで覆われていないアライメントマークから結線された配線パターンへ外部ノイズが入ったり、あるいはアライメントマークを介して配線パターンからの電流のリーク等の問題があり、品質を低下させる原因となっていた。

【 0 0 1 3 】

そこで、アライメントマーク7とリード6とを接続する結線を、Auの電解メッキ後、カット穴10を設けることで切断していた。

10

【 0 0 1 4 】

【発明が解決しようとする課題】

しかしながら、上記構成の従来のフレキシブル回路基板においては、カット穴10を設けることで、そのためのスペースを要し、そのスペースを確保するためにフレキシブル回路基板の外形サイズが大きくなり、近年の小型化、高密度配線化および低コスト化という市場のニーズに応えられなかった。

【 0 0 1 5 】

その上、ICの近傍にカット穴10を形成すると、IC実装のフレキシブル回路基板の強度が低下し、これによって実装精度が低下していた。

20

【 0 0 1 6 】

したがって、本発明は叙上に鑑みて完成されたものであり、その目的は小型化、高密度配線化および低コスト化を達成したフレキシブル回路基板を提供することにある。

【 0 0 1 7 】

また、本発明の他の目的は回路基板自体の強度を高めて、実装精度を上げ、これによって高品質かつ高信頼性のフレキシブル回路基板を提供することにある。

【 0 0 1 8 】

さらにまた、本発明の目的は、かかる本発明のフレキシブル回路基板を使用した電子デバイスを提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

本発明の回路基板は、素子を搭載するための矩形状の素子搭載領域を有する基体と、前記基体上に設けられ、前記素子搭載領域に位置する第1素子接続用端子から前記素子搭載領域の長辺を介して引き出されるとともに、前記素子からの出力電圧を印加するための複数の第1配線パターンを有する第1配線パターン群と、前記基体上に設けられ、前記素子搭載領域に位置する第2素子接続用端子から前記素子搭載領域の短辺を介して引き出されるとともに、前記素子からの出力電圧を印加するための複数の第2配線パターンを有する第2配線パターン群と、前記基体上に設けられ、且つ前記素子と前記素子搭載領域との位置合わせを行うためのアライメントマークと、前記基体上に設けられ、且つ前記アライメントマークと接続されるアライメントマーク用引き出し配線と、を備え、前記アライメントマークおよび前記アライメントマーク用引き出し配線は、前記第1配線パターン群および前記第2配線パターン群と電気的に絶縁されているとともに、前記素子搭載領域外であって且つ平面視において前記第1配線パターン群と前記第2配線パターン群との間に位置している。

30

40

【 0 0 2 0 】

また、本発明の電子デバイスは、本発明の回路基板と、回路基板が有する基体の素子搭載領域に搭載された素子と、を備える。

【 0 0 2 1 】

また、カット穴を迂回してパターンを引き回す必要もなく、設計効率が向上する。

【 0 0 2 2 】

50

さらに、高密度配線によりマザーフィルムからの取り数が増大し、これによって製造コストが低減され、低コストなフレキシブル回路基板が提供できる。

【0023】

しかも、カット穴が存在することに起因するフレキシブル回路基板の強度低下が防止され、これによって素子チップの実装精度が高くなり、製品の信頼性が向上する。

【0024】

また、本発明の電子デバイスは、素子チップを搭載した本発明のフレキシブル回路基板を、他の基板に配設するとともに、この他の基板上に形成した配線パターンと、フレキシブル回路基板の外部接続用端子とを接続して、前記素子チップの出力信号を他の基板へ伝達せしめて成り、このようにカット穴が存在しないフレキシブル回路基板を用いたことで、その基板自体の強度が高くなり、フレキシブル回路基板の他の基板に対する実装精度が高くなり、信頼性の高い電子デバイスが提供される。

10

【0025】

【発明の実施の形態】

以下、本発明の実施例を図1および図3により詳細に説明する。

図1は本発明のフレキシブル回路基板の模式図である。図3は、フレキシブル回路基板が接続された液晶表示装置の模式図である。

(本発明のフレキシブル回路基板)

フレキシブル回路基板を作製するに当り、4~12 μ m厚みの銅箔上にポリイミドのワニス塗りをし、その銅箔上に20~30 μ m厚みのポリイミドフィルムを形成し、ついで銅箔を所望の配線パターンにエッチングし、その後、レジストで被覆するが、その際に、フレキシブル回路基板において、他の基板と接続する外部接続用端子が露出されるように、レジストを除去し、前記素子チップであるICと電気的導通をとるIC接続用端子の付近もレジストを除去する。

20

【0026】

なお、前記銅箔はパターンピッチがファインになると、その厚みが薄い方が有利である。また、ポリイミドフィルムについても薄くした方が折り曲げ性に優れる。

【0027】

本例では、銅箔を用いたが、これに代えて、ポリイミドフィルム上に銅を蒸着してフィルム基板となしてもよい。

30

【0028】

図1はこのような工程を経て得られる本発明のフレキシブル回路基板の模式図である。

【0029】

フィルム1の表面に所定の配線パターンを形成し、この配線パターン上に前記保護膜であるレジスト2を被膜し、そのレジスト2内にIC搭載用のレジスト除去部3を設け、レジスト除去部3内にIC接続用端子4を形成し、レジスト2の外側領域に外部接続用端子5を形成し、さらにIC接続用端子4と外部接続用端子5とを結線するリード6をフィルム1とレジスト2との間に介在させている。

【0030】

また、レジスト2にはIC搭載用アライメントマーク11を形成し、リード6に並べてIC搭載アライメントマーク用引き出し配線12を設け、このIC搭載アライメントマーク用引き出し配線12の一方端をIC搭載用アライメントマーク11に接続し、他方端を外部接続用端子5の付近に延在している。

40

【0031】

また、レジスト2の外側領域に形成した外部接続用端子5には、さらに電解メッキ用パターン8と接続させ、これにより、すべてのリード6とも接続させている。

【0032】

IC搭載アライメントマーク用引き出し配線12の他方端も電解メッキ用パターン8と接続させている。

【0033】

50

そして、レジスト2が被覆されていない部分、すなわちIC接続用端子4や外部接続用端子5、IC搭載アライメントマーク用引き出し配線12の他方端に対し、Auの電解メッキをおこなう。

【0034】

この電解メッキにおいては、IC搭載用アライメントマーク11に存在する配線部に対してもおこなわれる。

【0035】

しかる後に、金型で打ち抜くことで、カット線9にて切断し、電解メッキ用パターン8を除外し、本発明のフレキシブル回路基板が得られる。

【0036】

かくして本発明のフレキシブル回路基板によれば、レジスト2にIC搭載用アライメントマーク11を形成し、さらにリード6に並べてIC搭載アライメント用引き出し配線12を設け、このIC搭載アライメント用引き出し配線12の一方端をIC搭載用アライメントマーク11に延在し、他方端を外部接続用端子5付近に延在し、そして、配線パターンのレジスト2が被膜されない部分に電解メッキをおこなうが、このような構成においては、従来のフレキシブル回路基板において用いたカット穴が不要となり、これにより、小型化とともに高密度配線ができるようになった。

【0037】

また、カット穴を迂回してパターンを引き回す必要もなく、設計効率が向上し、さらに高密度配線によりマザーフィルムからの取り数が増大し、これによって製造コストが低減された。

【0038】

さらにまた、カット穴が存在することに起因するフレキシブル回路基板の強度低下が防止され、回路基板自体の強度を高め、実装精度を上げることができた。

【0039】

なお、本発明は上記実施形態例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の変更や改良等はなんら差し支えない。たとえば、本例においては、レジスト2を形成し、その後にレジスト2に被覆されないIC接続用端子4や外部接続用端子5やIC搭載用アライメントマーク11などに対しAuの電解メッキをおこなったが、これに代えて、レジスト2を被覆する前に、あらかじめ配線パターンにAuの電解メッキをおこなって、その後にレジスト2を被覆し、そのレジスト2にIC搭載用のレジスト除去部3、外部接続用端子5の露出部、IC搭載用アライメントマーク11などを設けてもよい。

【0040】

また、レジストの代わりに、ポリイミドフィルムを貼り付けるなどの他の保護膜を形成してもよい。

【0041】

また、本例では素子チップとしてICを用いたが、これに代えてメモリやコントローラなどの各種素子チップを用いてもよい。

【0042】

(本発明の電子デバイス)

電子デバイスとしては、フレキシブル回路基板を用いた携帯電話や電子手帳、携帯情報端末などの電子機器としての電子デバイスがある。その他に液晶表示装置やその他の表示装置などの電子デバイスがある。

【0043】

本発明においては、すでに小型化した電子デバイスをさらに小型化する際に、もっとも有効であって、従来のフレキシブル回路基板において用いたカット穴が不要になったことで、その効果は顕著である。

【0044】

以下、本発明の電子デバイスの一例を示す。

図3と図4は本発明のフレキシブル回路基板を使用した液晶表示装置であって、図3はそ

10

20

30

40

50

の平面図であり、図 4 はその断面図である。

【0045】

この液晶表示装置においては、配線パターンを形成した 2 枚のガラス基板間に液晶材料を封入した液晶セル 14 に本発明のフレキシブル回路基板 1 を接続した構造となっている。

【0046】

フレキシブル回路基板のフィルム 1 上には、液晶セル 14 を駆動するためのドライバ IC 13 が実装されており、ドライバ IC 13 の出力電圧が外部接続用端子 5 を介して液晶セル 14 に印加され、表示を行う構造となっている。

【0047】

【発明の効果】

以上のとおり、本発明の回路基板によれば、素子を搭載するための矩形の素子搭載領域を有する基体と、基体上に設けられ、素子搭載領域に位置する第 1 素子接続用端子から素子搭載領域の長辺を介して引き出されるとともに、素子からの出力電圧を印加するための複数の第 1 配線パターンを有する第 1 配線パターン群と、基体上に設けられ、素子搭載領域に位置する第 2 素子接続用端子から素子搭載領域の短辺を介して引き出されるとともに、素子からの出力電圧を印加するための複数の第 2 配線パターンを有する第 2 配線パターン群と、基体上に設けられ、且つ素子と素子搭載領域との位置合わせを行うためのアライメントマークと、基体上に設けられ、且つアライメントマークと接続されるアライメントマーク用引き出し配線と、を備え、アライメントマークおよびアライメントマーク用引き出し配線は、第 1 配線パターン群および第 2 配線パターン群と電氣的に絶縁されているとともに、素子搭載領域外であって且つ平面視において第 1 配線パターン群と第 2 配線パターン群との間に位置しているので、従来の回路基板において用いたカット穴が不要となり、これにより、高密度配線ができ、また、カット穴を迂回してパターンを引き回す必要もなく、設計効率が向上し、さらに高密度配線によりマザー基板からの取り数が増大し、これによって製造コストが低減され、その結果、小型化、高密度配線化および低コスト化を達成した回路基板が提供できた。

【0048】

また、本発明においては、カット穴が存在することに起因する回路基板の強度低下が防止され、回路基板自体の強度を高めて、実装精度を上げ、これによって高品質かつ高信頼性の回路基板が提供できた。

【0049】

本発明の電子デバイスにおいては、本発明の回路基板と、回路基板が有する基体の素子搭載領域に搭載された素子と、を備えるので、すなわち、このようにカット穴が存在しない回路基板を用いたことで、信頼性の高い電子デバイスが提供された。

【図面の簡単な説明】

【図 1】本発明のフレキシブル回路基板の模式図である。

【図 2】従来のフレキシブル回路基板の模式図である。

【図 3】本発明の電子デバイス（液晶表示装置）の平面図である。

【図 4】本発明の電子デバイス（液晶表示装置）の断面図である。

【符号の説明】

- 1 ... フィルム
- 2 ... レジスト
- 3 ... レジスト除去部
- 4 ... IC 接続用端子
- 5 ... 外部接続用端子
- 6 ... リード
- 7 ... アライメントマーク
- 8 ... 電解メッキ用パターン
- 9 ... カット線
- 11 ... IC 搭載用アライメントマーク

10

20

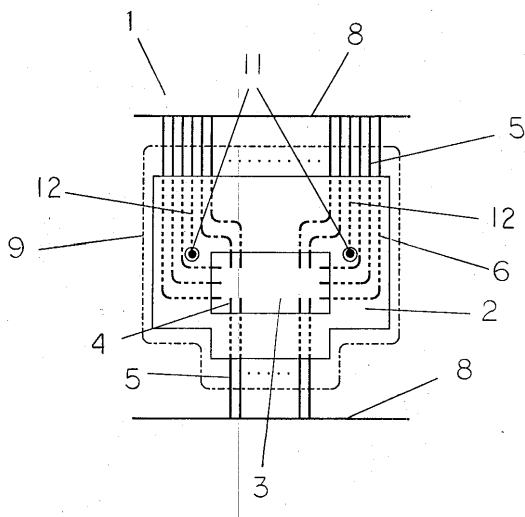
30

40

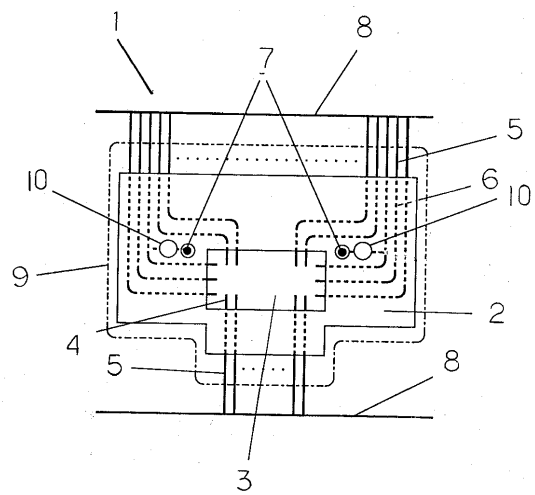
50

- 1 2 ... IC 搭載アライメントマーク用引き出し配線
- 1 3 ... ドライバ IC
- 1 4 ... 液晶セル

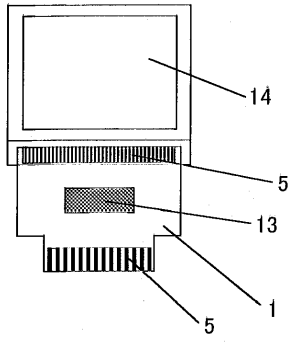
【図 1】



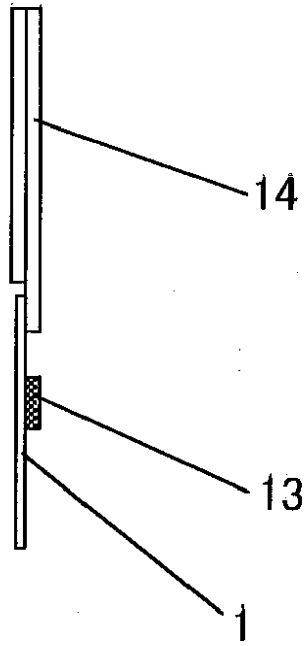
【図 2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2000-321594(JP,A)
特開平08-045986(JP,A)
特開平09-064495(JP,A)
特開平09-189916(JP,A)
特開平04-249333(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/02
G02F 1/1345
H01L 23/12