

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4550457号  
(P4550457)

(45) 発行日 平成22年9月22日(2010.9.22)

(24) 登録日 平成22年7月16日(2010.7.16)

(51) Int.Cl. F I  
H O 1 L 21/301 (2006.01) H O 1 L 21/78 L

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2004-92251 (P2004-92251)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成16年3月26日(2004.3.26)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2005-277337 (P2005-277337A)	(74) 代理人	100103894 弁理士 冢入 健
(43) 公開日	平成17年10月6日(2005.10.6)	(72) 発明者	西沢 一幸 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成18年12月8日(2006.12.8)	審査官	太田 良隆

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の方向及び第2の方向に延在する複数のスクライプ線で区画された各々の領域に半導体チップが形成されてなるウェハにおいて、

前記第1の方向に延在する前記複数のスクライプ線が、相対的に幅が狭い第1のスクライプ線と、相対的に幅が広い第2のスクライプ線とにより構成され、

前記第2の方向に延在する前記複数のスクライプ線が、前記第1のスクライプ線と、前記第2のスクライプ線よりも幅の広い第3のスクライプ線とにより構成され、

1回のショットで露光可能な単位セル内に、前記第1の方向及び前記第2の方向共に、前記第2のスクライプ線又は前記第3のスクライプ線が少なくとも1本含まれ、

前記第1のスクライプ線は、相隣り合う前記半導体チップを切断可能な最小幅で形成され、

前記第2のスクライプ線及び前記第3のスクライプ線は、TEGが配置可能な幅で形成され、

前記TEGを構成するチェックトランジスタが長方形である場合に、前記第2のスクライプ線には、前記チェックトランジスタの長手と前記第2のスクライプ線の延在方向とが略平行になるように前記チェックトランジスタが形成され、前記第3のスクライプ線には、前記チェックトランジスタの長手と前記第3のスクライプ線の延在方向とが略直交するように前記チェックトランジスタが形成されることを特徴とするウェハ。

【請求項2】

10

20

前記第 1 の方向において、前記第 2 のスクライブ線は、一定の周期で配置され、  
 前記第 2 の方向において、前記第 3 のスクライブ線は、一定の周期で配置され、  
 前記第 2 のスクライブ線間には、それぞれ同じ本数の第 1 のスクライブ線が配置され、  
 前記第 3 のスクライブ線間には、それぞれ同じ本数の第 1 のスクライブ線が配置されて  
 いることを特徴とする請求項 1 記載のウェハ。

【請求項 3】

請求項 1 又は 2 に記載の前記ウェハを切断して得られる半導体チップであって、  
 前記半導体チップは、前記第 1 のスクライブ線、前記第 2 のスクライブ線及び前記第 3  
 のスクライブ線を略中心線に沿って同一幅で切断して得られたものであり、  
 前記半導体チップの周囲に残存するスクライブ線の形状が、1 回のショットで露光可能  
 な単位セル内の位置に応じて異なることを特徴とする半導体チップ。

10

【請求項 4】

第 1 の方向に延在する相対的に幅の狭い第 1 のスクライブ線及び相対的に幅の広い第 2  
 のスクライブ線と、第 2 の方向に延在する前記第 1 のスクライブ線及び前記第 2 のスクラ  
 イブ線よりも幅の広い第 3 のスクライブ線とによりウェハを区分し、前記第 1 の方向及び  
 前記第 2 の方向共に少なくとも 1 本の前記第 2 のスクライブ線又は前記第 3 のスクライ  
 ブ線を含む領域を 1 回のショットで露光可能な単位セルとし、前記単位セル毎に露光して、  
 前記区分された領域に半導体チップを形成すると共に、前記第 2 のスクライブ線及び前記  
 第 3 のスクライブ線上に T E G を形成する工程と、

前記第 1 のスクライブ線、前記第 2 のスクライブ線及び前記第 3 のスクライブ線を同一  
 幅で切断する工程と、を少なくとも有し、

20

前記切断工程において、前記第 1 のスクライブ線及び前記第 2 のスクライブ線又は前記  
 第 3 のスクライブ線を略中心線に沿って切断し、前記単位セル内の各々の前記半導体チッ  
 プの周囲に残存するスクライブ線の形状を変えて、前記半導体チップの前記単位セルにお  
 ける位置を特定可能とするものであり、

前記第 1 のスクライブ線を、相隣り合う前記半導体チップを切断可能な最小幅で形成し  
 、

前記第 2 のスクライブ線及び前記第 3 のスクライブ線を、前記 T E G が配置可能な幅で  
 形成し、

前記 T E G を構成するチェックトランジスタが長方形である場合に、前記第 2 のスクラ  
 イブ線には、前記チェックトランジスタの長手と前記第 2 のスクライブ線の延在方向とが  
 略平行になるように前記チェックトランジスタを形成し、前記第 3 のスクライブ線には、  
 前記チェックトランジスタの長手と前記第 3 のスクライブ線の延在方向とが略直交するよ  
 うに前記チェックトランジスタを形成することを特徴とする半導体装置の製造方法。

30

【請求項 5】

前記ウェハ上には、前記第 1 の方向において、前記第 2 のスクライブ線が、一定の周期  
 で配置され、前記第 2 の方向において、前記第 3 のスクライブ線が、一定の周期で配置さ  
 れ、前記第 2 のスクライブ線間には、それぞれ同じ本数の第 1 のスクライブ線が配置され  
 、前記第 3 のスクライブ線間には、それぞれ同じ本数の第 1 のスクライブ線が配置されて  
 いることを特徴とする請求項 4 記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、ウェハにおけるスクライブ線の  
 構造及び該ウェハを切断して得られる半導体チップ並びにその製造方法に関する。

【背景技術】

【0002】

半導体チップの低価格化を実現するためには、1 枚のウェハから得られる半導体チップ  
 の数を増やすことが重要である。一般にウェハは、図 10 に示すように、マトリクス状に

50

配列された複数の半導体チップ3と、各々の半導体チップ3の間に設けられる所定の幅のスクライプ線9とからなり、ダイシング装置などを用いてスクライプ線9に沿ってウェハ1を切断することにより、半導体チップ3が個片に分割される。

【0003】

上記ウェハ1には、チェックトランジスタなどを含むTEG (Test Element Grope) が形成され、このTEGを用いてウェハ段階で半導体チップ3のできばえを判断するが、TEGを半導体チップ3内に形成すると半導体チップ3の面積が大きくなってしまうため、通常、TEGは上記スクライプ線9上に形成される。また、半導体チップ3を製造するためにはマスクの位置合わせに用いるアライメントマークも必要であるが、このアライメントマークも上記スクライプ線9上に形成される。そのため、スクライプ線9はTEGやアライメントマークが配置できる程度の幅にする必要があり、スクライプ線9の幅が広くなるに従って1枚のウェハ1に形成可能な半導体チップ3の数が少なくなってしまうという問題がある。

10

【0004】

そこで、1枚のウェハ1からできるだけ多くの半導体チップ3を得るために様々な提案がなされており、例えば、下記特許文献1には、縦方向と横方向とでスクライプ線の幅を変える方法が開示されている。下記特許文献1によれば、LCDドライバではLCDの水平方向又は垂直方向の1列分の画素に相当する電極を縦方向又は横方向で1列に並べていることから半導体チップは細長い四角形となり、そのため、半導体チップの短辺方向と長辺方向でスクライプ線の幅を同一とすると、短辺方向ではスクライプ線の占める割合が大きくなり、ウェハが無駄になってしまう領域が増えるという課題を解決するために、短辺方向の第1分割領域を長辺方向の第2分割領域よりも幅を広くし、これによって半導体チップの取得数を増やしている。

20

【0005】

【特許文献1】特開2003-258049号公報(第3-5頁、第2図)

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記方法を用いることにより、縦方向及び横方向の双方のスクライプ線を広くする方法に比べて、1枚のウェハから得られる半導体チップの数を増やすことが可能であるが、半導体チップが正方形に近い形状の場合は、一の方向のスクライプ線(特許文献1における第1分割領域)の占有面積が大きくなり、半導体チップの取得数をそれほど増やすことができない。

30

【0007】

また、従来構造では、各々の半導体チップの上下左右の各辺に隣接するスクライプ線の幅が等しいか、または、上下の各辺又は左右の各辺に隣接するスクライプ線の幅が等しいため、各々の半導体チップの外観は同じになり、所定の半導体チップがマスクパターンのどの部分に対応するのか、また、その半導体チップがウェハのどの位置に配置された半導体チップであるかを特定することができず、検査で不良が生じた場合に、半導体チップの配置情報を利用してマスクパターンの欠陥チェックなどの不良の解析迅速に行うことができないという問題もあった。

40

【0008】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、1枚のウェハから取得することができる半導体チップの数を増やし、また、各々の半導体チップのウェハ上の位置を特定することができる半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明のウェハは、第1の方向及び第2の方向に延在する複数のスクライプ線で区画された各々の領域に半導体チップが形成されてなるウェハにおい

50

て、前記第1の方向及び前記第2の方向に延在する前記複数のスクライプ線が、相対的に幅が狭い第1のスクライプ線と、相対的に幅が広い第2のスクライプ線とにより構成され、1回のショットで露光可能な単位セル内に、前記第1の方向及び前記第2の方向共に、前記第2のスクライプ線が少なくとも1本含まれ、前記第1のスクライプ線は、相隣り合う前記半導体チップを切断可能な最小幅で形成され、前記第2のスクライプ線は、TEGが配置可能な幅で形成され、前記TEGを構成するチェックトランジスタが長方形である場合に、前記第2のスクライプ線には、前記チェックトランジスタの長手と前記第2のスクライプ線の延在方向とが略平行になるように前記チェックトランジスタが形成されるものである。

【0011】

また、本発明のウェハは、第1の方向及び第2の方向に延在する複数のスクライプ線で区画された各々の領域に半導体チップが形成されてなるウェハにおいて、前記第1の方向に延在する前記複数のスクライプ線が、相対的に幅が狭い第1のスクライプ線と、相対的に幅が広い第2のスクライプ線とにより構成され、前記第2の方向に延在する前記複数のスクライプ線が、前記第1のスクライプ線と、前記第2のスクライプ線よりも幅の広い第3のスクライプ線とにより構成され、1回のショットで露光可能な単位セル内に、前記第1の方向及び前記第2の方向共に、前記第2のスクライプ線又は前記第3のスクライプ線が少なくとも1本含まれ、前記第1のスクライプ線は、相隣り合う前記半導体チップを切断可能な最小幅で形成され、前記第2のスクライプ線及び前記第3のスクライプ線は、TEGが配置可能な幅で形成され、前記TEGを構成するチェックトランジスタが長方形である場合に、前記第2のスクライプ線には、前記チェックトランジスタの長手と前記第2のスクライプ線の延在方向とが略平行になるように前記チェックトランジスタが形成され、前記第3のスクライプ線には、前記チェックトランジスタの長手と前記第3のスクライプ線の延在方向とが略直交するように前記チェックトランジスタが形成されるものである。

【0014】

また、本発明の半導体チップは、前記ウェハを切断して得られる半導体チップであって、前記半導体チップは、前記第1のスクライプ線及び前記第2のスクライプ線を略中心線に沿って同一幅で切断して得られたものであり、前記半導体チップの周囲に残存するスクライプ線の形状が、1回のショットで露光可能な単位セル内の位置に応じて異なるものである。

【0015】

また、本発明の半導体チップは、前記ウェハを切断して得られる半導体チップであって、前記半導体チップは、前記第1のスクライプ線、前記第2のスクライプ線及び前記第3のスクライプ線を略中心線に沿って同一幅で切断して得られたものであり、前記半導体チップの周囲に残存するスクライプ線の形状が、1回のショットで露光可能な単位セル内の位置に応じて異なるものである。

【0016】

また、本発明の半導体装置の製造方法は、第1の方向及び第2の方向に延在する相対的に幅の狭い第1のスクライプ線及び相対的に幅の広い第2のスクライプ線によりウェハを区分し、前記第1の方向及び前記第2の方向共に少なくとも1本の前記第2のスクライプ線を含む領域を1回のショットで露光可能な単位セルとし、該単位セル毎に露光して、前記区分された領域に半導体チップを形成すると共に、前記第2のスクライプ線上にアライメントマーク又はTEGの少なくとも一方を形成する工程と、前記第1のスクライプ線及び前記第2のスクライプ線を同一幅で切断する工程と、を少なくとも有し、前記切断工程において、前記第1のスクライプ線及び前記第2のスクライプ線を略中心線に沿って切断し、前記単位セル内の各々の前記半導体チップの周囲に残存するスクライプ線の形状を変えて、前記半導体チップの前記単位セルにおける位置を特定可能とするものであり、前記第1のスクライプ線を、相隣り合う前記半導体チップを切断可能な最小幅で形成し、前記第2のスクライプ線を、前記TEGが配置可能な幅で形成し、前記TEGを構成するチェ

ックトランジスタが長方形である場合に、前記第2のスクライブ線には、前記チェックトランジスタの長手と前記第2のスクライブ線の延在方向とが略平行になるように前記チェックトランジスタを形成するものである。

【0017】

また、本発明の半導体装置の製造方法は、第1の方向に延在する相対的に幅の狭い第1のスクライブ線及び相対的に幅の広い第2のスクライブ線と、第2の方向に延在する前記第1のスクライブ線及び前記第2のスクライブ線よりも幅の広い第3のスクライブ線とによりウェハを区分し、前記第1の方向及び前記第2の方向共に少なくとも1本の前記第2のスクライブ線又は前記第3のスクライブ線を含む領域を1回のショットで露光可能な単位セルとし、該単位セル毎に露光して、前記区分された領域に半導体チップを形成すると共に、前記第2のスクライブ線又は前記第3のスクライブ線上にアライメントマーク又はTEGの少なくとも一方を形成する工程と、前記第1のスクライブ線、前記第2のスクライブ線及び前記第3のスクライブ線を同一幅で切断する工程と、を少なくとも有し、前記切断工程において、前記第1のスクライブ線及び前記第2のスクライブ線又は前記第3のスクライブ線を略中心線に沿って切断し、前記単位セル内の各々の前記半導体チップの周囲に残存するスクライブ線の形状を変えて、前記半導体チップの前記単位セルにおける位置を特定可能とするものであり、前記第1のスクライブ線を、相隣り合う前記半導体チップを切断可能な最小幅で形成し、前記第2のスクライブ線及び前記第3のスクライブ線を、前記TEGが配置可能な幅で形成し、前記TEGを構成するチェックトランジスタが長方形である場合に、前記第2のスクライブ線には、前記チェックトランジスタの長手と前記第2のスクライブ線の延在方向とが略平行になるように前記チェックトランジスタを形成し、前記第3のスクライブ線には、前記チェックトランジスタの長手と前記第3のスクライブ線の延在方向とが略直交するように前記チェックトランジスタを形成するものである。

【0019】

このように、本発明は、ウェハにマトリクス状に配列される複数の半導体チップを分割するためのスクライブ線を、第1の方向及び第2の方向共に、切断可能な最小幅の第1のスクライブ線とアクセサリが配設可能な幅の第2のスクライブ線又は第3のスクライブ線とを含む複数種類の幅のスクライブ線で構成し、1ショットで露光可能な領域（単位セル）内に、第1の方向及び第2の方向共に、1本の第2のスクライブ線又は第3のスクライブ線が含まれるようにスクライブ線の配列パターンを設定することにより、1枚のウェハから取得することができる半導体チップの数を増やすことができ、これにより半導体チップの低価格化を実現することができる。また、上記単位セルを構成する半導体チップの配列数を減らし（好ましくは3×3以下の配列数にし）、第2又は第3のスクライブ線を略中心線に沿って切断することにより、各々の半導体チップ周囲のスクライブ線の構成を変えることができ、これにより各々の半導体チップの単位セル内の位置を特定することができ、マスクのパターン欠陥の位置を特定するなど、不良の解析を容易に行うことが可能となる。

【発明の効果】

【0020】

本発明の半導体装置及びその製造方法によれば、下記記載の効果を奏する。

【0021】

本発明の第1の効果は、1枚のウェハから取得することができる半導体チップの数を増やすことができるということである。

【0022】

その理由は、ウェハにマトリクス状に配列される複数の半導体チップを分割するために設けられるスクライブ線を、各々の配列方向（縦方向及び横方向）共に、ダイシングやレーザ加工、異方性エッチングなどを用いて切断が可能な最小幅の第1のスクライブ線と、チェックトランジスタを含むTEGやアライメントマークなどのアクセサリが配設可能な、第1のスクライブ線よりも太い第2スクライブ線又は第3のスクライブ線とを含む複数

10

20

30

40

50

種類の幅のスクライブ線を用いて構成し、1ショットで露光可能な領域(単位セル)内に、縦方向及び横方向共に、1本の第2のスクライブ線又は第3のスクライブ線が含まれるようにスクライブ線の配列パターンを設定することにより、太いスクライブ線のみで構成する場合に比べて、スクライブ線の占有面積を小さくすることができるからである。

【0023】

また、本発明の第2の効果は、各々の半導体チップの単位セル内の位置を特定することができ、検査で半導体チップが不良と判定された場合に、不良の解析を容易に行うことができるということである。

【0024】

その理由は、上記単位セルを構成する半導体チップの配列数を減らし(好ましくは $3 \times 3$ 以下の配列数にし)、第2又は第3のスクライブ線を略中心線に沿って切断することにより、各々の半導体チップ周囲の外観形状を変えることができるからである。

【発明を実施するための最良の形態】

【0025】

従来技術で示したように、1枚のウェハから取得できる半導体チップの数を増やすためにはスクライブ線の占有面積を小さくする必要がある。そこで、上記特許文献1では、長辺及び短辺からなる長方形の半導体チップが配列される構成において、長辺方向に延在するスクライブ線を細く、短辺方向に延在するスクライブ線を太くする構成が開示されているが、この方法を正方形に近い形状の半導体チップに適用した場合には一方向のスクライブ線の占有面積が大きくなってしまい、1枚のウェハから取得できる半導体チップの数をそれほど増やすことはできない。

【0026】

また、全てのスクライブ線を同一幅とする構成や上記特許文献1のように一方向に延在するスクライブ線と他の方向に延在するスクライブ線の幅を変える構成では、各々の半導体チップ周囲のスクライブ線の構成が同じになるため、所定の半導体チップがウェハのどの位置に配置されたものであるかを特定することができず、半導体チップが不良と判定された場合にその原因の解析が困難になる。

【0027】

ここで、ウェハにレジストパターンを形成する場合、半導体チップ毎に露光を行う方法では時間がかかることから、複数の半導体チップを一つの単位(単位セル)とし、該単位セルを一括して露光する方法(いわゆる一括露光又はブロック露光)が行われているが、半導体チップの不良の内、各々の単位セルの同じ位置の半導体チップに生じる不良はマスクのパターン欠陥に起因することが多い。従って、半導体チップが不良と判定された場合に、該半導体チップが単位セルのどの位置に配置されていたかが分かれば、パターン欠陥の場所を特定することができ、不良の解析を迅速に行うことができる。

【0028】

そこで、本発明では、半導体チップを分割するスクライブ線を、半導体チップの各々の配列方向(例えば、縦方向及び横方向)共に、ダイシングやレーザ加工、異方性エッチングなどにより切断が可能な最小幅の第1のスクライブ線と、TEGやアライメントマークなどのアクセサリが配設可能な第2又は第3のスクライブ線とで構成し、1つの単位セル内に1本の第2又は第3のスクライブ線が含まれるようにスクライブ線の配列パターンを設定する。これにより、アライメントや半導体チップの検査に支障を与えることなくスクライブ線の占有面積を小さくすることができる。また、スクライブ線の占有面積は多少大きくなるが、上記単位セルを構成する半導体チップの配列数を減らし(好ましくは $3 \times 3$ 以下の配列数にし)、第2又は第3のスクライブ線を略中心線に沿って切断することにより、各々の半導体チップ周囲のスクライブ線の構成を変えることができるため、所定の半導体チップが単位セルのどの位置に配置されたものであるかを外観を見て特定することができ、これにより、半導体チップが不良と判定された場合でもマスクのパターン欠陥の検出が容易になるなど、不良の解析を迅速に行うことが可能となる。

【実施例1】

## 【0029】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の第1の実施例に係る半導体装置及びその製造方法について、図1乃至図6を参照して説明する。図1は、本発明の第1の実施例に係るウェハの構成を模式的に示す平面図であり、図2は、1ショットで露光できる領域(単位セル)を拡大した図である。また、図3は、第2のスクライプ線に配置するアクセサリの構成例を示す図であり、図4は、半導体装置の製造方法の一部を示すフローチャート図である。また、図5及び図6は、スクライプ線における切断領域を示す平面図である。

## 【0030】

図1及び図2に示すように、本実施例のウェハ1は、マトリクス状に配置された複数の半導体チップ3と、各々の半導体チップ3を分割するために設けられたスクライプ線とで構成され、このスクライプ線は、第1の方向(例えば、図の縦方向)及び第2の方向(例えば、図の横方向)共に、ダイシングやレーザ加工、異方性エッチングなどによって切断が可能な最小幅で形成された第1のスクライプ線4と、チェックトランジスタを含むTEGやアライメントマークなどのアクセサリ7を配置可能な幅で形成された第2のスクライプ線5とで構成され、1回のショットで露光できる領域(単位セル2)内に、第1の方向及び第2の方向共に1本の第2のスクライプ線5が含まれるようにスクライプ線の配列パターンが設定されている。

## 【0031】

なお、単位セル2の構成(すなわち、半導体チップ3の配列数やスクライプ線の本数)は、図の構成に限定されず、半導体チップ3の寸法や1回のショットで露光できる領域の大きさに応じて定めればよいが、第2のスクライプ線5の間に設けられる第1のスクライプ線4の本数が増えるほどスクライプ線の占有面積を小さくすることができ、1枚のウェハ1から得られる半導体チップ3の数を増やすことができる。また、半導体チップ3の取得数は多少少なくなるが、単位セルを構成する半導体チップ3の配列数を少なく(好ましくは3×3以下)にすれば、後述する理由により半導体チップ3の単位セル2内の位置を特定することができるようになる。従って、半導体チップ3の取得数を優先するか、半導体チップ3の単位セル2内の位置の特定を優先するかに応じて、単位セル2の構成を設定すればよい。

## 【0032】

また、第1のスクライプ線4の幅は、第1のスクライプ線4の両側の半導体チップ3を損傷することなく切断できる幅であればよい。

## 【0033】

また、第2のスクライプ線5の幅は、チェックトランジスタを含むTEGやアライメントマークなどのアクセサリ7を配置可能な幅であればよいが、チェックトランジスタは半導体チップ3内部に形成されているトランジスタとほぼ同等のサイズで形成され、アライメントマークは露光装置の性能に応じて設定されるため、その幅を厳密に規定することはできないが、少なくとも第1のスクライプ線4よりも太い幅であればよい。

## 【0034】

なお、図では1つの単位セル2内にアクセサリ7を2つ形成しているが、例えば、アライメントマーク7aを単位セル2内に1つ形成するなど、アクセサリ7の数量や配置、アクセサリ7内のアライメントマーク7aやチェックトランジスタ7bの数量や構成、配置などは適宜設定することができる。

## 【0035】

次に、上記構成のウェハ1を用いた半導体チップ3の製造方法について、図4のフローチャート図を参照して説明する。

## 【0036】

まず、ステップS101で、公知のフォトリソグラフィ技術、エッチング技術、不純物注入技術、成膜技術などを用いて、シリコンウェハ、GaAsウェハ、ガラスウェハなどのウェハ1の、第1のスクライプ線4及び第2のスクライプ線5で区画されるチップ形

10

20

30

40

50

成領域に、拡散領域や能動素子、絶縁層、配線層などを形成する。その際、チップ形成領域と同様の条件で第2のスクライプ線5の所定の位置に半導体チップ3のできばえを確認するためのチェックトランジスタ7bなどのTEGを形成すると共に、配線層などを用いて第2のスクライプ線5の所定の位置(例えば、単位セル2の上下左右の端部など)にアライメントマーク7aを形成し、このアライメントマーク7aを用いてマスクの位置合わせを行い、半導体チップ3を形成する。

【0037】

次に、ステップS102で、ウェハ状態での半導体チップ3の検査(機能、電気的特性)を行う。

【0038】

次に、ステップS103で、第1のスクライプ線4及び第2のスクライプ線5を切断して半導体チップ3を個片に分割する。例えば、ダイシング装置を用いて切断する場合は、高速で回転する薄い円盤状の切断刃(ブレード)をスクライプ線に沿って移動させて半導体チップ3を個片に分割する。また、レーザ加工装置を用いる場合はスクライプ線に沿ってレーザ光を照射して切断し、異方性エッチング法を用いる場合はスクライプ線にスリット状の開口が形成されたレジストパターンを形成し、該レジストパターンをマスクとして異方性エッチングを行って切断する。その際、第1のスクライプ線4はその幅が切断される幅と同等であるため第1のスクライプ線4の略中心の切断領域8に沿って切断を行えばよいが、第2のスクライプ線5に関しては、図5(a)に示すように第2のスクライプ線5の略中心の切断領域8に沿って切断してもよいし、第6(a)に示すように、第2のスクライプ線5の両側部の2つの切断領域8に沿って切断してもよい。

【0039】

ここで、図6(a)の方法でチップ分割を行った場合は、図6(b)に示すように、各々の半導体チップ3の周囲にはほぼ同じ幅のスクライプ線が残存する(ここでは理解を容易にするためにスクライプ線を大きく残しているが、第1のスクライプ線4を切断可能な最小幅とし、第2のスクライプ線5の両側部の切断領域8を切り残しが最小になるように設定すれば、半導体チップ3の周囲にはスクライプ線はほとんど残存しない。)ため、各々の半導体チップ3を区別することはできず、従って各々の半導体チップ3の単位セル2内の配置を特定することができないが、図5(a)の方法でチップ分割を行った場合は、図5(b)に示すように、各々の半導体チップ3の周囲に残存するスクライプ線の形状が異なる(例えば、1番の半導体チップ3では図の下側に第2のスクライプ線5が多く残存し、2番目の半導体チップ3では、図の右側と下側に第2のスクライプ線5が多く残存する。)ため、半導体チップ3の外観から、該半導体チップ3が単位セル2のどこに配置されていたかを容易に特定することができる。

【0040】

なお、本実施例ではどちらの方法で切断を行ってもよいが、半導体チップ3の外形寸法が規定されている場合には、図6の方法を用いて略等しい寸法の半導体チップ3を形成すればよいし、単位セル2上の半導体チップ3の配置を特定したい場合には、図5の方法を用いて残存するスクライプ線の形状が異なる半導体チップ3を形成すればよい。

【0041】

次に、ステップS104で、分割した各々の半導体チップ3をパッケージなどに実装し、ワイヤーボンディング、BGA(ball grid array)などの方法を用いて、半導体チップ3上のパッドとパッケージの端子とを接続する。

【0042】

次に、ステップS105で、パッケージに組み立てた後の選別を行う。そして、ステップS106で不良の有無を判定するが、このとき特定のテスト項目で不良が多発する場合がある。また、製品出荷後においても同一モードで不良が発生する場合がある。これらの原因として組立工程に起因した問題だけでなく、チップ製造工程における問題が考えられる。原因を絞り込んでいく場合、チップ製造工程の調査においてはウェハ上のチップ位置を把握することができれば根本原因の特定が容易になる。しかしながら、従来は全ての半

10

20

30

40

50

導体チップの形状がほぼ同じであるため、ステップS106で不良と判定されても、その半導体チップ3の単位セル2上の位置を特定することができなかつたが、本実施例では、図5の方法で切断を行えば、ステップS107で半導体チップ3の形状(すなわち、半導体チップ3周囲に残存するスクライプ線の形状)から該半導体チップ3の単位セル2上の位置を特定することができるため、ステップS108において、例えば、ウェハでの検査時に所定の特性に関してウェハ面内ばらつきがあり、ショット依存が見られたとすると、その特性との因果関係確認が可能になる。また、マスク欠陥やゴミなどに内在していたチップの異常パターン部が組立後のストレス(熱、バイアス試験など)により加速され、不良になってしまった場合においても不良の解析を迅速に行うことができ、その解析結果をフィードバックして製造工程の条件変更やマスク修正、洗浄などの処理を行う。

10

## 【0043】

また、ステップS106で良品と判定された場合は、ただちに製品出荷の工程に進んでもよいが、信頼性評価の経時変化を測定したり、不良チップを確実に排除するために選別工程を繰り返す必要がある場合もある。そこで、ステップS109で、ステップS105の選別が製品出荷時の最終選別であるかを判断し、最終選別ではない場合にはステップS105で、所定の時間経過後に再度信頼性評価を行ったり、選別を繰り返し、最終選別である場合には、ステップS110で製品出荷の工程を行う。

## 【0044】

このように本実施例では、全てのスクライプ線をアクセサリ7が可能な幅にしたり、縦方向又は横方向の一方のスクライプ線のみをアクセサリ7が可能な幅にするのではなく、スクライプ線を、縦方向及び横方向共に、切断可能な最小幅の第1のスクライプ線4とアクセサリ7が設置可能な幅の第2のスクライプ線5とで構成し、1つの単位セル2内に、縦方向及び横方向共に、第2のスクライプ線5が1本含まれるようにスクライプ線の配列パターンを設定することにより、スクライプ線の占有面積を極力小さくして1枚のウェハ1に形成可能な半導体チップ3の数を増加させることができる。特に、単位セル2を構成する半導体チップ3の配列数を減らし(好ましくは3×3以下にし)、第2のスクライプ線5を中心線で切断することにより、半導体チップ3の周囲に残存するスクライプ線の構成を変えることができ、外観から各々の半導体チップ3の単位セル2上の位置を特定することができ、不良が発生した場合にその原因の解析を容易に行うことができる。

20

## 【0045】

次に、本発明の構成によるスクライプ線の占有面積の縮減効果について、実際の半導体装置に即した具体的な数値を用いて確認する。例えば、1ショットで露光可能な領域を20mm×20mm、半導体チップ3の外形寸法を2mm×2mmとすると、全てのスクライプ線の幅を100μmとする従来構造では、単位セル2の1辺あたりの半導体チップ3の数(x)は、

30

$$(2x + (0.05 \times 2) + 0.1 \times (x - 1)) \leq 20 \quad \dots (1)$$

の関係を満たす必要があり、1辺あたりの最大チップ数は9となる。

## 【0046】

従って、単位セル2の1辺の長さは(1)式のxに9を代入すると18.9mmとなり、チップの有効利用率は、

40

$$(2 \times 9)^2 / (18.9)^2 = 90.7\%$$

となる。

## 【0047】

一方、1つの単位セル2に対して縦横に1本ずつ100μm幅の第2のスクライプ線5を設け、他を10μm幅の第1のスクライプ線4とする本発明の構造では、1辺あたりのチップ数を従来構造と同様に9とすると、1辺の長さは、

$$(2 \times 9 + (0.005 \times 2) + 0.01 \times (x - 2) + 0.1) = 18.18 \text{ mm}$$

となり、チップの有効利用率は $(2 \times 9)^2 / (18.18)^2 = 98.0\%$ となる。

## 【0048】

上記結果より、有効面積差は $(18.9)^2 - (18.18)^2 = 26.70 \text{ mm}^2$ となり

50

、従来構造のチップサイズを想定した場合、半導体チップ3を6．8個増やすことができることになる。

【実施例2】

【0049】

次に、本発明の第2の実施例に係る半導体装置及びその製造方法について、図7及び図8を参照して説明する。図7は、第2の実施例に係るウェハの構成を模式的に示す平面図であり、図8は、単位セルを拡大した図である。

【0050】

前記した第1の実施例では、縦方向及び横方向共に、切断可能な最小幅の細いスクライプ線と、TEGやアライメントマークなどのアクセサリ7が設置可能な太いスクライプ線の2種類のスクライプ線とで構成したが、半導体チップ3内に構成されるトランジスタの動作を確認するためのチェックトランジスタ7bは、半導体チップ3内と同様のサイズ及び向きで形成する必要があるため、チェックトランジスタ7bが細長い形状の場合はその向きによってスクライプ線の幅が大きく変化する。

【0051】

そこで、本実施例では、チェックトランジスタ7bが図の横方向に長い形状の場合に、図7及び図8に示すように、チェックトランジスタ7bの長手方向（図の横方向）に延在するスクライプ線を、切断可能な最小幅の第1のスクライプ線4とチェックトランジスタ7bの長手をその延在方向に向けて配置することができる幅の第2のスクライプ線5（この名称は便宜的な名称であり、第1の実施例における第2のスクライプ線と幅が異なってもよい。）とで構成し、チェックトランジスタ7bの長手に直交する方向（図の縦方向）に延在するスクライプ線を、上記第1のスクライプ線4とチェックトランジスタ7bの長手をその延在方向に直交して配置することができる幅の第3のスクライプ線5とで構成する。すなわち、本実施例ではスクライプ線を第1のスクライプ線4と、第1のスクライプ線4よりも幅の広い第2のスクライプ線5と、第2のスクライプ線5よりも幅の広い第3のスクライプ線6の3種類のスクライプ線で構成している。

【0052】

このような構成とすることにより、チェックトランジスタ7bが細長い形状の場合でも、少なくともその長手方向に延在するスクライプ線（ここでは第2のスクライプ線5）の幅を極力小さくすることができ、これにより、1枚のウェハ1に形成することができる半導体チップ3の数を極力増加させることができる。また、第1の実施例と同様に、単位セル2を構成する半導体チップ3の配列数を減らし（好ましくは3×3以下にし）、第2のスクライプ線5及び第3のスクライプ線6を略中心線で切断することにより、半導体チップ3の周囲に残存するスクライプ線の形状から各々の半導体チップ3の単位セル2上の位置を特定することができる。

【実施例3】

【0053】

次に、本発明の第3の実施例に係る半導体装置及びその製造方法について、図9を参照して説明する。図9は、第3の実施例に係るウェハの構成を模式的に示す平面図である。

【0054】

前記した第1及び第2の実施例では、各々の半導体チップ3を略正方形としたため、単位セル2を構成する半導体チップ3の数は縦方向と横方向とで同数としたが、半導体チップ3が長方形の場合に単位セル2を構成する半導体チップ3の数を縦方向と横方向とで同数とすると、単位セル2も長方形となり、その結果、1回のショットで単位セル2全体を露光できなくなる場合が生じる。

【0055】

そこで、本実施例では、縦方向と横方向とで半導体チップ3の数を揃えるのではなく、単位セル2が略正方形となるように単位セル2の構成（縦方向及び横方向の半導体チップ3の数）を設定すると共に、単位セル2の構成に合わせて第1のスクライプ線4及び第2のスクライプ線5の配列パターンを設定する。例えば、図9に示すように、半導体チップ

10

20

30

40

50

が横長の形状の場合は横方向の半導体チップ 3 の数を減らして単位セル 2 を構成する。

【 0 0 5 6 】

このように単位セル 2 が略正方形となるように半導体チップ 3 の配列数を設定することにより、1 回のショットで単位セル 2 全体を露光できるようにすることができる。この場合においても、縦方向及び横方向共に、1 つの単位セル 2 内に 1 本の第 2 のスクライプ線 5 が含まれるように構成することにより半導体チップ 3 の取得数を増やすことができ、また、単位セル 2 を構成する半導体チップ 3 の配列数を減らし（好ましくは  $3 \times 3$  以下にし）、第 2 のスクライプ線 5 を略中心線で切断することにより、半導体チップ 3 の周囲に残存するスクライプ線の形状から各々の半導体チップ 3 の単位セル 2 上の位置を特定することができる。また、図 9 の構成において、第 2 の実施例と同様に、アクセサリ 7 を設置するスクライプ線を更に幅の異なる 2 種類のスクライプ線で構成してもよい。

10

【 0 0 5 7 】

なお、上記各実施例では、1 ショットで露光可能な領域（単位セル 2）内に、縦方向及び横方向共に 1 本の第 2 のスクライプ線 5 又は第 2 のスクライプ線 5 が含まれるように構成したが、本発明は上記実施例に限定されるものではなく、単位セル 2 内に複数の第 2 のスクライプ線 5 又は第 2 のスクライプ線 5 が含まれるように（すなわち、1 つの単位セル 2 内に繰り返しの最小単位が複数配列されるように）してもよい。このような構成にした場合、スクライプ線の占有面積は多少大きくなるが、TEG を多数配置することができ、より正確な検査を行う場合などに有効である。

【 図面の簡単な説明 】

20

【 0 0 5 8 】

【 図 1 】 本発明の第 1 の実施例に係るウェハの構成を模式的に示す平面図である。

【 図 2 】 本発明の第 1 の実施例に係るウェハの単位セルの構成を模式的に示す平面図である。

【 図 3 】 本発明の第 1 の実施例に係る第 2 のスクライプ線に配置されるアクセサリの構成例を示す平面図である。

【 図 4 】 本発明の第 1 の実施例に係るウェハの製造工程の一部を示すフローチャート図である。

【 図 5 】 本発明の第 1 の実施例に係るウェハのスクライプ線における切断位置（中心線に沿って 1 本で切断する場合）を示す平面図である。

30

【 図 6 】 本発明の第 1 の実施例に係るウェハのスクライプ線における切断位置（両端側の 2 本で切断する場合）を示す平面図である。

【 図 7 】 本発明の第 2 の実施例に係るウェハの構成を模式的に示す平面図である。

【 図 8 】 本発明の第 2 の実施例に係るウェハの単位セルの構成を模式的に示す平面図である。

【 図 9 】 本発明の第 3 の実施例に係るウェハの構成を模式的に示す平面図である。

【 図 1 0 】 従来ウェハの構成を模式的に示す平面図である。

【 符号の説明 】

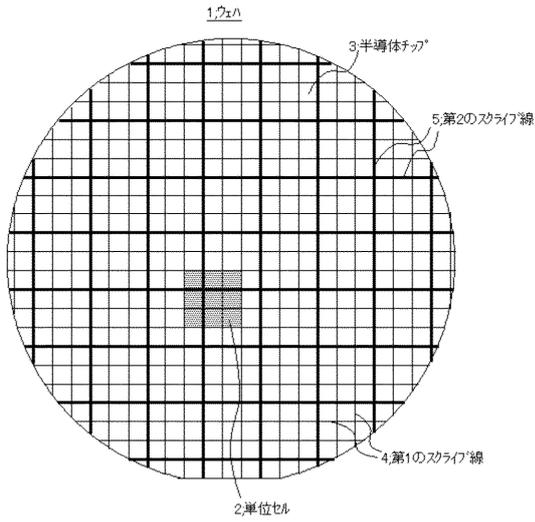
【 0 0 5 9 】

- 1 ウェハ
- 2 半導体チップ
- 3 スクライプ線
- 4 第 1 のスクライプ線
- 5 第 2 のスクライプ線
- 6 第 3 のスクライプ線
- 7 アクセサリ
- 7 a アライメントマーク
- 7 b チェックトランジスタ
- 8 切断領域
- 9 スクライプ線

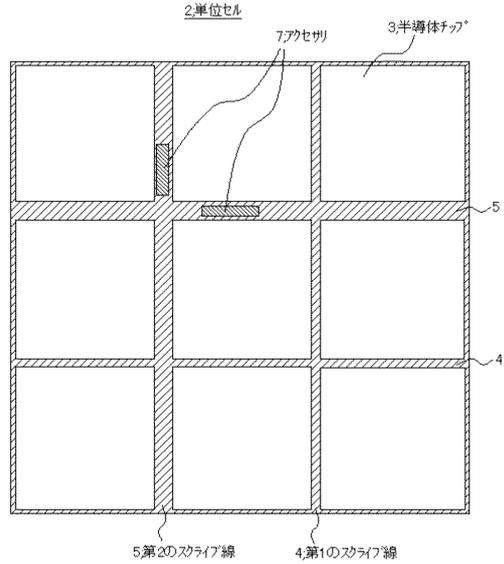
40

50

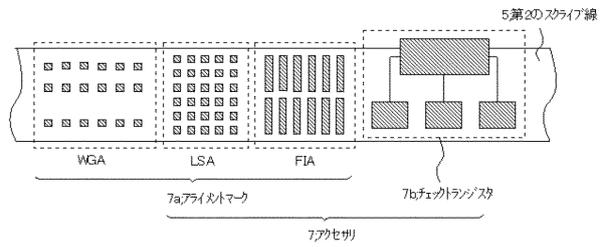
【図1】



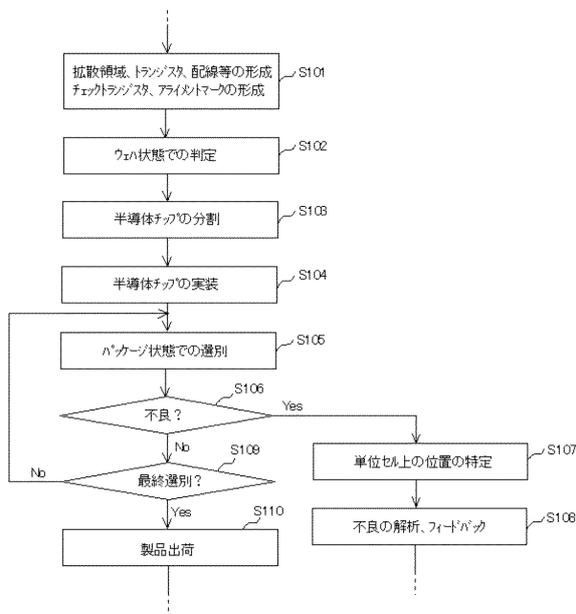
【図2】



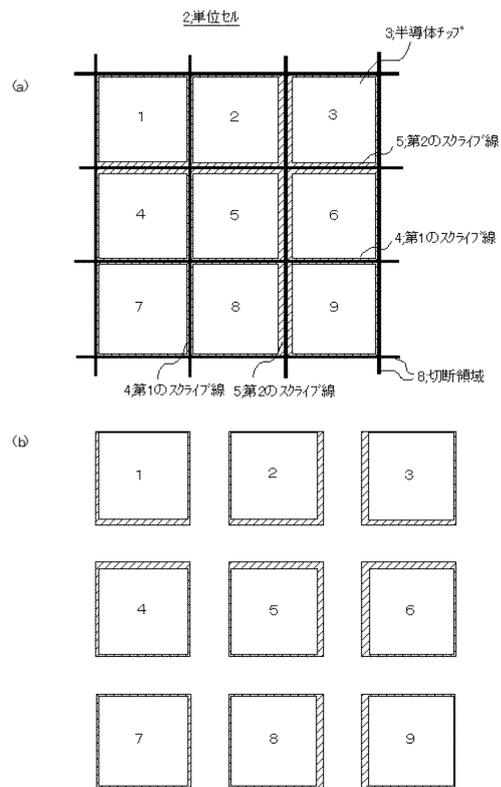
【図3】



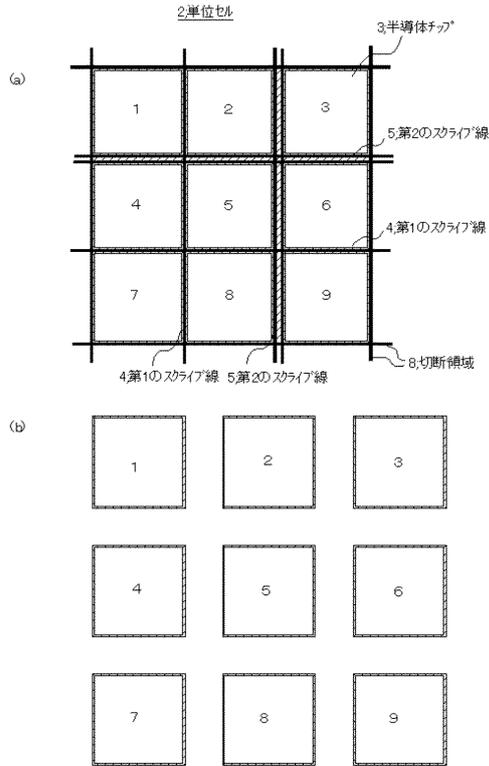
【図4】



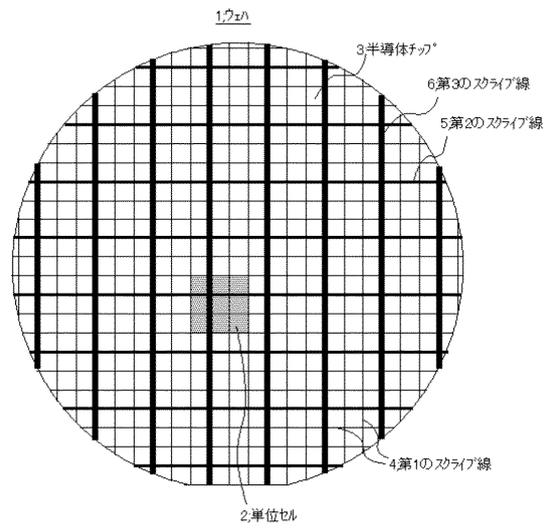
【図5】



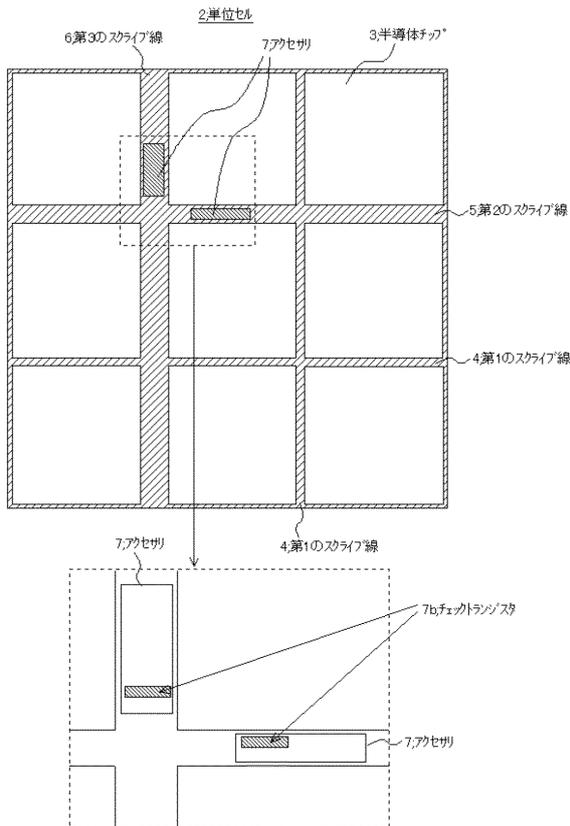
【図6】



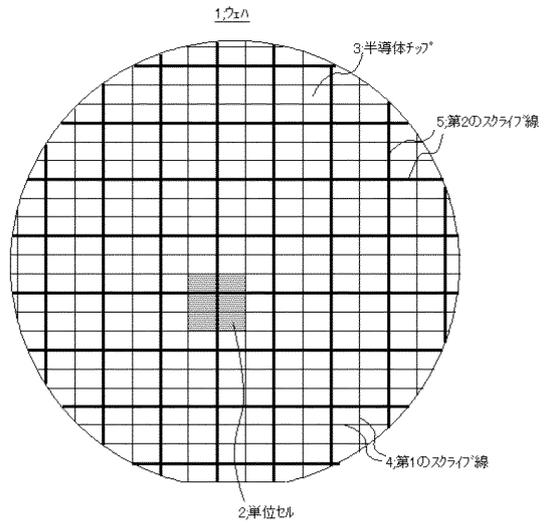
【図7】



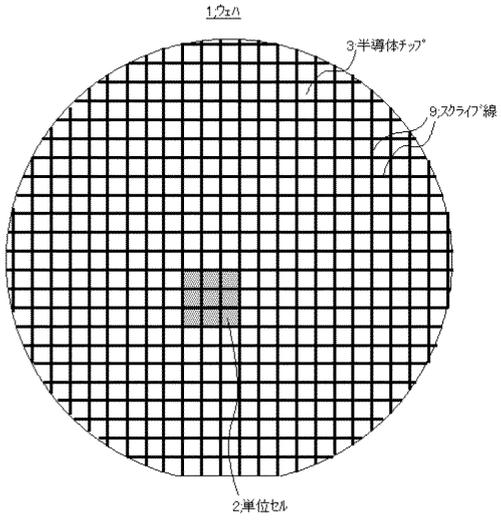
【図8】



【図9】



【図10】



---

フロントページの続き

- (56)参考文献 特開2000-124158(JP,A)  
特開2002-373869(JP,A)  
特開平11-233458(JP,A)  
米国特許出願公開第2003/0140514(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
H01L21/301  
21/027  
21/30  
21/46