



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년09월03일  
 (11) 등록번호 10-1178562  
 (24) 등록일자 2012년08월24일

(51) 국제특허분류(Int. Cl.)  
 G11C 29/52 (2006.01) G11C 29/42 (2006.01)  
 G11C 29/18 (2006.01) G11C 29/10 (2006.01)  
 (21) 출원번호 10-2010-0108105  
 (22) 출원일자 2010년11월02일  
 심사청구일자 2010년11월02일  
 (65) 공개번호 10-2012-0046449  
 (43) 공개일자 2012년05월10일  
 (56) 선행기술조사문헌  
 WO2003071550 A1\*  
 KR1020040086168 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**에스케이하이닉스 주식회사**  
 경기도 이천시 부발읍 경충대로 2091  
 (72) 발명자  
**송청기**  
 경기도 이천시 부발읍 신아로92번길 74-25,  
 현대7차아파트 702동 1004호  
 (74) 대리인  
**특허법인 신성**

전체 청구항 수 : 총 14 항

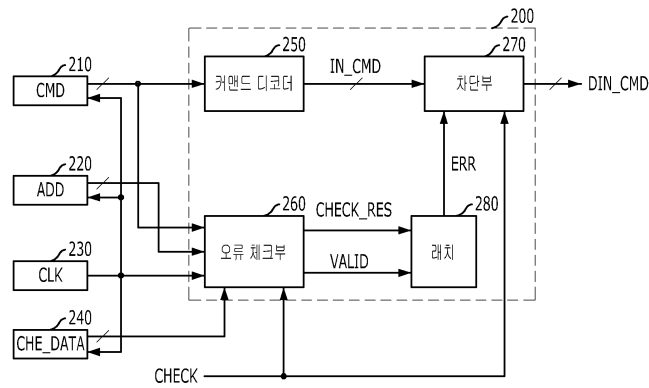
심사관 : 손준영

**(54) 발명의 명칭 커맨드 제어회로 및 이를 포함하는 반도체 메모리 장치 및 커맨드 제어방법**

**(57) 요약**

본 발명에 따른 커맨드를 디코딩해 내부 커맨드를 생성하는 커맨드 디코더; 체크 데이터를 이용하여 상기 커맨드 및 어드레스의 오류를 체크하는 오류 체크부; 및 상기 오류 체크부의 오류 체크 결과에 따라 상기 내부 커맨드를 차단/비차단하는 차단부를 포함한다.

**대표도 - 도2**



## 특허청구의 범위

### 청구항 1

커맨드를 디코딩해 내부 커맨드를 생성하는 커맨드 디코더;

체크 데이터를 이용하여 상기 커맨드 및 어드레스의 오류를 체크하는 오류 체크부; 및

상기 오류 체크부의 오류 체크 결과에 따라 상기 내부 커맨드를 차단/비차단하는 차단부를 포함하고,

상기 커맨드 디코더는 클럭에 동기하여 동작하고, 상기 차단부는 상기 클럭에 비동기하여 동작하는 커맨드 제어회로.

### 청구항 2

삭제

### 청구항 3

제 1항에 있어서,

상기 차단부는 상기 커맨드 또는 상기 어드레스에 오류가 있는 경우 상기 내부 커맨드를 차단하고, 상기 커맨드 및 상기 어드레스에 오류가 없는 경우 상기 내부 커맨드를 소정의 지연값 만큼 지연시켜 출력하는 커맨드 제어회로.

### 청구항 4

제 3항에 있어서,

상기 소정의 지연값은 상기 오류 체크부의 동작시간에 대응되는 커맨드 제어회로.

### 청구항 5

제 1항에 있어서,

상기 오류 체크부는 오류 체크 모드에서는 상기 커맨드의 오류를 체크하고, 오류 체크 모드가 아닌 경우에는 상기 커맨드의 오류를 체크하지 않는 커맨드 제어회로.

### 청구항 6

제 1항에 있어서

상기 차단부는,

오류 체크 모드에서 상기 커맨드 또는 상기 어드레스에 오류가 있는 경우 상기 내부 커맨드를 차단하고, 상기 커맨드 및 상기 어드레스에 오류가 없는 경우 상기 내부 커맨드를 소정의 지연값 만큼 지연시켜 출력하는 지연부; 및

오류 체크 모드가 아닌 경우 상기 내부 커맨드를 그대로 통과시키는 패스부를 포함하는 커맨드 제어회로.

### 청구항 7

제 1항에 있어서,

상기 커맨드는 로우 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 라이트 인에이블 신호, 칩 선택 신호를 포함하는 커맨드 제어회로.

### 청구항 8

커맨드를 입력받는 커맨드 입력부;

어드레스를 입력받는 어드레스 입력부;

체크 데이터를 입력받는 체크 데이터 입력부;

상기 커맨드를 디코딩해 내부 커맨드를 생성하는 커맨드 디코더;

상기 체크 데이터를 이용하여 상기 커맨드 및 상기 어드레스의 오류를 체크하는 오류 체크부; 및

상기 오류 체크부의 오류 체크 결과에 따라 상기 내부 커맨드를 차단/비차단하는 차단부를 포함하고,

상기 커맨드 디코더는 클럭에 동기하여 동작하고, 상기 차단부는 상기 클럭에 비동기하여 동작하는 반도체 메모리 장치.

### 청구항 9

제 8항에 있어서,

상기 클럭을 입력받는 클럭 버퍼를 더 포함하는 반도체 메모리 장치.

### 청구항 10

삭제

### 청구항 11

제 8항에 있어서,

상기 차단부는 상기 커맨드 또는 상기 어드레스에 오류가 있는 경우 상기 내부 커맨드를 차단하고, 상기 커맨드 및 상기 어드레스에 오류가 없는 경우 상기 내부 커맨드를 소정의 지연값 만큼 지연시켜 출력하는 반도체 메모리 장치.

### 청구항 12

제 11항에 있어서,

상기 소정의 지연값은 상기 오류 체크부의 동작시간에 대응되는 반도체 메모리 장치.

### 청구항 13

커맨드를 디코딩해 내부 커맨드를 생성하는 단계;

상기 커맨드 및 어드레스의 오류 여부를 검사하는 단계; 및

상기 커맨드 또는 상기 어드레스에 오류가 있으면 상기 내부 커맨드를 차단하고, 상기 커맨드 및 상기 어드레스에 오류가 없으면 상기 내부 커맨드를 소정의 지연값 만큼 지연해 출력하는 단계

를 포함하는 커맨드 제어방법.

**청구항 14**

제 13항에 있어서,  
 상기 내부 커맨드를 생성하는 단계는 클럭에 동기하여 수행되고,  
 상기 내부 커맨드를 차단/비차단 하는 단계는 상기 클럭에 비동기하여 수행되는 커맨드 제어방법.

**청구항 15**

제 13항에 있어서,  
 상기 소정의 지연값은 상기 커맨드의 오류 여부를 검사하는 단계를 수행하는데 걸리는 시간인 커맨드 제어방법.

**청구항 16**

제 13항에 있어서,  
 상기 내부 커맨드를 생성하는 단계를 수행하는 구간과 상기 커맨드의 오류 여부를 검사하는 단계를 수행하는 구간은 겹치는 커맨드 제어방법.

**명세서**

**기술분야**

[0001] 본 발명은 커맨드 제어회로와 이를 포함한 반도체 메모리 장치 및 커맨드 제어방법에 관한 것이다.

**배경기술**

[0002] 패리티 체크(PARITY CHECK)는 데이터를 전송할 때 전송 데이터가 유실 또는 손상되었는지의 여부를 점검하는 기술이다. 오늘날 가장 보편적으로 쓰이고 있는 방식이며, 이 밖에 정마크 부호 방식과 순환 잉여 검사 등이 있다.

[0003] 기술적으로는 패리티 비트(PARITY BIT) 1개가 비트열에 추가되어 함께 이동된다. 이 패리티 비트는 오직 전송한 비트들이 성공적으로 전달되었는지 확인하는 데에만 사용한다.

[0004] 이하 패리티 검사를 하는 방법 중 하나의 예를 설명한다. 비트들이 보내지기 전에 계산을 해서 전체 데이터비트의 합이 짝수이면, 패리티비트를 1로 설정함으로써 전송하는 비트의 전체 합계가 홀수가 되도록 한다. 만일 데이터비트의 합이 이미 홀수라면, 패리티 비트는 0으로 설정된다. 데이터를 받는 쪽에서는 전체 비트를 점검하여 합이 홀수인지를 확인한다. 만일 이때 비트의 합이 짝수면 전송중 오류가 발생했다는 것을 뜻하며, 그 데이터는 전송되거나 시스템을 멈추고 사용자에게 에러 메시지가 보내는 등의 조치를 한다.

[0005] 반도체 메모리 장치에서도 인터페이스(INTERFACE) 상의 오류(ERROR)나 왜곡에 의해 메모리 장치에서 잘못 수행될 수 있는 동작을 방지하기 위해서 패리티 검사를 사용한다. 오류 비율(ERROR RATE)이 낮은 곳에서 패리티 검사를 사용하는데 이를 이용하여 반도체 메모리 장치에서 잘못된 커맨드(COMMAND)를 차단할 수 있다.

[0006] 도 1은 종래의 반도체 메모리 장치의 구성도이다.

[0007] 도 1에 도시된 바와 같이, 반도체 메모리 장치는, 커맨드 입력부(110), 어드레스 입력부(120), 클럭 버퍼(130), 체크 데이터 입력부(140), 커맨드(CMD) 및 어드레스(ADD)의 오류를 체크하는 오류 체크부(150), 오류 체크 결과를 클럭(CLK)에 동기 시키는 동기화부(160), 커맨드(CMD), 어드레스(ADD)를 지연시키는 동기 지연부(170) 및 지연 커맨드(DEL\_CMD)를 디코딩해 내부 커맨드(IN\_CMD)를 생성하는 커맨드 디코더(180)를 포함한다.

[0008] 도 1을 참조하여 반도체 메모리 장치의 동작을 설명한다.

[0009] 커맨드 입력부(110)는 클럭 버퍼(130)로 입력받은 클럭(CLK)에 동기하여 커맨드(CMD)를 입력받는다. 커맨드

(CMD)의 종류에는 로우 어드레스 스트로브 신호(RAS), 컬럼 어드레스 스트로브 신호(CAS), 라이트 인에이블 신호(WE), 칩 셀렉트 신호(CS)가 있다. 어드레스 입력부(120)는 클럭(CLK)에 동기하여 어드레스(ADD)를 입력받는다. 체크 데이터 입력부(140)는 클럭(CLK)에 동기하여 체크 데이터(CHE\_DATA)를 입력받는다.

- [0010] 동기 지연부(170)는 커맨드(CMD)와 어드레스(ADD)를 클럭(CLK)에 동기하여 지연시켜 지연 커맨드(DEL\_CMD), 지연 어드레스(DEL\_ADD)를 생성한다. 커맨드 디코더(180)가 커맨드(CMD) 및 어드레스(ADD)의 오류여부를 판단하여 내부 커맨드(IN\_CMD)를 생성하기 위해서는 커맨드(CMD), 어드레스(ADD) 및 오류체크신호(ERR)가 일정 구간 내에 함께 도달하여야 한다. 그런데 오류 체크부(150)의 오류 체크 동작에는 일정한 시간이 걸리므로 커맨드(CMD), 어드레스(ADD)와 오류 여부를 나타내는 오류체크신호(ERR)가 동시에 커맨드 디코더(180)에 도달하기 위해서는 커맨드(CMD), 어드레스(ADD)를 지연시켜야 한다. 이때 동기화부(160)에서 지연되는 시간도 여기에 포함된다. 이때 커맨드(CMD), 어드레스(ADD)을 얼마나 지연시킬지 결정하는 것이 지연정보(DEL<0:1>)이다. 지연정보(DEL<0:1>)의 값에 따라 커맨드(CMD), 어드레스(ADD)를 지연시키는데 사용되는 플립플롭(171, 172, 173, 174)의 개수가 결정된다.
- [0011] 오류 체크부(150)는 체크 데이터(CHE\_DATA)를 이용하여 커맨드(CMD) 및 어드레스(ADD)에 오류가 있는지 여부를 검사하고 오류 체크 결과에 따라 다른 값을 가지는 체크결과신호(CHECK\_RES)를 생성한다. 오류 체크부(150)는 클럭(CLK)에 비동기하여 동작하므로 오류 체크 결과가 유효한 결과임을 나타내는 유효 신호(VALID)를 함께 생성한다.
- [0012] 동기화부(160)는 유효 신호(VALID)에 응답하여 체크결과신호(CHECK\_RES)를 저장하고, 클럭(CLK) 동기되어 지연된 내부신호(ICST)에 응답하여 체크결과신호(CHECK\_RES)를 이용하여 오류체크신호(ERR)를 생성한다. 지연 커맨드(DEL\_CMD), 와 오류체크신호(ERR)가 커맨드 디코더(180)에 도달하는 시점을 맞추기 위함이다. 내부신호(ICST)는 커맨드(CMD)를 클럭(CLK)에 동기하여 지연시킨 신호이다.
- [0013] 커맨드 디코더(180)는 지연\_커맨드(DEL\_CMD)를 디코딩하여 내부 커맨드(IN\_CMD)를 생성한다. 이때 디코딩 동작은 클럭(CLK)에 동기되어 수행된다. 커맨드 디코더(180)는 오류체크신호(ERR)에 따라 커맨드(CMD) 또는 어드레스(ADD)에 오류가 있으면 내부 커맨드(IN\_CMD)를 활성화하지 않는다. 커맨드(CMD) 및 어드레스(ADD)에 오류가 없으면 이에 대응되는 내부 커맨드(IN\_CMD)를 활성화한다.
- [0014] 이때 체크동작신호(CHECK)는 오류 체크 동작을 할지 여부를 결정하는 신호이며 체크동작신호(CHECK)가 비활성화된 경우 오류 체크부(150)는 오류 체크 동작을 수행하지 않고, 동기 지연부(170)는 커맨드(CMD)와 어드레스(ADD)를 지연시키지 않는다. 지연정보(DEL<0:1>)와 체크동작신호(CHECK)의 값은 MRS셋팅에 의해 결정된다.
- [0015] 커맨드 디코더(180)가 클럭(CLK)에 동기되어 동작하므로 커맨드 디코더(180)로 입력되는 지연\_커맨드(DEL\_CMD), 오류체크신호(ERR)는 모두 클럭(CLK)에 동기되어야 한다. 따라서 동기 지연부(170)는 커맨드(CMD) 및 어드레스(ADD)를 클럭(CLK)에 동기하여 지연시키기 위해 다수의 플립플롭(171, 172, 173, 174)을 사용한다. 커맨드(CMD)와 어드레스(ADD)의 개수가 증가할수록 이를 지연시킬 플립플롭의 수도 증가하여 회로의 면적과 소모전력이 많이 증가한다는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

- [0016] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 회로의 면적을 줄이고 소모전력을 감소시킨 반도체 메모리 장치를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

- [0017] 상기한 목적을 달성하기 위한 본 발명에 따른 커맨드 제어회로는, 커맨드를 디코딩해 내부 커맨드를 생성하는 커맨드 디코더; 체크 데이터를 이용하여 상기 커맨드 및 어드레스의 오류를 체크하는 오류 체크부; 및 상기 오류 체크부의 오류 체크 결과에 따라 상기 내부 커맨드를 차단/비차단하는 차단부를 포함할 수 있다.
- [0018] 상기 차단부는, 오류 체크 모드에서 상기 커맨드 또는 상기 어드레스에 오류가 있는 경우 상기 내부 커맨드를 차단하고, 상기 커맨드 및 상기 어드레스에 오류가 없는 경우 상기 내부 커맨드를 소정의 지연값 만큼 지연시

켜 출력하는 지연부; 및 오류 체크 모드가 아닌 경우 상기 내부 커맨드를 그대로 통과시키는 패스부를 포함할 수 있다.

[0019] 또한 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 메모리 장치는, 커맨드를 입력받는 커맨드 입력부; 어드레스를 입력받는 어드레스 입력부; 체크 데이터를 입력받는 체크 데이터 입력부; 상기 커맨드를 디코딩해 내부 커맨드를 생성하는 커맨드 디코더; 상기 체크 데이터를 이용하여 상기 커맨드 및 상기 어드레스의 오류를 체크하는 오류 체크부; 및 상기 오류 체크부의 오류 체크 결과에 따라 상기 내부 커맨드를 차단/비차단하는 차단부를 포함할 수 있다.

[0020] 또한 상기한 목적을 달성하기 위한 본 발명에 따른 커맨드 제어방법은, 커맨드를 디코딩해 내부 커맨드를 생성하는 단계; 상기 커맨드 및 어드레스의 오류 여부를 검사하는 단계; 및 상기 커맨드 또는 상기 어드레스에 오류가 있으면 상기 내부 커맨드를 차단하고, 상기 커맨드 및 상기 어드레스에 오류가 없으면 상기 내부 커맨드를 소정의 지연값 만큼 지연해 출력하는 단계를 포함할 수 있다.

**발명의 효과**

[0021] 본 발명에 따른 반도체 메모리 장치는, 커맨드 또는 어드레스의 오류 여부에 따라 클럭에 비동기하여 내부 커맨드를 차단/비차단하는 동작을 수행하여 회로의 면적을 줄이고, 소모전력을 감소시켰다.

**도면의 간단한 설명**

- [0022] 도 1은 종래의 반도체 메모리 장치의 구성도,
- 도 2는 본 발명의 일실시예에 따른 반도체 메모리 장치의 구성도,
- 도 3은 본 발명의 일실시예에 따른 차단부(270)의 구성도.

**발명을 실시하기 위한 구체적인 내용**

[0023] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0024] 도 2는 본 발명의 일실시예에 따른 반도체 메모리 장치의 구성도이다.

[0025] 도 2에 도시된 바와 같이, 반도체 메모리 장치는, 커맨드(CMD)를 입력받는 커맨드 입력부(210), 어드레스(ADD)를 입력받는 어드레스 입력부(220), 클럭(CLK)을 입력받는 클럭 버퍼(230), 체크 데이터(CHE\_DATA)를 입력받는 체크 데이터 입력부(240), 커맨드(CMD)를 디코딩해 내부 커맨드(IN\_CMD)를 생성하는 커맨드 디코더(250), 커맨드(CMD) 및 어드레스(ADD)의 오류를 체크하는 오류 체크부(260), 및 오류 체크부(260)의 오류 체크 결과에 따라 내부 커맨드(IN\_CMD)를 차단하거나 차단하지 않는 차단부(270) 및 유효신호(VALID)가 활성화 되면 체크결과신호(CHECK\_RES)를 저장하고, 오류체크신호(ERR)로 전달하는 래치(280)를 포함한다.

[0026] 커맨드 입력부(210), 어드레스 입력부(220), 체크 데이터 입력부(240)에는 각각 커맨드(CMD), 어드레스(ADD), 체크 데이터(CHE\_DATA)를 입력받는 버퍼와 이를 래치하는 래치회로가 포함된다. 체크 데이터(CHE\_DATA)는 별도로 구비된 패드를 통해 반도체 메모리 장치의 외부로부터 입력된다.

[0027] 도 2를 참조하여 반도체 메모리 장치 및 이에 포함된 커맨드 제어회로(200)의 동작을 설명한다.

[0028] 반도체 메모리 장치는 체크동작신호(CHECK)가 활성화된 경우 커맨드(CMD)의 오류 체크 동작을 수행하고 체크 동작신호(CHECK)가 비활성화된 경우 커맨드(CMD)의 오류 체크 동작을 수행하지 않는다. 이하 오류 체크 동작을 수행하는 경우를 '체크 모드'라고 하고 오류 체크 동작을 수행하는 경우를 '비체크 모드'라 한다. 오류 체크 동작 여부는 MRS 셋팅에 의해 결정된다(체크동작신호(CHECK)는 MRS 셋팅정보를 디코딩하여 생성된 신호임).

[0029] 먼저 '체크 모드'의 동작에 대해 설명한다.

[0030] 커맨드 입력부(210), 어드레스 입력부(220) 및 체크 데이터 입력부(240)는 클럭 버퍼(230)로 입력받은 클럭

(CLK)에 동기하여 각각 커맨드(CMD), 어드레스(ADD), 체크 데이터(CHE\_DATA)를 입력받는다. 커맨드(CMD)는 로우 어드레스 스트로브 신호(Ras Address Strobe; RAS), 컬럼 어드레스 스트로브 신호(Column Address Strobe; CAS), 라이트 인에이블 신호(Write Enable; WE), 칩 셀렉트 신호(Chip Select; CS)를 포함한다. 위 커맨드(CMD)의 조합에 따라 반도체 메모리 장치가 수행해야 할 동작이 결정된다.

- [0031] 오류 체크부(260)는 체크 데이터(CHE\_DATA)를 이용하여 커맨드(CMD) 및 어드레스(ADD)에 오류가 있는지의 여부를 검사한다. 체크결과신호(CHECK\_RES)가 활성화(하이)된 경우 오류가 있는 것이고, 체크결과신호(CHECK\_RES)가 비활성화(로우)된 경우 오류가 없는 것이다. 체크 데이터(CHE\_DATA)는 배경기술에서 상술한 패리티 데이터(PARITY DATA)에 해당한다. 하나의 동작(리드/라이트 동작 등)에 대응되는 커맨드(CMD) 및 어드레스(ADD) 셋트에 1비트의 체크 데이터(CHE\_DATA)가 대응된다.
- [0032] 래치(280)는 오류 체크부(260)의 체크결과신호(CHECK\_RES)가 유효한지 여부를 나타내는 유효신호(VALID)가 활성화되면 체크결과신호(CHECK\_RES)를 입력받아 저장하고, 체크결과신호(CHECK\_RES)를 오류체크신호(ERR)로 전달한다. 오류체크신호(ERR)는 오류 체크 결과에 따라 체크결과신호(CHECK\_RES)와 동일한 논리값을 갖는다.
- [0033] 커맨드 디코더(250)는 커맨드(CMD)를 디코딩해 내부 커맨드(IN\_CMD)를 생성한다. 커맨드 디코더(250)는 클럭(CLK)에 동기하여 커맨드(CMD)를 디코딩한다. 내부 커맨드(IN\_CMD)는 액티브 커맨드(Active), 프리차지 커맨드(Precharge), 오토 리프레쉬 커맨드(Auto Refresh) 등을 포함한다. 위 내부 커맨드(IN\_CMD)에 응답하여 반도체 메모리 장치의 코어(Core) 부분에서 리드, 라이트, 프리차지, 리프레쉬 동작 등을 수행한다.
- [0034] 차단부(270)에서는 오류 체크 결과에 따라 커맨드(CMD)에 오류가 있으면 내부 커맨드(IN\_CMD)를 차단하고, 커맨드(CMD)에 오류가 없는 경우 내부 커맨드(IN\_CMD)를 소정의 지연값 만큼 지연시켜 출력한다. 이하 내부 커맨드(IN\_CMD)를 지연하여 생성된 신호를 지연 내부 커맨드(DIN\_CMD)라 한다. 내부 커맨드(IN\_CMD)를 차단한다는 것은 내부 커맨드(IN\_CMD)에 관계없이 지연 내부 커맨드(DIN\_CMD)를 비활성화하는 것을 의미한다. 소정의 지연값은 오류 체크부(260)의 동작시간에 대응된다.
- [0035] 차단부(270)는 클럭(CLK)에 비동기하여 동작한다. 차단부(270)가 클럭(CLK)에 비동기하여 동작할 수 있는 이유는 다음과 같다. 커맨드 디코더(250)가 클럭(CLK)에 동기되어 동작하므로 커맨드 디코더(250)의 입력은 클럭(CLK)에 동기되어 있어야 한다. 그러나 차단부(270)가 커맨드 디코더(250) 다음 단계에 위치하므로 자신의 출력(DIN\_CMD)을 클럭(CLK)에 동기하지 않아도 문제가 없다. 따라서 내부 커맨드(IN\_CMD)를 지연하기 위한 지연 회로로 종래와 달리 비동기식 지연회로가 사용된다. 따라서 종래와 같이 다수의 플립플롭(171, 172, 173, 174)을 사용할 필요가 없으므로 반도체 메모리 장치의 회로 면적 및 소모 전력이 크게 감소한다. 또한 오류체크신호(ERR)를 생성하는데 파이프 래치를 포함하는 동기화부(160) 대신 래치(280) 하나만 필요하므로 회로의 면적이 감소한다.
- [0036] 다음으로 '비체크 모드'의 동작에 대해 설명한다.
- [0037] '비체크 모드'의 경우 오류 체크부(260)는 오류를 체크하지 않는다. 또한 차단부(270)는 내부 커맨드(IN\_CMD)를 차단하거나 지연하지 않고 그대로 통과시킨다. 그러므로 지연 내부 커맨드(DIN\_CMD)는 내부 커맨드(IN\_CMD)에 비해 차단부(270)에 포함된 2개의 낸드 게이트를 통과한 지연값을 가진다. 따라서 커맨드(CMD)에 오류가 있는지 여부에 관계없이 커맨드(CMD)에 대응되는 내부 커맨드(IN\_CMD)가 활성화되고, 지연 내부 커맨드(DIN\_CMD)가 활성화된다.
- [0038] 도 2는 본 발명의 일실시예에 따른 반도체 메모리 장치를 도시한 것이며 본 발명의 일실시예에 따른 커맨드 제어회로(200)는 반도체 메모리 장치의 일부에 해당한다. 커맨드 제어회로(200)는 커맨드 디코더(250), 오류 체크부(260), 및 차단부(270)의 구성을 포함하며, 커맨드 디코더(200)의 동작은 상술한바와 동일하다.
- [0039] 도 3은 본 발명의 일실시예에 따른 차단부(270)의 구성도이다.
- [0040] 도 3에 도시된 바와 같이 차단부(270)는, 오류 체크 모드에서 커맨드(CMD)에 오류가 있는 경우 내부 커맨드(IN\_CMD)를 차단하고, 커맨드(CMD)에 오류가 없는 경우 내부 커맨드(IN\_CMD)를 소정의 지연값 만큼 지연시켜 출력하는 지연부(310) 및 오류 체크 모드가 아닌 경우 내부 커맨드(IN\_CMD)를 그대로 통과시키는 패스부(320)를 포함한다.
- [0041] 먼저 '체크 모드'의 동작에 대해 설명한다.
- [0042] '체크 모드'에서 체크동작신호(CHECK)는 '하이'가 되므로 패스부(320)의 제1낸드 게이트(321)는 내부 커맨드(IN\_CMD)의 활성화 여부에 관계없이 '하이'를 출력한다. 또한 지연부(310)의 제2낸드게이트(311)는 내부 커맨

드(IN\_CMD)를 반전하여 출력한다. 제2넌드게이트(311)의 출력을 인버터(312)를 거쳐 지연회로(313)에서 지연시킨다. 이 지연회로(313)는 비동기식 지연회로이며, 지연값은 오류 체크부(260)의 동작시간에 대응된다. 오류체크신호(ERR)는 오류 체크부(260)의 오류 체크 동작시간만큼 지연된다. 왜냐하면 오류체크신호(ERR)와 내부 커맨드(IN\_CMD)가 일정한 구간 내에 함께 제3넌드게이트(314)에 입력되어야 오류 체크 결과에 따라 내부 커맨드(IN\_CMD)를 차단하거나 통과시키기 때문이다.

[0043] 오류 체크 결과란 오류체크신호(ERR)의 논리값에 해당하며 도 3에서는 오류체크신호(ERR)가 '하이'이면 오류가 있는 것이고 '로우'이면 오류가 없는 것이다. 오류체크신호(ERR)가 '하이'이면 제3넌드 게이트(314)의 출력은 항상 '하이'가 되고, 오류체크신호(ERR)가 '로우'이면 제3넌드 게이트(314)는 자신의 제1입력(A)를 반전하여 출력한다.

[0044] 출력 넌드 게이트(301)는 제1넌드 게이트(321)의 출력을 제1입력(X)으로 하고 제3넌드 게이트(314)의 입력을 제2입력(Y)으로 한다. 상술한 바와 같이 제1입력(X)이 '하이'가 되므로 출력 넌드 게이트(301)는 제2입력(Y)를 반전시켜 지연 내부 커맨드(DIN\_CMD)를 생성한다.

[0045] 따라서 커맨드(CMD)에 오류가 있는 경우 지연 내부 커맨드(DIN\_CMD)는 비활성화(로우)되고, 커맨드(CMD)에 오류가 없는 경우 지연 내부 커맨드(DIN\_CMD)는 내부 커맨드(CMD)를 오류 체크부(260)의 동작시간만큼 지연시킨 것이 된다.

[0046] 다음으로 '비체크 모드'의 동작에 대해 설명한다.

[0047] '체크 모드'에서 체크동작신호(CHECK)는 '로우'가 되므로 제1넌드 게이트(321)는 내부 커맨드(IN\_CMD)를 반전하여 출력한다. 제2넌드 게이트(311)의 출력은 항상 '하이'가 되고 제3넌드 게이트(314)의 출력도 항상 '하이'가 된다. 따라서 출력 넌드 게이트(301)는 제1넌드 게이트(321)의 출력인 제1입력(X)을 반전하여 지연 내부 커맨드(DIN\_CMD)를 생성한다. 이때 지연 내부 커맨드(DIN\_CMD)는 내부 커맨드(IN\_CMD)가 제1넌드 게이트(321)와 출력 넌드 게이트(301)를 통과할 때 지연된 값만큼 지연된 것이 된다.

[0048] 도 2, 도 3을 다시 참조하여 본 발명에 따른 커맨드 제어방법에 대해 설명한다.

[0049] 본 발명에 따른 커맨드 제어방법은 커맨드(CMD)를 디코딩해 내부 커맨드(IN\_CMD)를 생성하는 단계, 체크 데이터(CHE\_DATA)를 이용하여 커맨드(CMD) 및 어드레스(ADD)의 오류 여부를 검사하는 단계, 및 커맨드(CMD) 또는 어드레스(ADD)에 오류가 있으면 내부 커맨드(IN\_CMD)를 차단하고, 커맨드(CMD) 및 어드레스(ADD)에 오류가 없으면 내부 커맨드(IN\_CMD)를 소정의 지연값 만큼 지연해 출력하는 단계를 포함한다.

[0050] 이때 내부 커맨드(IN\_CMD)를 생성하는 단계는 클럭(CLK)에 동기하여 수행되고, 내부 커맨드(IN\_CMD)를 차단하거나 차단하지 않는 단계는 클럭(CLK)에 비동기하여 수행된다. 소정의 지연값은 커맨드(CMD) 및 어드레스(ADD)의 오류 여부를 검사하는 단계를 수행하는데 걸리는 시간이다.

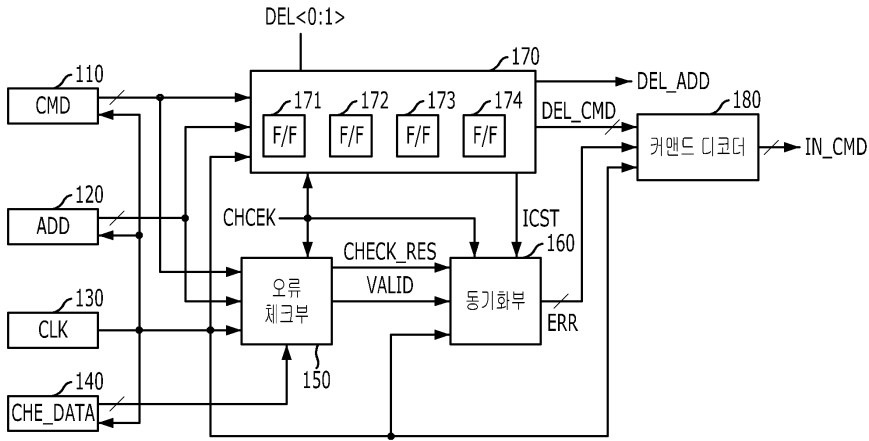
[0051] 내부 커맨드(IN\_CMD)를 생성하는 단계를 수행하는 구간과 커맨드(CMD) 및 어드레스(ADD)의 오류 여부를 검사하는 단계를 수행하는 구간은 겹친다. 일반적으로는 같은 타이밍에 두 단계가 시작된다.

[0052] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

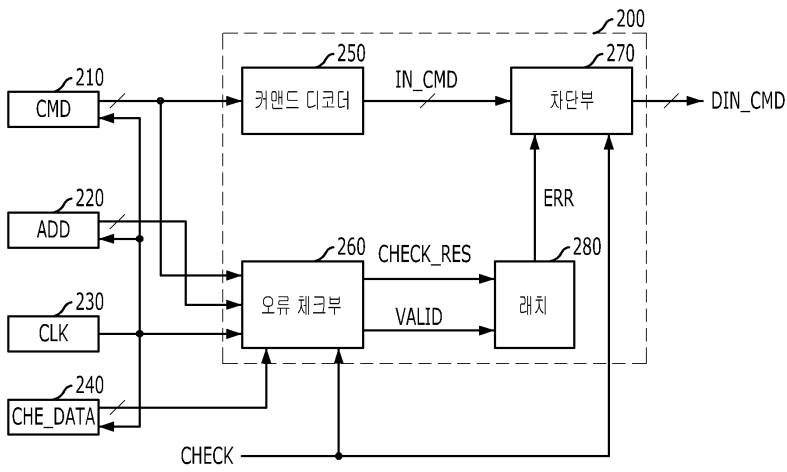


도면

도면1



도면2



도면3

