

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-42905  
(P2007-42905A)

(43) 公開日 平成19年2月15日(2007.2.15)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 2 7 A	
HO 1 L 21/28 (2006.01)	HO 1 L 29/50 M	
HO 1 L 51/05 (2006.01)	HO 1 L 21/28 3 0 1 R	
審査請求 未請求 請求項の数 3 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2005-226180 (P2005-226180)	(71) 出願人	000002185
(22) 出願日	平成17年8月4日(2005.8.4)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100086298
			弁理士 船橋 國則
		(72) 発明者	安田 亮一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	4M104 AA09 AA10 BB04 BB05 BB13
			BB14 CC01 DD34 DD68 FF01
			FF13 GG09 HH13 HH20
			5F110 AA01 AA18 AA30 DD05 DD13
			GG05 GG07 GG42 HK02 HK03
			HK04 HK06 HK21 HK32 HK50
			QQ14 QQ19

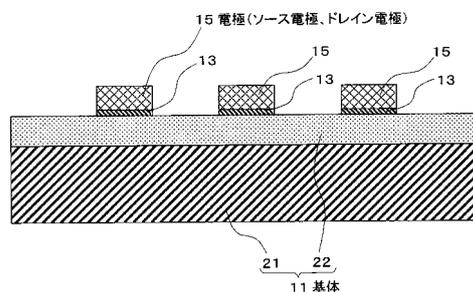
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】ソース電極、ドレイン電極の高さを低減して、ソース電極、ドレイン電極との接触領域でチャンネル層を形成するもので、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成される層が断切れを生じさせないようにして、トランジスタ特性の向上を図る。

【解決手段】基体11上に電極(ソース電極、ドレイン電極)15を有し、電極15上および電極15上間の前記基体11上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置であって、電極(ソース電極、ドレイン電極)15の基体11上の厚さは、電極(ソース電極、ドレイン電極)15が電極として使用できる抵抗率以下となる厚さ以上、25nm以下である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基体上にソース電極とドレイン電極とを有し、  
 前記ソース電極上とドレイン電極上とを含む前記ソース電極上とドレイン電極上との間の前記基体上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置であって、  
 前記ソース電極およびドレイン電極の前記基体上の厚さは、前記ソース電極およびドレイン電極が電極として使用できる抵抗率以下となる厚さ以上、25nm以下であることを特徴とする半導体装置。

10

## 【請求項 2】

基体上にソース電極とドレイン電極とを有し、  
 前記ソース電極上とドレイン電極上とを含む前記ソース電極上とドレイン電極上との間の前記基体上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置であって、  
 前記ソース電極およびドレイン電極は前記基体に埋め込まれていることを特徴とする半導体装置。

## 【請求項 3】

基体上にソース電極とドレイン電極とを有し、  
 前記ソース電極上とドレイン電極上とを含む前記ソース電極上とドレイン電極上との間の前記基体上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置の製造方法であって、  
 前記ソース電極およびドレイン電極を形成する工程は、  
 前記基体に電極形成溝を形成する工程と、  
 前記電極形成溝内に密着層を形成する工程と、  
 前記電極形成溝内を埋め込むように前記密着層を介して電極形成材料を成膜する工程と

20

、  
 前記基体上の余剰な前記電極形成材料および前記密着層を除去して、前記電極形成溝の内部に残した前記電極形成材料で前記ソース電極およびドレイン電極を形成する工程とからなる

ことを特徴とする半導体装置の製造方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、キャリア移動度の向上を図った半導体装置およびその製造方法に関するものである。

## 【背景技術】

## 【0002】

トランジスタの研究・開発現場では、より安価でより高速な動作を実現する上で必須であるサイズ縮小の限界が言われているが、現時点までの技術の発展から外挿すると、2016年にはサイズの縮小化が物理的限界に達し、以後大きな性能向上は見込めないと言う（例えば、非特許文献1参照。）。その困難を克服するため、半導体リソグラフィ技術で作製可能なサイズよりも小さく、構成単位がオングストローム～数ナノメートルである物質や、分子を利用した半導体装置の研究が行われている。例えば、ドナー分子とアクセプター分子を結合させたダイオード（例えば、非特許文献2参照。）、カーボンナノチューブ（例えば、非特許文献3参照。）、自己組織化単分子膜（例えば、非特許文献4参照。）、フタロシアニン、フラレン、ペンタセンのそれぞれを利用したトランジスタなど、多数の技術が開示されている。

40

## 【0003】

また、微粒子を分子によってネットワーク化したトランジスタ（導体または半導体からなる微粒子とそれに結合した有機半導体分子によって導伝路が形成され、その導伝性が電

50

界によって制御可能な半導体装置)が作製され、その有望性が見出されている(例えば、特許文献1、2参照。)

【0004】

これら次世代の半導体装置では、キャリア移動度が $7.9 \times 10^4 \text{ cm}^2 / \text{Vs}$ と単結晶のシリコンに比べ約80倍も高く、その将来性に多くの期待が掛かっているものもあり(例えば、非特許文献5参照。)、ナノ・分子スケールの半導体装置には多くの可能性が秘められている。

【0005】

しかし、これら発展途上の次世代半導体装置の研究では、新しい半導体材料の開発やその特性・物理の解明に関する研究が多く、現状の半導体技術で用いられている知見を単純にスライドし援用している場合が多々あるなど、半導体層・電極・絶縁膜・基板等についての材質や構造が総合的に考慮され、発現され得る特性の最適化が必ずしも行われているわけではない。

【0006】

全体の構造を考慮した研究や開発はまだ不十分な感は否めず、現在のシリコンを利用した半導体装置のキャリア移動度やオンオフ比などの特性を超える物質が発見されても、その他の部分で性能を発揮できない状況に遭遇し、物質そのものの高い性能が十分に発揮出来ない場合も考えられる。特に現状では今までの半導体技術で用いられていた電極構造・厚みを用いることが多いが、電極と半導体層のヘテロ界面はエネルギー障壁が生じる場所であり、キャリア輸送の律速になり得る。キャリアの発生源・吸い込み口である電極を含め、新規物質に適した構造にすることは、その特性を十分に引き出し、正しく評価する上で最も重要な事項の一つであると考えられる。

【0007】

基体上に形成されたソース電極およびドレイン電極上に、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電路からなるチャンネル層を形成した電界効果型トランジスタが提案されている。このトランジスタのソース電極、ドレイン電極は、50nmの厚さに形成されている。このような高さの電極上に、上記導電路を形成した場合、電極とチャンネル層との接触部分で断切れを生じることがある。これによって、トランジスタ特性の劣化、特にキャリアとラップの発生、チャンネル層の電流値の低下、移動度の低下等が生じる。

【0008】

【特許文献1】特開2004-088090号公報

【特許文献2】国際公開番号WO 2004/006377 A1 パンフレット

【非特許文献1】V. V. Zhirnov, R. K. Cavin, J. A. Hutchby, and G. I. Bourianoff 著 IEEE. 91, 1934 2003年

【非特許文献2】R. M. Metzger著 Acc. Chem. Res. 32, 950 1999年

【非特許文献3】T. Durkop, S. A. Getty, Enrique Cobas, and M. S. Fuhrer著 Nano Lett., 4, 35 2004年

【非特許文献4】P. Abouris, J. Appenzeller, R. Martel and S. J. Wind著 IEEE. 91, p1772 2003年

【非特許文献5】M. A. Reed, and T. Lee, Ed.著 「Molecular Nanoelectronics.」 American Scientific Publishers, California 2003年

【発明の開示】

【発明が解決しようとする課題】

【0009】

解決しようとする問題点は、電極とチャンネル層との接触部分で断切れを生じることによって、トランジスタ特性の劣化が生じる点である。

【0010】

本発明は、ソース電極、ドレイン電極の高さを調整して、ソース電極、ドレイン電極との接触領域でチャンネル層を形成するもので、導体もしくは半導体からなる微粒子とこの微

10

20

30

40

50

粒子と結合した有機半導体分子とによって形成される層が断切れを生じさせないようにして、トランジスタ特性の向上を図ることを課題とする。

【課題を解決するための手段】

【0011】

本発明の半導体装置は、基体上にソース電極とドレイン電極とを有し、前記ソース電極上とドレイン電極上とを含む前記ソース電極上とドレイン電極上との間の前記基体上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置であって、前記ソース電極およびドレイン電極の前記基体上の厚さは、前記ソース電極およびドレイン電極が電極として使用できる抵抗率以下となる厚さ以上、25nm以下であることを特徴とする。

10

【0012】

上記半導体装置では、前記ソース電極およびドレイン電極が電極として使用できる抵抗率以下となる厚さ以上、25nm以下であることから、抵抗率が高くなり、かつ電極の厚さが薄くなったことにより、ソース電極上およびドレイン電極上に、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成される導電膜を形成した場合、電極上に形成される導電膜と基体上に形成される導電膜とが連続的に繋がって形成される。

【0013】

本発明の半導体装置は、基体上にソース電極とドレイン電極とを有し、前記ソース電極上とドレイン電極上とを含む前記ソース電極上とドレイン電極上との間の前記基体上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置であって、前記ソース電極およびドレイン電極は前記基体に埋め込まれていることを特徴とする。

20

【0014】

上記半導体装置では、ソース電極およびドレイン電極は前記基体に埋め込まれていることから、基体表面とソース電極表面およびドレイン電極表面との段差が解消され、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成される導電膜をソース電極およびドレイン電極に重なるように形成した場合、電極上に形成される導電膜と基体上に形成される導電膜とが断切れを生じることなく連続的に繋がった状態に形成される。

30

【0015】

本発明の半導体装置の製造方法は、基体上にソース電極とドレイン電極とを有し、前記ソース電極上とドレイン電極上とを含む前記ソース電極上とドレイン電極上との間の前記基体上に導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜を備えた半導体装置の製造方法であって、前記ソース電極およびドレイン電極を形成する工程は、前記基体に電極形成溝を形成する工程と、前記電極形成溝内に密着層を形成する工程と、前記電極形成溝内を埋め込むように前記密着層を介して電極形成材料を成膜する工程と、前記基体上の余剰な前記電極形成材料および前記密着層を除去して、前記電極形成溝の内部に残した前記電極形成材料で前記ソース電極およびドレイン電極を形成する工程とからなることを特徴とする

40

【0016】

上記半導体装置の製造方法では、ソース電極およびドレイン電極が前記基体に埋め込まれるように形成されることから、基体表面とソース電極表面およびドレイン電極表面との段差が解消され、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成される導電膜をソース電極およびドレイン電極に重なるように形成した場合、電極上に形成される導電膜と基体上に形成される導電膜とが断切れを生じることなく連続的に繋がった状態に形成される。

【発明の効果】

【0017】

本発明の半導体装置およびその製造方法によれば、基体とソース電極、ドレイン電極と

50

の段差が低減もしくは解消されているため、半導体層（チャネル層）と電極の接触面での断切れの発しを無くすることができる。これによって、電極との界面でのキャリアトラップの減少、半導体層と電極との接触面積が大きくなることによる電流値の向上、移動度の向上が図れるという利点がある。また、半導体層の形成過程での断切れを無くすることができるので、製造工程での不確定要素を無くすることができ、均一な半導体層を形成することができる。これによって、半導体装置の性能向上、信頼性の向上を図ることができるという利点がある。

【発明を実施するための最良の形態】

【0018】

本発明の半導体装置に係る一実施の形態の第1例を、図1の模式的に示した概略構成断面図によって説明する。 10

【0019】

図1に示すように、基体11は、例えばシリコン基板21上に絶縁膜22が形成されたものである。この絶縁膜22は、例えば酸化シリコン（ $\text{SiO}_2$ ）膜で、例えば150nmの厚さに形成されている。上記絶縁膜22上には、下地の絶縁膜22と後に形成される金属電極との密着性を高めるために、密着層13が形成されている。この密着層13は、例えば、真空蒸着装置によって、クロムを0.5nmの厚さに蒸着して形成される。この密着層13には、ニッケル、クロム、チタン、銅、またはこれらの合金を用いることができる。

【0020】

上記密着層13上には電極（例えば、ソース電極、ドレイン電極）15が形成されている、この電極15は、例えば、真空蒸着装置によって、金（Au）を15nmの厚さに蒸着して形成した。この電極15は、金、アルミニウム、パラジウム、白金、銀、銅、またはこれらの合金で形成することも構わない。上記電極15は、上記基体11上の厚さが、電極として使用できる抵抗率以下となる厚さ以上、25nm以下に形成されている。この電極の厚さの限定理由については後に説明する製造工程の項目で詳述する。 20

【0021】

さらに、上記基体11上には上記電極15に接続する導電膜（図示せず）が形成されている。この導電膜は、例えば、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成されたものである。この微粒子には、金、パラジウム、白金、クロム、ニッケル、またはこれらの合金を用いてもよい。ここで微粒子は平均粒径を $r_{AVE}$ 、微粒子の粒径の標準偏差を $\sigma$ としたとき、 $\sigma / r_{AVE} < 0.5$ を満足することが好ましい。尚、 $r_{AVE}$ の範囲として $5.0 \times 10^{-10} \text{ m} < r_{AVE} < 1.0 \times 10^{-6} \text{ m}$ 、好ましくは $5.0 \times 10^{-10} \text{ m} < r_{AVE} < 1.0 \times 10^{-8} \text{ m}$ であることが望ましい。 30

【0022】

上記半導体装置では、電極が電極として使用できる抵抗率以下となる厚さ以上、25nm以下であることから、抵抗率が高くならず、かつ電極の厚さが薄くなったことにより、電極上に、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成される導電膜を形成した場合、電極15上に形成される導電膜と基体11上に形成される導電膜とが断切れを生じることなく、連続的に繋がって形成されるようになる。 40

【0023】

次に、上記半導体装置の製造方法に係る一例を、図2の模式的に示した製造工程断面図によって説明する。

【0024】

図2(1)に示すように、基体11上にマスク層12を形成する。上記基体11は、例えばシリコン基板21上に絶縁膜22が形成されたものである。この絶縁膜22は、例えば酸化シリコン（ $\text{SiO}_2$ ）膜で、例えば150nmの厚さに形成されている。

【0025】

上記マスク層12は、例えば回転塗布法によりレジストを塗布して形成する。このレジ 50

ストには、ポジ型レジストもしくはネガ型レジストのいずれを用いてもよい。ここでは、一例としてポジ型レジストを用いる。次いで、リソグラフィー技術によって、最終的に作製したい電極構造に適したマスク（図示せず）を用いてレジストに紫外線を照射し、現像液によって紫外線の当たった部分を除去して、電極を形成する領域上を開口したマスク層12を形成する。

**【0026】**

次に、図2(2)に示すように、下地の酸化シリコンからなる絶縁膜22と後に形成される金属電極との密着性を高めるために、上記マスク層12の開口部内の上記基体11表面に、密着層13を形成する。この密着層13は、例えば、真空蒸着装置によって、クロムを0.5nmの厚さに蒸着して形成した。この密着層13には、ニッケル、クロム、チタン、銅、またはこれらの合金を用いることができる。

10

**【0027】**

その後、上記密着層13上に電極形成膜14を形成する、この電極形成膜14は、例えば、真空蒸着装置によって、金(Au)を15nmの厚さに蒸着して形成した。この電極形成膜14は、金、アルミニウム、パラジウム、白金、銀、銅、またはこれらの合金で形成することも構わない。

**【0028】**

その後、上記マスク層12を除去する。ここでは、リムーバーにより除去した。この結果、図2(3)に示すように、基体11上に密着層13を介してソース電極、ドレイン電極となる電極15が形成される。

20

**【0029】**

次に、アミノ基を有する分子が表面に多数結合した金微粒子（直径約5nm）からなるレングミュール(Langmuir)膜（金微粒子単層膜）を水面上に単層で十分広い領域（上記で作製した電極（ソース及びドレイン電極）間）が金微粒子単層膜によって連続的に繋がる程度）に形成し、上記電極15が形成された基体11上に転写する。ここで微粒子は平均粒径を $r_{AVE}$ 、微粒子の粒径の標準偏差を $\sigma$ としたとき、 $\sigma / r_{AVE} < 0.5$ を満足することが好ましい。尚、 $r_{AVE}$ の範囲として $5.0 \times 10^{-10} \text{ m} < r_{AVE} < 1.0 \times 10^{-6} \text{ m}$ 、好ましくは $5.0 \times 10^{-10} \text{ m} < r_{AVE} < 1.0 \times 10^{-8} \text{ m}$ であることが望ましい。微粒子は金以外に、パラジウム、白金、クロム、ニッケルを用いてもよい。

**【0030】**

次に、基体11上の水分が十分蒸発するまで自然乾燥し、4,4'-ビフェニルジチオールを有機溶媒に溶かした溶液に数時間浸漬させ、その溶液から取り出し、エタノール等の有機溶媒によってシリコン基板表面を数回すすぎ、溶媒を自然乾燥させ、金微粒子を分子で繋ぎネットワーク化させる。

30

**【0031】**

その結果、図3の電子顕微鏡(SEM)写真に示すように、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって二次元的にネットワーク化された金属微粒子からなる導電膜は、電極15との接触箇所において、断切れを生じることなく形成される。このときの上記電極15の幅は5 $\mu\text{m}$ である。

**【0032】**

一方、図4の電子顕微鏡(SEM)写真に示すように、電極の厚さが50nmのものは、上記同様なプロセスによって、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって二次元的にネットワーク化された金属微粒子からなる導電膜は、電極15との接触箇所において、断切れを生じていた。このときの電極の幅は5 $\mu\text{m}$ である。

40

**【0033】**

このように、電極15の厚さを薄くすることによって、電極15との接触部における上記導電膜は、2次元ネットワークを保った構造を実現することができる。

**【0034】**

また、上記電極15自体の抵抗率を測定した。その結果を図5に示す。この測定では、

50

電極 15 に金電極を用いた。この図 5 では、縦軸にドレイン電流を示し、横軸にドレイン電圧を示し、10 nm の厚さの電極の場合と 25 nm の厚さの電極の場合を示した。

【0035】

図 5 に示すように、電極の厚さが 25 nm では、抵抗率が  $1.32 \times 10^{-4}$  cm であり、電極の厚さが 10 nm では、抵抗率が  $9.57 \times 10^{-4}$  cm であった。このため、電極の厚さはより好ましくは 25 nm と、厚さが厚い方が好ましい。また、電極の厚さが 10 nm よりも薄くなると電極を構成する金属材料の結晶性が著しく悪化する。この点からも、電極の厚さは 10 nm 以上が必要となる。

【0036】

また、直径約 5 nm の金微粒子を用いてレングミュール (Langmuir) 膜を形成する場合は、それが連続的に繋る必要がある電極の厚さによるソース電極、ドレイン電極間の上記導電膜の抵抗率の分布を測定した。電極の厚さが 50 nm の場合、図 6 に示すように、導電膜の抵抗率の分布は、 $10^{-1}$  cm 程度から  $10^6$  cm 程度と広い範囲に分布した。一方、電極の厚さが 15 nm の場合、図 7 に示すように、導電膜の抵抗率の分布は、 $10$  cm 程度から  $10^2$  cm 程度と狭い範囲に分布した。また、この分布傾向は、電極の厚さが 25 nm の場合にも同様に見られた。これは、電極の厚さが薄くなれば、上記導電膜は断切れを生じることなく形成されることを意味している。すなわち、電極の厚さを 25 nm 以下とすれば、導電膜は、ウエハ間においてほぼ均一に形成することが可能になる。

10

【0037】

このように、上記厚さの薄い電極に形成された導電膜をチャンネル層に用いたトランジスタでは、移動度が、最大で  $10^5$  倍程度改善し、 $10^{-2}$  cm<sup>2</sup>/V s 程度になった。

20

【0038】

次に、本発明の半導体装置に係る一実施の形態の第 2 例を、図 8 の模式的に示した概略構成断面図によって説明する。

【0039】

図 8 に示すように、基体 11 は、例えばシリコン基板 21 上に絶縁膜 22 が形成されたものである。この絶縁膜 22 は、例えば酸化シリコン (SiO<sub>2</sub>) 膜で、例えば 150 nm の厚さに形成されている。上記絶縁膜 22 には、電極形成溝 51 が形成され、この電極形成溝 51 の内面には、下地の絶縁膜 22 と後に形成される金属電極との密着性を高めるために、密着層 52 が形成されている。この密着層 52 は、例えば、真空蒸着装置によって、クロムを 0.5 nm の厚さに蒸着して形成される。この密着層 52 には、ニッケル、クロム、チタン、銅、またはこれらの合金を用いることができる。

30

【0040】

さらに、上記電極形成溝 51 の内部には、上記密着層 52 を介して電極 53 が形成されている。この電極 53 は、金、アルミニウム、パラジウム、白金、銀、銅、またはこれらの合金で形成することができる。そして、上記絶縁膜 22 表面に対して上記電極 53 は平坦化されている。

【0041】

さらに、上記基体 11 上には上記電極 53 に接続する導電膜 54 が形成されている。この導電膜 54 は、例えば、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成されたものである。この微粒子には、金、パラジウム、白金、クロム、ニッケル、またはこれらの合金を用いてもよい。ここで微粒子は平均粒径を  $r_{AVE}$ 、微粒子の粒径の標準偏差を  $\sigma$  としたとき、 $\sigma / r_{AVE} < 0.5$  を満足することが好ましい。尚、 $r_{AVE}$  の範囲として  $5.0 \times 10^{-10}$  m  $< r_{AVE} < 1.0 \times 10^{-6}$  m、好ましくは  $5.0 \times 10^{-10}$  m  $< r_{AVE} < 1.0 \times 10^{-8}$  m であることが望ましい。

40

【0042】

上記半導体装置では、電極 53 は上記基体 11 (絶縁膜 22) に埋め込まれていることから、基体 11 表面と電極 53 表面との段差が解消され、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成される導電膜 54 を電極 53

50

に重なるように形成した場合、電極 5 3 上に形成される導電膜 5 4 と基体 1 1 上に形成される導電膜 5 4 とが断切れを生じることなく連続的に繋がった状態に形成される。

【 0 0 4 3 】

次に、上記半導体装置の製造方法に係る一例を、図 9 および図 1 0 の模式的に示した製造工程断面図によって説明する。

【 0 0 4 4 】

図 9 ( 1 ) に示すように、基体 1 1 上にマスク層 1 2 を形成する。上記基体 1 1 は、例えばシリコン基板 2 1 上に絶縁膜 2 2 が形成されたものである。この絶縁膜 2 2 は、例えば酸化シリコン (  $\text{SiO}_2$  ) 膜で、例えば 1 5 0 nm の厚さに形成されている。

【 0 0 4 5 】

上記マスク層 1 2 は、例えば回転塗布法によりレジストを塗布して形成する。このレジストには、ポジ型レジストもしくはネガ型レジストのいずれを用いてもよい。ここでは、一例としてポジ型レジストを用いる。次いで、リソグラフィ技術によって、最終的に作製したい電極構造に適したマスク ( 図示せず ) を用いてレジストに紫外線を照射し、現像液によって紫外線の当たった部分を除去して、電極を形成する領域上を開口したマスク層 1 2 を形成する。

【 0 0 4 6 】

次に、反応性イオンエッチングにより上記絶縁膜 2 2 をエッチングして電極形成溝 5 1 となる凹みを形成する。その後、リムーバーによりレジストを除去する。

【 0 0 4 7 】

次に、図 9 ( 2 ) に示すように、下地の酸化シリコンからなる絶縁膜 2 2 と後に形成される金属電極との密着性を高めるために、上記電極形成溝 5 1 の内面および上記絶縁膜 2 2 表面に、密着層 5 2 を形成する。この密着層 5 2 は、例えば、真空蒸着装置によって、クロムを 0 . 5 nm の厚さに蒸着して形成した。この密着層 5 2 には、ニッケル、クロム、チタン、銅、またはこれらの合金を用いることができる。

【 0 0 4 8 】

その後、上記密着層 5 2 を介して上記電極形成溝 5 1 を埋め込む電極形成膜 5 5 を形成する。この電極形成膜 5 5 は、例えば、真空蒸着装置によって、金 ( Au ) を数 1 0 nm の厚さに蒸着して形成した。この電極形成膜 5 5 の厚さは、上記電極形成溝 5 1 を完全に埋め込むように形成されるため、上記電極形成溝 5 1 の深さによって適宜決定される。この電極形成膜 5 5 は、金、アルミニウム、パラジウム、白金、銀、銅、またはこれらの合金で形成することも構わない。

【 0 0 4 9 】

その後、化学的機械研磨 ( Chemical Mechanical Polishing ( C M P ) ) により、絶縁膜 2 2 上の余剰な電極形成膜 5 5 、密着層 5 2 を除去し、図 9 ( 3 ) に示すように、電極形成溝 5 1 の内部に密着層 5 2 を介してソース電極、ドレイン電極となるもので電極形成膜 5 5 からなる電極 5 3 が形成される。その際、絶縁膜 2 2 表面に対して電極 5 3 表面は平坦化されている。

【 0 0 5 0 】

次に、アミノ基を有する分子が表面に多数結合した金微粒子 ( 直径約 5 nm ) からなるレングミュール ( Langmuir ) 膜 ( 金微粒子単層膜 ) を水面上に単層で十分広い領域 ( 上記で作製した電極 ( ソース及びドレイン電極 ) 間金微粒子単層膜によって連続的に繋がる程度 ) に形成し、上記電極 5 3 が形成された基体 1 1 上に転写する。ここで微粒子は平均粒径を  $r_{AVE}$ 、微粒子の粒径の標準偏差を  $\sigma$  としたとき、 $\sigma / r_{AVE} < 0.5$  を満足することが好ましい。尚、 $r_{AVE}$  の範囲として  $5.0 \times 10^{-10} \text{ m} < r_{AVE} < 1.0 \times 10^{-6} \text{ m}$ 、好ましくは  $5.0 \times 10^{-10} \text{ m} < r_{AVE} < 1.0 \times 10^{-8} \text{ m}$  であることが望ましい。微粒子は金以外に、パラジウム、白金、クロム、ニッケルを用いてもよい。

【 0 0 5 1 】

次に、基体 1 1 上の水分が十分蒸発するまで自然乾燥し、4,4'-ビフェニルジチオールを有機溶媒に溶かした溶液に数時間浸漬させ、その溶液から取り出し、エタノール等

10

20

30

40

50

の有機溶媒によってシリコン基板表面を数回すすぎ、溶媒を自然乾燥させ、金微粒子を分子で繋ぎネットワーク化させ、図10(4)に示すように、電極53上に接続するもので、導体もしくは半導体からなる微粒子とこの微粒子と結合した有機半導体分子とによって形成された導電膜54を形成する。

【0052】

上記半導体装置の製造方法では、ソース電極およびドレイン電極となる電極53が基体11の絶縁膜22に埋め込まれるように形成されることから、基体11(絶縁膜22)表面とソース電極およびドレイン電極の各電極53表面との段差が解消され、上記導電膜54を各電極53に重なるように形成した場合、電極53上に形成される導電膜54と絶縁膜22上に形成される導電膜54とが断切れを生じることなく連続的に繋がった状態に形成される。

10

【0053】

上記各半導体装置およびその製造方法によれば、基体(絶縁膜22)とソース電極、ドレイン電極となる各電極との段差が低減もしくは解消されているため、導電層で形成される半導体層(チャンネル層)と電極との接触面での断切れの発生を無くすることができる。これによって、電極との界面でのキャリアトラップの減少、半導体層と電極との接触面積が大きくなることによる電流値の向上、移動度の向上が図れるという利点がある。また、半導体層の形成過程での断切れを無くすることができるので、製造工程での不確定要素を無くすることができる、均一な半導体層を形成することができる。これによって、半導体装置の性能向上、信頼性の向上を図ることができるという利点がある。

20

【図面の簡単な説明】

【0054】

【図1】本発明の半導体装置に係る一実施の形態の第1例を模式的に示した概略構成断面図である。

【図2】第1例の半導体装置の製造方法に係る一例を模式的に示した製造工程断面図である。

【図3】本発明による導電膜の電子顕微鏡(SEM)写真である。

【図4】従来技術による導電膜の電子顕微鏡(SEM)写真である。

【図5】電極の厚さによる抵抗率の相違を示す電流-電圧図である。

【図6】電極の厚さが50nmの場合の導電膜の抵抗率の分布図である。

30

【図7】電極の厚さが15nmの場合の導電膜の抵抗率の分布図である。

【図8】本発明の半導体装置に係る一実施の形態の第2例を模式的に示した概略構成断面図である。

【図9】第2例の半導体装置の製造方法に係る一例を模式的に示した製造工程断面図である。

【図10】第2例の半導体装置の製造方法に係る一例を模式的に示した製造工程断面図である。

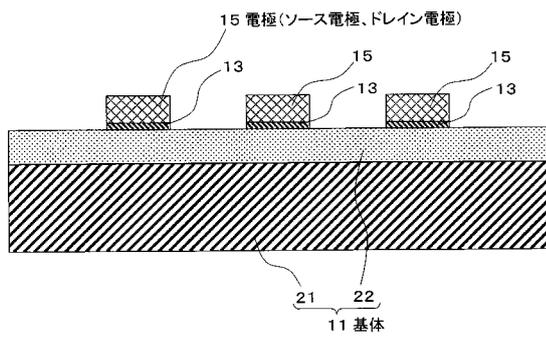
【符号の説明】

【0055】

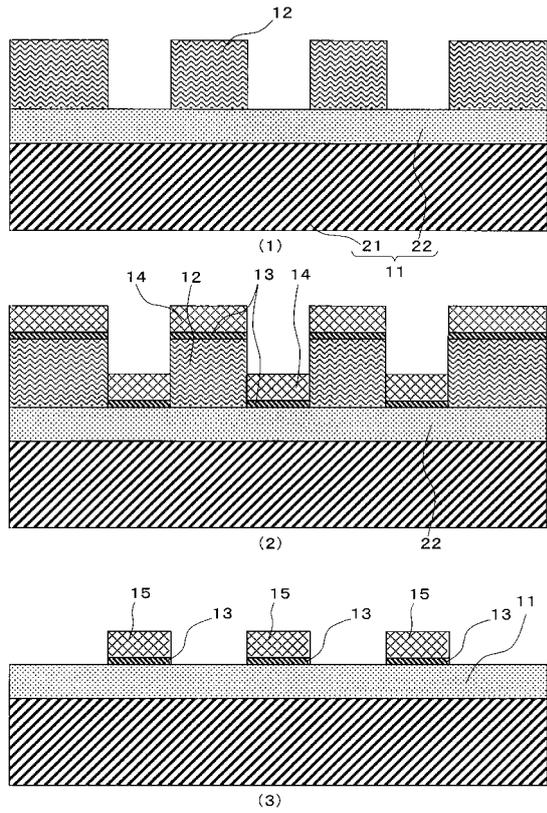
11...基体、15...電極(ソース電極、ドレイン電極)

40

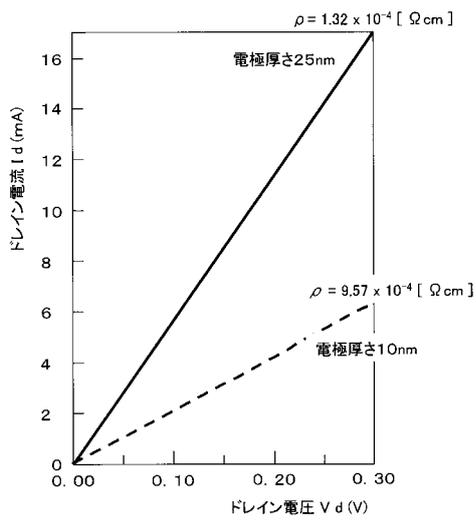
【 図 1 】



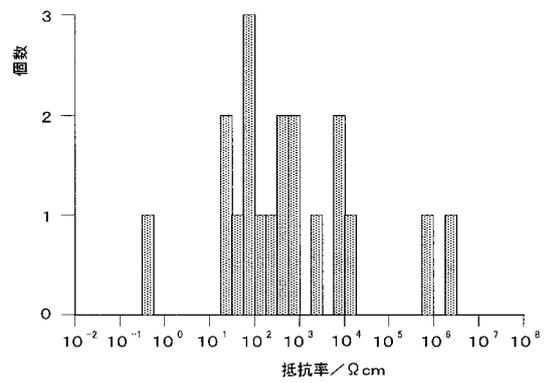
【 図 2 】



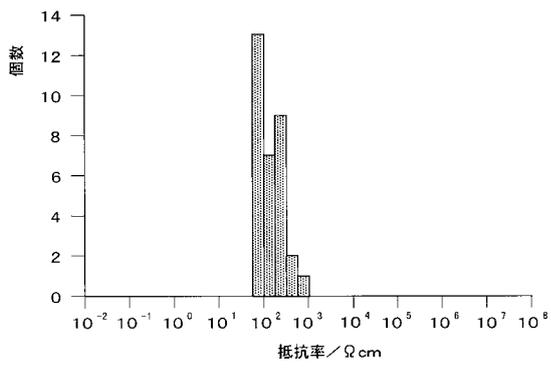
【 図 5 】



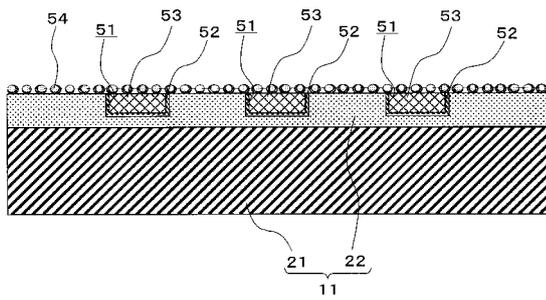
【 図 6 】



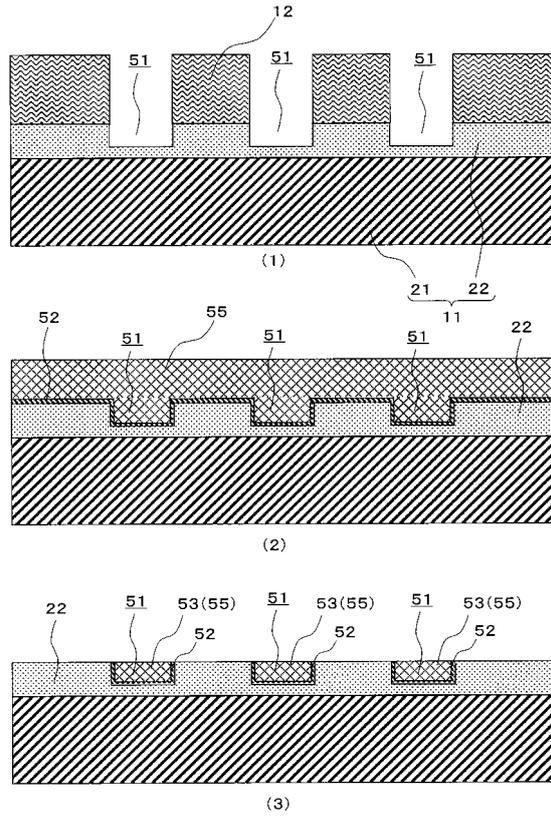
【 図 7 】



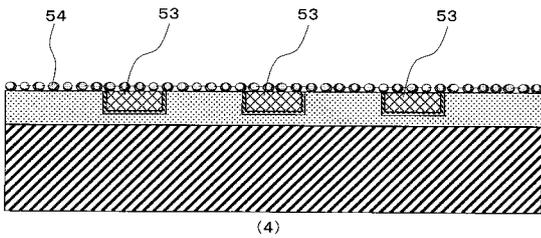
【 図 8 】



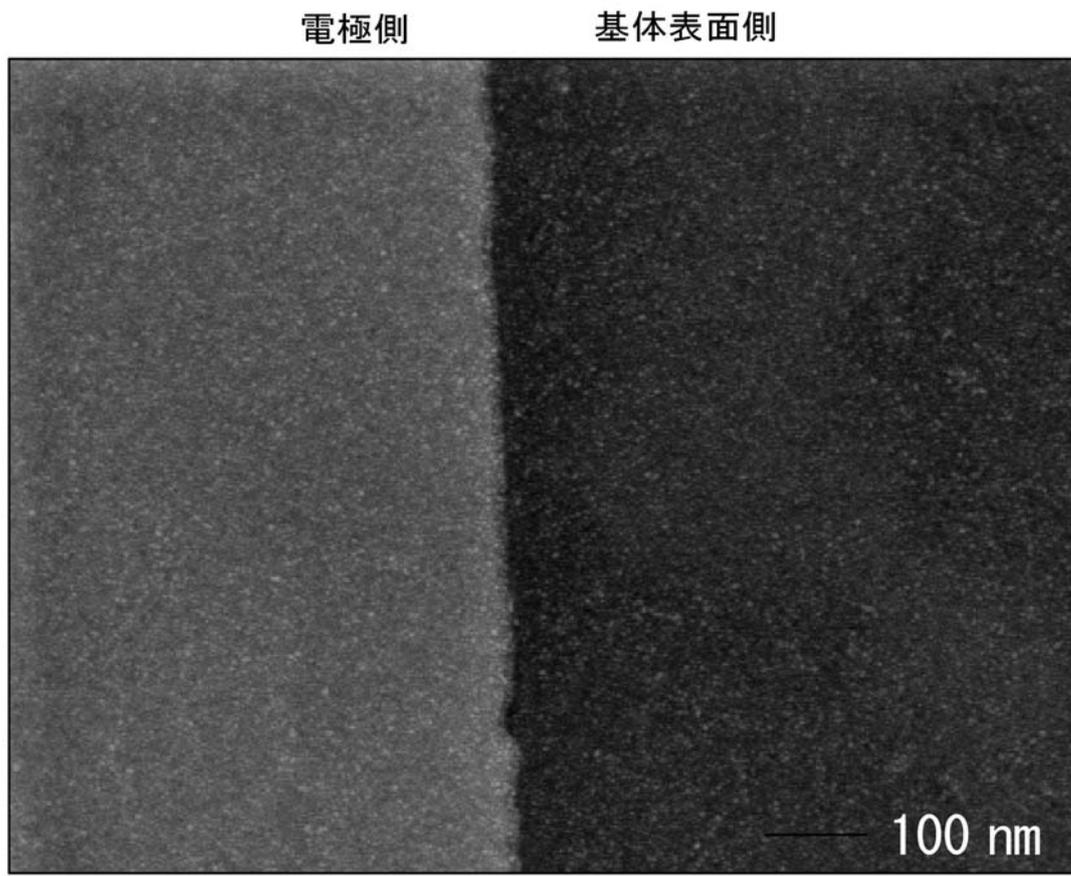
【 図 9 】



【 図 10 】

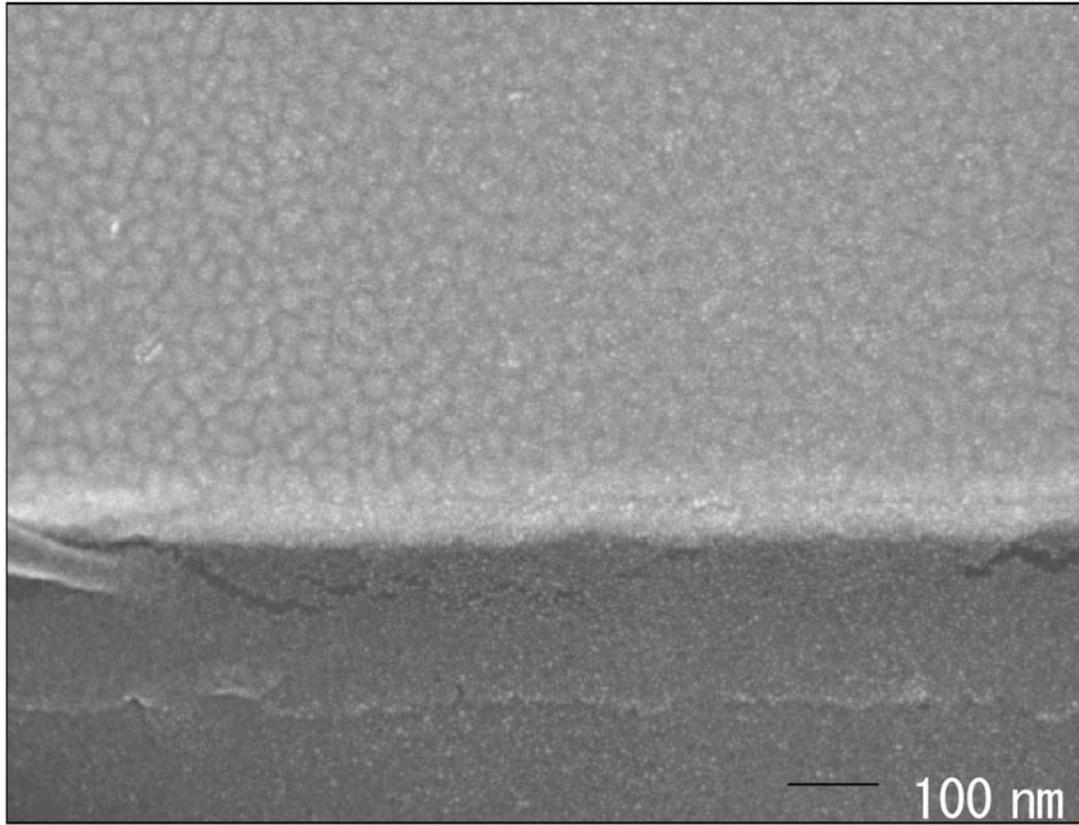


【 図 3 】



【 図 4 】

電極側



基体表面側

---

フロントページの続き

(51) Int. Cl.

**H 0 1 L 51/30 (2006.01)**

F I

H 0 1 L 29/28 1 0 0 A

H 0 1 L 29/28 2 2 0 A

テーマコード(参考)