

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5927012号
(P5927012)

(45) 発行日 平成28年5月25日(2016.5.25)

(24) 登録日 平成28年4月28日(2016.4.28)

(51) Int.Cl. F I
GO 1 R 31/28 (2006.01) GO 1 R 31/28 H
HO 3 K 19/177 (2006.01) HO 3 K 19/177

請求項の数 7 (全 19 頁)

<p>(21) 出願番号 特願2012-90623 (P2012-90623) (22) 出願日 平成24年4月11日(2012.4.11) (65) 公開番号 特開2013-217865 (P2013-217865A) (43) 公開日 平成25年10月24日(2013.10.24) 審査請求日 平成26年11月20日(2014.11.20)</p>	<p>(73) 特許権者 000204284 太陽誘電株式会社 東京都台東区上野6丁目16番20号 (72) 発明者 佐藤 正幸 東京都台東区上野6丁目16番20号太陽 誘電株式会社内 (72) 発明者 佐藤 幸志 埼玉県深谷市上野台3264光サイエンス 内 審査官 岡田 卓弥</p>
---	--

最終頁に続く

(54) 【発明の名称】再構成可能な半導体装置

(57) 【特許請求の範囲】

【請求項1】

再構成可能な半導体装置であって、
 アレイ状に配置した複数の電気回路ユニットを備え、
 前記各電気回路ユニットは、アナログデジタルコンバータ、デジタルアナログコンバータ、プロセッサ、及びオペアンプを備え、
 再構成対象となるアナログ回路を、複数の機能ブロックに分割した機能ブロックを、前記電気回路ユニットのアナログデジタルコンバータ、デジタルアナログコンバータ、及びオペアンプで回路構成し、当該回路構成した複数の電気回路ユニットの何れかを互いにアナログスイッチで接続することで、前記再構成対象のアナログ回路を構成する、ことを特徴とする半導体装置。

【請求項2】

前記プロセッサが実行する命令セットにより前記アナログスイッチが切り替えられる、請求項1に記載の半導体装置。

【請求項3】

前記複数の電気回路ユニットは、下部に配置した配線板を介して互いに接続する、請求項1又は2に記載の半導体装置。

【請求項4】

メモリをさらに備える請求項1～3の何れか1項に記載の半導体装置。

【請求項5】

前記メモリは、前記再構成対象となるアナログ回路の回路記述を格納し、

前記各電気回路ユニットは、起動時に、前記回路記述を読み取って、前記アナログスイッチにより、前記各電気回路ユニット内の回路を再構成するように動作する、請求項4に記載の半導体装置。

【請求項6】

前記再構成対象となるアナログ回路を構成して、前記再構成対象となるアナログ回路の機能を電氣的に検証する、請求項1～5の何れか1項に記載の半導体装置。

【請求項7】

前記メモリは、前記検証結果の合否判定をするデータを格納する請求項6に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、再構成可能な半導体装置に関する。

【背景技術】

【0002】

近年、半導体製造プロセスの微細化による高集積化により、ひとつのLSI(Large Scale Integration)上にシステムのほとんどを集積したSoC(System-on-a-Chip)が一般的になってきた。SoCと、複数の単機能LSIを基板に実装した場合とを比較すると、プリント基板上の占有面積の削減、高速化、低消費電力、コスト低減など優位な点が多々生じる。

20

【0003】

SoCは、アナログ回路をチップに実現するため、単なるLSIとは異なる課題がある。例えば、ひとつのチップ内部に複数の独立な電源領域があり、それぞれが独立して電源遮断制御される場合に、チップ内の信号配線について課題が生じる。そのため、LSI内部の電圧変動を観測する手段として、論理回路を構成するMISFET(Metal-Insulator-Semiconductor Field-Effect Transistor)と同様な、第1のゲート絶縁膜厚のMISFETで構成されたリングオシレータで電圧変動を周波数変動に変換する電圧モニタと、その出力信号をLSI外部へ出力させるための増幅回路とを備え、前記電圧モニタは電源電圧がより低い値でも動作するようにしきい値の小さなMISFETで構成される半導体装置が提供されている(特許文献1)。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-4582号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来、SoCに代表されるように、アナログ回路はチップ内で集積化されていた。しかし、それらアナログ回路は、チップ毎に異なる回路構成であるため、チップ開発毎に回路設計が必要となっていた。また、SoC内部を多数の独立した電源領域に細分化し、それぞれを独立に電源遮断するSoCは提案されているが、アナログ回路そのものを再構成可能とする半導体装置は全く提案されていない。本出願人は、アナログ回路そのものを再構成可能とすることで、様々なアナログ回路を構成可能な半導体装置を開発した。

40

【0006】

一実施形態に係る半導体装置は、複数の電気回路ユニットをアレイ状に配置して、再構成することを目的とする。

【課題を解決するための手段】

【0007】

50

上記課題を解決する形態は、以下の項目により示される。

1. 再構成可能な半導体装置であって、

アレイ状に配置した複数の電気回路ユニットを備え、

前記各電気回路ユニットは、アナログデジタルコンバータ、デジタルアナログコンバータ、及びオペアンプを備え、

再構成対象となるアナログ回路を、複数の機能ブロックに分割した機能ブロックを、前記電気回路ユニットのアナログデジタルコンバータ、デジタルアナログコンバータ、及びオペアンプで回路構成し、当該回路構成した複数の電気回路ユニットの何れかを互いにアナログスイッチで接続することで、前記再構成対象のアナログ回路を構成する、ことを特徴とする半導体装置。。

10

【0008】

2. 前記複数の電気回路ユニットは、下部に配置した配線板を介して互いに接続する、項目1に記載の半導体装置。

【0009】

3. メモリをさらに備える項目1又は2に記載の半導体装置。

【0010】

4. 前記メモリは、前記再構成対象となるアナログ回路の回路記述を格納し、

前記各電気回路ユニットは、起動時に、前記回路記述を読み取って、前記アナログスイッチにより、前記各電気回路ユニット内の回路を再構成するように動作する、項目3に記載の半導体装置。

20

【0011】

5. 前記再構成対象となるアナログ回路を構成して、前記再構成対象となるアナログ回路の機能を電氣的に検証する、項目1～4の何れか1項に記載の半導体装置。このように半導体装置は、エミュレーション装置として機能する。前記メモリは、前記検証結果の合否判定をするデータを格納してもよい。

【0012】

6. 論理部をさらに備え、

前記論理部は、アレイを構成するとともに互いに接続する複数のメモリセルユニットを有し、前記メモリセルユニットは、複数のアドレスで特定された入力値の論理演算を、データ線に出力するように構成される真理値表データを書き込むと、論理要素として動作し、及び/又は、あるアドレスで特定された入力値を、他のメモリセルユニットのアドレスに接続するデータ線に出力するように構成される真理値表データを書き込むと、接続要素として動作し、

30

N本(Nは2以上の整数)のアドレス線から入力されるアドレスをデコードしてワード線にワード選択信号を出力するアドレスデコーダを各メモリセルユニット毎に有し、

前記メモリセルユニットは、前記ワード線とデータ線に接続し、真理値表を構成するデータをそれぞれ記憶し、前記ワード線から入力される前記ワード選択信号により、前記データを前記データ線に入出力する複数の記憶素子を有し、

前記メモリセルユニットのN本のアドレス線は、前記メモリセルユニットの他のN個のメモリセルユニットのデータ線に、それぞれ接続する、項目1～5の何れか1項に記載の半導体装置

40

【0013】

7. 前記論理部は、前記メモリセルユニットに被試験装置の出力の期待値を格納し、

前記被試験装置と同じ論理回路を構成可能であるとともに、前記論理要素として動作することで、前記期待値と、前記被試験装置の出力とが一致するか判断する項目6に記載の半導体装置。

【0014】

8. 前記各論理部は、第1及び第2メモリセルユニットのペアを備え、

前記第1及び第2メモリセルユニットの各々は、複数のアドレスで特定された入力値の論理演算を、データ線に出力するように構成される真理値表データを書き込むと、論理要

50

素として動作し、及び/又は、あるアドレスで特定された入力値を、他のメモリセルユニットのアドレスに接続するデータ線に出力するように構成される真理値表データを書き込むと、接続要素として動作し、

前記第1メモリセルユニットの後段には、クロックと同期する順序回路を有し、

前記論理部は、さらに動作切替信号に従って、第1又は第2メモリセルユニットに、選択的にアドレスを出力する選択部を、前記第1及び第2メモリセルユニットのペア毎に有する項目5又は6に記載の半導体装置。

【0015】

9. 前記被試験装置に応じた電気回路を有するアナログ回路部をさらに備え、

前記第2メモリセルユニットは、前記被試験装置の論理回路を規定した真理値表データに従って、前記被試験装置と同じ論理回路を再構成可能であるとともに、前記第1メモリセルユニットセットに記憶される前記被試験装置出力の期待値と、前記被試験装置の出力とが一致するか判断する、項目8に記載の半導体装置。

【発明の効果】

【0016】

本発明の一実施形態に係る半導体装置は、複数の電気回路ユニットをアレイ状に配置して、再構成できる。

【0017】

これにより、例えば、テストの使用が容易になるので、DUT完成後の試験に使用が限定されず、設計段階でテストを使用することで、ICの回路効率を上げるなどの使用が可能になる。

【図面の簡単な説明】

【0018】

【図1】半導体試験装置の第1実施形態を示す機能ブロック図である。

【図2】再構成可能デバイスの一例である。

【図3A】再構成可能デバイスのメモリセルユニットの一例である。

【図3B】メモリセルユニットの接続を示す一例である。

【図4A】従前の半導体試験装置の試験フローチャートのを示す図である。

【図4B】本実施形態に係る半導体試験装置の試験フローチャートのを示す図である。

【図5】半導体試験装置の第2実施形態を機能ブロック図である。

【図6】図6は、図5の半導体試験装置を用いた適用例を示す図である。

【図7】アナログ回路部を構成する電気回路ユニットの一例を示す図である。

【図8】アレイ状に配置された電気回路ユニットの一例を示す図である。

【図9A】RC回路の例を示す図である。

【図9B】RC回路のアナログ機能記述の例を示す図である。

【図9C】RC回路の機能記述を、機能ブロックに分けた例を示す図である。

【図9D】RC回路をアナログ回路部に搭載した例を示す図である。

【図10A】GSM(登録商標)仕様のMSKモデル通信方式の回路ブロックの例を示し図である。

【図10B】GSM(登録商標)仕様のMSKモデル通信方式の回路ブロックのアナログ機能記述の例を示す図である。

【図10C】MSKモデル通信方式の機能記述を、電気回路ユニットに割り当てるために機能ブロックに分けた例を示す図である。

【図10D】MSKモデル通信方式をアナログ回路部に搭載した例を示す図である。

【図11】論理要素として動作するMLUTの一例を示す図である。

【図12】論理回路として動作するMLUTの一例を示す図である。

【図13】図12に示す論理回路の真理値表を示す図である。

【図14】接続要素として動作するMLUTの一例を示す図である。

【図15】図14に示す接続要素の真理値表を示す図である。

【図16】4つのAD対を有するMLUTによって実現される接続要素の一例を示す図で

10

20

30

40

50

ある。

【図17】1つのMLUTが、論理要素及び接続要素として動作する一例を示す図である。

【図18】図17に示す論理要素及び接続要素の真理値表を示す。

【図19】AD対を有するMLUTによって実現される論理動作及び接続要素の一例を示す図である。

【発明を実施するための形態】

【0019】

1つの半導体チップ上にデジタル回路と、アナログ回路を集積したシステムLSI (Large

Scale Integration) には、半導体製造プロセス後、検査対象 (DUT: Device Under Test) の設計時に作成したテストパターンを元に、入力信号を生成し出力信号を期待値と比較して、良品又は不良品を判定するためにテストが必要である。そのテストを実施する半導体試験装置 (以下「テスト」と呼ぶ) がある。テストは、パッケージングされたDUTに外から入力を入れ、ICからの出力信号を読み取って、それが正常に動作しているかどうかを判定するものである。テストは大きく二つの部分から成り立っている。アナログ回路の動作検証とファンクションテストである。アナログ回路の動作検証はDUTに入力を与え、その信号を検出することにより行われ、デバイスのピンにおける接続テストを始め、消費電力測定や入力リーク電流測定、出力電圧測定がある。一方、ファンクションテストは、テストがDUTの論理動作と同じ動作を行い、信号を出力することで行われる。ロジックデバイスには「ロジックテスト」が使われ、メモリデバイスには「メモリテスト」が使われる。

【0020】

ロジックテストは、テストパターンを適切なタイミングでDUTの入力端子に印加し、DUTから出力される信号について、コンパレータとパターン照合器により、期待値との一致又は不一致を見て、良又は不良を判断する。ICが超高集積化するに伴いテストパターンは長大化し、かつDUTの欠陥を正確に検出するために、いわゆる論理深度も極端に深いものが要求されている。ロジックテストは、テストパターン毎に、期待値を有するので、メモリを必要とする。

【0021】

メモリテストは、DUTのセルをすべて正しく選択でき、選択したセルに規定された条件で情報を書き込めること、さらに書き込まれた情報が規定のアクセスタイムで読み出せるかどうかを試験する。したがって、メモリテストに要求されるテストパターンは、ロジックテストより機能的であり単純であるので、期待値を格納する大きなメモリ容量を必要としない。したがって、メモリテストは、あまりメモリを必要としない。

【0022】

テストは、テストに必要なテストハードウェアを多く持ち、テストの利便性を図っている。デバイスの高機能化、高速化に従い、テストハードウェアも高機能化、高速化になり複雑化、巨大化して、テストは大変高価 (例えば、1台1億円以上) である。そのため、テストコストが高くなり、そのコスト削減が課題となっている。そして、そのテスト上でのテストプログラムのデバックも困難になり、コストの高いものになっている。

【0023】

この問題を解決するために、仮想テスト技術が開発されている。仮想テスト技術は、テストをコンピュータ上に表現して、コンピュータ上にあるデバイスの設計データと併せて、テストプログラムをデバックして、テストを実行する技術である。仮想テストを構築するには、テストの論理構造や回路記述をそのままコンピュータ上に表現する手法があるが、その論理構造や回路記述が大規模であるために、現実的な効果を出し得なかった。しかし、高位記述言語 (Verilog, VHDL) の進展に従い、テストをコンピュータ上に構築することが容易になり、実用化されている。

【0024】

10

20

30

40

50

数千～数万テストのうち、その各々のテストは数十ステップで構成されており、高位記述言語では、ひとつのテストでは必要なテストの機能（テスト・リソース）だけが記述されている。高位記述言語で実現されるテストの機能を、再構成可能なデバイス、例えばFPGA（Field-Programmable Gate Array）に逐次構築してテストを構成すればボード上のFPGAとテストに必要なデバイスを持たせた小規模なテスト・ボードでテストが実行できる。これをTOB（Tester On Board）と言い、実現されている（特開2002-123562号公報）。FPGAを用いたテスト装置は、従前の高価なテスト装置より低廉である（例えば、1台1000万円程度）。

【0025】

ここで、テスト言語に注目すると、テスト言語は基本的に制御装置の制御命令であり、10
 テスタメカ毎に規定されている。しかし、テスト使用者（テストング・エンジニア）の利便性を考えて、使いやすさが配慮されている。例えば、タイミング精度を考慮するために、キャリアレーション操作など制御しなければならないが、テスト使用者には直接関係ないので、そのような制御も内包した形で定義される。このために、テストには共通なテスト言語がなく、テスト上で個別にテストプログラムを作成している。この問題には良く使われているテスト言語をデファクト化して各々のテストで使う技術が提案されている（特開2003-020305号公報）。

【0026】

現状のテスト手法では、試験装置が高価であり、試験時間を少なくするために、デバイス完成後にテスト上でDUTとなるデバイスを使用して行っている。デバイス完成後に、20
 テストに不具合があった場合、テストプログラムの問題か、デバイスの問題か、設計上の問題かを検討する必要がある。設計上の問題となった場合、設計のやり直しが生じ、テスト不具合の発見が、デバイス完成の時間遅延を生じている。このような、コスト問題は、「ファンクションテスト」を行うテスターのユニットが高いという問題に加え、DUTのアナログ回路の動作検証を行うためのテスターが備えるアナログ回路が高価であるという問題もある。これは、大規模、複雑化したデバイスのピンエレクトロニクスに対応するように、様々な機能がテスターに要求されるため、必然的に多様な制御幅、又は、複数の機能を持つテスト用のアナログ回路が必要になるためである。

【0027】

出願人が開発した再構成可能な半導体装置は、複数の電気回路ユニットをアレイ状に配置し、再構成することで、アナログ回路を構成できるので、SoCやシステムLSIが適用される全ての技術分野に適用可能である。一方で、上記のようにテストを安価にするために応用可能である。以下に示す実施形態は、本実施形態に係る半導体装置を説明するため、テストへの応用を例を中心に説明する。。 30

【0028】

以下、図面を参照して、〔1〕再構成可能な半導体装置、及び半導体試験装置、〔2〕設計段階のテストデバッグ手法、〔3〕再構成可能な半導体装置としてのアナログ回路部、〔4〕MPLDについて順に説明する。

【0029】

〔1〕再構成可能な半導体装置、及び半導体試験装置 40

図1は、半導体試験装置の第1実施形態を示す機能ブロック図である。半導体試験装置100は、メモリセルユニットベースの再構成可能デバイス、アナログ回路部200を備える。本実施形態においては、メモリセルユニットベースの再構成可能デバイスとして、本出願人が開発したMPLD（Memory-based Programmable Logic Device）20を用いる。MPLDは、複数のメモリセルユニットから構成されるので、FPGAと比して、1/5のコスト、半分のチップ面積、30%マイナスの消費電力が図れる。しかし、MPLDモジュールはメモリであり、ロジックにもなるのでMPLDモジュールで基本的にロジックテストもメモリテストも表現でき搭載効率の向上が図れる。

【0030】

図2は、再構成可能な半導体装置の一例を示す図である。再構成可能な半導体装置とし 50

てのMPLD20は、MLUT (Multiple Look-Up Table) と呼ぶ配線要素と論理要素の双方を実現する論理素子(後述)を相互に接続することにより論理を構成する。MPLD20は、図2のようにMLUTをアレイ状に敷き詰め、アドレス線LAとデータ線LDの対を用いてMLUT同士を相互接続させた構成になっている。メモリセルユニットから構成されるMLUT30を複数有するとともに、MLUT (Multiple Look-Up Table) を特定するアドレスをデコードして、動作対象となるMLUTを特定するMLUTデコーダ12を有する。MPLD20は、MLUT30の記憶素子に、真理値表を構成するデータがそれぞれ記憶することで、論理要素、又は、接続要素、又は、論理要素及び接続要素として動作する論理動作を行う(〔4〕MPLDで説明する)。

【0031】

MPLD20はさらに、メモリ動作を行う。メモリ動作とは、MLUT30に含まれるメモリセルユニットへのデータの書込みWDや読み出しRDをいう。MLUT30へのデータの書込みは、真理値表データの書き換えにもなるため、メモリ動作は、真理値表データの再構成を生じる。

【0032】

図3Aは、再構成可能デバイスのメモリセルユニットの一例である。メモリセルユニットは、非同期用のメモリセルユニット40aと、同期用のメモリセルユニット40bのペアから構成され、同期用のメモリセルユニット40bの後段には、クロックCLKと同期するF/F41を有する。非同期用のメモリセルユニット40a及び同期用のメモリセルユニット40bには、それぞれ、アドレスデコーダ9a及び9bが設けられ、さらに、動作切替信号によって、メモリ動作か、論理動作かを選択するアドレス切替回路10、及び、動作切替信号によって、読み出しデータRDか論理動作データLDかを選択する出力データ切替回路11が設けられる。

【0033】

MPLD20を構成するメモリセルユニット及びその周辺回路からなる回路ユニットを、MLUTと言う。メモリセルユニットには、真理値表を構成するデータを格納することで、MLUTは、再構成可能デバイスであるMPLDの構成要素として動作する。MPLDが再構成可能デバイスとして使用される技術的根拠は、後述する。

【0034】

MLUTは、上記のように、2つのメモリセルユニットを必ずしも必要としないが、各MLUTが、同期/非同期のどちらでも使えるため、同期メモリ、順序回路の論理要素、非同期メモリ、組合せ論理回路の論理要素と、様々な使い方が可能になる。また、MPLDは、チップ面積もコストも、FPGAより安価なため、このようなメモリセルユニットの使用をしても、まだコストメリットを發揮できる。そして、ロジックテストではテストパターンのために容量メモリが必要なので2つのメモリセルユニットを持つことはテストにとって有意である。メモリテストではその論理記述は基本的な論理動作のためロジック表現(論理搭載規模)は軽微に留まるために本案での論理搭載規模が低くなることは問題ない。

【0035】

図3Aに示すMLUT30は、動作切替信号が論理動作を示す場合、論理動作アドレスLAに従って、論理動作データLDを出力する。また、MLUT30は、動作切替信号がメモリ動作を示す場合、メモリ動作アドレスに従って、書込みデータWDを受け入れ、又は、読み出しデータRDを出力する。

【0036】

アドレス切替回路10は、メモリ動作アドレスが入力されるn本のメモリ動作アドレス信号線と、論理動作アドレス信号が入力されるn本の論理動作アドレス入力信号線と、動作切替信号が入力される動作切替信号線とを接続する。アドレス切替回路10aは、動作切替信号に基づいて、メモリ動作アドレス、又は論理動作アドレスのいずれかをn本の選択アドレス信号線に出力するように動作する。このように、アドレス切替回

10

20

30

40

50

路 10a が、アドレス信号線を選択するのは、記憶素子 40 が読み出し動作と書込み動作の何れかを受け付ける 1ポート型の記憶素子であるからである。論理動作的には CE (Chip Enable) 0、CE 1 を同時にアクティブにして、同期メモリ出力と非同期メモリ出力の論理和を出力する。そうすることにより、組み合わせ回路と順序回路を表現できる。メモリ動作のときは、交互にアクティブにして所定の記憶動作をさせる。

【0037】

例えば、配線や組み合わせ回路を行わせる AD 対では、同期用のメモリには真理値 0 を記憶し、非同期用のメモリには所定の真理値を記憶させて、非同期用メモリのデータで信号伝播を行わせる。このことにより、メモリにおけるクロック遅延がなく論理回路を構成できる。また、順序回路では、同期用メモリに所定の真理値を記憶させ、非同期用メモリ

10

【0038】

アドレスデコーダ 9a、9b は、アドレス切替回路 10 から供給される n 本のアドレス信号線から受け取った選択アドレス信号をデコードし、2 の n 乗本のワード線にデコード信号を出力する。

【0039】

メモリセルユニットの $n \times 2^n$ 個の記憶素子は、2 の n 乗本のワード線と、n 本の書込データ線と、n 個の出力データ線の接続部分に配置される。

【0040】

出力データ切替回路 11 は、n 本の出力データ線から信号を受け取ると、入力される動作切替信号に従って、読み出しデータを n 本の読み出しデータ信号線に出力し、又は、読み出しデータを論理動作信号線に出力するように動作する。

20

【0041】

図 3B は、メモリセルユニット間の接続の一例を示す図である。MLUT 30 のアドレス線は、隣接する他の MLUT のデータ線とそれぞれ接続する。MLUT 30 では、アドレス線の幅とデータ線の幅が等しいメモリを用いる。そして、アドレス線とデータ線の 1 ビットずつを対にして、疑似的な双方向線を定義します。この双方向線を、MPLD では「AD 対」と呼ぶ。アドレス線の幅とデータ線の幅が N ビットのメモリを用いると、AD 対を N 組持つ MLUT 30 が実現される。図 3A では、近接する MLUT と 6 つの AD 対

30

【0042】

(2) 設計段階のテストデバッグ手法

図 4A は、従前の半導体試験装置の試験フローチャートのを示す図である。従前は、システム設計 (S101)、回路設計 (S102)、半導体ウエハ製作 (S103)、ウエハ完成 (S104)、完成品組み立て (S105)、製品デバッグ (S105)、テスト

40

【0043】

図 4B は、本実施形態に係る半導体試験装置の試験フローチャートのを示す図である。図 4B に示す試験フローチャートは、S201 で回路設計と同時に、テストスペックを作成して、それを半導体試験装置 100 で同時作業で試験することができる。これにより、半導体ウエハ製作 (S103) 前に、テストを完了させることができる (S202)。また、半導体試験装置 100 は、製品デバッグでも従前と同様にテスト可能である。

【0044】

図 5 は、半導体試験装置の第 2 実施形態を機能ブロック図である。図 2 に示すように、アナログ回路部 200 は、外部にある従前の高価なテストのピンに接続するようにしても

50

よい。300は、本装置の外部のPCからの制御及びデータ転送をする無線ユニットである。

【0045】

図6は、図5の半導体試験装置を用いた1つの適用例を示す図である。図6に示すテスト1000は、テスト本体を示す。テストヘッド1010は、テストの実際に被測定デバイスが装着される場所を言う。テストボード1020は、テストの信号を被測定デバイスに接続する基板を言う。このボードにはコンデンサなどの必要な部品を装着することもある。コンタクトリング1030は、テストボードとプローブカードを接続する機構である。プローブカード1040は、被測定デバイスであるウェハ1050に直接コンタクトするプローブ針を実装するカードである。この部位に半導体試験装置100を装着してもよい。当初は外部にある従前の高価なテストを使い、各々の利点を使い分けるのが、その実用性を見てから、低廉な半導体試験装置100だけでのテストに切り替える。そのため、ユーザは本手法の適用を十分に検討してから使用できることになる。BOST (built-out self-test) は、テスターとの間に必ず存在する装置であるが、半導体試験装置100は、テスター無しでデバイステストが可能であるので、このような使用はBOSTでは出来ない。

10

【0046】

〔3〕再構成可能な半導体装置としてのアナログ回路部

一実施形態に係る再構成可能なアナログ回路部は、アレイ状に配置した複数の電気回路ユニットを有し、各電気回路ユニットは、アナログデジタルコンバータ、デジタルアナログコンバータ、及びオペアンプを備え、再構成対象となるアナログ回路を、複数の機能ブロックに分割した機能ブロックを、前記電気回路ユニットのアナログデジタルコンバータ、デジタルアナログコンバータ、及びオペアンプで回路構成し、当該回路構成した複数の電気回路ユニットの何れかを互いにアナログスイッチで接続することで、前記再構成対象のアナログ回路を構成する。なお、当該アナログ回路部は、構成要素ではなく単独の再構成可能な半導体装置として使用可能である。

20

【0047】

アナログ回路部200は、複数の電気回路ユニットを有し、再構成対象となるアナログ回路、又は、DUTとなるICのアナログ回路と同じ機能を実現できる。ロジックではVerilogで実現したが、アナログはその記述が無くアナログの機能記述が課題となった。仮想テスト技術の課題で仮想テストの実行やプログラム記述のデファクト化は実現したが、アナログを含むテスト・ボード検証技術は、アナログ・シミュレーション(回路シミュレーション)が遅いため課題となっていた。シミュレーションの高速化にはそれを電氣的に検証するエミュレーション技術がある。

30

【0048】

図7は、アナログ回路部を構成する電気回路ユニットの一例を示す図である。アナログ回路部(半導体装置)200は、アレイ状に並べられた複数の電気回路ユニット220から構成され、各々が、アナログデジタルコンバータ(DAC: Digital to Analog Converter)、図示しないデジタルアナログコンバータ(ADC: Analog to Digital Converter)、電流源DAC(iDAC)、及びアナログ量を決めるオペアンプOPを備える。

40

【0049】

電気回路ユニット220は、更に、多少のロジックが構成できるPLD(Programmable Logic Device)を有し、PLDが、スイッチMUXを切り替えて、各ピンに接続切り替えてもよい。電気回路ユニット220は、CPUを備え、プログラムエリアとしてのSRAMを有し、DAC、ADC、オペアンプOPの構成を変更し、アナログ量を変更する。これらはアナログスイッチで接続できる機能を持つので、CPUなどの制御により構成できる。また、電気回路ユニットは、プログラムを搭載できるフラッシュメモリを有してもよい。なお、電気回路ユニット220の上記アナログ回路リソースは制限されている。この電気回路ユニット220を1つだけ用いた場合、リソースが制限されて固定的な回路構成になる。この問題を対策するために、電気回路ユニット220は、DAC、ADC、オペ

50

アンプOPでは、ピンとリソースの間にアナログ・スイッチがあり切り替えられるようにしてある。アナログ・スイッチの切替は、例えば、CPUが実行する命令セットにより、アナログ・スイッチの切替信号が出力されて、制御可能になる。

【0050】

図8は、アレイ状に配置された電気回路ユニットの一例を示す図である。図8に示されるように、アナログ回路部200は、アレイ状に並べられた複数の電気回路ユニット220から構成される。各電気回路ユニット220は、再構成性を有するために、その1つの回路規模を大規模にならないように制限し、複数の電気回路ユニットが互いにケルビン接続することで、複数の電気回路ユニット220全体で、大規模アナログ回路を実現するように構成されている。

10

【0051】

図示していないが、アナログ回路部200は、メモリをさらに備える。メモリには、アナログ回路のエミュレーション検証の結果の合否を判断するための真理値データを格納したり、或いは、再構成対象となるアナログ回路のアナログ回路の回路記述が格納される。また、当該メモリは、上記したMPLDであってもよい。各電気回路ユニット220は、起動時に、前記回路記述を読み取って、前記アナログスイッチにて回路間の接続を切り替えることにより、前記各電気回路ユニット内の回路を、前記回路記述に従って再構成するように動作する。この動作は、電気回路ユニット220のフラッシュメモリから読み取ったプログラムをCPUが実行することで、動作が可能になる。また、アナログ回路部200は、再構成対象となるアナログ回路を構成して、当該再構成対象となるアナログ回路の機能を電氣的に検証するエミュレーション機能を実現する。

20

【0052】

なお、MPLD20は、VerilogやC言語からの論理搭載をする論理要素として動作可能であるため、ファンクションテストをするための論理搭載が可能である。一方、電気回路ユニット220には、アナログ機能記述である「SpectoureHDL」や「Verilog-A」で動作記載をする。それを、各電気回路ユニット220に書き込む。この例として、図9A～図9Cを用いて説明する。

【0053】

〔3.1〕アナログ回路によるRC回路のエミュレーション

図9Aは、RC回路の例を示し、図9Bは、RC回路のアナログ機能記述の例であり、図9Cは、RC回路の機能記述を、電気回路ユニットに割り当てるために逐次加算回路の機能ブロックに分けた例である。図9Bではアナログ機能記述はSpectoureHDLを使っているが、Verilog-Aでも同じような記述内容でなされる。抵抗は印加された電圧を抵抗で除算された値で表現される。コンデンサは充電のモデルを表現するために積分で記述している。

30

【0054】

図9Dは、RC回路をアナログ回路部に搭載した例を示す図である。図9Dの上部に示すのが、半導体試験装置100の垂直断面であり、下部に示すのが、アナログ回路への搭載例を示す平面図である。図9Cに示した機能ブロックが、電気回路ユニットに割り当て可能である。

40

【0055】

このように、分割した機能ブロックを電気回路ユニットのアナログデジタルコンバータ、デジタルアナログコンバータ、及びオペアンプで回路構成し、当該回路構成した複数の電気回路ユニットを互いにケルビン接続することで、被試験装置のアナログ回路部を構成するアナログ回路記述を、実際に電気回路ユニットで実現できるので、回路シミュレーションではなく、電氣的エミュレーションが行えるのでその検証が高速化できる。

【0056】

なお、400は、本出願人が開発した銅コアを採用した画期的な部品内蔵配線板「EOMIN(登録商標)」である。「EOMIN(登録商標)」は、機能モジュール用配線板で、部品内蔵配線板のコアに銅を採用することで、小型化や高密度実装という部品内蔵配線板の特長

50

に加え、高剛性、高信頼性、良好な放熱性、ノイズ耐性という特性も実現し、小型・薄型化や高性能化に寄与する。

【 0 0 5 7 】

電気回路ユニット 2 2 0 は、大規模な電気回路で実現するところを、複数のユニットに分割するため、精度が下がるリスクがある。アナログ回路部 2 0 0 は、複数の電気回路ユニット 2 2 0 が互いにケルビン接続することで、精度をあげるとともに、「EOMIN (登録商標)」の利用により、上記の特性を得ることができる。

【 0 0 5 8 】

〔 3 . 2 〕アナログ回路による G S M (登録商標)仕様の M S K モデル通信方式のエミュレーション

図 1 0 A は、G S M (登録商標)仕様の M S K モデル通信方式の回路ブロックの例を示し、図 1 0 B は、G S M (登録商標)仕様の M S K モデル通信方式の回路ブロックのアナログ機能記述の例であり、図 1 0 C は、M S K モデル通信方式の機能記述を、電気回路ユニットに割り当てるために機能ブロックに分けた例であり、図 1 0 D は、M S K モデル通信方式をアナログ回路部に搭載した例を示す図である。図 1 0 D の上部に示すのが、半導体試験装置 1 0 0 の垂直断面であり、下部に示すのが、アナログ回路への搭載例を示す平面図である。

【 0 0 5 9 】

図 1 0 B 及び図 1 0 C に示されるように、音声入力積分回路にて入力し、その値をコサイン変換およびサイン変換を行う。その源信号(搬送波)は 9 0 度位相をずらした信号で合成して I 信号および Q 信号を生成してそれを加算して直行変換をする。それが M S K 信号となる。この機能ブロックを、電気回路ユニット 2 2 0 に搭載すると、図 1 0 D のようになる。

【 0 0 6 0 】

〔 4 〕M P L D

M P L D 2 0 の論理動作により実現される論理は、M L U T 3 0 に記憶される真理値表データにより実現される。いくつかの M L U T 3 0 は、A N D 回路、加算器などの組み合わせ回路としての論理要素として動作する。他の M L U T は、組み合わせ回路を実現する M L U T 3 0 間を接続する接続要素として動作する。論理要素、及び接続要素を実現するための真理値表データの書き換えは、上述のメモリ動作による再構成によりなされる。

【 0 0 6 1 】

A . 論理要素

図 1 1 は、論理要素として動作する M L U T の一例を示す図である。図 1 1 に示す M L U T は、図 1 0 に示す M L U T 又は図 1、4 又は 7 に示す半導体メモリ装置と同様な回路である。図 1 1 では、説明を簡単にするために、アドレス切替回路 1 0 a、及び出力データ切替回路 1 0 b の記載は、省略される。図 1 1 に示す M L U T 3 0 a、3 0 b は、4 つの論理動作アドレス線 A 0 ~ A 3 と、4 つの論理動作データ線 D 0 ~ D 3 と、 $4 \times 16 = 64$ 個の記憶素子 4 0 と、アドレスデコーダ 9 とをそれぞれ有する。論理動作データ線 D 0 ~ D 3 は、24 個の記憶素子 4 0 をそれぞれ直列に接続する。アドレスデコーダ 9 は、論理動作アドレス線 A 0 ~ A 3 に入力される信号に基づき、24 本のワード線のいずれかに接続される 4 つの記憶素子を選択するように構成される。この 4 つの記憶素子はそれぞれ、論理動作データ線 D 0 ~ D 3 に接続され、記憶素子に記憶されるデータを論理動作データ線 D 0 ~ D 3 へ出力する。例えば、論理動作アドレス線 A 0 ~ A 3 に適当な信号が入力される場合は、4 つの記憶素子 4 0 a、4 0 b、4 0 c、及び 4 0 d を選択するように構成することができる。ここで、記憶素子 4 0 a は、論理動作データ線 D 0 に接続され、記憶素子 4 0 b は、論理動作データ線 D 1 に接続され、記憶素子 4 0 d は、論理動作データ線 D 2 に接続され、記憶素子 4 0 d は、論理動作データ線 D 3 に接続される。そして、論理動作データ線 D 0 ~ D 3 には、記憶素子 4 0 a ~ 4 0 d に記憶される信号が出力される。このように、M L U T 3 0 a、3 0 b は、論理動作アドレス線 A 0 ~ A 3 から論理動作アドレスを受け取り、その論理動作アドレスによって

10

20

30

40

50

アドレスデコーダ9が選択する4つの記憶素子40に記憶される値を、論理動作データ線D0～D3に論理動作データとしてそれぞれ出力する。なお、MLUT30aの論理動作アドレス線A2は、隣接するMLUT30bの論理動作データ線D0と接続しており、MLUT30aは、MLUT30bから出力される論理動作データを、論理動作アドレスとして受け取る。また、MLUT30aの論理動作データ線D2は、MLUT30bの論理動作アドレス線A0と接続しており、MLUT30aが出力する論理動作データは、MLUT30bで論理動作アドレスとして受け取られる。例えば、MLUT30aの論理動作データ線D2は、MLUT30aの論理動作アドレス線A0～A3に入力される信号に基づき、論理動作データ線D2に接続される24個の記憶素子のいずれか1つに記憶される信号をMLUT30bの論理動作アドレスA0に出力する。同様に、MLUT30bの論理動作データ線D0は、MLUT30bの論理動作アドレス線A0～A3に入力される信号に基づき、論理動作データ線D0に接続される24個の記憶素子のいずれか1つに記憶される信号をMLUT30aの論理動作アドレスA2に出力する。このように、MPLD同士の連結は、1対のアドレス線とデータ線とを用いる。

10

【0062】

なお、図11では、MLUT30a、30bが有するAD対は4であるが、AD対の数は、特に後述するように4に限定されない。

【0063】

図12は、論理回路として動作するMLUTの一例を示す図である。本例では、論理動作アドレス線A0及びA1を2入力NOR回路701の入力とし、論理動作アドレス線A2及びA3を2入力NAND回路702の入力とする。そして、2入力NOR回路の出力と、2入力NAND回路702の出力を、2入力NAND回路703に入力し、2入力NAND回路703の出力を論理動作データ線D0に出力する論理回路を構成する。

20

【0064】

図13は、図12に示す論理回路の真理値表を示す図である。図12の論理回路は、4入力のため、入力A0～A3の全ての入力を入力として使用する。一方、出力は、1つのみなので、出力D0のみを出力として使用する。真理値表の出力D1～D3の欄には「*」が記載されている。これは、「0」又は「1」のいずれの値でもよいことを示す。しかしながら、実際に再構成のために真理値表データをMLUTに書き込むときには、これらの欄には、「0」又は「1」のいずれかの値を書き込む必要がある。

30

【0065】

B. 接続要素

図14は、接続要素として動作するMLUTの一例を示す図である。図14では、接続要素としてのMLUTは、論理動作アドレス線A0の信号を論理動作データ線D1に出力し、論理動作アドレス線A1の信号を論理動作データ線D2に出力し、論理動作アドレス線A2の信号を論理動作データ線D3に出力するように動作する。接続要素としてのMLUTはさらに、論理動作アドレス線A3の信号を論理動作データ線D1に出力するように動作する。

【0066】

図15は、図14に示す接続要素の真理値表を示す図である。図14に示す接続要素は、4入力4出力である。したがって、入力A0～A3の全ての入力と、出力D0～D3の全ての出力が使用される。図15に示す真理値表によって、MLUTは、入力A0の信号を出力D1に出力し、入力A1の信号を出力D2に出力し、入力A2の信号を出力D3に出力し、入力A3の信号を出力D0に出力する接続要素として動作する。

40

【0067】

図16は、AD0、AD1、AD2、及びAD3の4つのAD対を有するMLUTによって実現される接続要素の一例を示す図である。AD0は、論理動作アドレス線A0と論理動作データ線D0とを有する。AD1は、論理動作アドレス線A1と論理動作データ線D1とを有する。AD2は、論理動作アドレス線A2と論理動作データ線D

50

2とを有する。そして、AD3は、論理動作アドレス線A3と論理動作データ線D3とを有する。図16において、1点鎖線は、AD対0の論理動作アドレス線A0に入力された信号がAD対1の論理動作データ線D1に出力される信号の流れを示す。2点鎖線は、第2のAD対1の論理動作アドレス線A1に入力された信号がAD対2の論理動作データ線D2に出力される信号の流れを示す。破線は、AD対2の論理動作アドレス線A2に入力された信号がAD対3の論理動作データ線D3に出力される信号の流れを示す。実線は、AD対3の論理動作アドレス線A3に入力された信号がAD対0の論理動作データ線D0に出力される信号の流れを示す。

【0068】

なお、図16では、MLUT30が有するAD対は4であるが、AD対の数は、特に4

10

【0069】

C. 論理要素と接続要素の組合せ機能

図17は、1つのMLUTが、論理要素及び接続要素として動作する一例を示す図である。図17に示す例では、論理動作アドレス線A0及びA1を2入力NOR回路121の入力とし、2入力NOR回路121の出力と、論理動作アドレス線A2とを2入力NAND回路122の入力とし、2入力NAND回路122の出力を論理動作データ線D0に出力する論理回路を構成する。また同時に、論理動作アドレス線A3の信号を論理動作データ線D2に出力する接続要素を構成する。

【0070】

20

図18に、図17に示す論理要素及び接続要素の真理値表を示す。図17の論理動作は、入力D0～D3の3つの入力を使用し、1つの出力D0を出力として使用する。一方、図18の接続要素は、入力A3の信号を出力D2に出力する接続要素が構成される。

【0071】

図19は、AD0、AD1、AD2、及びAD3の4つのAD対を有するMLUTによって実現される論理動作及び接続要素の一例を示す図である。図16に示すMLUTと同様に、AD0は、論理動作アドレス線A0と論理動作データ線D0とを有する。AD1は、論理動作アドレス線A1と論理動作データ線D1とを有する。AD2は、論理動作アドレス線A2と論理動作データ線D2とを有する。そして、AD3は、論理動作アドレス線A3と論理動作データ線D3とを有する。上述のように、MLUT30

30

は、3入力1出力の論理動作と、1入力1出力の接続要素との2つの動作を1つのMLUT30で実現する。具体的には、論理動作は、AD対0の論理動作アドレス線A0と、AD対1の論理動作アドレス線A1と、AD対2の論理動作アドレス線A2とを入力として使用する。そして、AD対0の論理動作データ線D0のアドレス線を出力として使用する。また、接続要素は、破線で示すようにAD対3の論理動作アドレス線A3に入力された信号をAD対2の論理動作データ線D2に出力する。

【0072】

以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素の組合せ、変形及びバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理及び請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。

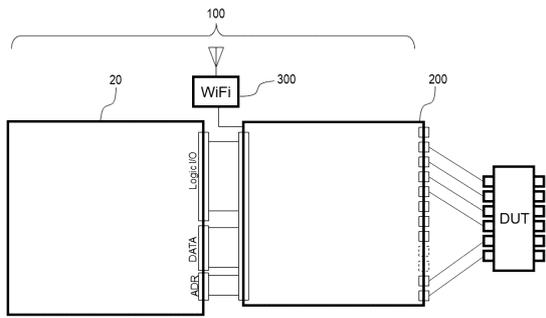
40

【符号の説明】

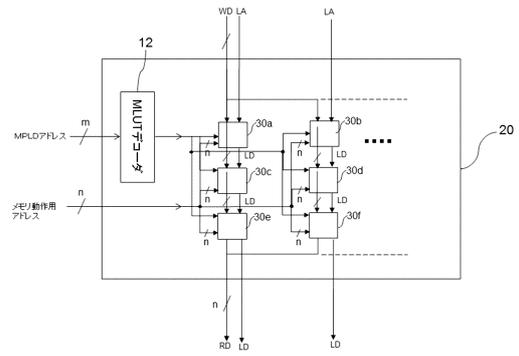
【0073】

20 MPLD
 30 MLUT
 40 a、40 b メモリセルユニット
 100 半導体装置
 200 アナログ回路部

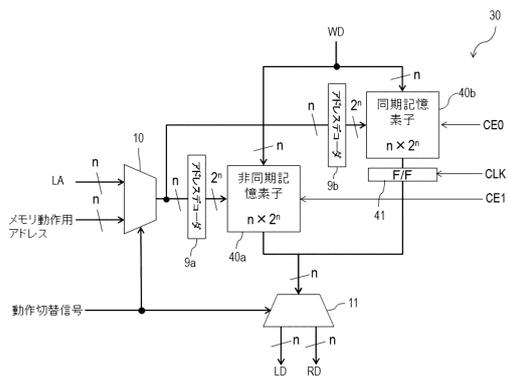
【図1】



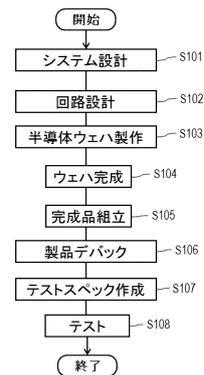
【図2】



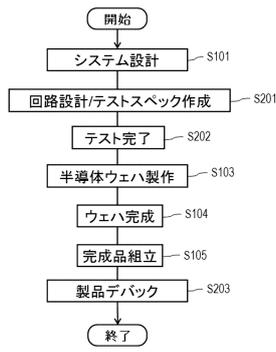
【図3A】



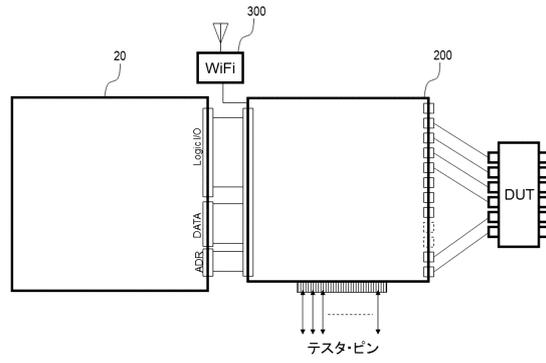
【図4A】



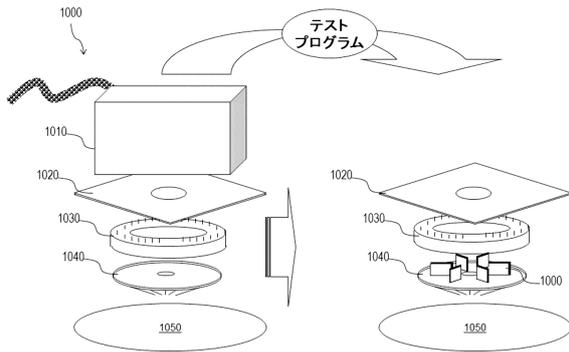
【図4B】



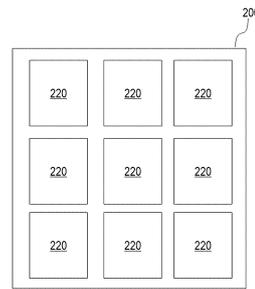
【図5】



【図6】

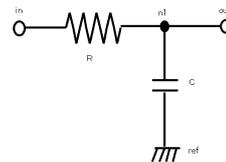
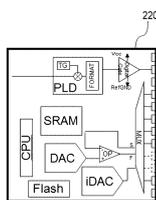


【図8】



【図9A】

【図7】



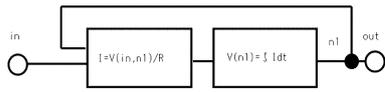
【図9B】

機能レベル記述(Spectre-HDL)

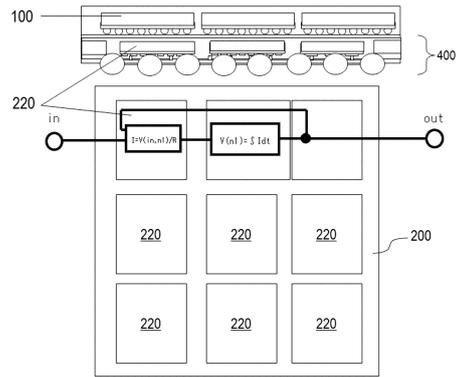
```

module rc_behav(in,out,ref) (R,C)
node [V,1] in,out,ref;
parameter real R=1, C=1;
{
node [V,1] n1;
analog{
I(n1, in) <- V(in,n1)/R;
V(n1,ref) <- integ(I(n1, in),0)/C;
V(out,ref) <- V(n1,ref);
}
}
    
```

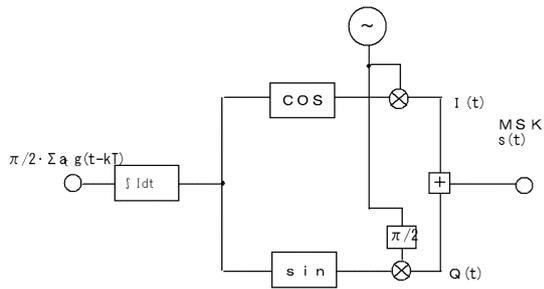
【図9C】



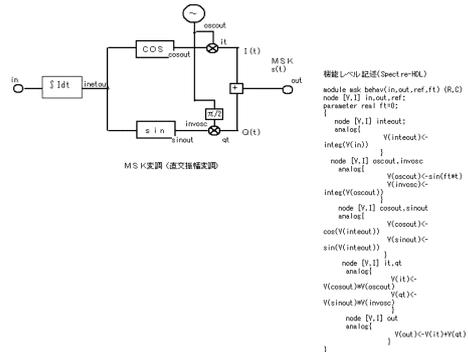
【図9D】



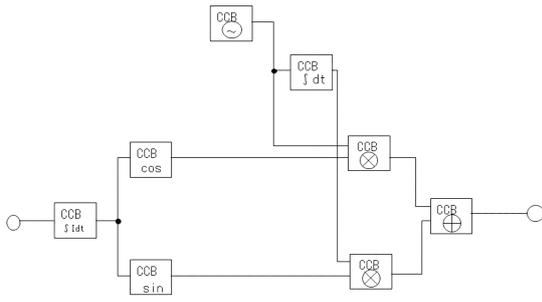
【図10A】



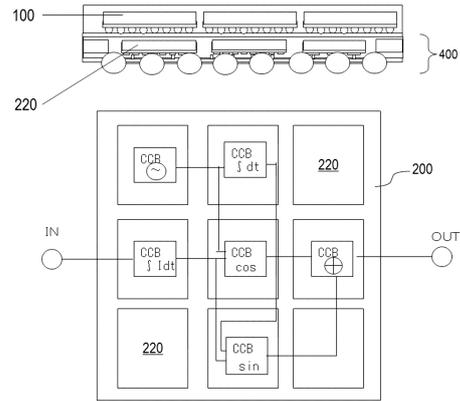
【図10B】



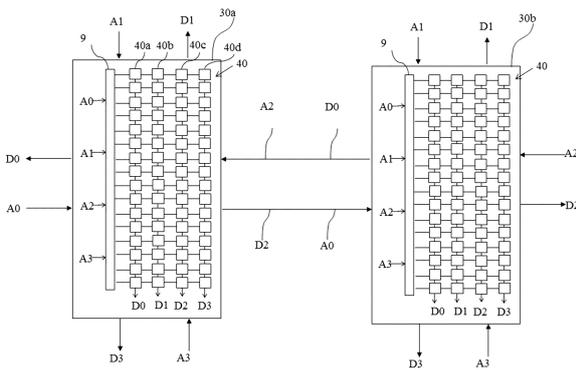
【図10C】



【図10D】



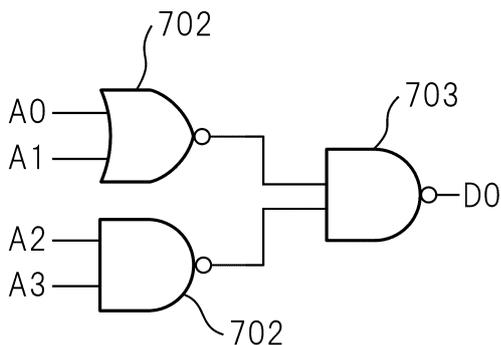
【図11】



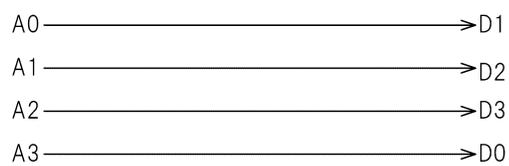
【図13】

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	*	*
1	0	0	0	1	*	*	*
0	1	0	0	1	*	*	*
1	1	0	0	1	*	*	*
0	0	1	0	0	*	*	*
1	0	1	0	1	*	*	*
0	1	1	0	1	*	*	*
1	1	1	0	1	*	*	*
0	0	0	1	0	*	*	*
1	0	0	1	1	*	*	*
0	1	0	1	1	*	*	*
1	1	0	1	1	*	*	*
0	0	1	1	1	*	*	*
1	0	1	1	1	*	*	*
0	1	1	1	1	*	*	*
1	1	1	1	1	*	*	*

【図12】



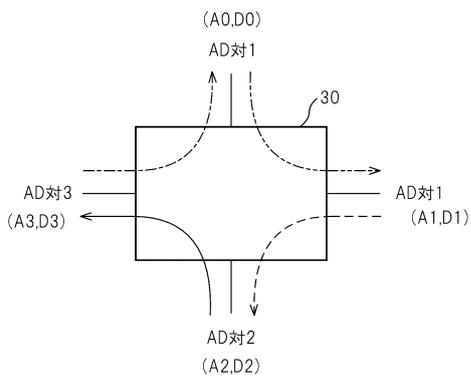
【図14】



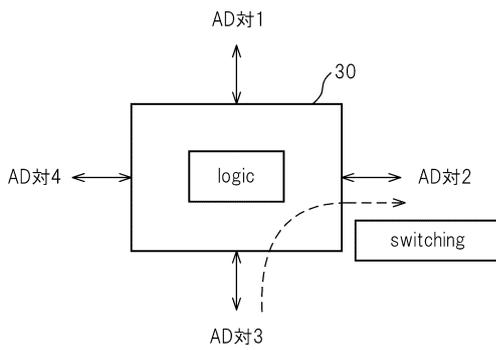
【 図 1 5 】

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
0	1	0	0	0	0	1	0
1	1	0	0	0	1	1	0
0	0	1	0	0	0	0	1
1	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1
1	1	1	0	0	1	1	1
0	0	0	1	1	0	0	0
1	0	0	1	1	1	0	0
0	1	0	1	1	0	1	0
1	1	0	1	1	1	1	0
0	0	1	1	1	0	0	1
1	0	1	1	1	1	0	1
0	1	1	1	1	0	1	1
1	1	1	1	1	1	1	1

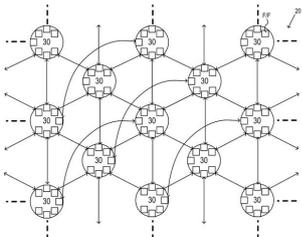
【 図 1 6 】



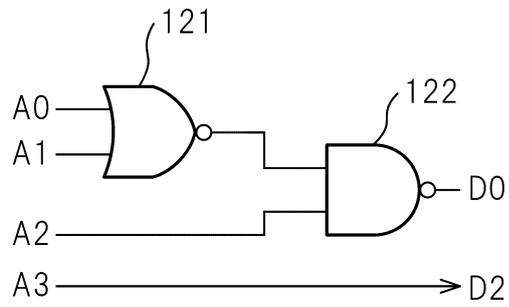
【 図 1 9 】



【 図 3 B 】



【 図 1 7 】



【 図 1 8 】

A0	A1	A2	A3	D0	D1	D2	D3
0	0	0	0	0	*	0	*
1	0	0	0	0	*	0	*
0	1	0	0	0	*	0	*
1	1	0	0	1	*	0	*
0	0	1	0	0	*	0	*
1	0	1	0	0	*	0	*
0	1	1	0	0	*	0	*
1	1	1	0	0	*	0	*
0	0	0	1	0	*	1	*
1	0	0	1	0	*	1	*
0	1	0	1	0	*	1	*
1	1	0	1	1	*	1	*
0	0	1	1	0	*	1	*
1	0	1	1	0	*	1	*
0	1	1	1	0	*	1	*
1	1	1	1	0	*	1	*

フロントページの続き

(56)参考文献 特開平5 - 175466 (JP, A)

特開2004 - 110771 (JP, A)

特表2007 - 502014 (JP, A)

特表平8 - 507188 (JP, A)

特開2010 - 119038 (JP, A)

特開2009 - 237874 (JP, A)

特開2007 - 41781 (JP, A)

特表2005 - 512359 (JP, A)

特表2003 - 523077 (JP, A)

特開平10 - 171847 (JP, A)

宮崎政志、井田一昭、宮崎正和、猿渡達郎、横田英樹、小林浩之、濱田芳樹、杉山裕一、新井理恵、中村裕紀、エンベデッド有機モジュール技術の開発、エレクトロニクス実装学会誌、日本、エレクトロニクス実装学会、2007年 7月 1日、Vol.10 No.4, p298-304

(58)調査した分野(Int.Cl., DB名)

G01R31/00 - 31/44

H01L21/00 - 51/56

H03K19/00 - 19/23