

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/119671 A1

(43) 国際公開日

2010年10月21日(21.10.2010)

PCT

- (51) 国際特許分類:
G11C 13/00 (2006.01) H01L 45/00 (2006.01)
H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2010/002683
- (22) 国際出願日: 2010年4月14日(14.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-099325 2009年4月15日(15.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 池田雄一郎 (IKEDA, Yuuichirou). 島川一彦 (SHIMAKAWA, Kazuhiko). 神澤好彦 (KANZAWA, Yoshihiko). 村岡

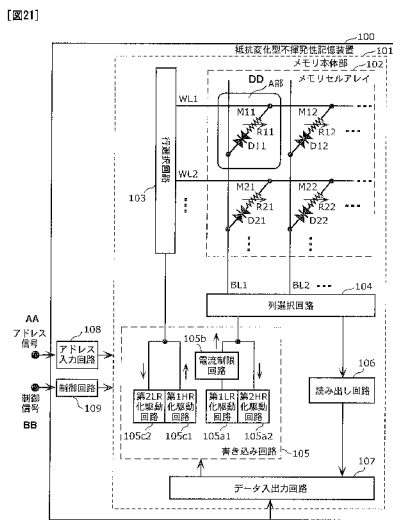
俊作 (MURAOKA, Shunsaku). 東亮太郎 (AZUMA, Ryotaro).

- (74) 代理人: 新居広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: RESISTANCE-CHANGE NON-VOLATILE MEMORY DEVICE

(54) 発明の名称: 抵抗変化型不揮発性記憶装置



- 100 Resistance-change non-volatile memory device
- 101 Memory main unit
- 102 Memory cell array
- 103 Row-selection circuit
- 104 Column-selection circuit
- 105 Write circuit
- 105a1 First LR drive circuit
- 105a2 Second HR drive circuit
- 105b Current control circuit
- 105c1 First HR drive circuit
- 105c2 Second LR drive circuit
- 106 Read circuit
- 107 Data input/output circuit
- 108 Address input circuit
- 109 Control circuit
- AA Address signal
- BB Control signal
- CC DQ (Din & Dout)
- DD Part A

(57) Abstract: A resistance-change non-volatile memory device (100) is provided with memory cells (M11, M12,...), each comprising a resistance-change element (R11, R12,...) and a current control element (D11, D12,...) connected in series. The resistance-change elements constitute a resistance-change layer interposed between a first electrode and a second electrode and provided so as to contact both electrodes. The current control elements constitute a current control layer interposed between a third electrode and a fourth electrode and provided so as to contact both electrodes. To decrease the resistance of the resistance-change elements, said elements are driven by a first LR drive circuit (105a1), via a current control circuit (105b). To increase the resistance of the resistance-change elements, the elements are driven by a second HR drive circuit (105a2). The current control circuit (105b) makes the current lower when decreasing the resistance of the resistance-change elements than when increasing the resistance thereof.

(57) 要約: 抵抗変化型不揮発性記憶装置(100)は、第1電極と前記第2電極との間に介在させ、両電極に接するように設けられた抵抗変化層で構成される抵抗変化素子(R11、R12、...)と、第3電極と前記第4電極との間に介在させ、両電極に接するように設けられた電流制御層で構成される電流制御素子(D11、D12、...)とを直列に接続してなるメモリセル(M11、M12、...)を備え、抵抗変化素子を低抵抗化するときには電流制限回路(105b)を介して第1LR化駆動回路(105a1)で駆動し、高抵抗化するときには第2HR化駆動回路(105a2)で駆動し、電流制限回路(105b)により、抵抗変化素子を低抵抗化するときの電流を、高抵抗化するときの電流よりも小さくする。

WO 2010/119671 A1

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ 添付公開書類:
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, — 国際調査報告 (条約第 21 条(3))
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

明 細 書

発明の名称：抵抗変化型不揮発性記憶装置

技術分野

[0001] 本発明は、電氣的信号に基づいて可逆的に抵抗値が変化する抵抗変化素子と電流制御素子とで構成されたメモリセルを有する抵抗変化型不揮発性記憶装置に関する。

背景技術

[0002] 近年、抵抗変化素子を用いて構成されたメモリセルを有する不揮発性記憶装置の研究開発が進んでいる。抵抗変化素子とは、電氣的信号によって抵抗値が可逆的に変化する性質を有し、さらにはこの抵抗値に対応したデータを、不揮発的に記憶することが可能な素子をいう。

[0003] 抵抗変化素子を用いた不揮発性記憶装置として、直交するように配置されたビット線とワード線との交点の位置に、トランジスタと抵抗変化素子とを直列に接続した、いわゆる1T1R型と呼ばれるメモリセルをマトリクス状にアレイ配置した不揮発性記憶装置が一般的に知られている。また、さらなる高集積化を目指して、直交するように配置されたビット線とワード線との交点の位置に、電流制御素子として機能するダイオード素子と、抵抗変化素子とを直列に接続した、いわゆる1D1R型クロスポイントメモリと呼ばれるメモリセルをマトリクス状にアレイ配置した不揮発性記憶装置や、1D1R型クロスポイントメモリのメモリセルを多層に積層した不揮発性記憶装置も知られている。

[0004] 特許文献1では、希土類酸化膜等のアモルファス薄膜を抵抗変化素子として用いた1T1R型メモリセルで構成された不揮発性記憶装置が示されている。

[0005] 図41は、その中で示されている不揮発性記憶装置のメモリセルの回路図である。

[0006] メモリセル1001は、トランジスタ1002と抵抗変化素子1003と

を電氣的に直列に接続して形成されている。

[0007] ここでは、抵抗変化素子 1003 に用いる材料として、希土類酸化膜等のアモルファス薄膜が開示されており、電極材料として、銅、銀、亜鉛が開示されている。

[0008] 図 4 2 は、その中で示されている不揮発性記憶装置のメモリセルに使用されている抵抗変化素子 1003 の、電圧—電流変化を示す図である。書き込み時には、図 4 1 の V 1、V 2 間に電位差を与えることにより、抵抗変化素子 1003 に +1.1 X [V] 以上の電圧、及び微小な電流を印加し、抵抗変化素子が高抵抗状態から低抵抗状態へと変化する。消去時には、書き込み時と逆極性の電圧を与えることにより、抵抗変化素子 1003 に -1.1 X [V] の電圧、-1.5 Y [A] の電流を印加し、抵抗変化素子が低抵抗状態から高抵抗状態へと変化する。

[0009] 特許文献 1 では、書き込み時において、図 4 1 のトランジスタ 1002 のゲート電圧を制御する等の方法で、トランジスタ 1002 のオン抵抗値を変化させ、抵抗変化素子 1003 が低抵抗化する時の電流値を制御することによって、低抵抗化した後の抵抗変化素子 1003 の抵抗値を制御できること、その原理を多値メモリに応用することが開示されている。

[0010] 特許文献 2 では、ペロブスカイト型結晶構造の材料を抵抗変化素子として用い、バリスタを双方向ダイオード素子として用いた、1D1R型クロスポイントのメモリセルで構成された不揮発性記憶装置が示されている。

[0011] 図 4 3 は、その中で示されている不揮発性記憶装置 1200 のメモリセルアレイの模式図である。メモリセル 1280 は、ダイオード素子 1270 と抵抗変化素子 1260 とを電氣的に直列に接続して形成されている。1210 はビット線、1220 はワード線である。

[0012] 抵抗変化素子 1260 は、電圧印加によって抵抗値が変化する抵抗変化層 1230 を、上部電極 1240 と下部電極 1250 との間に挟持してなる。

[0013] 図 4 4 は、ダイオード素子 1270 の電圧—電流特性である。図 4 4 に示す通り、ダイオード素子は双方向性を有し、閾値電圧 V_{th} 以上の電圧で急

激に電流が増加する非線形、かつ対称な電圧－電流特性を持つ。

[0014] ここでは、抵抗変化層 1 2 3 0 に用いる材料として、マンガン、チタン、ジルコニア、高温超伝導材料、La または Pr の希土類や La と Pr の混晶と Ca や Sr のアルカリ土類金属や Ca と Sr の混晶と MnO_3 を組み合わせたマンガン酸化物、 $Pr_{1-x}Ca_xMnO_3$ ($x=0.3, 0.5$) が開示され、上部電極 1 2 4 0 および下部電極 1 2 5 0 に用いる材料として、Pt、Ir、Ph、Pd 各単体、及び合金、Ir、Ru 等の酸化物導電体、SRO、YBCO が開示されている。ダイオード素子に用いる材料、デバイスとしては、酸化亜鉛と微量の酸化ビスマス等の金属酸化物を焼結した ZnO バリスタや、 $SrTiO_3$ バリスタが開示されている。

[0015] そして、書き込み時において、選択ビット線に V_{pp} 、非選択ビット線に $1/2 V_{pp}$ 、選択ワード線に 0V、非選択ワード線に $1/2 V_{pp}$ を印加し、消去時において、選択ワード線に V_{pp} 、非選択ワード線に $1/2 V_{pp}$ 、選択ビット線に 0V、非選択ビット線に $1/2 V_{pp}$ を印加することが示されている。

[0016] このように特許文献 2 では、1D1R クロスポイント型メモリセルにおいて、ダイオードとして双方向に電流を流すことのできる非線形素子、例えばバリスタを用いることで、書き換え時に双方向に必要な電流を流すことができ、さらには非選択線に与える電位 $1/2 V_{pp}$ が、非線形素子の閾値電圧 V_{th} より低くなるようにこの閾値電圧 V_{th} を最適化することで、非選択セルへの漏れ電流の問題が解消され、メモリセルアレイのアレイサイズを大きくでき、高集積化を図れることが示されている。

先行技術文献

特許文献

- [0017] 特許文献1：特開 2005-235360 号公報（図 1、図 2）
特許文献2：特開 2006-203098 号公報（図 2、図 4）

発明の概要

発明が解決しようとする課題

- [0018] 本願発明者らは、抵抗変化型不揮発性記憶装置の1つとして、酸素不足型の遷移金属酸化物を主たる抵抗変化層材料とする1D1R型クロスポイントメモリのメモリセルで構成された抵抗変化型不揮発性記憶装置を検討している。
- [0019] ここで、酸素不足型の酸化物とは、酸素が化学量論的組成から不足した酸化物をいう。遷移金属の1つであるタンタルの例で言えば、化学量論的な組成を有する酸化物として Ta_2O_5 がある。この Ta_2O_5 では、酸素がタンタルの2.5倍含まれており、酸素含有率で表現すると、71.4%である。この酸素含有率71.4%よりも酸素含有率が低くなった状態の酸化物、すなわち TaO_x と表現したとき、 $0 < x < 2.5$ を満足する非化学量論的な組成を有するTa酸化物を、酸素不足型のTa酸化物と呼ぶ。通常、多くの遷移金属酸化物において、化学量論的組成の酸化物は絶縁体であるが、酸素不足型の酸化物は半導体あるいは導体の特性を示す。
- [0020] 課題を説明するための準備として、酸素不足型のTa酸化物を抵抗変化層とする抵抗変化素子について、測定で得られたいくつかの特性を説明する。
- [0021] 図1は、測定に用いた抵抗変化素子の基本構造を示す模式図である。抵抗変化層3302に酸素不足型のTa酸化物を用い、これをPtで構成される下部電極3301と、同じくPtで構成される上部電極3303でサンドイッチしたような上下対称な構造とした。
- [0022] 以下、この不揮発性素子を素子Aと呼ぶ。なお、素子の名称と電極材料の関係は、実施の形態で説明する素子も含めて、表1に示した。
- [0023]

[表1]

素子名	下部電極材料	上部電極材料
A	Pt	Pt
B	Pt	Pt
C	W	W
D	Ta	Ta
E	TaN	TaN
F	W	Pt
G	W	Ir
H	W	Ag
I	W	Cu
J	W	Ni
K	W	Ta
L	W	Ti
M	W	Al
N	W	TaN

[0024] 図2は、この素子Aの抵抗変化の様子の一例を示す電流－電圧のヒステリシス特性を示すグラフであり、下部電極3301を基準にしたときの上部電極3303の電圧を横軸に表し、素子Aに流れる電流値を縦軸に表している。

[0025] 図2において、最初、抵抗変化素子が低抵抗状態の電圧0VのO点にあるとする。下部電極3301を基準に上部電極3303に正電圧を印加していくと、電流はほぼ電圧に比例して増加し、A点で示す正電圧を超えると急激に電流は減少し、D点に至る。すなわち低抵抗状態から高抵抗状態へ変化（高抵抗化）している様子を示している。

[0026] 一方、高抵抗状態のO点において、下部電極3301を基準に上部電極3303に負電圧（上部電極3303を基準に下部電極3301に正電圧を印

加することと等価)を印加していくと、B点で示す負電圧を超えると急激に電流は増加する。すなわち高抵抗状態から低抵抗状態へ変化(低抵抗化)している様子を示している。なお図2のC点で示す状態の最終的に到達する低抵抗値は、特許文献1で開示されている現象と同様に、低抵抗化時(図2のC点の状態にあるときに相当する時)に流す電流値に依存して決まる現象も確認されている。

[0027] また、図2に示す抵抗変化特性において、C点で示す低抵抗化時の到達点と、A点で示す高抵抗化の開始点は、概ね対称な関係になる特徴がある。すなわちC点に対応する低抵抗化点で、所定の値に制御された電流(C点において、約 -15 mA)を印加することで所望の低抵抗値が得られ、一方高抵抗化するときには、A点に相当する電圧において前記以上の電流能力で印加すれば、安定な抵抗変化動作を実現できることがわかる。

[0028] ところで、本願発明者らは、検討を進める中で、1つの方向の抵抗変化(低抵抗化または高抵抗化)を安定的に生ぜしめる電圧印加方向(駆動極性)は必ずしも一様ではなく、上下電極にPtを用い、抵抗変化層に酸素不足型のTa酸化物を用いて同一材料で作製した抵抗変化素子の中でも、駆動極性が異なるものがあることを見出した。

[0029] 例えば、ある抵抗変化素子は、下部電極3301よりも上部電極3303が高い電圧を正として、上下の電極間に $+2.0\text{ V}$ 、 100 ns のパルス電圧を印加することで低抵抗化し、 -2.6 V 、 100 ns のパルス電圧を印加することで高抵抗化することが確認された。

[0030] また、他の抵抗変化素子は、下部電極3301よりも上部電極3303が高い電圧を正として、上下の電極間に -2.0 V 、 100 ns のパルス電圧を印加することで低抵抗化し、 $+2.7\text{ V}$ 、 100 ns のパルス電圧を印加することで高抵抗化することが確認された。

[0031] 図3(a)、図3(b)は、これらの抵抗変化素子について、低抵抗化を引き起こすパルス電圧と高抵抗化を引き起こすパルス電圧とを交互に印加し続けたときの、その都度の抵抗値を表したグラフである。横軸は加えた電気

的なパルスの数を表し、縦軸は抵抗値を表している。

[0032] 図3(a)に示されるように、ある抵抗変化素子は、最初、約33kΩの高抵抗状態にあり、+2.0Vのパルス電圧の印加で約500Ωの低抵抗状態に変化し、次に-2.6Vのパルス電圧の印加で約40kΩの高抵抗状態に変化した後、下部電極3301に対し上部電極3303に正のパルス電圧の印加による低抵抗化と、下部電極3301に対し上部電極3303に負のパルス電圧の印加による高抵抗化とを繰り返す。

[0033] この抵抗変化の方向と印加電圧の極性との関係を、便宜的にAモードと呼ぶ。

[0034] 図3(b)に示されるように、別の抵抗変化素子は、最初、約42kΩの高抵抗状態にあり、-2.0Vのパルス電圧の印加で約600Ωの低抵抗状態に変化し、次に+2.7Vのパルス電圧の印加で約40kΩの高抵抗状態に変化した後、下部電極3301に対し上部電極3303に負のパルス電圧の印加による低抵抗化と、下部電極3301に対し上部電極3303に正のパルス電圧の印加による高抵抗化とを繰り返す。

[0035] この抵抗変化の方向と印加電圧の極性との関係を、便宜的にBモードと呼ぶ。図2に示した電圧-電流ヒステリシス特性は、このBモードに対応している。

[0036] なお、上述のパルス電圧値は、パルス発生器の設定出力電圧値を指しており、抵抗変化素子の両端間に印加されている実効的な電圧値は、測定系を通じた電圧降下のためこれより小さな電圧値と考えられる。

[0037] このような結果が得られた素子Aにおいて、上部電極3303と下部電極3301はいずれもPtからなり、それらに挟まれた酸素不足型のTa酸化物で構成される抵抗変化層3302は、電極に対して電気的には上下対称な関係である。

[0038] このため、抵抗変化特性としてAモード及びBモードのいずれが出現するかは必ずしも自明ではなく、経験則や実証的な測定結果に基づいていた。そしてこれらの現象は、抵抗変化のメカニズムにおいて解明されていない何ら

かの異方性要因により定まっていると予想される。

- [0039] ところでバイポーラ型の抵抗変化素子を用いた1D1R型クロスポイント型メモリの書込み動作は、トランジスタで構成された1T1R型メモリの場合と異なり、特許文献2でも示されているように、書き込みのため選択されるメモリセルと、それ以外の非選択メモリセルとの区別が、メモリセルの両端にかかる電圧の差異で行われる。
- [0040] また、抵抗変化素子に設定される低抵抗値は、低抵抗化時に流す電流量で決まることから、低抵抗化する方向、例えばワード線側を基準にしてビット線側に正の電圧を印加し、所望の低抵抗値設定に相当する電流量を流す駆動回路（以下、LR化駆動回路と称す）をビット線駆動回路として構成すればよい。また高抵抗化は、抵抗変化素子の電圧－電流特性で概ね対称な電圧、電流で変化することから、低抵抗化方向とは逆の向きに、例えばビット線側を基準にしてワード線側に正の電圧を印加でき、かつ少なくともLR化時以上の電流量を流すことができる駆動回路（以下、HR化駆動回路と称す）をワード線駆動回路として構成すればよい。また非選択メモリセルは、これらの電圧を印加しても電流が流れないような閾値電圧 V_{th} を有する電流制御素子で構成することが考えられる。
- [0041] しかしながら、抵抗変化素子の変化方向であるAモードまたはBモードが必ずしも一律ではない場合、次の課題が考えられる。
- [0042] 第1の課題は、Aモード、Bモードの出現が想定とは逆になった場合、抵抗変化素子に所望の抵抗値を設定できないことである。
- [0043] Aモード、Bモードの出現が想定とは逆になると、低抵抗化書き込みは本来の電流駆動能力より高いHR化駆動回路で行うため、抵抗値は想定より、より低く設定されてしまう。また高抵抗化書き込みは、本来の駆動能力より低いLR化駆動回路で行うことになる。このため、想定よりさらに低い抵抗値に設定された抵抗変化素子を高抵抗化する必要があるが、それに必要な電流量が不足し、安定した抵抗変化動作ができないという課題が生じる。
- [0044] このような場合には、高抵抗化に際してより高い電圧を印加して電流を供

給することにより高抵抗化動作を行い、安定した抵抗変化動作を行うことも考えられる。しかし所望の抵抗値とは異なる抵抗値に書き込まれるため、読み出し性能を一律にできず、その結果安定した性能の製品を提供できない課題が生じる。また、高い電圧が必要となるため、低電圧化を阻害する課題や、後述の第2の課題にも繋がる。

[0045] またAモードとBモードの両方が出現する可能性を想定して、LR化駆動回路とHR化駆動回路の両方をワード線駆動回路とビット線駆動回路の両方に用意し、AモードとBモードの出現状態に応じて切り替える方法が考えられるが、その状態に応じて設定を切り替える複雑さや、チップ面積の増大に繋がるという課題が生じる。

[0046] 第2の課題は、メモリセル、特に電流制御素子の信頼性に関する課題である。特許文献2では1D1R型クロスポイントメモリに用いられる電流制御素子として、ZnOバリスタやSrTiO₃バリスタといったダイオードを用いることで、所定の電流を駆動できることが開示されている。本発明者らは、半導体プロセスとより親和性のある材質の電流制御素子として、後述のSiN系の材料でダイオードを構成する研究を進めている。

[0047] ダイオード素子は一般的に、印加電圧に対し、非線形な電流特性を有し、所定の閾値電圧 V_{th} 以上で急激に電流が増加する特性をもつ。この閾値電圧 V_{th} の設定を制御できること、および閾値電圧 V_{th} 以上の電圧でいかに多くの電流を流せるかということが、高集積化や低電圧化に重要である。反面、電流密度の増大は熱的要因によるダイオード性能の劣化に繋がるため、必要以上の電流は流さない構成にすることが信頼性の観点から重要である。

[0048] AモードとBモードが想定とは逆になった場合、第1の課題で説明した通り、高抵抗化に際してより高い電圧を印加してより多くの電流を供給することで、高抵抗化動作は可能であるが、ダイオード特性を劣化させる可能性を有する課題がある。

[0049] 本発明は、このような事情を鑑みてなされたものであり、抵抗変化素子を

用いた1D1R型クロスポイントメモリの不揮発性記憶装置について、抵抗変化素子の抵抗変化特性のAモード及びBモードの出現を制御可能とし、駆動回路とメモリセルとの接続関係を特定することにより、抵抗変化素子に所望の抵抗値を設定でき、安定した抵抗変化ができる制御技術を提供するとともに、電流制御素子の信頼性を高める制御技術を提供することを目的としている。

課題を解決するための手段

[0050] 上記の課題を解決するために、本発明の不揮発性記憶装置は、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極の間に配置させた抵抗変化膜とで構成され、前記第1の電極と前記第2の電極間に予め定められた極性の電圧が印加されると第1範囲に属する抵抗値の低抵抗状態に変化しかつ前記極性とは逆の極性の電圧が印加されると前記第1範囲よりも高い第2範囲に属する抵抗値の高抵抗状態に変化する抵抗変化素子と、2端子の電流制御素子とを直列に接続してなる複数のメモリセルと、互いに交差する複数の第1信号線および複数の第2信号線と、前記複数のメモリセルを前記複数の第1信号線と前記複数の第2信号線との交差点に配置し、各交差点に配置されたメモリセルの両端を交差する1組の前記第1信号線と前記第2信号線とに接続してなるメモリセルアレイと、前記複数のメモリセルに前記複数の第1信号線および前記複数の第2信号線を介して印加される両極性の電圧を発生する書き込み回路と、前記書き込み回路から前記複数のメモリセルへ流れる電流の経路に挿入され、前記複数のメモリセルを低抵抗状態に変化させる方向の電流のみを制限する電流制限回路とを備え、前記各メモリセルにおいて、前記抵抗変化素子は、第1電極と、第2電極と、前記第1電極と前記第2電極との間に介在させ、前記第1電極と前記第2電極と接するように設けられた抵抗変化層からなり、前記抵抗変化層は、主たる抵抗変化材料として金属の酸化物を含み、前記第1電極と前記第2電極とは、異なる元素で構成される材料によって構成され、前記第1電極の標準電極電位 V_1 と、前記第2電極の標準電極電位 V_2 と、前記抵抗変化層を主として構成する金属の標準

電極電位 V_1 とが、 $V_1 < V_2$ かつ $V_1 < V_2$ を満足する。

[0051] このような構成によれば、前記複数の第1信号線および前記複数の第2信号線を、例えば、それぞれ複数のビット線および複数のワード線として想定し、ワード線を基準にしてビット線に正の電圧が印加されることで抵抗変化素子が前記低抵抗状態に変化し、ビット線を基準にしてワード線に正の電圧が印加されることで抵抗変化素子が前記高抵抗状態に変化するように、各メモリセルを構成することができる。

[0052] このようにして、前記複数のメモリセルを低抵抗状態に変化させる電流の方向を固定した上で、固定された方向の電流を前記電流制限回路にて制限することで、低抵抗状態に変化させるときは、高抵抗状態に変化させるときよりも少ない電流を供給することによって、想定以上の電流がメモリセルに流れることを防止できる。

[0053] その結果、抵抗変化素子にばらつきが少なく、所望の抵抗値を設定することが可能となり、また、電流制御素子の信頼性低下、破壊を防止することができる。

発明の効果

[0054] 本発明の不揮発性記憶装置によると、各メモリセルにおいて、抵抗変化素子の第1電極を基準にして第2電極に正の電圧を印加することで高抵抗化し、抵抗変化素子の第2電極を基準にして第1電極に正の電圧を印加することで低抵抗化するように、抵抗変化素子を構成した上で、第1電極側に電流制限回路を介してLR化駆動回路を接続し、第2電極側にHR化駆動回路を接続して構成される。

[0055] 一般的に、抵抗変化素子を高抵抗化させる場合、低抵抗化させる場合と比べて、低い抵抗値の状態にある抵抗変化素子に抵抗変化を起こすだけの電圧を発生させるために、より多くの駆動電流が必要となる。

[0056] そこで、高抵抗化させるときは、抵抗変化素子の第2電極側に接続したHR化駆動回路から電流を供給し、一方、低抵抗化させるときは、電流制限回路を介して、抵抗変化素子の第1電極側に接続したLR化駆動回路から電流

を供給し、前記電流制限回路を制御することにより、高抵抗化するときよりも少ない電流を供給することによって、想定以上の電流がメモリセルに流れることを防止し、抵抗変化素子にばらつきが少なく、所望の抵抗値を設定することが可能となる。同様に想定以上の電流がメモリセルに流れることを防止できるため、電流制御素子の信頼性低下、破壊を防止することができる。

[0057] また、抵抗変化現象は抵抗変化層と電極材料との間の相互作用であり、抵抗変化材料だけではなく、特定の電極材料との組合せが重要となる。例えば電極として、Pt（白金）やIr（イリジウム）などの比較的高価な材料と組み合わせる場合、一方の電極だけに使用し、他方の電極はW（タングステン）などのできるだけ安価な材料で構成できることが望ましい。そのような場合において、電極と駆動回路との接続関係を、確実に決定することができる。

図面の簡単な説明

[0058] [図1] 図1は、本発明の基礎データとしての不揮発性記憶素子の基本構造を示す模式図である。

[図2] 図2は、本発明の基礎データとしての不揮発性記憶素子の抵抗変化における電流－電圧のヒステリシス特性の一例を示す図である。

[図3] 図3（a）、（b）は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係の一例を示す図である。

[図4] 図4は、本発明の基礎データとしての不揮発性記憶素子のTa酸化物層の組成の解析結果を示す図である。

[図5] 図5は、本発明の基礎データとしての不揮発性記憶素子の構成を示す断面図である。

[図6] 図6（a）、（b）は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図7] 図7（a）、（b）は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図8] 図8（a）、（b）は、本発明の基礎データとしての不揮発性記憶素子

の抵抗値と電気パルス印加回数との関係を示す図である。

[図9] 図9 (a)、(b) は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図10] 図10 (a)、(b) は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図11] 図11 (a)、(b) は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図12] 図12 は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図13] 図13 (a) ~ (h) は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図14] 図14 は、本発明の基礎データとしての不揮発性記憶素子の電極材料種と標準電極電位の関係を示す図である。

[図15] 図15 (a)、(b) は、本発明の基礎データとしての不揮発性記憶素子の動作を説明するための断面模式図である。

[図16] 図16 (a)、(b) は、本発明の基礎データとしての不揮発性記憶素子の動作を説明するための断面模式図である。

[図17] 図17 は、本発明の基礎データとしての不揮発性記憶素子のH f 酸化物層の組成の解析結果を示す図である。

[図18] 図18 (a)、(b) は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図19] 図19 (a) ~ (g) は、本発明の基礎データとしての不揮発性記憶素子の抵抗値と電気パルス印加回数との関係を示す図である。

[図20] 図20 は、本発明の基礎データとしての不揮発性記憶素子の電極材料種と標準電極電位の関係を示す図である。

[図21] 図21 は、本発明の第1の実施形態に係る抵抗変化型不揮発性記憶装置の構成図である。

[図22] 図22 は、本発明の第1の実施形態に係るメモリセルの構成を示す断

面図である。

[図23]図23は、本発明の実施形態に係る書き込み回路の実施形態を示す回路図である。

[図24]図24は、本発明の実施形態に係るメモリセルの電流電圧特性を示す実測データを示す図である。

[図25]図25(a)、(b)は、本発明の実施形態に係る書き込み用電流経路の等価回路図、及びその特性を表す図である。

[図26]図26は、本発明の第1の実施形態に係る抵抗変化型不揮発性記憶装置の別の構成図である。

[図27]図27は、本発明の第1の実施形態に係る抵抗変化型不揮発性記憶装置の別の構成図である。

[図28]図28(a)、(b)は、本発明の実施形態に係る別の書き込み系電流経路の等価回路図、及びその特性を表す図である。

[図29]図29(a)、(b)は、本発明の実施形態に係る別の構成の場合の書き込み系電流経路の等価回路図である。

[図30]図30は、本発明の第1の実施形態に係る抵抗変化型不揮発性記憶装置の別の構成図である。

[図31]図31(a)、(b)は、本発明の第1の実施形態に係る抵抗変化型不揮発性記憶装置の動作タイミングの説明図である。

[図32]図32(a)～(d)は、本発明の第1の実施形態に係るメモリセルの展開例を示す断面図である。

[図33]図33は、本発明の第1の実施形態に係るメモリセルの別の構成を示す断面図である。

[図34]図34(a)～(c)は、本発明の第1の実施形態に係るメモリセルの展開例を示す断面図である。

[図35]図35は、本発明の第2の実施形態に係る抵抗変化型不揮発性記憶装置の構成図である。

[図36]図36は、本発明の第2の実施形態に係るメモリセルの構成を示す断

面図である。

[図37]図37(a)、(b)は、本発明の第2の実施形態に係る抵抗変化型不揮発性記憶装置の動作タイミングの説明図である。

[図38]図38(a)～(d)は、本発明の第2の実施形態に係るメモリセルの展開例を示す断面図である。

[図39]図39は、本発明の第2の実施形態に係るメモリセルの別の構成を示す断面図である。

[図40]図40(a)～(c)は、本発明の第2の実施形態に係るメモリセルの展開例を示す断面図である。

[図41]図41は、従来の抵抗変化型不揮発性記憶装置のメモリセルの回路図である。

[図42]図42は、従来の抵抗変化型不揮発性記憶装置の抵抗変化素子の電圧－電流特性図である。

[図43]図43は、従来の抵抗変化型不揮発性記憶装置のメモリセルの模式図である。

[図44]図44は、従来の抵抗変化型不揮発性記憶装置の非線形素子の電圧－電流特性図である。

発明を実施するための形態

[0059] 以下、本発明の実施形態について、図面を参照しながら詳細に説明する。

[0060] 本発明の実施の形態における抵抗変化型不揮発性記憶装置は、抵抗変化素子と電流制御素子とを直列に接続してなる1D1R型の複数のメモリセルを用いたクロスポイント型の不揮発性記憶装置であって、抵抗変化素子の抵抗変化特性のモードを固定するとともに、固定されるモードに応じて駆動回路の構成を最適化するものである。

[0061] [本発明の基礎データ]

準備として、本発明の抵抗変化型不揮発性記憶装置の抵抗変化素子に用いられる2種類の抵抗変化材料に関する基礎的なデータを説明する。

[0062] これらの抵抗変化素子は、異種の材料で構成される上下の電極で、それぞ

れ酸素不足型のタンタル酸化物で構成される抵抗変化層、及び酸素不足型のハフニウム酸化物で構成される抵抗変化層を挟んで構成される。

[0063] これらの抵抗変化素子は、可逆的に安定した書き換え特性を有する、抵抗変化現象を利用した不揮発性記憶素子を得ることを目的として本願発明者らにより発明されたものであり、それぞれ、関連特許出願である国際公開第2009/050833号、及び国際公開第2009/136467号で詳細に説明されている。

[0064] これらの抵抗変化素子が有している、抵抗変化特性を前述のAモード及びBモードのいずれか意図した一方に固定できるという特徴を、本発明の抵抗変化型不揮発性記憶装置に利用する。以下では説明のために、前記関連特許出願の内容の一部を引用する。

[0065] なお、本明細書において、「抵抗変化素子」と「抵抗変化型の不揮発性記憶素子（または、短く、不揮発性記憶素子）」とを同義で用いる。

[0066] [抵抗変化層に酸素不足型のタンタル（Ta）酸化物を用いた抵抗変化素子]

まず、酸素不足型のTa酸化物を使ったバイポーラ動作する抵抗変化型の不揮発性記憶素子に関する第1の実験について説明する。

[0067] この実験では、酸素不足型のTa酸化物を使ったバイポーラ動作する抵抗変化型の不揮発性記憶素子を、上下のどちらかの電極近傍でのみ抵抗変化が起こりやすく構成することによって、可逆的に安定した書き換え特性が得られるかを検証した。

[0068] この検証のため、抵抗変化の起きやすさが電極の材料種によって変化すると想定して、異種材料の上下電極で酸素不足型のTa酸化物を挟んだ構造の抵抗変化素子を作製し、抵抗変化特性を測定した。

[0069] 以下では、この実験の結果について説明する。

[0070] なお、この検証結果を説明する前に、酸素不足型のTa酸化物層の形成方法や、酸素含有率の好適な範囲を説明する。

[0071] その後、抵抗変化の起こりやすさが電極材料に依存するかどうかの確認を

行うため、白金（Pt）、タングステン（W）、タンタル（Ta）、窒化Ta（Ta₂N₅）で構成される電極でTaO_x層を挟んだ構造を形成し、電気パルスによる抵抗変化現象の様子を調べた結果について述べる。

[0072] そして最後に、動作しやすい電極材料と動作しにくい電極材料で酸素不足型のTa酸化物を挟み込んだ構造の抵抗変化素子の抵抗変化の測定結果について述べる。

[0073] [スパッタリング時の酸素流量比とTa酸化物層の酸素含有率との関係]
まず、本実験における酸素不足型のTa酸化物層の作製条件及び酸素含有率の解析結果について述べる。

[0074] 酸素不足型のTa酸化物層は、TaターゲットをアルゴンArとO₂ガス雰囲気中でスパッタリングする、いわゆる、反応性スパッタリングで作製した。本実験での具体的な酸素不足型のTa酸化物の作製方法は次の通りである。

[0075] まずスパッタリング装置内に基板を設置し、スパッタリング装置内を7×10⁻⁴Pa程度まで真空引きする。Taをターゲットとして、パワーを250W、Arガスと酸素ガスとをあわせた全ガス圧力を3.3Pa、基板の設定温度を30℃にし、スパッタリングを行った。ここでは、Arガスに対するO₂ガスの流量比を0.8%から6.7%まで変化させた。

[0076] まずは、組成を調べる事が目的であるため、基板としては、シリコン（Si）上に酸化シリコン（SiO₂）を200nm堆積したものをを用い、Ta酸化物層の膜厚は約100nmになるようにスパッタリング時間を調整した。

[0077] このようにして作製したTa酸化物層の組成をラザフォード後方散乱法（RBS法）、及びオージェ電子分光法（AES法）によって解析した結果を図4に示す。

[0078] この図から、酸素流量比を0.8%から6.7%に変化させた場合、Ta酸化物層中の酸素含有率は約35at%（TaO_{0.66}）から約70at%（TaO_{2.3}）へと変化していることが分かる。

[0079] 以上の結果より、Ta酸化物層中の酸素含有率を酸素流量比によって制御

可能である事と、T aの化学量論的な酸化物である $T a_2O_5$ ($T aO_{2.5}$)の酸素含有率71.4at%よりも酸素が不足している、酸素不足型のT a酸化物が形成されている事が明らかとなった。

[0080] なお、本実験では、T a酸化物層の解析にラザフォード後方散乱法 (RBS) 及びオージェ電子分光法 (AES) を利用したが、蛍光X線分析法 (XPS) や電子線マイクロアナリシス法 (EPMA) 等の機器分析手法も利用可能である。

[0081] [酸素不足型のT a酸化物層の組成と抵抗変化特性]

以上のように作製した酸素不足型のT a酸化物のうち、どの程度の酸素含有率を有する酸素不足型のT a酸化物が抵抗変化を示すのかを調べた。ここで酸素不足型のT a酸化物層を挟む電極の材料として用いたのは、上下の電極ともに白金 (Pt) である。

[0082] 上下にPtを用いた場合は、上述のように、バイポーラ型の抵抗変化型の不揮発性素子としては不適當である。しかしながら、Ptは後述するように、抵抗変化を非常に示しやすい電極材料であり、ある酸素含有率を有する酸素不足型のT a酸化物が抵抗変化を示すか否かの判定を行うには最も好適な材料である。

[0083] 以上のような理由から、図5のような不揮発性記憶素子500を形成した。

[0084] すなわち、単結晶シリコン基板501上に、厚さ200nmの酸化物層502を熱酸化法により形成し、下部電極503としての厚さ100nmのPt薄膜を、スパッタリング法により酸化物層502上に形成した。

[0085] その後、T aをターゲットとして、反応性スパッタリングによって酸素不足型のT a酸化物層504を形成した。本実験で検討した範囲では、上記の分析試料と同様に、酸素ガスの流量比を、0.8%から6.7%まで変化させて不揮発性記憶素子を作製した。酸素不足型のT a酸化物層504の膜厚は30nmとした。

[0086] その後、酸素不足型のT a酸化物層504の上に、上部電極505として

の厚さ150nmのPt薄膜をスパッタ法により堆積した。

- [0087] 最後にフォトリソグラフィ工程とドライエッチング工程によって、素子領域506を形成した。なお、素子領域506は、直径が3 μ mの円形パターンである。
- [0088] 以上のように作製した不揮発性記憶素子の抵抗変化現象を測定した。その結果、図4の α 点（酸素流量比約1.7%、酸素含有率約45at%）から β 点（酸素流量比約5%、酸素含有率約65at%）のTa酸化膜を使った不揮発性記憶素子では、高抵抗値が低抵抗値の5倍以上と良好であった。
- [0089] 図6(a)、図6(b)は、それぞれ、 α 点及び β 点の酸素含有率を有するTa酸化物層を使った不揮発性記憶素子についてのパルス印加回数に対する抵抗変化特性を測定した結果である。
- [0090] 図6(a)、図6(b)によれば、 α 点及び β 点の酸素含有率を有するTa酸化物層を使った素子では、共に、高抵抗値が低抵抗値の5倍以上と良好であることが判る。
- [0091] 従って、酸素含有率が45~65at%の組成範囲、即ち抵抗変化層をTaO_xと表記した場合におけるxの範囲が0.8 \leq x \leq 1.9の範囲がより適切な抵抗変化層の範囲であると言える（酸素含有率=45at%がx=0.8に、酸素含有率=65at%がx=1.9にそれぞれ対応）。なおこの最適条件については、国際公開第2008/059701号にて詳しく説明されている。
- [0092] [W、Ta、Ta₂N₅を上下の電極材料に用いた抵抗変化素子の抵抗変化特性]
- 次に、抵抗変化の起こりやすさが、電極材料に依存するかどうかの確認を行うため、Pt以外の材料として、W、Ta、Ta₂N₅から成る下部電極503と上部電極505で酸素不足型のTa酸化物層504を挟んだ構造を作製し、電気パルスによる抵抗変化の様子を調べた結果について説明する。
- [0093] なお、ここでも抵抗変化の起こりやすさだけを評価する目的で実験を行ったので、上下の電極材料は同一とした。また、使用した酸素不足型のTa酸

化物の酸素含有率は、好適な酸素含有率の範囲のほぼ中間の58at% (TaO_{1.38})とした。素子の形成方法は上記とほぼ同じであり、Pt、W、Ta、Ta₂Nのいずれもスパッタリング法によって堆積した。

[0094] まず、比較のため、下部電極503と上部電極505のいずれもPtで構成される薄膜により形成した不揮発性記憶素子（以下、素子Bと表す）の抵抗変化特性について述べる。

[0095] 図7(a)、図7(b)は、このようにして作製した素子Bの電気パルスによる抵抗変化の測定結果である。

[0096] 図7(a)は、下部電極503と上部電極505の間には、パルス幅が100nsで、下部電極503を基準として上部電極505に+3.0Vと-1.5Vの電圧を有する電气的パルスを交互に印加した時の抵抗の測定結果である。

[0097] この場合、+3.0Vの電圧の電気パルスを印加する事で抵抗値は800~1000Ω程度となり、-1.5Vの電圧の電気パルスを印加した場合は、150Ω程度と変化していた。すなわち、上部電極505に下部電極503よりも高い電圧の電気パルスを加えた時に高抵抗化する変化するBモードの特性を示した。

[0098] また、詳細は省略するが、追加的な実験から、このときの抵抗変化は上部電極505の近傍で生じていることを推認する結果が得られた。

[0099] 次に、印加する電圧のバランスを変化させ、負の電圧を大きくした場合の結果が図7(b)である。この場合、下部電極503に対して上部電極505に-3.0Vと+1.5Vの電圧の電气的パルスを印加した。すると、-3.0Vの電気パルスを印加した時に、高抵抗化し、抵抗値は600~800Ω程度となり、+1.5Vの電気パルスを印加した時に低抵抗化して、抵抗値は150Ω程度となっている。すなわち、上部電極505に下部電極503よりも高い電圧の電気パルスを加えた時に低抵抗化しており、図7(a)を測定した時と、正反対のAモードの特性を示した。

[0100] また、詳細は省略するが、追加的な実験から、このときの抵抗変化は下部

電極 503 の近傍で生じていることを推認する結果が得られた。

[0101] 次に、下部電極 503 と上部電極 505 のいずれも W で構成される薄膜により形成した不揮発性記憶素子（以下、素子 C と表す）の抵抗変化特性について述べる。

[0102] 図 8 (a)、図 8 (b) は、このようにして作製した素子 C の電気パルスによる抵抗変化の測定結果である。

[0103] 図 8 (a) は、上部電極 505 の近傍での抵抗変化に起因する B モードを発生させることを目的に、下部電極 503 を基準にして上部電極 505 に +7 V と、-5 V を交互に印加した時の抵抗値の変化を示す。

[0104] 図 8 (a) から分かるように、パルス数が 30 回程度まででは、弱いながらも、B モードでの抵抗変化が観測されており、+7 V の電気パルスを印加した時に高抵抗化し、-5 V の電気パルスを印加した時に低抵抗化している。しかしながら、パルス数が 30 回を超えると、抵抗変化がほとんど観測されなくなっている。

[0105] 逆に下部電極 503 の近傍での抵抗変化に起因する A モードを発生させることを目的に、上部電極 505 に +5 V と、-7 V を交互に印加した時の抵抗値の変化を図 8 (b) に示す。

[0106] 図 8 (b) から分かるように、この場合はほとんど抵抗値の変化は観測されおらず、抵抗値は 30 Ω 程度で一定の値になっている。

[0107] ここで図 7 (a) の上下の電極を Pt で形成した素子 B の結果と図 8 (a) の結果を比較すると、W を電極に使用した時、明らかに抵抗変化が起こりにくくなっているのが分かる。

[0108] 素子 B の測定結果である図 7 (a) では、低抵抗状態の抵抗値は 150 Ω、高抵抗状態の抵抗値は約 1000 Ω と、比率にして 7 倍程度の変化をしているのに対し、W を電極材料に使用した素子 C の測定結果である図 8 (a) では、大きく抵抗変化している範囲でも、高々、50 Ω と 100 Ω の間で抵抗変化が起こっているだけであり、比率としては、2 倍程度の変化をしているだけである。

- [0109] 印加している電圧も、図7(a)の測定時は、+3.0Vと-1.5Vであるのに対し、図8(a)では、+7Vと-5Vと非常に高い電圧を印加しているにも関わらず、ほとんど抵抗変化が見られていない。
- [0110] 以上のように、Wを電極に使用した場合、電極にPtを使用した場合に比べて、明らかに抵抗変化が起こりにくい事がわかる。
- [0111] 以上の結果は、酸素不足型のTa酸化物を抵抗変化層に用いた抵抗変化素子の動作は、使用する電極の材料に非常に強く依存する事を意味している。すなわち、少なくとも、Ptを電極に用いた場合は抵抗変化が起こりやすく、Wを電極に用いた場合、抵抗変化は起こりにくいのは明らかである。
- [0112] また、詳しくは説明しないが、TaやTa₂N₅を上下の電極に用いた抵抗変化素子も作製し、抵抗変化特性の測定を行った。
- [0113] 図9(a)、図9(b)は下部電極503と上部電極505のいずれにも、Taを用いた素子Dの抵抗変化特性である。
- [0114] 図9(a)は、上部電極505に+7Vと-5Vの電気パルスを加えた場合で、図9(b)は上部電極505に+5Vと-7Vの電気パルスを加えた場合の測定結果である。いずれの場合も、ほとんど抵抗変化は起こっていない。
- [0115] また、図10(a)は下部電極503と上部電極505のいずれにも、Ta₂N₅を用いた素子Eの抵抗変化特性である。図10(a)は、上部電極505に+7Vと-5Vの電気パルスを加えた場合で、図10(b)は上部電極505に+5Vと-7Vの電気パルスを加えた場合の測定結果である。この場合も、ほとんど変化していないと言ってよい程度の抵抗変化しか起こっていない。
- [0116] 以上のように、W以外にも抵抗変化が起こりにくい材料は存在する。
- [0117] [WとPtを電極に用いた抵抗変化素子の抵抗変化特性]
- 次に抵抗変化を起こしやすい材料であるPtと、抵抗変化を起こしにくい材料でかつ、プロセス安定性の高い材料であるWで酸素不足型のTa酸化物を挟み込んだ形の抵抗変化素子である素子Fの抵抗変化特性について述べる

- 。
- [0118] 用意した素子は、下部電極503としてW薄膜を用い、上部電極505としてPt薄膜を用いて作製した。W薄膜とPt薄膜は、それぞれ、WターゲットとPtターゲットをArガス中でスパッタリングする事で堆積した。
- [0119] 以上のようにして作製した素子Fの電気パルスによる抵抗変化の様子を図11(a)、図11(b)に示す。
- [0120] 図11(a)は、上部電極505の近傍での抵抗変化を起こさせる(Bモード)事を目的に、下部電極503を基準にして上部電極505に+2.5Vと、-1.5Vを交互に印加した時の抵抗値の変化である。この場合、抵抗値は、+2.5Vの電気パルスを印加した時には約600Ωとなり、-1.5Vの電気パルスを印加した時に60Ωとなって安定して変化している。
- [0121] 一方で、下部電極503の近傍での抵抗変化を起こさせる(Aモード)事を目的に、下部電極503を基準にして上部電極505に+1.5Vと、-2.5Vを交互に印加した時の抵抗値の変化を図11(b)に示す。この場合は、抵抗変化は、60Ωと100Ωの間で抵抗変化が起こっているだけであり、Bモードの抵抗変化を起こさせるための電圧印加と比較して、無視できる程度の抵抗変化しか起こっていない。
- [0122] 以上の図11(a)、図11(b)の結果から、素子Fは、片側の電極近傍だけで抵抗変化を起こすバイポーラ動作する抵抗変化型の不揮発性記憶素子の理想的な動作を示している。
- [0123] また、AモードとBモードの混ざりあいのような現象もみられなかった。
- [0124] 例えば、図12は、図11(a)、図11(b)の測定結果を得た素子Fとは別の素子(同一基板上の異なる素子)に1000回程度電気パルスを加えた結果を示しているが、抵抗変化現象が非常に安定して発生しているのが見て取れる。
- [0125] 以上の事から、抵抗変化現象を起こしやすい電極と、抵抗変化現象を起こしにくい電極で抵抗変化膜を挟んだ構造を形成する事で、意図した片側の電極側で抵抗変化させることができるため安定動作し、望ましいバイポーラ動

作を示す抵抗変化型の不揮発性記憶素子が作製可能である事が分かった。

[0126] また、印加電圧と抵抗値の関係は、抵抗変化を起こしやすい電極に正の電圧の電気パルスを印加した時に、抵抗値が高くなり、負の電圧の電気パルスを印加した時に抵抗値が低くなるような動作を示す。

[0127] [上下の電極材料種に応じた抵抗変化素子の抵抗変化特性]

次に、電極材料が相異なるいくつかの素子について抵抗変化の起こりやすさを評価した第2の実験の結果を示す。

[0128] 本実験の結果として、下部電極503をWに固定し、上部電極505をPt以外の相異なる材料で構成した複数の素子の抵抗変化の様子について述べる。ここで下部電極503をWに固定したのは、Wが比較的安定した材料であり、加工も比較的容易である事による。

[0129] なお、素子の作製方法は、第1の実験で説明した方法と同様であり、下部電極503、上部電極505は全てスパッタリング法によって形成した。また、抵抗変化材料である酸素不足型のTa酸化物もTa金属をO₂とAr中でスパッタリングして作製した。

[0130] 電極の違いに応じた抵抗変化の特性を調べるため、酸素不足型のTa酸化物の組成は全て同じに設定した。すなわち、酸素含有率を約58at%の酸素不足型のTa酸化物(TaO_xと表現した時、xは1.38)に固定した。

[0131] また、本実験では、下部電極503を動作しにくいWとしたので、抵抗値の変化がほとんど生じないAモード(上部電極に対し、下部電極に高い電圧を加えた時に高抵抗化するモード)の結果は省略し、Bモード(下部電極に対し、上部電極に高い電圧を加えた時に高抵抗化するモード)の結果のみを示す。Bモードで抵抗変化させた時の電気パルスの電圧は、素子によって若干の違いはあるが、下部電極を電圧の基準として、高抵抗化させる時の電圧は+1.8~+2.0Vとし、低抵抗化させる時の電圧は-1.3~-1.6Vとした。

[0132] 図13(a)~図13(h)に測定結果をまとめる。

[0133] まず、図13(a)の上部電極にイリジウム(Ir)を用いた素子G、図

13 (b) の上部電極に銀 (Ag) を用いた素子H、図13 (c) の上部電極に銅 (Cu) を用いた素子Iの結果を見ると、比較的安定して、大きな幅で抵抗変化が生じているのが分かる。次に、図13 (d) の上部電極にニッケル (Ni) を用いた素子J、図13 (h) の上部電極に窒化タンタル (Ta₂N₅) を用いた素子Nでは、若干の抵抗変化が見られたがその変化幅が小さい。

[0134] 次に、図13 (e) の上部電極にタンタル (Ta) を用いた素子K、図13 (f) の上部電極にチタン (Ti) を用いた素子L、図13 (g) が上部電極にアルミニウム (Al) を用いた素子Mでは、全く抵抗変化現象は観測されなかった。これらの材料は、本質的に抵抗変化が生じにくい性質を持っていると考えられる。

[0135] 以上の結果から分かる事は、酸素不足型のTa酸化物を用いた不揮発性記憶素子では、抵抗変化現象が生じやすい（動作しやすい）電極材料と、生じにくい（動作しにくい）電極材料とが存在すると言う事である。本実験の範囲で言えば、動作しやすい電極はPt、Ir、Ag、Cuであり、動作しにくい電極材料はW、Ni、Ta、Ti、Al、Ta₂N₅である。

[0136] これらの材料の組み合わせで酸素不足型のTa酸化物を挟んだ構造の抵抗変化素子を形成すれば、抵抗変化モードの混ざり合いのない安定した抵抗変化が得られる。但し、図7 (a)、図11 (b)、図13 (d)、図13 (h) を参照すると、W、Ni、Ta₂N₅電極では、微弱ながらも抵抗変化は観測されている。それ故にこれらの材料を一つの電極に用い、例えば、本実験で全く抵抗変化が観測されなかった電極材料であるTa、Ti、Alをもう一つの電極に用いた場合、微弱ながらも安定した抵抗変化が期待できる。

[0137] 次に、抵抗変化自体の起こるメカニズムと、抵抗変化の起こりやすさの材料依存性について若干の考察を行う。

[0138] 図14は、第1の実験と第2の実験の結果をまとめたものである。横軸は電極材料、縦軸には標準電極電位をプロットしてある。図14の○は抵抗変化が起こりやすかった事を意味し、△は変化の割合が小さいものの抵抗変化

が起こった事を意味し、×は抵抗変化が起こらなかった事を意味する。なお、TiNは第1の実験および第2の実験では用いなかった電極材料であり、参考のために・で示している。

- [0139] 図14において、Ta₂N₅、TiN以外の電極材料の標準電極電位は、非特許文献1：「CRC HANDBOOK of CHEMISTRY and PHYSICS, DAVID R. LIDE Editor-in-chief, 84th Edition 2003-2004, CRC PRESS」に開示された文献値であり、Ta₂N₅、TiNの標準電極電位は、発明者らが測定したデータである。
- [0140] 発明者らは、Ta₂N₅、TiNを含むいくつかの電極材料の標準電極電位を、Solartron社製の電気化学測定システムSI1280Bを用いて構成した3電極系のポテンショスタットにより測定した。測定条件として、作用極に測定対象となる電極材料、対極にPt電極、参照極にAg/AgCl電極を用い、電解液には1wt%KCl 7mlをN₂バブリング下で用いた。
- [0141] このような条件下で作用極と対極との間の電位平衡点を探索することによって、電極材料のAg/AgCl電極に対する電位平衡点における電位を測定した後、測定された電位に+0.196Vを加えた値を、電極材料の標準水素電極に対する電位（すなわち標準電極電位）とした。
- [0142] 図14を見ると、抵抗変化膜の構成元素であるTaよりも標準電極電位が高い材料では抵抗変化が起こっており、低い材料では抵抗変化が起こりにくくなっている事が分かる。そして、標準電極電位の差が大きいほど抵抗変化が起こりやすく、差が小さくなるにつれて、抵抗変化が起こりにくくなっているのが分かる。
- [0143] 一般に標準電極電位は、酸化のされ易さの一つの指標であり、この値が大きければ酸化されにくく、小さければ酸化されやすい事を意味する。この事から酸化のされやすさが抵抗変化現象のメカニズムに大きな役割を果たしているのではないかと推測される。

- [0144] 以上の結果をもとに、抵抗変化のメカニズムを考える。まず、抵抗変化が起こり易い材料（標準電極電位が大きく酸化されにくい材料）によって上部電極が構成されている場合について、図15（a）、図15（b）を使って説明する。
- [0145] 図15（a）のように、下部電極1401と、酸素不足型のTa酸化物層1402と、Taよりも酸化されにくい材料によって構成されている上部電極1403で構成される抵抗変化素子に、下部電極1401に対して高い電圧を上部電極1403に印加した場合、酸素不足型のTa酸化物中の酸素原子がイオンとなって、電界によって移動し、上部電極1403の界面近傍に集まる。
- [0146] しかし、上部電極1403を構成する金属はTaに比べて酸化されにくいので、酸素イオン1404は酸素不足型のTa酸化物層1402と上部電極1403の界面に滞留した状態になり、界面付近でTaと結合し、酸素濃度の高い酸素不足型のTa酸化物を形成する。この事によって素子は高抵抗化する。
- [0147] 次に、図15（b）のように、下部電極1401に高い電圧を印加した場合、酸素原子は再び酸素イオンとなって、酸素不足型のTa酸化物層1402の内部に戻ってゆく。これにより、低抵抗化が起っていると考えられる。
- [0148] 次に、Taよりも酸化されやすい材料によって上部電極が構成されている場合について説明した図が図16（a）、図16（b）である。
- [0149] 図16（a）のように下部電極1501と、酸素不足型のTa酸化物層1502と、Taよりも酸化され易い材料によって構成されている上部電極1503で構成される抵抗変化素子に、下部電極1501に対して高い電圧を上部電極1503に印加した場合、酸素不足型のTa酸化物中の酸素原子がイオンとなって電界によって移動し、上部電極1503の界面近傍に集まる。
- [0150] この場合、上部電極1503はTaよりも酸化されやすいので、酸素イオン1504は上部電極1503の内部に吸いとられて、上部電極1503を

形成している材料と結合を起こす。この場合、図15(a)とは異なり、酸素不足型のTa酸化物層1502と上部電極1503の界面に高抵抗層が形成されず、さらに上部電極1503を構成する元素の数に対して酸素イオンの数は少ないために、抵抗値はほとんど上昇しない。

[0151] 逆に、図16(b)のように、下部電極1501に高い電圧を印加した場合、上部電極1503に吸い取られた酸素は、上部電極材との結合がより安定であるため、酸素不足型のTa酸化物層1502の中には戻りにくく、抵抗値は大きくは変化しないと考えられる。

[0152] もし、図15(a)、図15(b)及び図16(a)、図16(b)において、上部電極を構成する材料の酸化のされやすさがTaと同程度の場合、上記の2つの例の中間的な変化が生じ、微弱な抵抗変化が生じると考えられる。

[0153] 以上の結果から分かるように、酸素不足型のTa酸化物を抵抗変化膜に使用した不揮発性記憶素子では、上部電極と下部電極とで異なる標準電極電位を有する材料を用いればよい。

[0154] これにより、片側の電極近傍で優勢に抵抗変化が起こって、理想的なバイポーラ型の抵抗変化を実現できる。さらに、抵抗変化モードの混ざり合いも起こらず、安定した抵抗変化動作が可能となる。

[0155] より好適には、一方の電極材料には、Taの標準電極電位よりも大きく、かつ差の大きな材料を用い、もう一方の電極材料には、Taの標準電極電位よりも大きく差の小さな材料を用いればよい。

[0156] さらに好適には、一方の電極材料には、Taの標準電極電位よりも大きな材料を用い、もう一方の電極材料には、Taの標準電極電位よりも小さな材料を用いればよい。

[0157] なお、第2の実験の結果としては記述していないが、下部電極および上部電極に、それぞれTa₂NおよびPtを用いた抵抗変化素子について、安定した抵抗変化現象が起こったことを示す良好な実験結果が得られている。

[0158] Ta₂Nの標準電極電位は、発明者らの測定によれば+0.48 eVであり

、PtおよびTaの標準電極電位は、非特許文献1によればそれぞれ+1.18 eV、-0.6 eVである。

[0159] この例は、上部電極には、Taの標準電極電位よりも大きく、かつ差の大きな材料であるPtを用い、下部電極には、Taの標準電極電位よりも大きく差の小さな材料であるTa₂Nを用いた一例である。

[0160] すなわち、この例では、上述の標準電極電位に関する条件を満たすTa₂NおよびPtを電極材料として用いたことで、第2の実験の結果として述べた作用効果が得られたと考えられる。

[0161] また他の例として、下部電極および上部電極にそれぞれTiNおよびPtを用いてもよい。TiNの標準電極電位は、発明者らによる前述の測定によれば+0.55 eVである。したがって、TiNとPtとの組み合わせは、抵抗変化層にタンタル酸化物を用いた場合の標準電極電位に関する条件を満たすので、TiNおよびPtを電極材料として用いることで、第2の実験の結果として述べた作用効果が期待できる。

[0162] さらに他の例として、Au（金）またはPdを電極材料として用いてもよい。非特許文献1によればAu、Pdの標準電極電位はそれぞれ+1.692 eV、+0.951 eVであり、Taの標準電極電位-0.6 eVよりも高い。したがって、抵抗変化層としてタンタル酸化物を用いた場合に、抵抗変化しやすい電極材料としてAuおよびPdの一方を用い、かつ抵抗変化しにくい電極材料としてAuおよびPdの前記一方よりも標準電極電位が低い材料（例えば、標準電極電位が+0.1 eVであるW）を用いることで、第2の実験の結果として述べた作用効果が期待できる。

[0163] なお、本実験の結果としては記述していないが、金（Au）の標準電極電位は+1.692 eVであるので、Taの標準電極電位-0.6 eVよりも高い。したがって、抵抗変化膜としてTaを用いた場合に、抵抗変化しやすい電極材料としてAuを用いても、本実験の結果として述べた作用効果が期待できる。

[0164] また、上記のメカニズムからも明らかなように、抵抗変化を起こしやすい

電極に正の電圧の電気パルスを印加した時に、抵抗値が高くなり、負の電圧の電気パルスを印加した時に抵抗値が低くなるような動作を示す。

[0165] [抵抗変化層に酸素不足型のハフニウム (Hf) 酸化物を用いた抵抗変化素子]

次に、他の同様な例として、酸素不足型のHf酸化物を抵抗変化膜として用いたバイポーラ動作する不揮発性記憶素子に関する第3の実験について説明する。

[0166] 第1の実験の説明と同様に、まず、酸素不足型のHf酸化物層の形成方法や、酸素含有率の好適な範囲を説明する。

[0167] その後、抵抗変化の起こりやすさが電極材料に依存するかどうかの確認を行うため、Al、Ti、Ta、W、Cu、Ptで構成される電極でHfO_x層を挟んだ構造を形成し、電気パルスによる抵抗変化現象の様子を調べた結果について述べる。そして最後に、動作しやすい電極材料と動作しにくい電極材料で酸素不足型のHf酸化物を挟み込んだ構造の抵抗変化素子の抵抗変化の測定結果について述べる。

[0168] [スパッタリング時の酸素流量比とHf酸化物層の酸素含有率との関係]

まず、本実験における酸素不足型のHf酸化物層の作製条件及び酸素含有率の解析結果について述べる。

[0169] 酸素不足型のHf酸化物層は、Hfターゲットを(アルゴン)ArとO₂ガス雰囲気中でスパッタリングする、いわゆる、反応性スパッタリングで作製した。本実験での具体的な酸素不足型のHf酸化物の作製方法は次の通りである。

[0170] まずスパッタリング装置内に基板を設置し、スパッタリング装置内を 3×10^{-5} Pa程度まで真空引きする。Hfをターゲットとして、パワーを300W、アルゴンガスと酸素ガスをあわせた全ガス圧力を0.9 Pa、基板の設定温度を30°Cにし、スパッタリングを行った。ここでは、Arガスに対するO₂ガスの流量比を2%から4.2%まで変化させた。

[0171] まずは、組成を調べる事が目的であるため、基板としては、Si上にSi

O₂を200nm堆積したものをを用い、Hf酸化物層の膜厚は約50nmになるようにスパッタリング時間を調整した。

[0172] このようにして作製したHf酸化物層の組成をラザフォード後方散乱法（RBS法）によって解析した結果を図17に示す。

[0173] この図から、酸素流量比を2%から4.2%に変化させた場合、Hf酸化物層中の酸素含有率は約37.7at%（HfO_{0.6}）から約69.4at%（HfO_{2.3}）へと変化していることが分かる。

[0174] 以上の結果より、Hf酸化物層中の酸素含有率を酸素流量比によって制御可能である事と、Hfの化学量論的な酸化物であるHfO₂の酸素含有率66.7at%よりも酸素が不足している、酸素不足型のHf酸化物から酸素が過剰に含有されていると思われるHf酸化物までが形成されている事が明らかとなった。

[0175] なお、本実験では、Hf酸化物層の解析にラザフォード後方散乱法（RBS）を利用したが、オージェ電子分光法（AES）、蛍光X線分析法（XPS）、電子線マイクロアナリシス法（EPMA）等の機器分析手法も利用可能である。

[0176] [酸素不足型のHf酸化物層の抵抗変化特性]

以上のように作製した酸素不足型のHf酸化物のうち、どの程度の酸素含有率を有する酸素不足型のHf酸化物が抵抗変化を示すのかを調べた。ここで酸素不足型のHf酸化物層を挟む電極の材料として用いたのは、上下の電極ともにPtである。

[0177] 上下にPtを用いた場合は、上述のように、バイポーラ型の抵抗変化型の不揮発性素子としては不適當である。しかしながら、Ptは後述するように、抵抗変化を非常に示しやすい電極材料であり、ある酸素含有率を有する酸素不足型のHf酸化物が抵抗変化を示すか否かの判定を行うには最も好適な材料である。

[0178] 以上のような理由から、図5のような不揮発性記憶素子を形成した。

[0179] すなわち、単結晶シリコン基板501上に、厚さ200nmの酸化物層5

O₂を熱酸化法により形成し、下部電極503としての厚さ100nmのPt薄膜を、スパッタリング法により酸化物層502上に形成した。

[0180] その後、Hfをターゲットとして、反応性スパッタリングによって酸素不足型のHf酸化物層504を形成した。本実験で検討した範囲では、上記の分析試料と同様に、酸素ガスの流量比を、2%から4.2%まで変化させて不揮発性記憶素子を作製した。酸素不足型のHf酸化物層504の膜厚は30nmとした。

[0181] その後、酸素不足型のHf酸化物層504の上に、上部電極505としての厚さ150nmのPt薄膜をスパッタ法により堆積した。

[0182] 最後にフォトリソグラフィ工程とドライエッチング工程によって、素子領域506を形成した。なお、素子領域506は、直径が3 μ mの円形パターンである。

[0183] 以上のように作製した不揮発性記憶素子の抵抗変化現象を測定した。その結果、図17の α 点（酸素流量比約2.7%、酸素含有率約46.6at%）から β 点（酸素流量比約3.3%、酸素含有率約62at%）のHf酸化膜を使った不揮発性記憶素子では、高抵抗値が低抵抗値の4倍以上と良好であった。

[0184] 図18(a)、図18(b)は、それぞれ、 α 点及び β 点の酸素含有率を有するHf酸化物層を使った不揮発性記憶素子についてのパルス印加回数に対する抵抗変化特性を測定した結果である。

[0185] 図18(a)、図18(b)によれば、 α 点及び β 点の酸素含有率を有するHf酸化物層を使った素子では、共に、高抵抗値が低抵抗値の4倍以上と良好であることが判る。

[0186] 従って、酸素含有率が46.6~62at%の組成範囲、即ち抵抗変化層をHfO_xと表記した場合におけるxの範囲が $0.9 \leq x \leq 1.6$ の範囲がより適切な抵抗変化層の範囲であると言える（酸素含有率=46.6at%がx=0.9に、酸素含有率=62at%がx=1.6にそれぞれ対応）。

[0187] [上下の電極材料種に応じた抵抗変化素子の抵抗変化特性]

次に、抵抗変化の起こりやすさが、電極材料に依存するかどうかの確認を行うため、Wで構成される下部電極503とAl、Ti、Hf、Ta、W、Cu、Ptの1つから成る上部電極505で、酸素不足型のHf酸化物層504を挟んだ複数種の素子を作製し、電気パルスによる抵抗変化の様子を調べた結果について説明する。

[0188] 使用した酸素不足型のHf酸化物の酸素含有率は、好適な酸素含有率の範囲で上限に近い61at% (HfO_{1.56})とした。素子の形成方法は、Hf酸化物の成膜方法は上記とほぼ同じであるが、Al、Ti、Hf、Ta、W、Cu、PtはHf酸化物を形成後、一旦大気中に出し、別のスパッタ装置でスパッタリング法によって堆積した。

[0189] 作製した素子O～素子Uに使用した下部電極、上部電極の材料を表2に示す。

[0190] [表2]

素子名	下部電極材料	上部電極材料
O	W	Al
P	W	Ti
Q	W	Hf
R	W	Ta
S	W	W
T	W	Cu
U	W	Pt

[0191] 上記の素子O～素子Uを、所定の振幅でパルス幅100nsecの電気パルスを与えて抵抗変化させた。

[0192] 本実験では、下部電極503を動作しにくいWとしたので、Aモード（上部電極に対し、下部電極に高い電圧を加えた時に高抵抗化するようなモード）の結果は省略し、Bモード（下部電極に対し、上部電極に高い電圧を加えた時に高抵抗化するようなモード）の結果のみを示す。

- [0193] 上部電極モードで抵抗変化させた時の電気パルスの電圧は、素子によって若干の違いはあるが、下部電極を電圧の基準として、高抵抗化させる時の電圧は+1.1~+1.9Vとし、低抵抗化させる時の電圧は-1.1~-1.5Vとした。
- [0194] 図19(a)~図19(g)に測定結果をまとめる。
- [0195] まず、図19(a)の上部電極にAlを用いた素子O、図19(b)の上部電極にTiを用いた素子P、図19(c)の上部電極にHfを用いた素子Qの結果を見ると、ほとんど抵抗変化しないか、あるいはまったく抵抗変化しないのが分かる。次に、図19(d)の上部電極にTaを用いた素子Rでは、最初わずかであるが抵抗変化が見られたがパルス数とともにその変化幅が減少していき、ほとんど抵抗変化を示さなくなった。これらの材料は、本質的に抵抗変化が生じにくい性質を持っていると考えられる。
- [0196] 次に、図19(e)の上部電極にWを用いた素子S、図19(f)の上部電極にCuを用いた素子T、図19(g)の上部電極にPtを用いた素子Uでは、比較的安定した抵抗変化が生じた。
- [0197] 以上の結果から分かる事は、酸素不足型のHf酸化物を用いた不揮発性記憶素子では、抵抗変化現象が生じやすい(動作しやすい)材料と、生じにくい(動作しにくい)材料が存在すると言う事である。本実験の範囲で言えば、動作しやすい電極はPt、Cu、Wであり、動作しにくい電極材料はTa、Hf、Ti、Alである。
- [0198] これらの材料の組み合わせで酸素不足型のHf酸化物を挟んだ構造の抵抗変化素子を形成すれば、抵抗変化モードの混ざり合いのない安定した抵抗変化が得られる。但し、図19(d)を参照すると、Ta電極では、微弱ながらも抵抗変化は観測されている。それ故にこの材料を一つの電極に用い、例えば、本実験で全く抵抗変化が観測されなかった電極材料であるTi、Hfをもう一つの電極に用いた場合、微弱ながらも安定した抵抗変化が期待できる。
- [0199] 次に、抵抗変化自体の起こるメカニズムと、抵抗変化の起こりやすさの材

料依存性について若干の考察を行う。

- [0200] 図20は、酸素不足型のHf酸化物を用いた不揮発性記憶素子に係る結果をまとめたものである。横軸は電極材料、縦軸には標準電極電位をプロットしてある。図20の○は抵抗変化が起こりやすかった事を意味し、△は変化の割合が小さいものの抵抗変化が起こった事を意味し、×は抵抗変化が起こらなかった事を意味する。
- [0201] 図20を見ると、抵抗変化膜の構成元素であるHfよりも標準電極電位が高い材料では抵抗変化が起こっており、低い材料では抵抗変化が起こりにくくなっている事が分かる。そして、標準電極電位の差が大きいほど抵抗変化が起こりやすく、差が小さくなるにつれて、抵抗変化が起こりにくくなっているのが分かる。
- [0202] この結果は、第2の実験に関して述べた、酸素不足型のTa酸化物を用いた不揮発性記憶素子に係る結果と全く同一の傾向を示している。すなわち、酸素不足型のHf酸化物を用いた不揮発性記憶素子について説明した抵抗変化のメカニズム(図15(a)、図15(b)、及び図16(a)、図16(b)を参照)が、酸素不足型のHf酸化物を用いた不揮発性記憶素子にも同様に働いていると考えられる。
- [0203] 以上の結果から分かるように、酸素不足型のHf酸化物を抵抗変化膜に使用した不揮発性記憶素子では、上部電極と下部電極とで異なる標準電極電位を有する材料を用いればよい。
- [0204] これにより、片側の電極近傍で優勢に抵抗変化が起こって、理想的なバイポーラ型の抵抗変化を実現できる。さらに、抵抗変化モードの混ざり合いも起こらず、安定した抵抗変化動作が可能となる。
- [0205] より好適には、一方の電極材料には、Hfの標準電極電位よりも大きく、かつ差の大きな材料を用い、もう一方の電極材料には、Hfの標準電極電位よりも大きく差の小さな材料を用いればよい。
- [0206] さらに好適には、一方の電極材料には、Hfの標準電極電位よりも大きな材料を用い、もう一方の電極材料には、Hfの標準電極電位以下の材料

を用いればよい。

- [0207] なお、本実験の結果としては記述していないが、下部電極および上部電極に、それぞれTa₂NおよびPtを用いた抵抗変化素子について、安定した抵抗変化現象が起こったことを示す良好な実験結果が得られている。
- [0208] Ta₂Nの標準電極電位は+0.48 eVであり、PtおよびHfの標準電極電位は+1.18 eV、-1.55 eVである。
- [0209] この例は、上部電極には、Hfの標準電極電位よりも大きく、かつ差の大きな材料であるPtを用い、下部電極には、Hfの標準電極電位よりも大きく差の小さな材料であるTa₂Nを用いた一例である。
- [0210] すなわち、この例では、上述の標準電極電位に関する条件を満たすTa₂NおよびPtを電極材料として用いたことで、本実験の結果として述べた作用効果が得られたと考えられる。
- [0211] また他の例として、下部電極および上部電極にそれぞれTiNおよびPtを用いてもよい。TiNの標準電極電位は+0.55 eVである。したがって、TiNとPtとの組み合わせは、抵抗変化層にハフニウム酸化物を用いた場合の標準電極電位に関する条件を満たすので、TiNおよびPtを電極材料として用いることで、本実験の結果として述べた作用効果が期待できる。
- [0212] なお、本実験の結果としては記述していないが、金(Au)の標準電極電位は+1.692 eVであるので、Hfの標準電極電位-1.55 eVよりも高い。したがって、抵抗変化膜としてHfを用いた場合に、抵抗変化しやすい電極材料としてAuを用いても、本実験の結果として述べた作用効果が期待できる。
- [0213] また、上記のメカニズムからも明らかなように、抵抗変化を起こしやすい電極に正の電圧の電気パルスを印加した時に、抵抗値が高くなり、負の電圧の電気パルスを印加した時に抵抗値が低くなるような動作を示す。
- [0214] なお、上記の第1、第2の実験及び第3の実験では、抵抗変化膜として酸素不足型のTa酸化物及びHf酸化物を用いた例について説明したが、これ

に限定されるものではなく、他の遷移金属の酸素不足型の酸化膜を抵抗変化膜に用いた不揮発性記憶素子についても、上記で説明したように電極に加えられた電界による酸素イオンの移動が起こると考えられるため、同様に応用可能である。その場合も、用いる遷移金属材料の標準電極電位を基準にして電極材料を選択すれば、片側で優勢的に動作する不揮発性記憶素子が形成できる。また、抵抗変化層としてのタンタル酸化物やハフニウム酸化物に、抵抗変化特性を大きく変化させない程度に微量のドーパントを添加してもよい。

[0215] [抵抗変化層に酸素不足型の遷移金属酸化物を積層した抵抗変化素子]

また、抵抗変化素子として、酸素不足型のタンタル酸化物、酸素不足型のハフニウム酸化物、及び酸素不足型のジルコニウム酸化物の1つからなり、かつ酸素含有率の異なる2つの抵抗変化層を積層し、2つの電極で挟んだ構成も可能である。

[0216] これらの抵抗変化素子は、可逆的に安定した書き換え特性を有する、抵抗変化現象を利用した不揮発性記憶素子を得ることを目的として本願発明者らにより発明されたものであり、それぞれ関連特許出願である国際公開第2008/149484号、国際公開第2010/004705号、特開2010-21381号公報で詳細に説明されている。

[0217] これらの抵抗変化素子が有している、抵抗変化特性を前述のAモード及びBモードのいずれか意図した一方に固定できるという特徴も、前述の異種材料で構成される上下の電極を用いた抵抗変化素子と同様に、本発明の抵抗変化型不揮発性記憶装置に利用可能である。

[0218] なお、酸素不足型のタンタル酸化物を用いた抵抗変化素子における2つの抵抗変化層の膜厚、組成の最適条件について、国際公開第2008/149484号にて、詳しく開示されている。

[0219] [電流制御層に SiN_x を用いた電流制御素子]

次に本発明の1D1R型クロスポイントメモリ装置の電流制御素子について説明する。

- [0220] 電流制御素子は、電流制御層を窒化シリコン SiN_x ($0 < x \leq 0.85$) で構成することにより、その電流－電圧特性が非線形の電気特性を有し、かつ印加電圧の極性に対して実質的に対称となるという、双方向ダイオード特性を持つことが、関連出願である国際公開第2008/117494号で詳細に説明されている。
- [0221] また、電流制御素子の第1の電極及び前記第2の電極の少なくとも一方を、体心立方格子 (bcc) 構造を有する α -タングステン (α -W) で構成することにより、 30000 A/cm^2 以上の電流を安定供給可能なMSMダイオードを実現できることが、関連出願である国際公開第2010/004675号で詳細に説明されている。
- [0222] 以上のような、対称な電流電圧特性、及び 30000 A/cm^2 以上という高い耐電流特性を持つ双方向ダイオード素子を、本発明における1D1R型クロスポイントメモリの電流制御素子として利用することが可能である。
- [0223] [本発明の第1の実施形態における抵抗変化型不揮発性記憶装置]
次に、本発明の実施の形態として、上記で説明した抵抗変化素子と電流制御素子を用いた1D1R型クロスポイントメモリ装置について説明する。
- [0224] 図21は、本発明の第1の実施形態に係る不揮発性記憶装置の構成を示すブロック図である。第1の実施形態は、抵抗変化現象が抵抗変化素子の上部電極近傍で生じると考えられるBモード動作が生じるメモリセルの構成と、それに最適な制御回路を示すものである。
- [0225] 図21において、抵抗変化型不揮発性記憶装置100は、半導体基板上に、メモリ本体部101を備えており、メモリ本体部101は、メモリセルアレイ102と、行選択回路103と、列選択回路104と、書き込み回路105と、選択ビット線に流れる電流量を検出し、記憶されているデータが「1」か「0」かを判定する読み出し回路106と、端子DQを介して入出力データの入出力処理を行うデータ入出力回路107とを備えている。
- [0226] また、抵抗変化型不揮発性記憶装置100の外部より与えられるアドレス信号を入力とし、所定のアドレスを選択指示するアドレス入力回路108と

、制御信号を入力とする制御回路109の出力がメモリ本体部101に供給され、その動作を制御している。

[0227] メモリセルアレイ102は、M行N列（M、Nは自然数。図21では2行2列の4ビット分のみ図示）のマトリクス状にメモリセル M_{ij} （ $i \leq M$ 、 $j \leq N$ なる自然数。以下同じものは省略）が配列されている。メモリセル M_{ij} は、抵抗変化素子 R_{ij} の一端と、正負の双方向に閾値電圧を有する電流制御素子 D_{ij} の一端とを、互いに直列に接続して構成されている。抵抗変化素子 R_{ij} の他端はワード線 WL_i に、電流制御素子 D_{ij} の他端はビット線 BL_j に接続されている。

[0228] 本構成では、ビット線 BL_j が下層の配線で構成され、紙面内の上下方向に配置されるとすると、ワード線 WL_i はビット線 BL_j より上層の配線で構成され、紙面内の左右方向に配置される。また抵抗変化素子 R_{ij} は、後で詳細を説明するが、抵抗変化現象が抵抗変化素子の上部電極近傍で生じるBモードの特性になる構造で構成されている。

[0229] ワード線 WL_i は、行選択回路103に接続され、読み出しまたは書き込みモードにおいて択一的に行選択が行われる。またビット線 BL_j は、列選択回路104に接続され、読み出しまたは書き込みモードにおいて択一的に列選択が行われる。

[0230] データ入出力回路107は、書き込みモードにおいて、データ入力信号 D_{in} のデータ“0”またはデータ“1”の書き込み指示に従って、選択されたメモリセル M_{ij} 内の抵抗変化素子 R_{ij} に対し、低抵抗化または高抵抗化の書き込みを行う。本実施例では、データ“0”書き込みを低抵抗化書き込みに、データ“1”書き込みを高抵抗化書き込みに対応させてある。

[0231] 書き込み回路105はデータ入出力回路107と接続される。データ“0”書き込み、すなわち低抵抗化書き込みを行うときにハイレベルを駆動する第1LR化駆動回路105a1、その出力を入力とする電流制限回路105b、およびロウレベルを駆動する第2LR化駆動回路105c2を有している。また、データ“1”書き込み、すなわち高抵抗化書き込みを行うときに

ハイレベルを駆動する第1HR化駆動回路105c1、およびロウレベルを駆動する第2HR化駆動回路105a2を有している。

[0232] そして、低抵抗化書き込みを行うときは、電流制限回路105bにより電流制限した信号を、列選択回路104を介して選択ビット線BLjに供給する。一方、高抵抗化書き込みを行うときは、電流制限機能を有しない第1HR化駆動回路105c1で行選択回路103を介して選択ワード線WLiに信号を供給することを一つの特徴としている。

[0233] このように構成される抵抗変化型不揮発性記憶装置100において、ビット線BLjおよびワード線WLiが、それぞれ本発明の第1信号線および第2信号線の一例である。第1LR化駆動回路105a1、第1HR化駆動回路105c1、第2LR化駆動回路105c2、および第2HR化駆動回路105a2が、それぞれ本発明の第1駆動回路、第2駆動回路、第3駆動回路、および第4駆動回路の一例である。電流制限回路105bが、本発明の電流制限回路の一例である。また、列選択回路104および行選択回路103が、それぞれ本発明の第1選択回路および第2選択回路の一例である。

[0234] 図22は、図21においてA部で示す、メモリセルM11の構成を示す断面図である。

[0235] 電流制御素子212、抵抗変化素子213は、各々、図21における電流制御素子Dij、抵抗変化素子Rij（i、jはそれぞれ正の整数）に対応している。

[0236] メモリセル200は、アルミニウム（Al）で構成される第1層配線201、第1ビア202、電流制御素子212において窒化タンタル（Ta₂N₅）で構成される第3電極203、窒素不足型窒化シリコンで構成される電流制御層204、Ta₂N₅で構成される第4電極205、第2ビア206、抵抗変化素子213においてTa₂N₅で構成される第1電極207、酸素不足型タンタル酸化物で構成される抵抗変化層208、白金（Pt）で構成される第2電極209、第3ビア210、アルミニウム（Al）で構成される第2層配線211を順に形成して構成されている。

- [0237] ここで、ワード線 WL_i 側に接続される、より上層の第2電極209を、ビット線 BL_j 側に接続される第1電極207に比べ、標準電極電位がより高い材料であるPtで構成することを、もう一つの特徴としている。
- [0238] このメモリセル構造では、本発明の基礎データでも説明したように、抵抗変化動作は、第1電極を構成するTa₂Nよりも高い標準電極電位を有するPtで構成される第2電極と、抵抗変化層208との界面近傍で起こり、その動作はBモードに対応している。
- [0239] 図22で、第1層配線201はビット線 BL_1 に、第2層配線211はワード線 WL_1 に対応しているので、第2層配線211の電圧に対し第1層配線201の電圧が所定電圧 V_{Lth} 以上高くなったとき、抵抗変化素子213は低抵抗状態に変化し、第1層配線201の電圧に対し第2層配線211の電圧が所定電圧 V_{Hth} 以上高くなったとき、抵抗変化素子213は高抵抗状態に変化する。
- [0240] なお、図22において、電流制御素子212と抵抗変化素子213の関係は上下逆でもかまわないし、抵抗変化素子213において第1電極207と第2電極209の位置が逆でもかまわない。
- [0241] 図23は、図21の書き込み回路105の具体的回路構成の一例を示している。
- [0242] 図23(a)は、第1LR化駆動回路105a1、第2HR化駆動回路105a2、電流制限回路105bの一例をそれぞれ示している。
- [0243] 第1LR化駆動回路105a1はP型MOSトランジスタMP1で構成され、第2HR化駆動回路105a2はN型MOSトランジスタMN1で構成され、電流制限回路105bはN型MOSトランジスタMN3で構成されている。
- [0244] C_{NL} Rは低抵抗化書き込みパルスの発生時ロウレベル、また C_{HR} は高抵抗化書き込みパルスの発生時ハイレベルとなる書き込み制御信号である。 V_{CL} は低抵抗化電流制限用ゲート電圧で、所定の定電圧が与えられている。

- [0245] またP型MOSトランジスタMP1のソースには、低抵抗書き込み電源電圧 V_{LR} が供給され、抵抗変化素子213が低抵抗化するのに十分な電圧、電流を駆動できる能力を有するように設定されている。
- [0246] 図23(b)は、第1HR化駆動回路105c1、第2LR化駆動回路105c2の一例を示している。
- [0247] 第1HR化駆動回路105c1はP型MOSトランジスタMP2で構成され、第2LR化駆動回路105c2はN型MOSトランジスタMN2で構成されている。
- [0248] C_NHR は高抵抗化書き込みパルスの発生時ロウレベル、また C_LR は低抵抗化書き込みパルスの発生時ハイレベルとなる書き込み制御信号である。
- [0249] またP型MOSトランジスタMP2のソースには、高抵抗書き込み電源電圧 V_{HR} が供給され、抵抗変化素子213が高抵抗化するのに十分な電圧、電流を駆動できる能力を有するように設定されている。
- [0250] 書き込みモードにおいて、データ“0”書き込み、すなわち低抵抗書き込みが指示されると、 C_NLR がロウレベル、 C_LR がハイレベルに設定され、第1LR化駆動回路105a1のP型MOSトランジスタMP1と、第2LR化駆動回路105c2のN型MOSトランジスタMN2がオンし、第1LR化駆動回路105a1の出力電流が、電流制限回路105b、ビット線 BL_j 、メモリセル M_{ij} 、ワード線 WL_i を主経路とし、第2LR化駆動回路105c2に流れ込む電流経路が形成される。
- [0251] また、電流制限回路105bの出力は、N型MOSトランジスタMN3で電流制限されるとともに、その出力電圧 V_{LR_O} は、MN3の閾値電圧を V_{th_MN3} とすると、 $V_{CL} - V_{th_MN3}$ の電圧に上限が制限される。それとともにソースフォロワ特性を持つため、低抵抗書き込み電源 V_{LR} を一定電圧以上に設定すると、定電流源として動作し、電流は一定となる。
- [0252] 書き込みモードにおいてデータ“1”書き込み、すなわち高抵抗書き込み

が指示されると、C_NHRがロウレベル、C_HRがハイレベルに設定され、第1HR化駆動回路105c1のP型MOSトランジスタMP2と、第2HR化駆動回路105a2のN型MOSトランジスタMN1がオンし、第1HR化駆動回路105c1の出力電流がワード線WL_i、メモリセルM_{ij}、ビット線BL_jを主経路とし、第2HR化駆動回路105a2に流れ込む電流経路が形成される。電流経路に電流制限回路を含まないため、高抵抗化書き込み電源VHRの増加に従い、電流は単調に増加する。

- [0253] [本発明の第1の実施形態における抵抗変化型不揮発性記憶装置の動作]
以上のように構成された抵抗変化型不揮発性記憶装置100について、その動作を説明する。
- [0254] まず、メモリセルの動作について説明する。図24は、図22の構造を持つメモリセルについて、第1層配線201よりも第2層配線211が高い電圧となる極性を正として電圧を印加した場合に、その電圧、電流の関係を実測した図である。
- [0255] メモリセル200に対し、第2層配線211よりも第1層配線201が高い電位となる負極性の電圧を印加していくと、-3.2Vを超える付近で抵抗変化素子は高抵抗状態から低抵抗状態へと変化を開始する。さらに-3.9V（A点）まで印加しているが、印加電圧に応じて徐々に低抵抗化が進行している。
- [0256] 一方、メモリセル200に対し、第1層配線201よりも第2層配線211が高い電位となる正極性の電圧を印加していくと、低抵抗状態への変化電圧と概ね対称である3.8V付近（B点）で、抵抗変化素子は低抵抗状態から高抵抗状態へと変化を開始する。さらに、5.1Vまで印加すると電流増加が見られるが、この後印加電圧を下げていくと、印加電圧を上げるときと比較して電流が小さくなっているため、高抵抗状態に変化していることがわかる。
- [0257] すなわち図24に示す実測データは、図22の構造を持つメモリセル200について、第2層配線211の電圧を基準として第1層配線201の電圧

が所定電圧 V_{Lth} 以上高くなったとき低抵抗状態に変化し、第1層配線201の電圧を基準として第2層配線211の電圧が所定電圧 V_{Hth} 以上高くなったとき高抵抗状態に変化するBモード動作を発現すること、および、低抵抗状態の印加電圧（A点）と、高抵抗状態への変化開始電圧（B点）とが、概ね対称な関係にあることを示している。

[0258] 次に、以上のように構成した抵抗変化型不揮発性記憶装置の動作について説明する。

[0259] 最初に書き込み回路105の特性について説明する。

[0260] 図25(a)は、図23に示す第1の具体的書き込み回路を用いて、図21に示す不揮発性記憶装置の動作を説明するため、書き込みに関わる電流経路だけを切り出した等価回路図である。図25(b)は、その特性説明図であり、メモリセル200の抵抗変化素子は低抵抗状態を想定して $10k\Omega$ の固定値とし、双方向特性を有する電流制御素子と直列接続した状態で、書き込み回路105から与えられる電圧と、メモリセル200に流れる電流との関係を、シミュレーションを用いて求めた図である。

[0261] 図25(b)において、負の電圧領域(A)の特性は、高抵抗状態から $10k\Omega$ と仮定した低抵抗状態に変化した後のメモリセルを、第1LR化駆動回路105a1により駆動する場合（例えば $-3V$ というのは、 V_{LR} に $3V$ を与えて駆動することを意味する）の特性を示している。また、正の電圧領域(B)の特性は、 $10k\Omega$ と仮定した低抵抗状態のメモリセルを高抵抗化状態に向け第1HR化駆動回路105c1により駆動する場合の特性を示している。なお駆動回路の電圧とは、負の電圧領域(A)では、低抵抗化書き込み電源電圧である V_{LR} に相当し、正の電圧領域(B)では、高抵抗化書き込み電源電圧である V_{HR} に相当する。また、負の電圧領域(A)中の破線は、電流制限回路105bを介さない場合の特性を比較のために示している。

[0262] 図25(b)より、メモリセルを低抵抗化するときは、低抵抗化電源電圧 V_{LR} の増加とともに、メモリセルに流れる電流も増加し、電流制限回路1

05bを介さない場合、破線の特性の様に単調増加するのに対し、電流制限回路105bを用いる場合、その電流制限効果により、変極点Cを持ち、約3.5V付近からは130 μ Aの一定電流に制限される。

[0263] 一方、メモリセルを高抵抗化するとき、電流制限回路がないため、高抵抗化電源電圧VHRに3.5Vを印加した場合、150 μ Aの電流、すなわち低抵抗化するときよりも大きい電流が流れることがわかる。

[0264] ここで、この回路構成における電流制限回路105bのN型MOSトランジスタMN3の設定条件を考える。

[0265] メモリセルに設定する低抵抗値は、図24に示すメモリセル特性において、A点で示す低抵抗状態の印加電圧である-3.9Vまで電流を印加した時の低抵抗状態の設定を想定して考える。なお、先述のように、この低抵抗状態の印加電圧が低く、より少ない電流を流した場合は、低抵抗状態はより高抵抗に近く設定され、反対に印加電圧が高く、より多くの電流を流した場合は、より低抵抗化が進む。定式化のため、A点の電圧をVL、A点の電流をILとする。ただし、ダイオードでの電圧降下はないものと仮定する。

[0266] ところで、図25(a)において、電流制限回路105b中のN型MOSトランジスタMN3の閾値電圧をVth_MN3、同ゲート電圧をVCL、LR化電源の電圧をVLRとすると、 $VLR \geq VCL$ のとき、図25(b)に示す変極点Cの電圧は、 $VCL - Vth_MN3$ と近似される。

[0267] 図24のA点に示すメモリセルの低抵抗化点の電圧($VL = VLth$)と、図25(b)に示す電流制限回路105bの変極点Cの電圧 $VCL - Vth_MN3$ とを一致させておけば、電流制限回路105bの変極点Cにおいて、メモリセルを想定する低抵抗状態に設定できる。よって、

$$VLth = VCL - Vth_MN3 \quad \text{かつ} \quad VLR \geq VCL$$

すなわち、

$$VCL = VLth + Vth_MN3 \quad \text{かつ} \quad VLR \geq VCL \quad \dots \text{(式$$

1)

を満たすように、VCLを設定すればよい。このとき、N型MOSトラン

ジスタMN2における電圧降下は無視できるとする。またこの条件のとき、A点の電流 I_L を駆動できるよう、電流制限回路105bのN型MOSトランジスタMN3のゲート幅、ゲート長を調整して設計しておく。

[0268] そして、この条件を満たしておけば、電圧変動や、速度低下の懸念に対してLR化電源の電圧 V_{LR} を、余裕を持って高めに設定しても、変極点C以上の電圧では定電流となるため、低抵抗状態の抵抗値を一定の値に安定させて設定することができる。

[0269] [本発明の第1の実施形態における抵抗変化型不揮発性記憶装置の変形例1]

図26は、第1の実施形態において、N型MOSトランジスタを用いて電流制限回路105bを構成する場合の、図21とは異なる第1の実施形態の変形例1を示している。電流制限回路105bを抵抗変化素子の第1電極と書き込み回路との間に配置することを特徴とする。図26の構成では、電流制限回路105bをメモリセルアレイの近くに配置するため、図21の場合と比較して、よりメモリセルに近い位置で電流制限を行うことが可能となる。よって低抵抗化書き込み動作を行うときに、電流制限回路105bを介して充放電すべき容量負荷を低減することができ、メモリセルの低抵抗状態への変化に対し、追随性よく電流制限を行えるため、より精度よく想定の抵抗値に設定することが可能となる。

[0270] また、LR化駆動回路で書き込みを行うときは、電流制限回路105bはソースフォロワとなり、定電流特性を示すため、低抵抗状態の抵抗値を一定の値に安定させて設定することができる一方、HR化駆動回路で書き込みを行うときは、電流制限回路105bはソースフォロワとはならないため、低抵抗化するときよりも大きい電流を駆動することができる。

[0271] ここで、列選択回路104は一般に、P型MOSトランジスタ、N型MOSトランジスタと、デコーダ回路とで構成され、選択されたメモリセルに対応したビット線が択一的に選択される。この列選択回路104をN型MOSトランジスタのみで構成することにより、LR駆動回路で書き込みを行うと

きにソースフォロワとなるため、列を選択する機能に加え、電流を制限する機能を持たせることができる。この場合、電流制限回路105bを別途設ける必要がなくなり、面積を削減することができる。

[0272] [本発明の第1の実施形態における抵抗変化型不揮発性記憶装置の変形例2]

電流制限回路105bは、第1LR化駆動回路105a1側ではなく、第2LR化駆動回路105c2側に設けることも可能である。図27に、第1の実施形態の変形例2を示す。また、図28(a)は、図27の書き込み回路105の第1の具体的回路構成の一例を示していて、N型MOSトランジスタで構成される電流制限回路105bを有する。また、図28(b)は、その特性説明図であり、図25(b)と同様に、メモリセル200の抵抗変化素子は低抵抗状態を想定して10kΩの固定値とし、双方向特性を有する電流制御素子と直列接続した状態で、書き込み回路105から与えられる電圧と、メモリセル200に流れる電流との関係を、シミュレーションを用いて求めた図である。

[0273] 図28(b)において、負の電圧領域(A)の特性は、高抵抗状態から10kΩと仮定した低抵抗状態に変化した後のメモリセルを、第1LR化駆動回路105a1により駆動する場合(例えば-3Vというのは、VLRに3Vを与えて駆動することを意味する)の特性を、正の電圧領域(B)の特性は、10kΩと仮定した低抵抗状態のメモリセルを高抵抗化状態に向け第1HR化駆動回路105c1により駆動する場合の特性を示している。負の電圧領域(A)中の破線は、電流制限回路105bを介さない場合の特性を比較のために示している。

[0274] 図28(b)より、メモリセルを低抵抗化するときは、低抵抗化電源電圧VLRの増加とともに、メモリセルに流れる電流も増加し、電流制限回路105bを介さない場合、破線の特性の様に単調増加するのに対し、電流制限回路105bを用いる場合、その電流制限効果により、変極点Cを持ち、約3.9V付近からは130μAの一定電流に制限される。

[0275] 一方、メモリセルを高抵抗化するときは、電流制限回路がないため、高抵抗化電源電圧 V_{HR} に3.5Vを印加した場合、 $150\mu A$ の電流、すなわち低抵抗化するときよりも大きい電流が流れることがわかる。

[0276] 図28(a)において、電流制限回路105b中のN型MOSトランジスタMN3の閾値電圧を V_{th_MN3} 、同ゲート電圧を V_{CL} 、LR化電源の電圧を V_{LR} 、メモリセルの低抵抗化点の電圧を $V_L = V_{Lth}$ とすると、図28(b)に示す変極点Cの電圧は、 $V_{CL} - V_{th_MN3} + V_L$ ($= V_{Lth}$)と近似される。この変極点Cの電圧 $V_{CL} - V_{th_MN3} + V_{Lth}$ が、LR化電源の電圧 V_{LR} と一致するように、

$$V_{LR} = V_{CL} - V_{th_MN3} + V_{Lth}$$

すなわち、

$$V_{CL} = V_{LR} - V_{Lth} + V_{th_MN3} \quad \dots \text{(式2)}$$

を満たすように V_{CL} を設定することにより、LR化電源の電圧として V_{LR} を与えた場合に、電流制限回路105bの変極点Cでメモリセルを低抵抗化すること、すなわち想定する低抵抗状態に設定することが可能となる。このとき、P型MOSトランジスタMP1における電圧降下は無視できるとした。またこの条件のとき、図24のA点の電流 I_L が駆動できるよう、電流制限回路105bのN型MOSトランジスタMN3のゲート幅、ゲート長を調整して設計しておく。

[0277] さらに、電流制限回路105bをN型MOSトランジスタではなく、電流ミラー回路等を用いた定電流回路とし、一定の電流値に制御することにより、より精度よく想定の抵抗値に設定することが可能である。

[0278] そして、この条件を満たしておけば、電圧変動や、速度低下の懸念に対してLR化電源の電圧 V_{LR} を、余裕を持って高めに設定しても、変極点C以上の電圧では定電流となるため、低抵抗状態の抵抗値を、一定の値に安定させて設定することができる。

[0279] 以上において、N型MOSトランジスタMN3の閾値電圧を V_{th_MN3} としているが、これはソース電圧が基板電圧に比べ上昇した状態、すなわ

ち基板バイアス効果が効いた状態での閾値電圧を指している。VCLだけでなく、閾値電圧 V_{th_MN3} を(式1)、(式2)の関係を満たすように設定することも、動作電圧の低減には有効となる。

[0280] ところでメモリセルの特性、例えば図24のA点に示すメモリセルの低抵抗化点の電流値はメモリセル毎に固有のばらつきを有している。ばらつきにより変極点Cもばらつくため、この点を考慮してVCLを設定しておく必要がある。以下、具体的に説明する。

[0281] まず下限値について、一般に読み出し回路106は、低抵抗状態のメモリセルの読み出しにおいては、一定値以上の読み出し電流が必要となる。そのため、最小読み出し電流となるメモリセル、すなわち低抵抗状態のメモリセルのなかで一番高抵抗な状態のメモリセルにおいても、前記読み出し電流を確保すべく、一定値より低い低抵抗状態に設定できるよう、VCLを設定しておく必要がある。

[0282] 一方、上限値について、メモリセル200に一定値より大きい電流を繰り返し流した場合、メモリセル、特に電流制御素子212の信頼性面で、望ましくない場合がある。そのような場合には、電流制御素子に耐電流(電流制御素子が破壊されない最大の電流)より大きい電流が流れないように、すなわち抵抗変化素子を一定値より高い低抵抗状態に留められるように、VCLを設定しておけばよい。

[0283] 下限値の設定において、不揮発性記憶装置で一般的に用いられる手段として、抵抗値のベリファイを行い、例えば低抵抗状態が不足したメモリセルに対して追加書き込みを行う場合がある。このような場合、追加書き込みを行うメモリセルに対してはVCLを高く設定することにより、低抵抗化を促進させてもよい。

[0284] 以上の説明では、電流制限回路105bをN型MOSトランジスタで構成する場合について説明したが、P型MOSトランジスタで構成することも可能である。P型MOSトランジスタを使用して、電流制限回路105bを第1LR化駆動回路105a1側に設けた場合の、図21の書き込み回路10

5の第2の具体的回路構成例を図29(a)に、第2LR化駆動回路105c2側に設けた、図27の書き込み回路105の第2の具体的回路構成例を図29(b)に示す。

[0285] 電流制限回路105bのP型MOSトランジスタの満たすべき設定条件は、図29(a)の場合、N型MOSトランジスタで構成した図28の場合と同様に求めることができる。図29(a)において、電流制限回路105b中のP型MOSトランジスタMP3の閾値電圧を V_{th_MP3} (V_{th_MP3} は正とする)、同ゲート電圧を V_{CL} 、LR化電源の電圧を V_{LR} 、メモリセルに印加される電圧を V_L とすると、電流制限回路105bの変極点Cの電圧は、 $V_{CL} + V_{th_MP3}$ と近似される。メモリセルの低抵抗化点の電圧 ($V_L = V_{Lth}$) と、この電流制限回路105bの変極点Cの電圧 ($= V_{CL} + V_{th_MP3}$) とを一致させておけば、電流制限回路105bの変極点Cにおいて、メモリセルを想定する低抵抗状態に設定できる。よって、

$$V_L = V_{Lth} = V_{CL} + V_{th_MP3}$$

すなわち、

$$V_{CL} = V_{Lth} - V_{th_MP3} \quad \dots \text{(式3)}$$

を満たすように、 V_{CL} を設定すればよい。このとき、N型MOSトランジスタMN2における電圧降下は無視できるとした。またこの条件のとき、A点の電流 I_L が駆動できるよう、電流制限回路105bのP型MOSトランジスタMP3のゲート幅、ゲート長を調整して設計しておく。

[0286] さらに、電流制限回路105bをP型MOSトランジスタではなく、電流ミラー回路等を用いた定電流回路とし、一定の電流値に制御することにより、より精度よく想定の抵抗値に設定することが可能である。

[0287] そして、この条件を満たしておけば、電圧変動や、速度低下の懸念に対してLR化電源の電圧 V_{LR} を、余裕を持って高めに設定しても、変極点C以上の電圧では定電流となるため、低抵抗状態の抵抗値を、一定の値に安定させて設定することができる。

[0288] 一方、図29(b)の場合は、図25の場合と同様に求めることが可能である。すなわち、図29(b)において、電流制限回路105b中のP型MOSトランジスタMP3の閾値電圧を V_{th_MP3} 、同ゲート電圧を V_{CL} 、LR化電源の電圧を V_{LR} 、メモリセルに印加される電圧を V_L 、メモリセルの低抵抗化点の電圧を $V_L = V_{Lth}$ とすると、 $V_{CL} \geq 0$ のとき、電流制限回路105bの変極点Cの電圧は、 $V_{CL} + V_{th_MP3} + V_L$ ($= V_{Lth}$)と近似される。この変極点Cの電圧 ($= V_{CL} + V_{th_MP3} + V_L$) が、LR化電源の電圧 V_{LR} と一致するように、

$$V_{LR} = V_{CL} + V_{th_MP3} + V_L (= V_{Lth}) \quad \text{かつ} \quad V_{CL} \geq 0$$

すなわち、

$$V_{CL} = V_{LR} - V_{Lth} - V_{th_MP3} \quad \text{かつ} \quad V_{CL} \geq 0 \quad \dots$$

(式4)

を満たすように V_{CL} を設定することにより、LR化電源の電圧として V_{LR} を与えた場合に、電流制限回路105bの変極点Cでメモリセルを低抵抗化すること、すなわち想定する低抵抗状態に設定することが可能となる。このとき、P型MOSトランジスタMP2における電圧降下は無視できるとした。またこの条件のとき、図24のA点の電流 I_L が駆動できるよう、電流制限回路105bのP型MOSトランジスタMP3のゲート幅、ゲート長を調整して設計しておく。

[0289] そして、この条件を満たしておけば、電圧変動や、速度低下の懸念に対してLR化電源の電圧 V_{LR} を、余裕を持って高めに設定しても、変極点C以上の電圧では定電流となり、低抵抗状態の抵抗値を、一定の値に安定させて設定することができる。

[0290] [本発明の第1の実施形態における抵抗変化型不揮発性記憶装置の変形例3]

図30は、P型MOSトランジスタを用いて電流制限回路105bを構成する場合の、図21とは異なる実施例であり、電流制限回路105bを抵抗

変化素子の第2電極と書き込み回路との間に配置することを特徴とする。図30では、電流制限回路105bをメモリセルアレイの近くに配置するため、図27の場合と比較して、よりメモリセルに近い位置で電流制限を行うことが可能となる。よって低抵抗化書き込み動作を行うときに、電流制限回路105bを介して充放電すべき容量負荷を低減することができ、メモリセルの低抵抗状態への変化に対し、追随性よく電流制限を行えるため、より精度よく想定の抵抗値に設定することが可能となる。

[0291] また、第2LR化駆動回路105c2で書き込みを行うときは、電流制限回路105bはソースフォロワとなり定電流特性となるため、低抵抗状態の抵抗値を一定の値に安定させて設定することができる一方、第1HR化駆動回路105c1で書き込みを行うときは、電流制限回路105bはソースフォロワとはならないため、低抵抗化するときよりも大きい電流を駆動することができる。

[0292] ここで、行選択回路103は一般に、P型MOSトランジスタ、N型MOSトランジスタと、デコーダ回路とで構成され、選択されたメモリセルに対応したビット線が択一的に選択される。この行選択回路103をP型MOSトランジスタのみで構成することにより、第2LR化駆動回路105c2で書き込みを行うときにソースフォロワとなるため、行選択回路103に行を選択する機能に加え、電流を制限する機能を持たせることができる。この場合、電流制限回路105bを別途設ける必要がなくなり、面積を削減することができる。

[0293] なお、図29のP型MOSトランジスタMP3の閾値電圧を V_{th_MP3} としているが、これはソース電圧が基板電圧に比べ下降した状態、すなわち基板バイアス効果が効いた状態での閾値電圧を指している。 V_{CL} だけでなく、(式3)、(式4)の関係を満たすように閾値電圧 V_{th_MP3} を他のトランジスタより低く設定することも、動作電圧の低減には有効となる。

[0294] 図25、28、29のように電流制限回路を設ける場合、回路を設計する

際に、電流制限回路を構成するMOSトランジスタのサイズを適切に選択することにより、より簡便に電流制限を実現することが可能である。

[0295] 具体的には、第1HR化駆動回路105c1を構成するP型MOSトランジスタのゲート幅を W_2 、ゲート長を L_2 とし、第2HR化駆動回路105a2を構成するN型MOSトランジスタのゲート幅を W_4 、ゲート長を L_4 とすると、抵抗変化素子を高抵抗化する場合の駆動回路の電流能力は、 W_2/L_2 、 W_4/L_4 の内の、小さい方で規定される。

[0296] 抵抗変化素子を低抵抗化する際に使用する電流制限回路105bを構成するMOSトランジスタのゲート幅を W_C 、ゲート長を L_C とすると、電流制限回路の電流能力は、 W_C/L_C で規定されるが、電流制限回路の電流能力が、抵抗変化素子を高抵抗化する場合の駆動回路の電流能力より小さくなるように、すなわち、

$$W_2/L_2 > W_C/L_C, \text{ かつ } W_4/L_4 > W_C/L_C \quad \dots \text{ (式5)}$$

を満たすように、電流制限回路のトランジスタサイズを設計することにより、抵抗変化素子を低抵抗化する場合の駆動回路の電流能力を、抵抗変化素子を高抵抗化する場合の駆動回路の電流能力より小さく制限することが可能である。

[0297] また、電流制限回路を構成するMOSトランジスタのサイズを(式5)を満たすように設計し、加えて電流制限回路105bを構成するMOSトランジスタのゲート電圧を、低抵抗化する場合の駆動回路の電流能力が、抵抗変化素子を高抵抗化する場合の駆動回路の電流能力より小さくなるよう制御することにより、より精度良く抵抗変化素子に抵抗値を設定することが可能なことは、いうまでもない。

[0298] 次に、第1の実施形態における抵抗変化型不揮発性記憶装置100にデータを書き込む場合の、書き込みサイクルでの動作例について、図31に示すタイミング図を参照しながら説明する。

[0299] 図31(a)、図31(b)は、本発明の第1の実施の形態に係る不揮発性記憶装置の動作例を示すタイミング図である。図31(a)は、データ「

0」すなわち低抵抗状態を書き込む（LR化）場合を、図31（b）は、データ「1」すなわち高抵抗状態を書き込む（HR化）場合を示している。

[0300] 以下において、説明はメモリセルM11が選択され、データの書き込み及び読み出しが行われる場合についてのみ示す。M11が選択セルとなる場合、M12はワード線が選択電位、ビット線が非選択電位となる非選択セルであり、M21はワード線が非選択電位、ビット線が選択電位となる非選択セルであり、M22はワード線もビット線も非選択電位となる非選択セルである。

[0301] 図31（a）、図31（b）では、選択セルM11に流れる電流とあわせて、非選択セルM12、M21、M22に流れる電流も示している。また電流波形は、ワード線からビット線の方向、すなわち抵抗変化素子の第2電極から第1電極の方向に流れる電流を正極性としている。

[0302] 以下、図31（a）、図31（b）について、T1～T4の期間に分けて、その動作を説明する。なお、図31において、VDDは抵抗変化型不揮発性記憶装置100に供給される電源電圧に対応している。

[0303] 図31（a）に示すメモリセルM11に対するデータ「0」書き込みサイクルにおいては、期間T1において、全ワード線（WL1およびWL2）をVPR_WLに、全ビット線（BL1およびBL2）を電圧VPR_BLにプリチャージしておく。なお、プリチャージ電圧は、ワード線およびビット線の最大振幅の概ね中間電圧が設定されている。

[0304] T1に続くT2は、まだ抵抗変化素子R11が高抵抗状態にある期間で、行選択回路103でワード線WL1を、列選択回路104でビット線BL1を選択し、第1LR化駆動回路105a1を使用して選択ビット線BL1をVLRに駆動し、第2LR化駆動回路105c2を使用して選択ワード線WL1を0Vに駆動する。時間経過とともにBL1の電位が上昇、WL1の電位が低下するが、ワード線WL1は比較的高速に低下するのに対し、電流制限回路105bを介して駆動されるビット線BL1は緩やかに上昇する。また、ビット線BL1の電位は、電流制限回路105bを介しているため、V

LRまでは上昇しない。

[0305] T3は、書き込み、すなわち抵抗変化が生じ、低抵抗状態に遷移する期間を示している。T3では、選択セルM11に流れる電流値が増加して、抵抗変化素子R11（図22の213）に、第2電極209を基準にして第1電極207に抵抗変化素子の低抵抗化電圧 V_{Lth} となる絶対値を持つ電圧が抵抗変化素子R11に印加された時点で、高抵抗値から低抵抗値に書き込みが行われる。低抵抗化すると共に、メモリセルM11に流れる電流は増加するが、電流制限回路105bがあるため、電流値は一定値以上増加しない。そのため、抵抗値が一定の値で低抵抗化は留まる。なお、図31(a)では電流の増加の方向は下向きにとっている。

[0306] その後T4期間では、ワード線、ビット線の選択を解除し、全ワード線を V_{PR_WL} に、全ビット線を電圧 V_{PR_BL} にプリチャージして、データ「0」の書き込みが完了する。

[0307] 図31(b)に示すメモリセルM11に対するデータ「1」書き込みサイクルにおいては、期間T1において、全ワード線を V_{PR_WL} に、全ビット線を電圧 V_{PR_BL} にプリチャージしておく。なお、プリチャージ電圧は、ワード線およびビット線の最大振幅の概ね中間電圧が設定されている。

[0308] T1に続くT2は、まだ抵抗変化素子R11が低抵抗状態にある期間で、行選択回路103でワード線WL1を、列選択回路104でビット線BL1を選択し、第1HR化駆動回路105c1を使用して選択ワード線WL1をVHRに駆動し、第2HR化駆動回路105a2を使用して選択ビット線BL1を0Vに駆動する。時間経過とともにWL1の電位が上昇、BL1の電位が降下するが、電流制限回路を介さないため、ワード線WL1、ビット線BL1とも、比較的高速に変化する。

[0309] T3は、書き込み、すなわち抵抗変化が生じ、高抵抗状態に遷移した期間を示している。T3では、選択セルM11に流れる電流値が増加して、抵抗変化素子R11（図22の213）に、第1電極207を基準にして第2電極209に抵抗変化素子の高抵抗化電圧 V_{Hth} を超える絶対値を持つ電圧

が印加された時点で、低抵抗値から高抵抗値に書き込みが行われる。

- [0310] その後 T 4 期間では、ワード線、ビット線の選択を解除し、全ワード線を VPR_WL に、全ビット線を電圧 VPR_BL にプリチャージして、データ「1」の書き込みが完了する。
- [0311] なお、メモリセル M_{i j} は図 2 2 に示す構造に限定されるものではなく、Bモード特性を示す次のようなものでもよい。
- [0312] 図 3 2 (a) ~ 図 3 2 (d) はいずれも、図 2 2 と同様に抵抗変化層を挟む上部電極および下部電極構造において、互いに異なる電極材料からなり、かつ上部電極を下部電極と比べて標準電極電位がより高い材料で構成することにより、Bモード動作をするメモリセルの展開例である。
- [0313] 図 3 2 (a) は、第 2 ビア 2 0 6 を設けず、抵抗変化素子 2 1 3 と電流制御素子 2 1 2 とを接する形で構成したメモリセルである。
- [0314] 図 3 2 (b) は図 3 2 (a) に対し、TaN で構成される電流制御素子 2 1 2 の第 4 電極 2 0 5 と TaN で構成される抵抗変化素子 2 1 3 の第 1 電極とを、共通にしたメモリセルである。このメモリセルは、電極を共通にできるため、製造が容易となる。
- [0315] 図 3 2 (c) は、第 2 ビア 2 0 6 と同一径で、抵抗変化素子 2 1 3 と電流制御素子 2 1 2 を構成したメモリセルである。このメモリセルは、第 2 ビア 2 0 6 と同一径で構成されるため、メモリセルを配線の最小間隔にあわせて配置することが可能となり、小面積化することができる。このメモリセルは、抵抗変化素子 2 1 3 および電流制御素子 2 1 2 の、積層方向に直交する断面の大きさ（一例としては上記の径）を、ビアと比べて同一またはより小さく形成した一例である。
- [0316] 図 3 2 (d) は図 3 2 (c) に対し、第 2 層配線 2 1 1 を Pt で構成することにより、第 2 層配線を抵抗変化素子 2 1 3 の第 2 電極として使用し、第 1 層配線 2 0 1 を TaN で構成することにより、第 1 層配線を電流制御素子 2 1 2 の第 3 電極として使用している。この場合、抵抗変化素子 2 1 3 の第 2 電極、電流制御素子 2 1 2 の第 3 電極を別途設ける必要がなくなるため、

小面積化が可能となる。なお図32(d)では、第2層配線211、第1層配線201の双方をメモリセルの両端の電極と共通にする例を示したが、このうちのどちらか一方のみを共通としてもよい。

[0317] 以上では、第1層配線201の上に電流制御素子212、抵抗変化素子213、第2層配線211の順に構成する場合の構成例を説明したが、図22、および図32(a)、図32(c)、図32(d)の各場合については、第1層配線201の上に抵抗変化素子213、電流制御素子212、第2層配線211の順に構成してもよい。そのような構成では、第1層配線201の上に、抵抗変化素子213の第1電極207、抵抗変化層208、第2電極209、電流制御素子212の第3電極203、電流制御層204、第4電極205、および第2層配線211が、この順に形成される。

[0318] 図33はBモード動作をする別な構造のメモリセル250の一例を示す。なお図22と同じものは、同じ記号を付している。

[0319] メモリセル250は、図33に示すように、アルミニウム(A1)で構成される第1層配線201、第1ビア202、電流制御素子において窒化タンタル(TaN)で構成される第3電極203、窒素不足型窒化シリコンで構成される電流制御層204、電流制御素子において窒化タンタル(TaN)で構成される第4電極205、第2ビア206、抵抗変化素子において白金(Pt)で構成される第1電極207、酸素含有率の低い第1のタンタル酸化物層208a、酸素含有率の高い第2のタンタル酸化物層208b、抵抗変化素子において白金(Pt)で構成される第2電極209、第3ビア210、アルミニウム(A1)で構成される第2層配線211を順に形成して構成されており、第2のタンタル酸化物層208bを、抵抗変化素子の上部電極である第2電極209に接して構成することを特徴としている。

[0320] この構造では、本発明の基礎データに記載した本出願の関連発明中で説明されているように、抵抗変化動作は上部電極である第2電極209と第2のタンタル酸化物層208bとの界面近傍で起こり、その動作はBモードに対応している。

- [0321] 図33で、第1層配線201はビット線BL1に、第2層配線211はワード線WL1に対応しているので、第2層配線211の電圧に対し第1層配線201の電圧が所定電圧 V_{Lth} 以上高くなったとき、抵抗変化素子213は低抵抗状態に変化し、第1層配線201の電圧に対し第2層配線211の電圧が所定電圧 V_{Hth} 以上高くなったとき、抵抗変化素子213は高抵抗状態に変化する。
- [0322] 図34(a)～図34(c)はいずれも、図33と同様に抵抗変化層を挟む上部電極および下部電極構造において、上部電極に接して酸素含有率の高い第2のタンタル酸化物層を配置し、何れもBモード動作をするメモリセルの展開例である。
- [0323] 図34(a)は、第2ビア206を設けず、抵抗変化素子213と電流制御素子212とを接する形で構成したメモリセルである。
- [0324] 図34(b)は、第2ビア206と同一径で、抵抗変化素子213と電流制御素子212を構成したメモリセルである。このメモリセルは、第2ビア206と同一径で構成されるため、メモリセルを配線の最小間隔にあわせて配置することが可能となり、小面積化することができる。このメモリセルは、抵抗変化素子213および電流制御素子212の、積層方向に直交する断面の大きさ（一例としては上記の径）を、ビアと比べて同一またはより小さく形成した一例である。
- [0325] 図34(c)は図34(b)に対し、第2層配線211をPtで構成することにより、第2層配線を抵抗変化素子213の第2電極として使用し、第1層配線201をTaNで構成することにより、第1層配線を電流制御素子212の第3電極として使用している。この場合、抵抗変化素子213の第2電極、電流制御素子212の第3電極を別途設ける必要がなくなるため、小面積化が可能となる。なお図34(c)では、第2層配線211、第1層配線201の双方をメモリセルの両端の電極と共通にする例を示したが、このうちのどちらか一方のみを共通としてもよい。
- [0326] 以上では、図22、図32、図33、および図34について、第1層配線

201の上に電流制御素子212、抵抗変化素子213、第2層配線211の順に構成する場合の構成例を説明したが、第1層配線201の上に抵抗変化素子213、電流制御素子212、第2層配線211の順に構成してもよい。そのような構成では、第1層配線201の上に、抵抗変化素子213の第1電極207、抵抗変化層208、第2電極209、電流制御素子212の第3電極203、電流制御層204、第4電極205、および第2層配線211が、この順に形成される。

[0327] なお、図22や図32(a)～図32(d)の電極構成のように、標準電極電位がより高い材料で上部電極を構成し、それに接して図33や図34(a)～図34(c)で示した酸素含有率の高い第2のタンタル酸化物層を配置するという、異電極と、濃度の異なるタンタル酸化物層とを組み合わせた構造でもよいことは、いうまでもない。

[0328] さらに、第3電極203あるいは第3電極203および電流制御層204は、それぞれ第1層配線201上に同じ配線形状で形成してもよい。また、第2電極209も、第2層配線211の下に、同じ配線形状で形成してもよい。

[0329] [本発明の第2の実施形態における抵抗変化型不揮発性記憶装置]

次に、本発明の第2の実施形態として、第1の実施形態とは異なる抵抗変化型不揮発性記憶装置について説明する。第2の実施形態は、第1の実施形態においてメモリセルをAモードとしたものであり、以下、第1の実施形態と同様となる回路、動作等の説明は、適宜省略する。

[0330] 図35は、本発明の第2の実施形態に係る不揮発性記憶装置の構成を示すブロック図である。第2の実施形態は、抵抗変化現象が抵抗変化素子の下部電極近傍で生じると考えられるAモード動作が生じるメモリセルの構成と、それに最適な制御回路を示すものである。

[0331] 図35において、抵抗変化型不揮発性記憶装置120は、半導体基板上に、メモリ本体部121を備えており、メモリ本体部121は、メモリセルアレイ122と、行選択回路103と、列選択回路104と、書き込み回路1

05と、選択ビット線に流れる電流量を検出し、記憶されているデータが「1」か「0」かを判定する読み出し回路106と、端子DQを介して入出力データの入出力処理を行うデータ入出力回路107とを備えている。

[0332] また、抵抗変化型不揮発性記憶装置120の外部より与えられるアドレス信号を入力とし、所定のアドレスを選択指示するアドレス入力回路108と、制御信号を入力とする制御回路109の出力がメモリ本体部121に供給され、その動作を制御している。

[0333] メモリセルアレイ122は、M行N列（M、Nは自然数。図35では2行2列の4ビット分のみ図示）のマトリクス状にメモリセル M_{ij} （ $i \leq M$ 、 $j \leq N$ なる自然数。以下同じものは省略）が配列されている。メモリセル M_{ij} は、抵抗変化素子 R_{ij} の一端と、正負の双方向に閾値電圧を有する電流制御素子 D_{ij} の一端とを、互いに直列に接続して構成されている。抵抗変化素子 R_{ij} の他端はビット線 BL_j に、電流制御素子 D_{ij} の他端はワード線 WL_i に接続されている。

[0334] 本構成では、ビット線 BL_j が下層の配線で構成され、紙面内の上下方向に配置されるとすると、ワード線 WL_i はビット線 BL_j より上層の配線で構成され、紙面内の左右方向に配置される。また抵抗変化素子 R_{ij} は、抵抗変化現象が抵抗変化素子の下部電極近傍で生じるAモードの特性になる構造で構成されている。

[0335] ワード線 WL_i は、行選択回路103に接続され、読み出しまたは書き込みモードにおいて択一的に行選択が行われる。

[0336] またビット線 BL_j は、列選択回路104に接続され、読み出しまたは書き込みモードにおいて択一的に列選択が行われる。

[0337] データ入出力回路107は、書き込みモードにおいて、データ入力信号 D_{in} のデータ“0”またはデータ“1”の書き込み指示に従って、選択されたメモリセル M_{ij} 内の抵抗変化素子 R_{ij} に対し、低抵抗化または高抵抗化の書き込みを行う。本実施例では、データ“0”書き込みを低抵抗化書き込みに、データ“1”書き込みを高抵抗化書き込みに対応させてある。

- [0338] 書き込み回路105はデータ入出力回路107と接続され、データ“0”書き込み、すなわち低抵抗化書き込みを行うときにハイレベルを駆動する第1LR化駆動回路105a1、その出力を入力とする電流制限回路105b、およびロウレベルを駆動する第2LR化駆動回路105c2を有している。また、データ“1”書き込み、すなわち高抵抗化書き込みを行うときにハイレベルを駆動する第1HR化駆動回路105c1、およびロウレベルを駆動する第2HR化駆動回路105a2を有している。
- [0339] そして、低抵抗化書き込みを行うときは、電流制限回路105bにより電流制限した信号を、行選択回路103を介して選択ワード線WL_iに供給する。一方、高抵抗化書き込みを行うときは、電流制限機能を有しない第1HR化駆動回路105c1で列選択回路104を介して選択ビット線BL_jに信号を供給することを一つの特徴としている。
- [0340] このように構成される抵抗変化型不揮発性記憶装置120において、ワード線WL_iおよびビット線BL_jが、それぞれ本発明の第1信号線および第2信号線の一例である。第1LR化駆動回路105a1、第1HR化駆動回路105c1、第2LR化駆動回路105c2、および第2HR化駆動回路105a2が、それぞれ本発明の第1駆動回路、第2駆動回路、第3駆動回路、および第4駆動回路の一例である。電流制限回路105bが、本発明の電流制限回路の一例である。また、行選択回路103および列選択回路104が、それぞれ本発明の第1選択回路および第2選択回路の一例である。
- [0341] 図36は、図35においてAで示す、メモリセルM11の構成を示す断面図である。
- [0342] 電流制御素子212、抵抗変化素子213は、各々、図35における電流制御素子D11、抵抗変化素子R11に対応している。
- [0343] メモリセル220は、図36に示すように、アルミニウム（Al）で構成される第1層配線201、第1ビア202、抵抗変化素子において白金（Pt）で構成される第2電極209、酸素不足型タンタル酸化物で構成される抵抗変化層208、抵抗変化素子において窒化タンタル（Ta₂N₅）で構成さ

れる第1電極207、第2ビア206、電流制御素子において窒化タンタル（Ta₂N₅）で構成される第4電極205、窒素不足型窒化シリコンで構成される電流制御層204、電流制御素子においてTa₂N₅で構成される第3電極203、第3ビア210、アルミニウム（Al）で構成される第2層配線211を順に形成して構成されており、抵抗変化素子の第1電極207と第2電極209とは異なる材料で構成されている。

[0344] ここで、ビット線BL_j側に接続されているより下層の第2電極209を、ワード線WL_i側に接続される第1電極207に比べ標準電極電位がより高い材料であるPtで構成することを、もう一つの特徴としている。

[0345] このメモリセル構造では、本発明の基礎データでも説明したように、抵抗変化動作は、第1電極を構成するTa₂N₅よりも高い標準電極電位を有するPtで構成される第2電極と、抵抗変化層208との界面近傍で起こり、その動作はAモードに対応している。

[0346] 図36で、第1層配線201はビット線BL₁に、第2層配線211はワード線WL₁に対応しているので、第1層配線201の電圧に対し第2層配線211の電圧が所定電圧V_{L₁th}以上高くなったとき、抵抗変化素子213は低抵抗状態に変化し、第2層配線211の電圧に対し第1層配線201の電圧が所定電圧V_{H₁th}以上高くなったとき、抵抗変化素子213は高抵抗状態に変化する。

[0347] 書き込み回路105の具体回路は、図23と同様である。

[0348] 書き込みモードにおいて、データ“0”書き込み、すなわち低抵抗書き込みが指示されると、C_NLRがロウレベル、C_LLRがハイレベルに設定され、第1LR化駆動回路105a1のP型MOSトランジスタMP1と、第2LR化駆動回路105c2のN型MOSトランジスタMN2がオンし、第1LR化駆動回路105a1の出力電流がワード線WL_i、メモリセルM_{ij}、ビット線BL_jを主経路とし、第2LR化駆動回路105c2に流れ込む電流経路が形成される。

[0349] また、電流制限回路105bの出力は、N型MOSトランジスタMN3で

電流制限されるとともに、その出力電圧 V_{LR_O} は、MN3の閾値電圧を V_{th_MN3} とすると、 $V_{CL} - V_{th_MN3}$ の電圧に上限が制限される。それとともに、ソースフォロワ特性を持つため、低抵抗化書き込み電源 V_{LR} を一定電圧以上に設定すると、定電流源として動作する。

[0350] 書き込みモードにおいてデータ“1”書き込み、すなわち高抵抗書き込みが指示されると、 C_NHR がロウレベル、 C_HR がハイレベルに設定され、第1HR化駆動回路105c1のP型MOSトランジスタMP2と、第2HR化駆動回路105a2のN型MOSトランジスタMN1がオンし、第1HR化駆動回路105c1の出力電流がビット線 BL_j 、メモリセル M_{ij} 、ワード線 WL_i を主経路とし、第2HR化駆動回路105a2に流れ込む電流経路が形成される。電流経路に電流制限回路を含まないため、高抵抗化書き込み電源 V_{HR} の増加に従い、電流は単調に増加する。

[0351] [本発明の第2の実施形態における抵抗変化型不揮発性記憶装置の動作]
以上の様に構成された抵抗変化型不揮発性記憶装置120について、その動作を説明する。

[0352] 図35のメモリセル M_{11} に対し、電圧を印加した場合の電圧、電流の関係は、第1の実施形態、すなわち図24の場合と同様である。但しこの場合、メモリセル M_{11} （図36における220）はAモードで動作するため、図36における第2層配線211に対し、第1層配線201が高い電位となる極性が正となる。

[0353] 第2の実施形態における書き込み回路105の特性は、第1の実施形態の場合、すなわち図25と同様であり、電流制限回路105bのN型MOSトランジスタMN3の設定条件は、図24、図25から同様に求めることが可能であるため、ここでは説明は省略する。

[0354] また、第1の実施形態の場合と同様、電流制限回路105bは、第2LR化駆動回路105c2側に設けてもよい。同様に、電流制限回路105bを、抵抗変化素子の第1電極と書き込み回路105との間に配置すること、P型MOSトランジスタで構成すること、抵抗変化素子の第2電極と書き込み

回路 105 との間に配置することも可能である。

[0355] 次に、第 2 の実施形態における抵抗変化型不揮発性記憶装置 120 にデータを書き込む場合の、書き込みサイクルでの動作例について、図 37 に示すタイミング図を参照しながら説明する。

[0356] 図 37 (a)、図 37 (b) は、本発明の実施の形態に係る不揮発性記憶装置の動作例を示すタイミング図である。図 37 (a) は、データ「0」すなわち低抵抗状態を書き込む場合を、図 37 (b) は、データ「1」すなわち高抵抗状態を書き込む場合を示している。

[0357] 以下において、説明はメモリセル M11 が選択され、データの書き込み及び読み出しが行われる場合についてのみ示す。M11 が選択セルとなる場合、M12 はワード線が選択電位、ビット線が非選択電位となる非選択セル、M21 はワード線が非選択電位、ビット線が選択電位となる非選択セル、M22 はワード線もビット線も非選択電位となる非選択セルとなる。図 37 (a)、図 37 (b) では、選択セル M11 に流れる電流とあわせて、非選択セル M12、M21、M22 に流れる電流も示している。また電流波形は、ワード線からビット線の方向、すなわち抵抗変化素子の第 1 電極から第 2 電極の方向に流れる電流を正極性としている。

[0358] 以下、図 37 について、T1 ~ T4 の期間に分けて、その動作を説明する。なお、図 37 において、VDD は抵抗変化型不揮発性記憶装置 120 に供給される電源電圧に対応している。

[0359] 図 37 (a) に示すメモリセル M11 に対するデータ「0」書き込みサイクルにおいては、期間 T1 において、全ワード線を VPR_WL に、全ビット線を電圧 VPR_BL にプリチャージしておく。なお、プリチャージ電圧は、ワード線およびビット線の最大振幅の概ね中間電圧が設定されている。

[0360] T1 に続く T2 は、まだ抵抗変化素子 R11 が高抵抗状態にある期間で、行選択回路 103 でワード線 WL1 を、列選択回路 104 でビット線 BL1 を選択し、第 1 LR 化駆動回路 105a1 を使用して選択ワード線 WL1 を VLR に駆動し、第 2 LR 化駆動回路 105c2 を使用して選択ビット線 B

L 1 を 0 V に駆動する。時間経過とともにWL 1 の電位が上昇、BL 1 の電位が低下するが、ビット線BL 1 は比較的高速に低下するのに対し、電流制限回路 105 b を介して駆動されるワード線WL 1 は緩やかに上昇する。

[0361] T 3 は、書き込み、すなわち抵抗変化が生じ、低抵抗状態に遷移した期間を示している。T 3 では、選択セルM 11 に流れる電流値が増加して、抵抗変化素子 213 に第 2 電極 209 を基準にして第 1 電極 207 に、抵抗変化素子の低抵抗化電圧 V_{Lth} となる絶対値を持つ電圧が抵抗変化素子 R 11 に印加された時点で、高抵抗値から低抵抗値に書き込みが行われる。低抵抗化すると共に、メモリセルM 11 に流れる電流は増加するが、電流制限回路 105 b があるため、電流値は一定値以上増加しない。そのため、抵抗値が一定の値で低抵抗化は留まる。

[0362] その後 T 4 期間では、ワード線、ビット線の選択を解除し、全ワード線を V_{PR_WL} に、全ビット線を電圧 V_{PR_BL} にプリチャージして、データ「0」の書き込みが完了する。

[0363] 図 37 (b) に示すメモリセルM 11 に対するデータ「1」書き込みサイクルにおいては、期間 T 1 において、全ワード線を V_{PR_WL} に、全ビット線を電圧 V_{PR_BL} にプリチャージしておく。なお、プリチャージ電圧は、ワード線およびビット線の最大振幅の概ね中間電圧が設定されている。

[0364] T 1 に続く T 2 は、まだ抵抗変化素子 R 11 が低抵抗状態にある期間で、行選択回路 103 でワード線WL 1 を、列選択回路 104 でビット線BL 1 を選択し、第 1 HR 化駆動回路 105 c 1 を使用して選択ビット線BL 1 を V_{HR} に駆動し、第 2 HR 化駆動回路 105 a 2 を使用して選択ワード線WL 1 を 0 V に駆動する。時間経過とともにBL 1 の電位が上昇、WL 1 の電位が低下するが、電流制限回路を介さないため、ワード線WL 1、ビット線BL 1 とも、比較的高速に変化する。

[0365] T 3 は、書き込み、すなわち抵抗変化が生じ、高抵抗状態に遷移した期間を示している。T 3 では、選択セルM 11 に流れる電流値が増加して、抵抗変化素子 213 に第 1 電極 207 を基準にして第 2 電極 209 に、抵抗変化

素子の高抵抗化電圧 V_{Hth} を超える絶対値を持つ電圧が印加された時点で、低抵抗値から高抵抗値に書き込みが行われる。

[0366] その後 T4 期間では、ワード線、ビット線の選択を解除し、全ワード線を V_{PR_WL} に、全ビット線を電圧 V_{PR_BL} にプリチャージして、データ「1」の書き込みが完了する。

[0367] なお、メモリセル M_{ij} は図 36 に示す構造に限定されるものではなく、Aモード特性を示す次のようなものでもよい。

[0368] 図 38 (a) ~ 図 38 (d) はいずれも、図 36 と同様に抵抗変化層を挟む上部電極および下部電極構造において、互いに異なる電極材料からなり、かつ下部電極を上部電極と比べて標準電極電位がより高い材料で構成することにより、Aモード動作をするメモリセルの展開例である。

[0369] 図 38 (a) は、第 2 ビア 206 を設けず、抵抗変化素子 213 と電流制御素子 212 とを接する形で構成したメモリセルである。

[0370] 図 38 (b) は図 38 (a) に対し、TaN で構成される電流制御素子 212 の第 4 電極 205 と TaN で構成される抵抗変化素子 213 の第 1 電極とを、共通にしたメモリセルである。このメモリセルは、電極を共通にできるため、製造が容易となる。

[0371] 図 38 (c) は、第 2 ビア 206 と同一径で、抵抗変化素子 213 と電流制御素子 212 を構成したメモリセルである。このメモリセルは、第 2 ビア 206 と同一径で構成されるため、メモリセルを配線の最小間隔にあわせて配置することが可能となり、小面積化することができる。このメモリセルは、抵抗変化素子 213 および電流制御素子 212 の、積層方向に直交する断面の大きさ（一例としては上記の径）を、ビアと比べて同一またはより小さく形成した一例である。

[0372] 図 38 (d) は図 38 (c) に対し、第 1 層配線 201 を Pt で構成することにより、第 1 層配線を抵抗変化素子 213 の第 2 電極として使用し、第 2 層配線 211 を TaN で構成することにより、第 2 層配線を電流制御素子 212 の第 3 電極として使用している。この場合、抵抗変化素子 213 の第

2電極、電流制御素子212の第3電極を別途設ける必要がなくなるため、小面積化が可能となる。なお図38(d)では、第2層配線211、第1層配線201の双方をメモリセルの両端の電極と共通にする例を示したが、このうちのどちらか一方のみを共通としてもよい。

[0373] 以上では、第1層配線201の上に抵抗変化素子213、電流制御素子212、第2層配線211の順に構成する場合の構成例を説明したが、図36、および図38(a)、図38(c)、図38(d)の各場合については、第1層配線201の上に電流制御素子212、抵抗変化素子213、第2層配線211の順に構成してもよい。そのような構成では、第1層配線201の上に、電流制御素子212の第4電極205、電流制御層204、第3電極203、抵抗変化素子213の第2電極209、抵抗変化層208、第1電極207、および第2層配線211が、この順に形成される。

[0374] 図39はAモード動作をする別な構造のメモリセル270の一例を示す。なお図36と同じものは、同じ記号を付している。

[0375] メモリセル270は、図39に示すように、アルミニウム(AI)で構成される第1層配線201、第1ビア202、抵抗変化素子において白金(Pt)で構成される第2電極209、酸素含有率の高い第2のタンタル酸化物層208b、酸素含有率の低い第1のタンタル酸化物層208a、抵抗変化素子において白金(Pt)で構成される第1電極207、第2ビア206、電流制御素子において窒化タンタル(TaN)で構成される第4電極205、窒素不足型窒化シリコンで構成される電流制御層204、電流制御素子においてTa₂N₅で構成される第3電極203、第3ビア210、アルミニウム(AI)で構成される第2層配線211を順に形成して構成されており、第2のタンタル酸化物層208bを、抵抗変化素子の下部電極である第2電極209に接して構成することを特徴としている。

[0376] この構造では、本発明の基礎データに記載した本出願の関連発明中で説明されているように、抵抗変化動作は下部電極である第2電極209と第2のタンタル酸化物層208bとの界面近傍で起こり、その動作はAモードに対

応している。

- [0377] 図39で、第1層配線201はビット線BL1に、第2層配線211はワード線WL1に対応しているので、第1層配線201の電圧に対し第2層配線211の電圧が所定電圧 V_{Lth} 以上高くなったとき、抵抗変化素子213は低抵抗状態に変化し、第2層配線211の電圧に対し第1層配線201の電圧が所定電圧 V_{Hth} 以上高くなったとき、抵抗変化素子213は高抵抗状態に変化する。
- [0378] 図40(a)~図40(c)はそれぞれ、図39と同様に抵抗変化層を挟む上部電極および下部電極構造において、下部電極に接して酸素含有率の高い第2のタンタル酸化物層を配置し、何れもAモード動作をするメモリセルの展開例である。
- [0379] 図40(a)は、第2ビア206を設けず、抵抗変化素子213と電流制御素子212とを接する形で構成したメモリセルである。
- [0380] 図40(b)は、第2ビア206と同一径で、抵抗変化素子213と電流制御素子212を構成したメモリセルである。このメモリセルは、第2ビア206と同一径で構成されるため、メモリセルを配線の最小間隔にあわせて配置することが可能となり、小面積化することができる。このメモリセルは、抵抗変化素子213および電流制御素子212の、積層方向に直交する断面の大きさ(一例としては上記の径)を、ビアと比べて同一またはより小さく形成した一例である。
- [0381] 図40(c)は図40(b)に対し、第1層配線201をPtで構成することにより、第1層配線を抵抗変化素子213の第2電極として使用し、第2層配線211をTaNで構成することにより、第2層配線を電流制御素子212の第3電極として使用している。この場合、抵抗変化素子213の第2電極、電流制御素子212の第3電極を別途設ける必要がなくなるため、小面積化が可能となる。なお図40(c)では、第2層配線211、第1層配線201の双方をメモリセルの両端の電極と共通にする例を示したが、このうちのどちらか一方のみを共通としてもよい。

[0382] 以上では、図39、および図40について、第1層配線201の上に抵抗変化素子213、電流制御素子212、第2層配線211の順に構成する場合の構成例を説明したが、第1層配線201の上に電流制御素子212、抵抗変化素子213、第2層配線211の順に構成してもよい。そのような構成では、第1層配線201の上に、電流制御素子212の第4電極205、電流制御層204、第3電極203、抵抗変化素子213の第2電極209、抵抗変化層208、第1電極207、および第2層配線211が、この順に形成される。

[0383] なお、図36や図38(a)～図38(d)の電極構成の様に、標準電極電位がより高い材料で下部電極を構成し、それに接して図39や図40(a)～図40(c)で示した酸素含有率の高い第2のタンタル酸化物層を配置するという、異電極と、濃度の異なるタンタル酸化物層とを組み合わせた構造でもよいことは、いうまでもない。さらに、第1電極203あるいは第1電極203および電流制御層204は、それぞれ、第2層配線211下に同じ配線形状で形成してもよい。また、第2電極209も、第1層配線201の上に、同じ配線形状で形成してもよい。

[0384] なお、上述した実施形態においては、抵抗変化層としての遷移金属酸化物としては、タンタル酸化物、ハフニウム酸化物の場合について説明したが、例えば、ジルコニウム酸化物などの他の遷移金属酸化物についても同様に適用できる。また、上下電極間に挟まれる遷移金属酸化物層としては、抵抗変化を発現する主たる抵抗変化層として、タンタル、ハフニウム、ジルコニウム等の酸化物層が含まれていればよく、これ以外に例えば微量の他元素が含まれていても構わない。抵抗値の微調整等で、他元素を少量、意図的に含めることも可能であり、このような場合も本発明の範囲に含まれるものである。また、スパッタリングにて抵抗膜を形成した際に、残留ガスや真空容器壁からのガス放出などにより、意図しない微量の元素が抵抗膜に混入することがあるが、このような微量の元素が抵抗膜に混入した場合も本発明の範囲に含まれることは当然である。

産業上の利用可能性

[0385] 本発明の抵抗変化型不揮発性記憶装置は、高い信頼性と安定した書き換え特性とを有しており、デジタル家電、メモリカード、携帯型電話機、およびパーソナルコンピュータなどの種々の電子機器に用いられる不揮発性メモリ装置として有用である。

符号の説明

- [0386] 100、120 抵抗変化型不揮発性記憶装置
 101、121 メモリ本体部
 102、122 メモリセルアレイ
 103 行選択回路
 104 列選択回路
 105 書き込み回路
 105 a 1 第1LR化駆動回路
 105 a 2 第2HR化駆動回路
 105 b 電流制限回路
 105 c 1 第1HR化駆動回路
 105 c 2 第2LR化駆動回路
 106 読み出し回路
 107 データ入出力回路
 108 アドレス入力回路
 109 制御回路
 200、220、250、270、1001、1280 メモリセル
 201 第1層配線
 202 第1ビア
 203 第3電極
 204 電流制御層
 205 第4電極
 206 第2ビア

- 207 第1電極
- 208、1230、3302 抵抗変化層
- 208a 第1のタンタル酸化物層
- 208b 第2のタンタル酸化物層
- 209 第2電極
- 210 第3ビア
- 211 第2層配線
- 212 電流制御素子
- 213、1003、1260 抵抗変化素子
- 500 不揮発性記憶素子
- 501 単結晶シリコン基板
- 502 酸化物層
- 503、1250、1401、1501、3301 下部電極
- 504 酸素不足型の遷移金属（Ta又はHf）の酸化物層
- 505、1240、1403、1503、3303 上部電極
- 506 素子領域
- 1002 トランジスタ
- 1200 不揮発性記憶装置
- 1210 ビット線
- 1220 ワード線
- 1270 ダイオード素子
- 1402、1502 酸素不足型のTa酸化物層
- 1404、1504 酸素イオン

請求の範囲

[請求項1]

予め定められた第1の極性の第1電圧が印加されると第1範囲に属する抵抗値の低抵抗状態に変化しかつ前記極性とは逆の第2の極性の第2電圧が印加されると前記第1範囲よりも高い第2範囲に属する抵抗値の高抵抗状態に変化する抵抗変化素子と、2端子の電流制御素子とを直列に接続してなる複数のメモリセルと、

互いに交差する複数の第1信号線および複数の第2信号線と、

前記複数のメモリセルを前記複数の第1信号線と前記複数の第2信号線との交差点に配置し、各交差点に配置されたメモリセルの両端を交差する1組の前記第1信号線と前記第2信号線とに接続してなるメモリセルアレイと、

前記複数のメモリセルに前記複数の第1信号線および前記複数の第2信号線を介して印加される両極性の電圧を発生する書き込み回路と、

前記書き込み回路から前記複数のメモリセルへ流れる電流の経路に挿入され、前記複数のメモリセルを低抵抗状態に変化させる方向の電流のみを制限する電流制限回路と

を備え、

前記各メモリセルにおいて、

前記抵抗変化素子は、第1電極と、第2電極と、前記第1電極と前記第2電極との間に介在させ、前記第1電極と前記第2電極と接するよう設けられた抵抗変化層からなり、

前記抵抗変化層は、主たる抵抗変化材料として金属の酸化物を含み、

前記第1電極と前記第2電極とは、異なる元素で構成される材料によって構成され、

前記第1電極の標準電極電位 V_1 と、前記第2電極の標準電極電位 V_2 と、前記抵抗変化層を主として構成する金属の標準電極電位 V_i

とが、 $V_t < V_2$ かつ $V_1 < V_2$ を満足する

ことを特徴とする抵抗変化型不揮発性記憶装置。

[請求項2]

前記各メモリセルは、接続されている第1信号線と第2信号線とを介して、前記第1信号線の電圧が前記第2信号線の電圧よりも高い前記第1の極性の第1電圧が印加されたときに前記低抵抗状態に変化し、前記第1の極性とは逆の前記第2の極性の第2電圧が印加されたときに前記高抵抗状態に変化し、

前記書き込み回路は、前記第1電圧以上の第1駆動電圧を発生する第1駆動回路と、前記第2電圧以上の第2駆動電圧を発生する第2駆動回路と、前記第1駆動電圧の基準となる電圧を発生する第3駆動回路と、前記第2駆動電圧の基準となる電圧を発生する第4駆動回路とを有し、

前記抵抗変化型不揮発性記憶装置は、さらに、

前記第1駆動回路および前記第4駆動回路と、前記複数の第1信号線の中から選択される1つの第1信号線とを接続する第1選択回路と、

前記第2駆動回路および前記第3駆動回路と、前記複数の第2信号線の中から選択される1つの第2信号線とを接続する第2選択回路とを備え、

前記電流制限回路は、前記第1駆動回路と前記第1選択回路との間に挿入されている

ことを特徴とする請求項1に記載の抵抗変化型不揮発性記憶装置。

[請求項3]

前記各メモリセルは、接続されている第1信号線と第2信号線とを介して、前記第1信号線の電圧が前記第2信号線の電圧よりも高い前記第1の極性の第1電圧が印加されたときに前記低抵抗状態に変化し、前記第1の極性とは逆の前記第2の極性の第2電圧が印加されたときに前記高抵抗状態に変化し、

前記書き込み回路は、前記第1電圧以上の第1駆動電圧を発生する

第1駆動回路と、前記第2電圧以上の第2駆動電圧を発生する第2駆動回路と、前記第1駆動電圧の基準となる電圧を発生する第3駆動回路と、前記第2駆動電圧の基準となる電圧を発生する第4駆動回路とを有し、

前記抵抗変化型不揮発性記憶装置は、さらに、

前記第1駆動回路および前記第2駆動回路と、前記複数の第1信号線の中から選択される1つの第1信号線とを接続する第1選択回路と、

前記第3駆動回路および前記第4駆動回路と、前記複数の第2信号線の中から選択される1つの第2信号線とを接続する第2選択回路とを備え、

前記電流制限回路は複数の制限回路からなり、前記第1選択回路と前記各第1信号線との間に前記複数の制限回路の1つが挿入されている

ことを特徴とする請求項1に記載の抵抗変化型不揮発性記憶装置。

[請求項4]

前記各メモリセルは、接続されている第1信号線と第2信号線とを介して、前記第1信号線の電圧が前記第2信号線の電圧よりも高い前記第1の極性の第1電圧が印加されたときに前記低抵抗状態に変化し、前記第1の極性とは逆の前記第2の極性の第2電圧が印加されたときに前記高抵抗状態に変化し、

前記書き込み回路は、前記第1電圧以上の第1駆動電圧を発生する第1駆動回路と、前記第2電圧以上の第2駆動電圧を発生する第2駆動回路と、前記第1駆動電圧の基準となる電圧を発生する第3駆動回路と、前記第2駆動電圧の基準となる電圧を発生する第4駆動回路とを有し、

前記抵抗変化型不揮発性記憶装置は、さらに、

前記第1駆動回路および前記第2駆動回路と、前記複数の第1信号線の中から選択される1つの第1の信号線とを接続する第1選択回路

と、

前記第 3 駆動回路および前記第 4 駆動回路と、前記複数の第 2 信号線の中から選択される 1 つの第 2 の信号線とを接続する第 2 選択回路と

を備え、

前記電流制限回路は、前記第 3 駆動回路と前記第 2 選択回路との間に挿入されている

ことを特徴とする請求項 1 に記載の抵抗変化型不揮発性記憶装置。

[請求項 5]

前記各メモリセルは、接続されている第 1 信号線と第 2 信号線とを介して、前記第 1 信号線の電圧が前記第 2 信号線の電圧よりも高い前記第 1 の極性の第 1 電圧が印加されたときに前記低抵抗状態に変化し、前記第 1 の極性とは逆の前記第 2 の極性の第 2 電圧が印加されたときに前記高抵抗状態に変化し、

前記書き込み回路は、前記第 1 電圧以上の第 1 駆動電圧を発生する第 1 駆動回路と、前記第 2 電圧以上の第 2 駆動電圧を発生する第 2 駆動回路と、前記第 1 駆動電圧の基準となる電圧を発生する第 3 駆動回路と、前記第 2 駆動電圧の基準となる電圧を発生する第 4 駆動回路とを有し、

前記抵抗変化型不揮発性記憶装置は、さらに、

前記第 1 駆動回路および前記第 2 駆動回路と、前記複数の第 1 信号線の中から選択される 1 つの第 1 信号線とを接続する第 1 選択回路と、

前記第 3 駆動回路および前記第 4 駆動回路と、前記複数の第 2 信号線の中から選択される 1 つの第 2 信号線とを接続する第 2 選択回路とを備え、

前記電流制限回路は複数の制限回路からなり、前記第 2 選択回路と前記各第 2 信号線との間に前記複数の制限回路の 1 つが挿入されている

- ことを特徴とする請求項 1 に記載の抵抗変化型不揮発性記憶装置。
- [請求項6] 前記各メモリセルにおいて、
- 前記電流制御素子は、第 3 電極と、第 4 電極と、前記第 3 電極と前記第 4 電極との間に介在させ、前記第 3 電極と前記第 4 電極と接するよう設けられた電流制御層からなり、
- 前記第 1 電極が前記第 1 信号線に接続され、前記第 2 電極が前記第 3 電極に接続され、前記第 4 電極が前記第 2 信号線に接続されているか、または、
- 前記第 3 電極が前記第 1 信号線に接続され、前記第 4 電極が前記第 1 電極に接続され、前記第 2 電極が前記第 2 信号線に接続されていることを特徴とする請求項 2 から 5 のいずれか 1 項に記載の抵抗変化型不揮発性記憶装置。
- [請求項7] 前記抵抗変化層は、遷移金属の酸化物を主たる抵抗変化材料とすることを特徴とする請求項 6 に記載の抵抗変化型不揮発性記憶装置。
- [請求項8] 前記遷移金属の酸化物は、酸素不足型のタンタルの酸化物層を主たる抵抗変化材料とする
- ことを特徴とする請求項 7 に記載の抵抗変化型不揮発性記憶装置。
- [請求項9] 前記第 2 電極は、白金、イリジウム、パラジウム、銀、銅、金で構成される群から選択され、
- 前記第 1 電極は、タングステン、ニッケル、タンタル、チタン、アルミニウム、窒化タンタル、窒化チタンで構成される群から選択される
- ことを特徴とする請求項 8 に記載の抵抗変化型不揮発性記憶装置。
- [請求項10] 前記遷移金属の酸化物は、酸素不足型のハフニウムの酸化物層を主たる抵抗変化材料とする
- ことを特徴とする請求項 7 に記載の抵抗変化型不揮発性記憶装置。
- [請求項11] 前記第 2 電極は、タングステン、銅、白金、金で構成される群から選択され、

前記第 1 電極は、アルミニウム、チタン、ハフニウム、窒化タンタル、窒化チタンで構成される群から選択される

ことを特徴とする請求項 10 に記載の抵抗変化型不揮発性記憶装置。

[請求項 12]

前記各メモリセルにおいて、

前記電流制御素子は、第 3 電極と、第 4 電極と、前記第 3 電極と前記第 4 電極との間に介在させ、前記第 3 電極と前記第 4 電極と接するように設けられた電流制御層からなり、

前記第 1 電極が前記第 1 信号線に接続され、前記第 2 電極が前記第 3 電極に接続され、前記第 4 電極が前記第 2 信号線に接続されているか、または、

前記第 3 電極が前記第 1 信号線に接続され、前記第 4 電極が前記第 1 電極に接続され、前記第 2 電極が前記第 2 信号線に接続されており、

前記抵抗変化層は、 MO_x で表される組成を有する第 1 の酸素不足型の遷移金属の酸化物を含む第 1 領域と、 MO_y (但し、 $x < y$) で表される組成を有する第 2 の酸素不足型の遷移金属の酸化物を含む第 2 領域とを有し、

前記第 1 領域が前記第 1 電極と接して配置され、前記第 2 領域が前記第 2 電極と接して配置されている

ことを特徴とする請求項 2 から 5 のいずれか 1 項に記載の抵抗変化型不揮発性記憶装置。

[請求項 13]

前記抵抗変化型不揮発性記憶装置は、基板上に形成されており、前記基板には、

前記複数の第 1 信号線として用いられる第 1 層配線と、

前記第 1 層配線よりも上層に、前記複数の第 2 信号線として用いられる第 2 層配線とが設けられ、

前記各メモリセルにおいて、

電流制御素子は、第3電極と、第4電極と、前記第3電極と前記第4電極との間に介在させ、前記第3電極と前記第4電極と接するように設けられた電流制御層からなり、

前記第1層配線と前記第2層配線との間に、下層から順に、

前記第3電極、前記電流制御層、前記第4電極、前記第1電極、前記抵抗変化層、および前記第2電極が、この順に形成されているか、または、

前記第1電極、前記抵抗変化層、前記第2電極、前記第3電極、前記電流制御層、および前記第4電極が、この順に形成されている

ことを特徴とする請求項2から5のいずれか1項に記載の抵抗変化型不揮発性記憶装置。

[請求項14]

前記抵抗変化型不揮発性記憶装置は、基板上に形成されており、前記基板には、

前記複数の第2信号線として用いられる第1層配線と、

前記第1層配線よりも上層に、前記複数の第1信号線として用いられる第2層配線とが設けられ、

前記各メモリセルにおいて、

電流制御素子は、第3電極と、第4電極と、前記第3電極と前記第4電極との間に介在させ、前記第3電極と前記第4電極と接するように設けられた電流制御層からなり、

前記第1層配線と前記第2層配線との間に、下層から順に、

前記第2電極、前記抵抗変化層、前記第1電極、前記第4電極、前記電流制御層、および前記第3電極が、この順に形成されているか、または、

前記第4電極、前記電流制御層、前記第3電極、前記第2電極、前記抵抗変化層、および前記第1電極が、この順に形成されている

ことを特徴とする請求項2から5のいずれか1項に記載の抵抗変化型不揮発性記憶装置。

- [請求項15] 前記各メモリセルにおいて、
前記第1層配線と前記抵抗変化素子との間、および前記電流制御素子と前記第2層配線との間が、それぞれビアで接続されているか、または、
前記第1層配線と前記電流制御素子との間、および前記抵抗変化素子と前記第2層配線との間が、それぞれビアで接続されている
ことを特徴とする請求項13または14に記載の抵抗変化型不揮発性記憶装置。
- [請求項16] 前記各メモリセルにおいて、
単一の電極が、前記抵抗変化素子および前記電流制御素子の互いに接続される側の電極として共通に用いられている
ことを特徴とする請求項13または14に記載の抵抗変化型不揮発性記憶装置。
- [請求項17] 前記各メモリセルにおいて、
前記電流制御素子および前記抵抗変化素子は、交差する前記第1層配線と前記第2層配線との間に設けられるビアと比べて、積層方向に直交する断面の大きさが同一またはより小さく形成されている
ことを特徴とする請求項13または14に記載の抵抗変化型不揮発性記憶装置。
- [請求項18] 前記各メモリセルにおいて、
前記第1層配線および前記第2層配線のいずれか一方が、前記第1電極または前記第2電極として用いられている
ことを特徴とする請求項13または14に記載の抵抗変化型不揮発性記憶装置。
- [請求項19] 前記各メモリセルにおいて、
前記第1層配線および前記第2層配線のいずれか一方が、前記第3電極または前記第4電極として用いられている
ことを特徴とする請求項13または14に記載の抵抗変化型不揮発性記憶装置。

性記憶装置。

[請求項20] 前記電流制限回路は、N型MOSトランジスタで構成されていることを特徴とする請求項2、3または4に記載の抵抗変化型不揮発性記憶装置。

[請求項21] 前記電流制限回路は、N型MOSトランジスタで構成されており、前記抵抗変化素子を、前記第1範囲に属する抵抗値のなかで、前記メモリセルに第3電圧が印加されたときに設定される第3抵抗値より大きく、かつ前記第3電圧よりも小さい第4電圧が印加されたときに設定される第4抵抗値より小さい抵抗値に設定するとき、

前記N型MOSトランジスタのゲート電圧は、前記第4電圧に前記N型MOSトランジスタの閾値電圧の絶対値を加えた値より大きく、前記第3の電圧に前記N型MOSトランジスタの閾値電圧の絶対値を加えた値より小さく、かつ前記第1駆動電圧以下の電圧に設定されることを特徴とする請求項2または3に記載の抵抗変化型不揮発性記憶装置。

[請求項22] 前記電流制限回路は、N型MOSトランジスタで構成されており、前記抵抗変化素子を、前記第1範囲に属する抵抗値のなかで、前記メモリセルに第3電圧が印加されたときに設定される第3抵抗値より大きく、かつ前記第3電圧よりも小さい第4電圧が印加されたときに設定される第4抵抗値より小さい抵抗値に設定するとき、

前記N型MOSトランジスタのゲート電圧は、前記第1駆動電圧から前記第3電圧を減じて前記N型MOSトランジスタの閾値電圧の絶対値を加えた値より大きく、かつ前記第1駆動電圧から前記第4電圧を減じて前記N型MOSトランジスタの閾値電圧の絶対値を加えた値より小さい電圧に設定される

ことを特徴とする請求項4に記載の抵抗変化型不揮発性記憶装置。

[請求項23] 前記電流制限回路における前記各制限回路は、N型MOSトランジスタで構成されており、

前記各N型MOSトランジスタは、ゲートに選択信号が供給されることで、前記電流制限回路および前記第1選択回路として共用されることを特徴とする請求項3に記載の抵抗変化型不揮発性記憶装置。

[請求項24]

前記電流制限回路は、P型MOSトランジスタで構成されていることを特徴とする請求項2、4または5に記載の抵抗変化型不揮発性記憶装置。

[請求項25]

前記電流制限回路は、P型MOSトランジスタで構成されており、前記抵抗変化素子を、前記第1範囲に属する抵抗値のなかで、前記メモリセルに第3電圧が印加されたときに設定される第3抵抗値より大きく、かつ前記第3電圧よりも小さい第4電圧が印加されたときに設定される第4抵抗値より小さい抵抗値に設定するとき、

前記P型MOSトランジスタのゲート電圧は、前記第4電圧から前記P型MOSトランジスタの閾値電圧の絶対値を減じた値より大きく、かつ前記第3電圧から前記P型MOSトランジスタの閾値電圧の絶対値を減じた値より小さい電圧に設定される

ことを特徴とする請求項2に記載の抵抗変化型不揮発性記憶装置。

[請求項26]

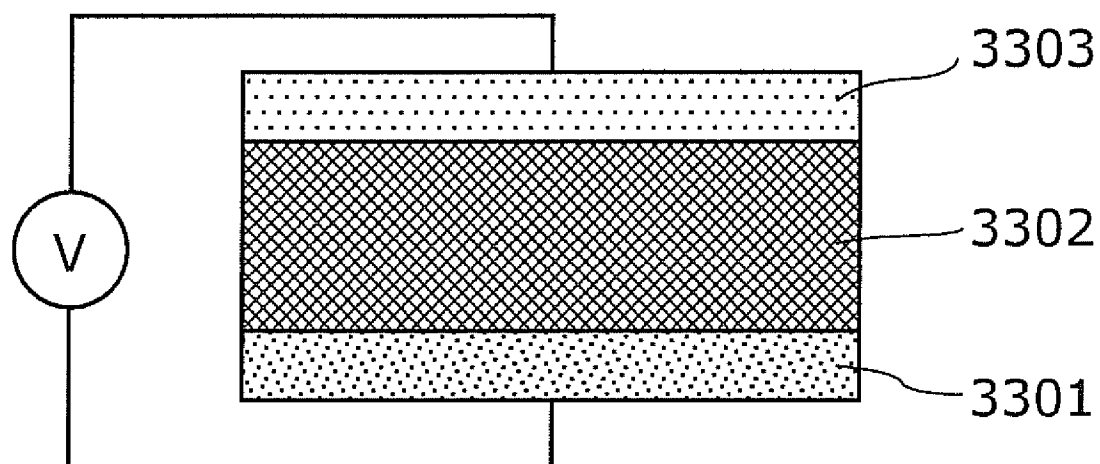
前記電流制限回路は、P型MOSトランジスタで構成されており、前記抵抗変化素子を、前記第1範囲に属する抵抗値のなかで、前記メモリセルに第3電圧が印加されたときに設定される第3抵抗値より大きく、かつ前記第3電圧よりも小さい第4電圧が印加されたときに設定される第4抵抗値より小さい抵抗値に設定するとき、

前記P型MOSトランジスタのゲート電圧は、前記第1駆動電圧から前記第3電圧と前記P型MOSトランジスタの閾値電圧の絶対値とを減じた値より大きく、前記第1の駆動電圧から、前記第4電圧と前記P型MOSトランジスタの閾値電圧の絶対値とを減じた値より小さく、かつ前記第1駆動電圧の基準電圧以上の電圧に設定される

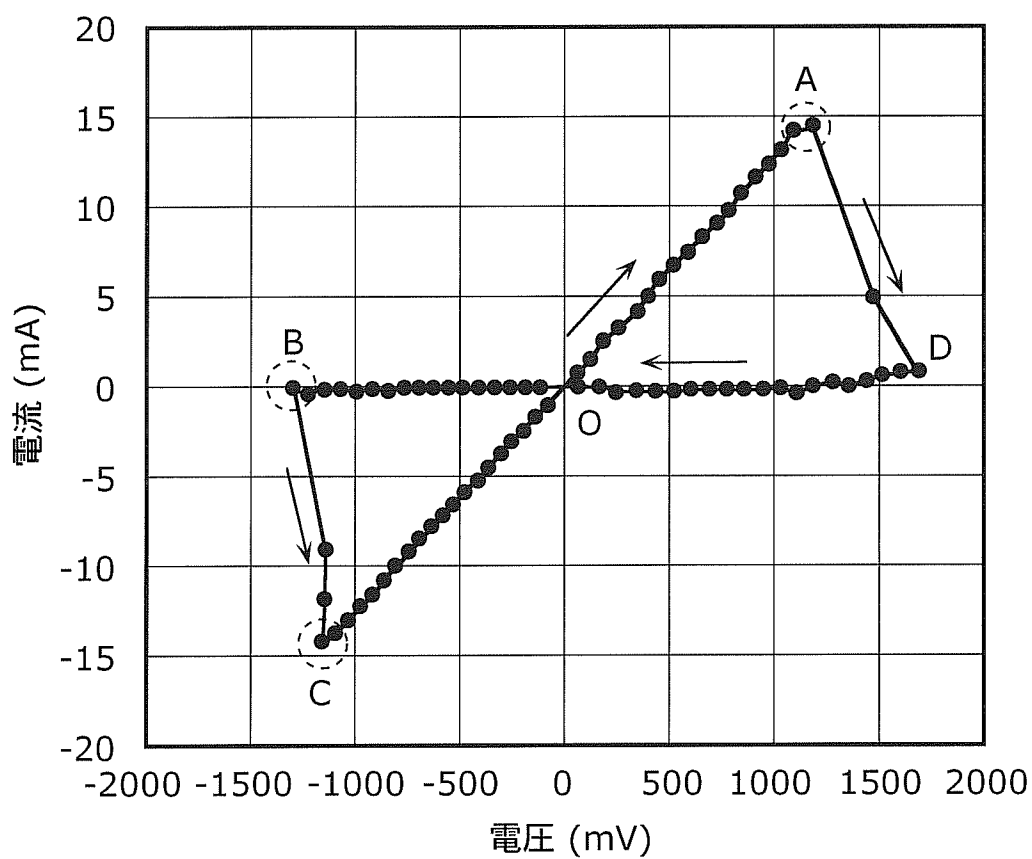
ことを特徴とする請求項4または5に記載の抵抗変化型不揮発性記憶装置。

- [請求項27] 前記電流制限回路における前記各制限回路は、P型MOSトランジスタで構成されており、
- 前記各P型MOSトランジスタは、ゲートに選択信号が供給されることで、前記電流制限回路および前記第2選択回路として共用されることを特徴とする請求項5に記載の抵抗変化型不揮発性記憶装置。
- [請求項28] 前記第3抵抗値は前記第1範囲に属する最小の抵抗値であり、
- 前記抵抗変化素子を前記第3抵抗値に設定するとき前記メモリセルに流れる電流は、前記電流制御素子が破壊されない最大の電流以下である
- ことを特徴とする請求項21、22、25または26に記載の抵抗変化型不揮発性記憶装置。
- [請求項29] 前記第4抵抗値は前記第1範囲に属する最大の抵抗値であり、
- 読み出し回路を用いて前記低抵抗状態と前記高抵抗状態とが判別可能であるような最大の抵抗値である
- ことを特徴とする請求項21、22、25または26に記載の抵抗変化型不揮発性記憶装置。
- [請求項30] 前記電流制限回路は、N型またはP型のMOSトランジスタで構成され、
- 前記MOSトランジスタのゲート幅を W_C 、ゲート長を L_C とし、
- 前記第2の駆動回路を構成するMOSトランジスタのゲート幅を W_2 、ゲート長を L_2 とし、
- 前記第4の駆動回路を構成するMOSトランジスタのゲート幅を W_4 、ゲート長を L_4 とするとき、
- $W_2/L_2 > W_C/L_C$ 、かつ $W_4/L_4 > W_C/L_C$ を満たす
- ことを特徴とする請求項2から5のいずれか1項に記載の抵抗変化型不揮発性記憶装置。

[図1]

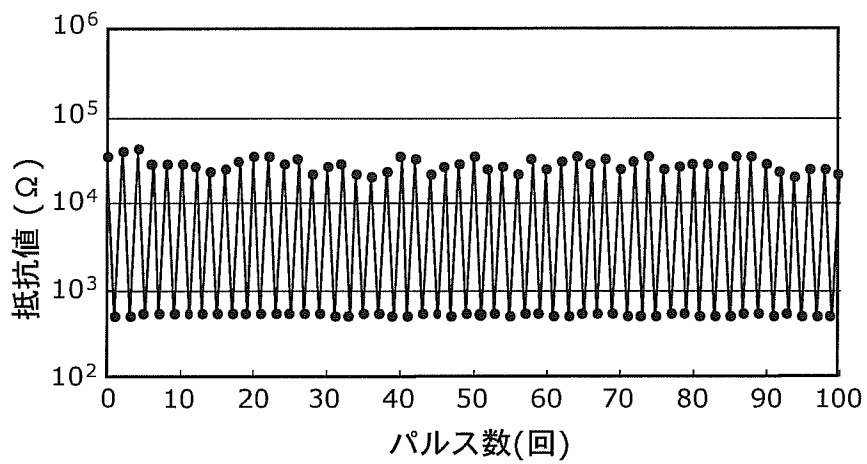


[図2]

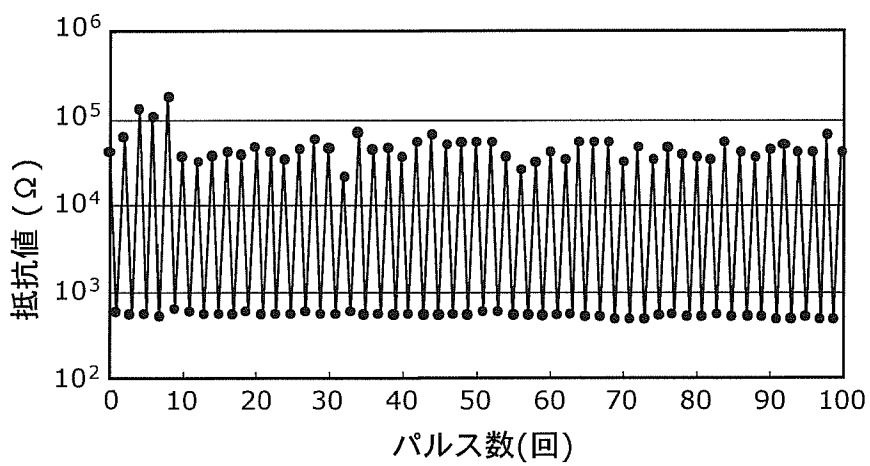


[図3]

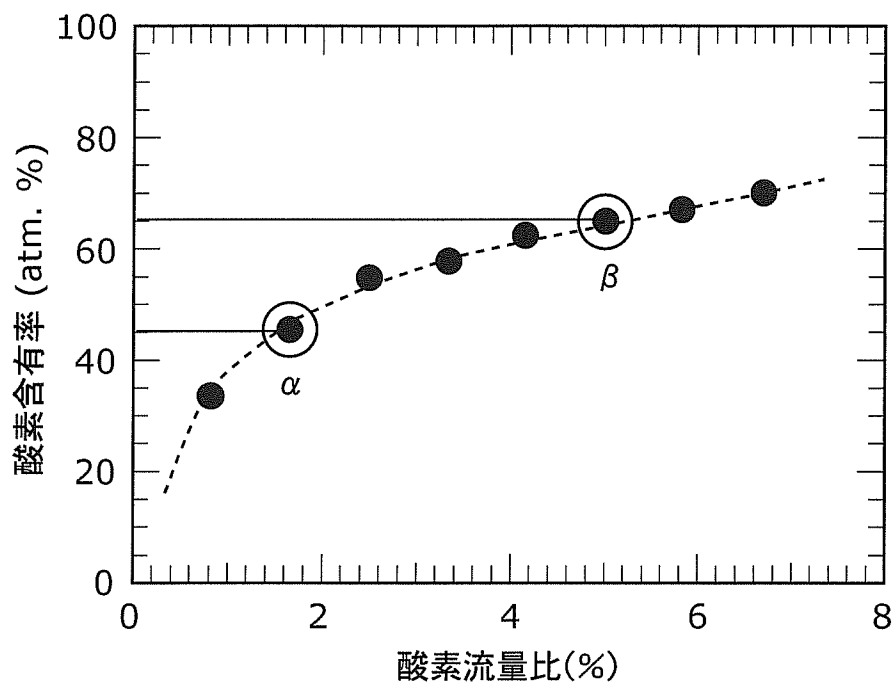
(a)



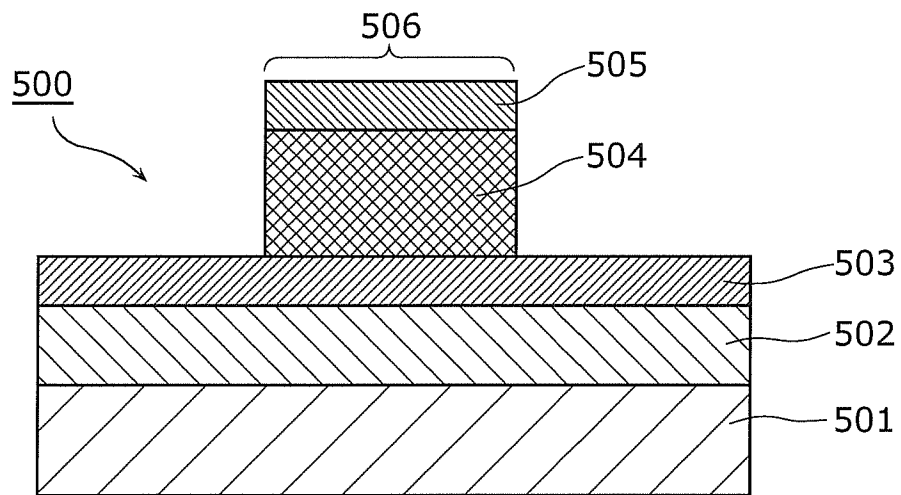
(b)



[図4]

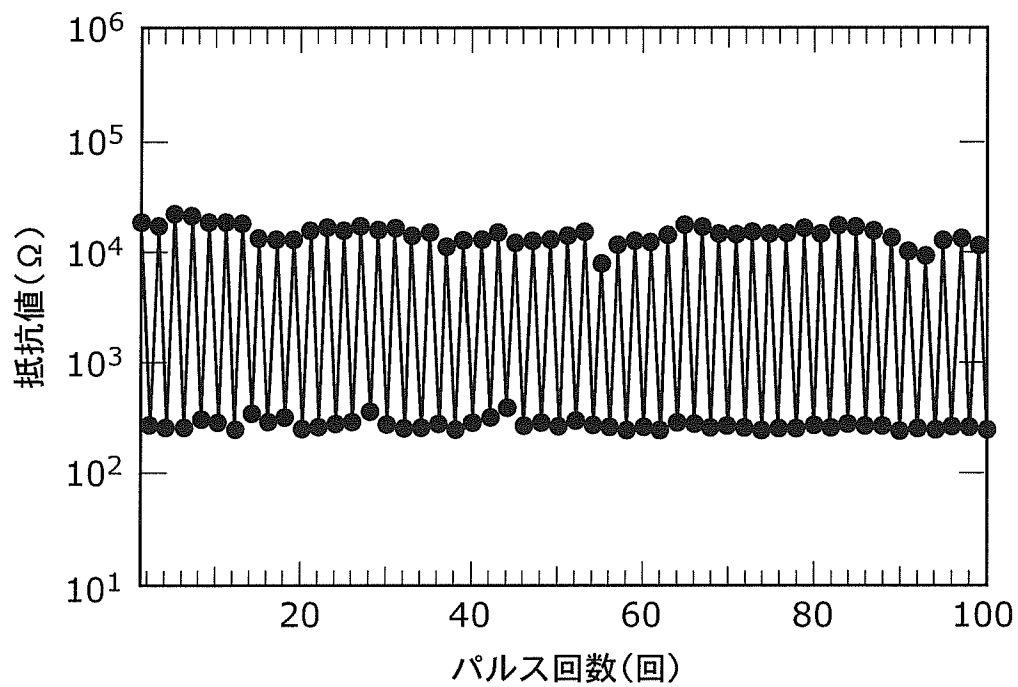


[図5]

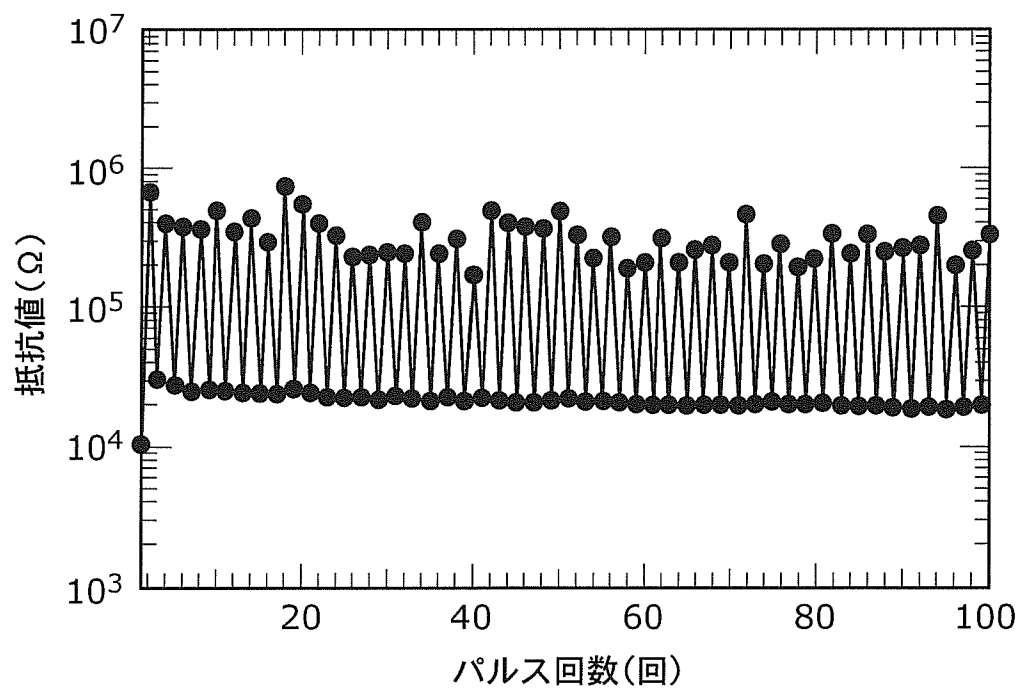


[図6]

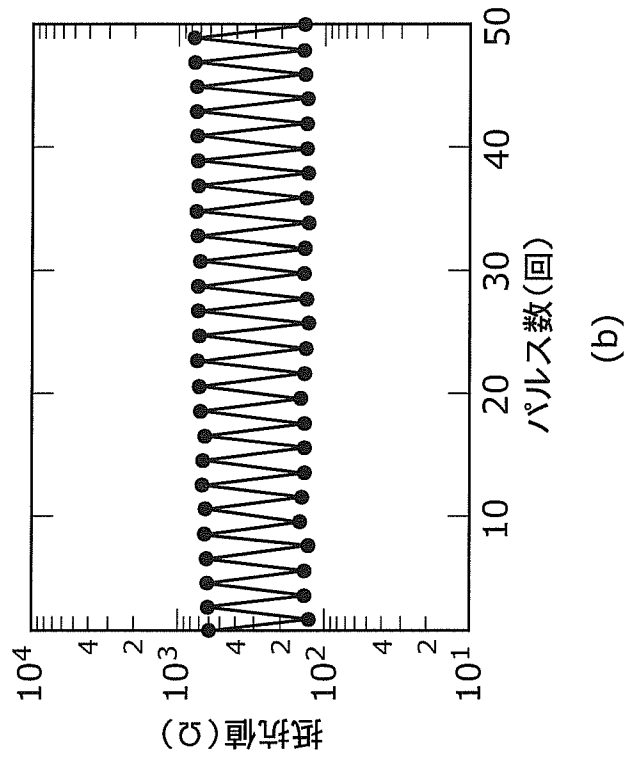
(a)



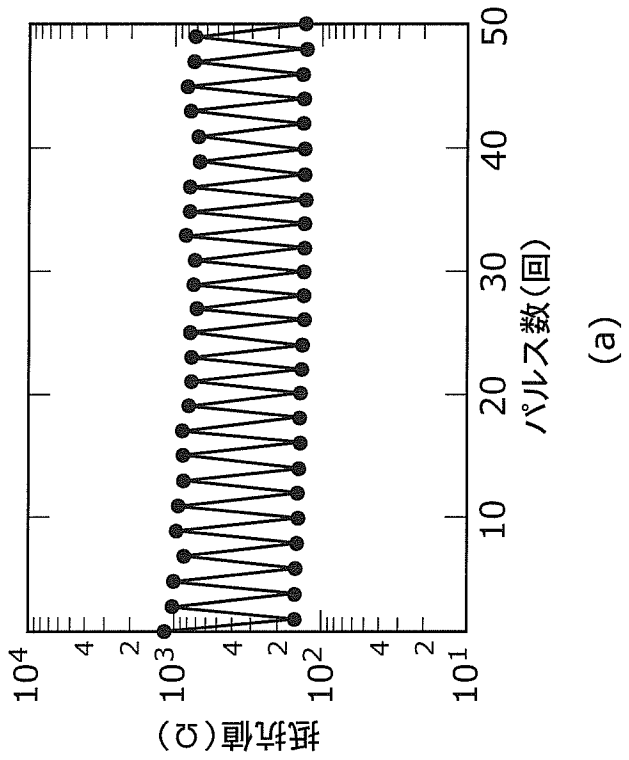
(b)



[図7]

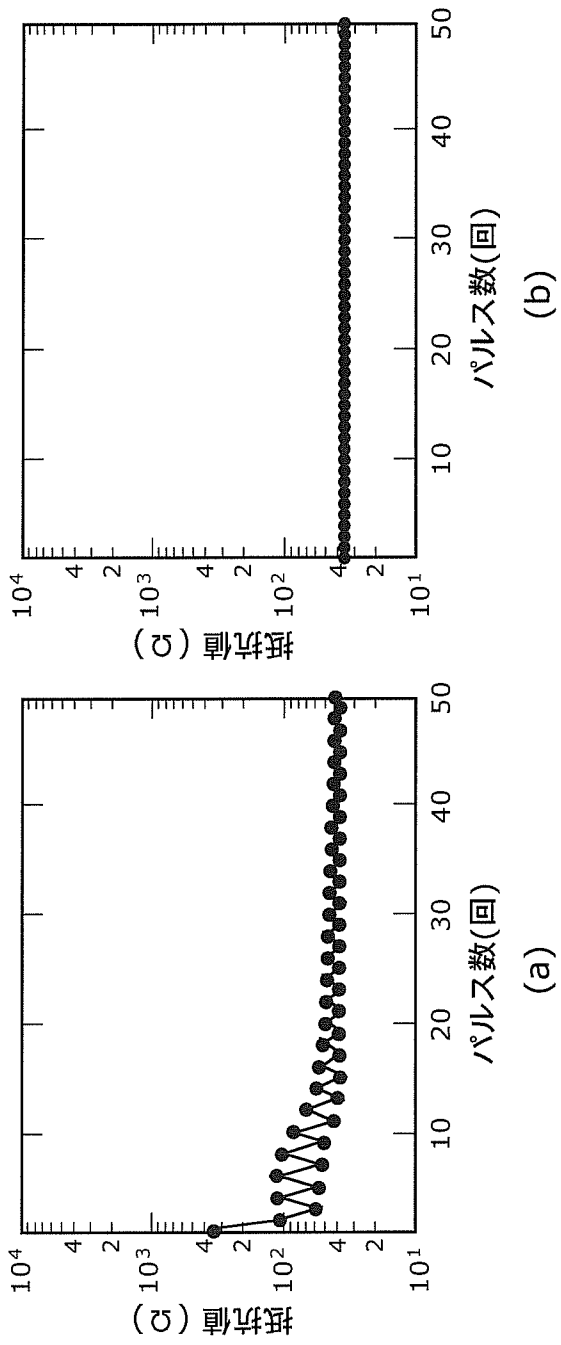


(a)

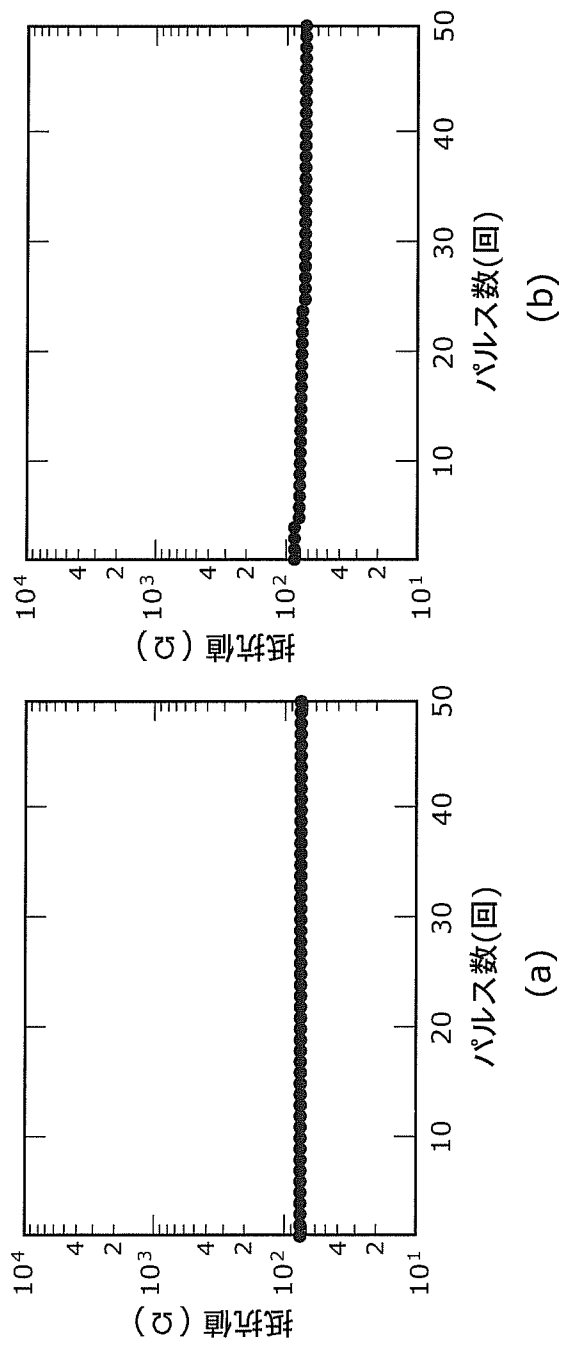


(b)

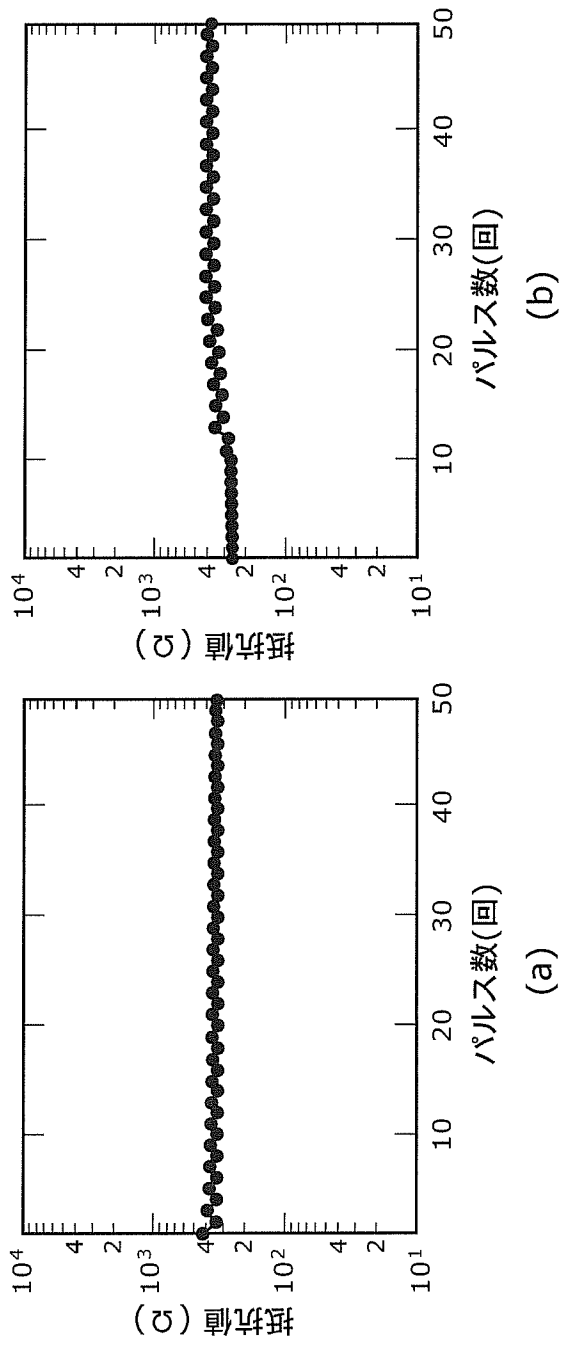
[図8]



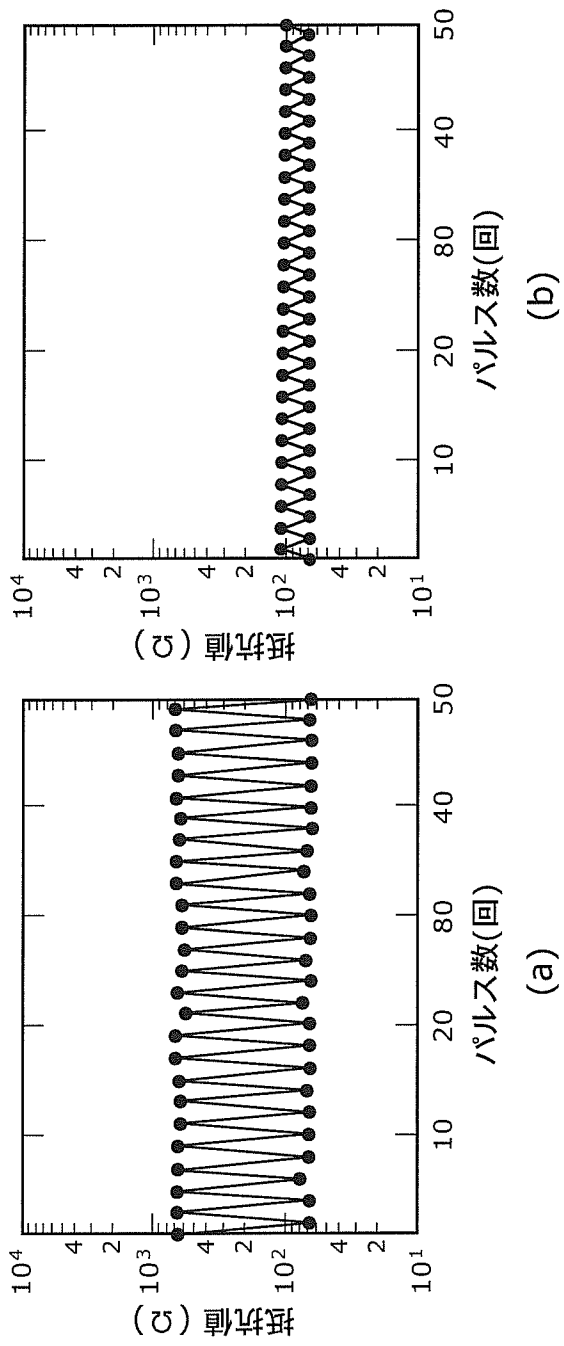
[図9]



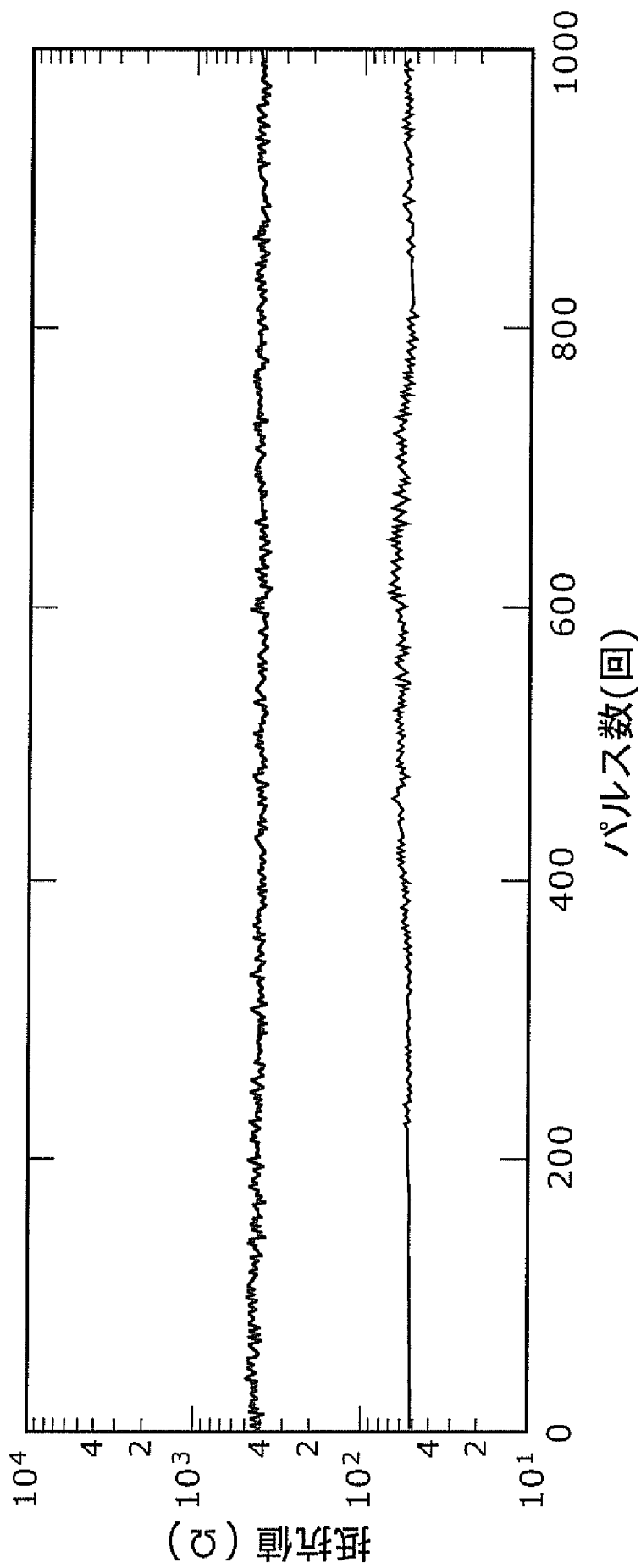
[図10]



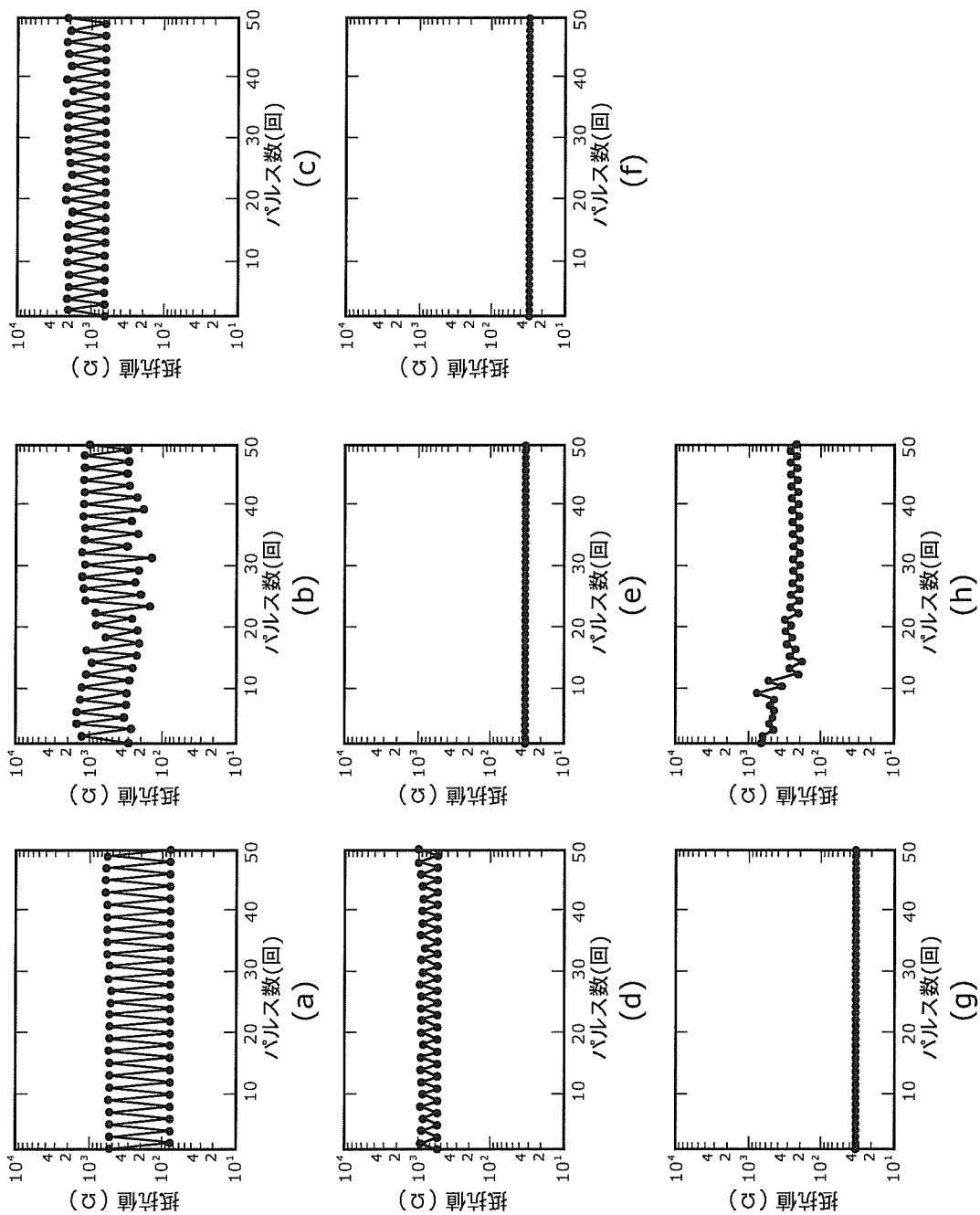
[図11]



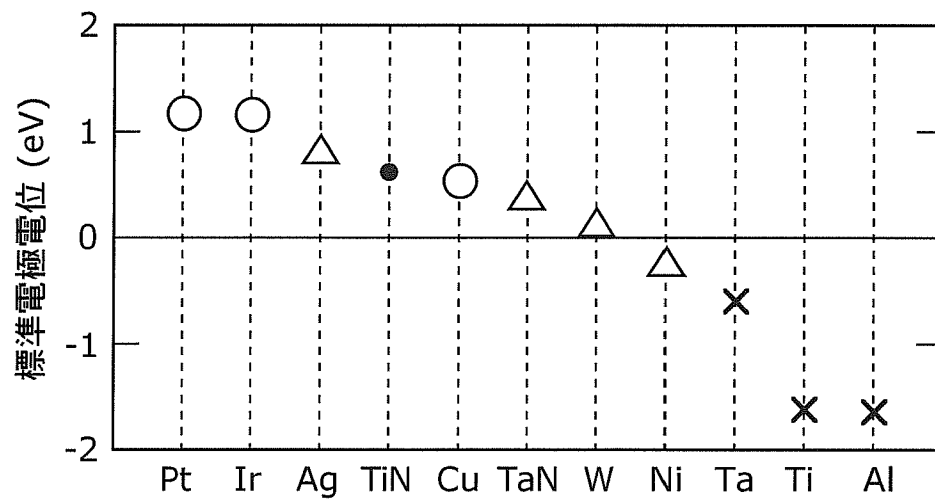
[図12]



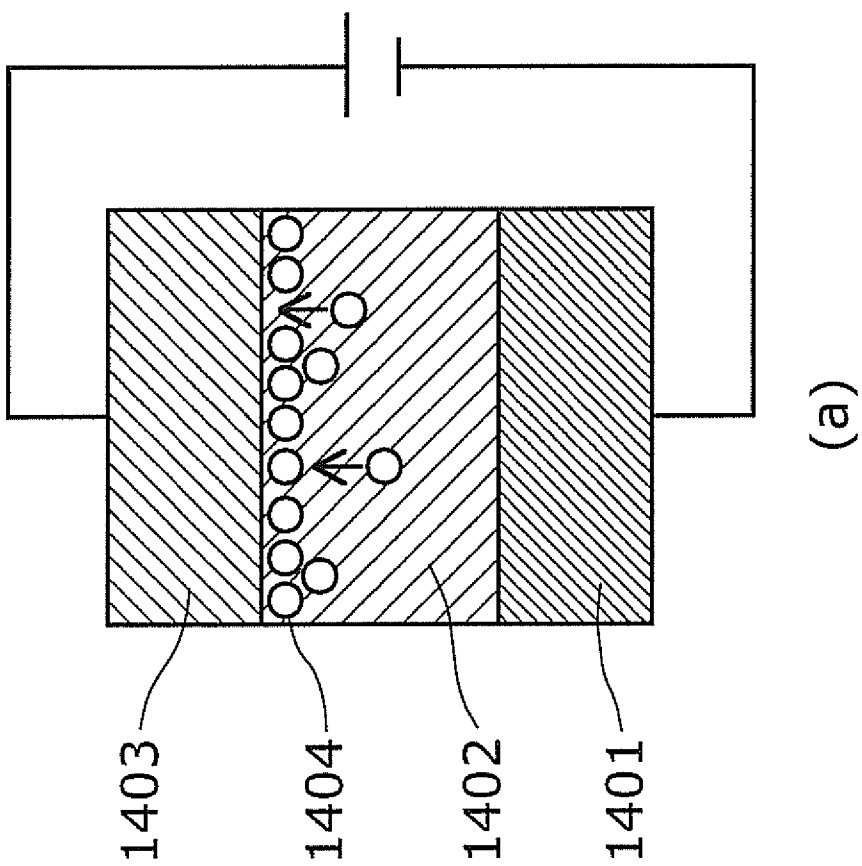
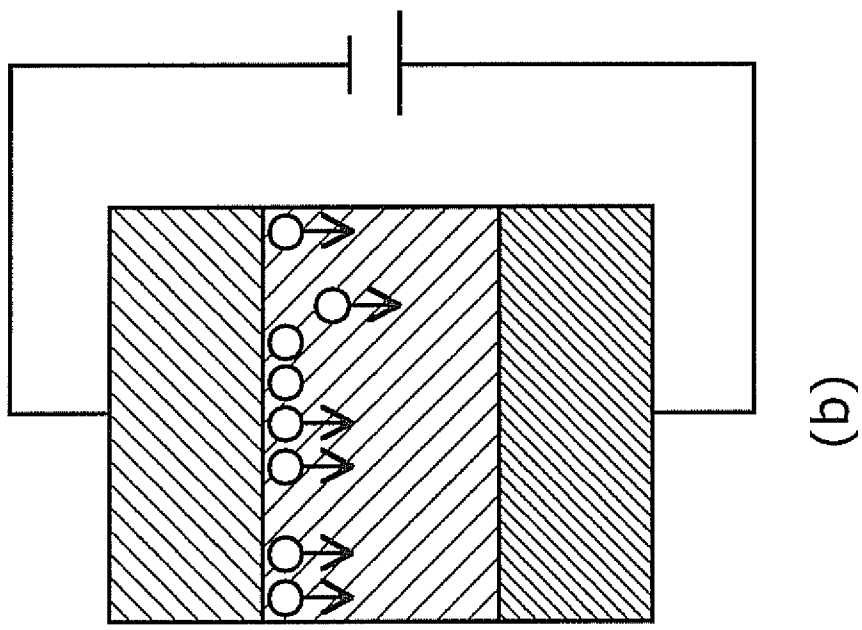
[図13]



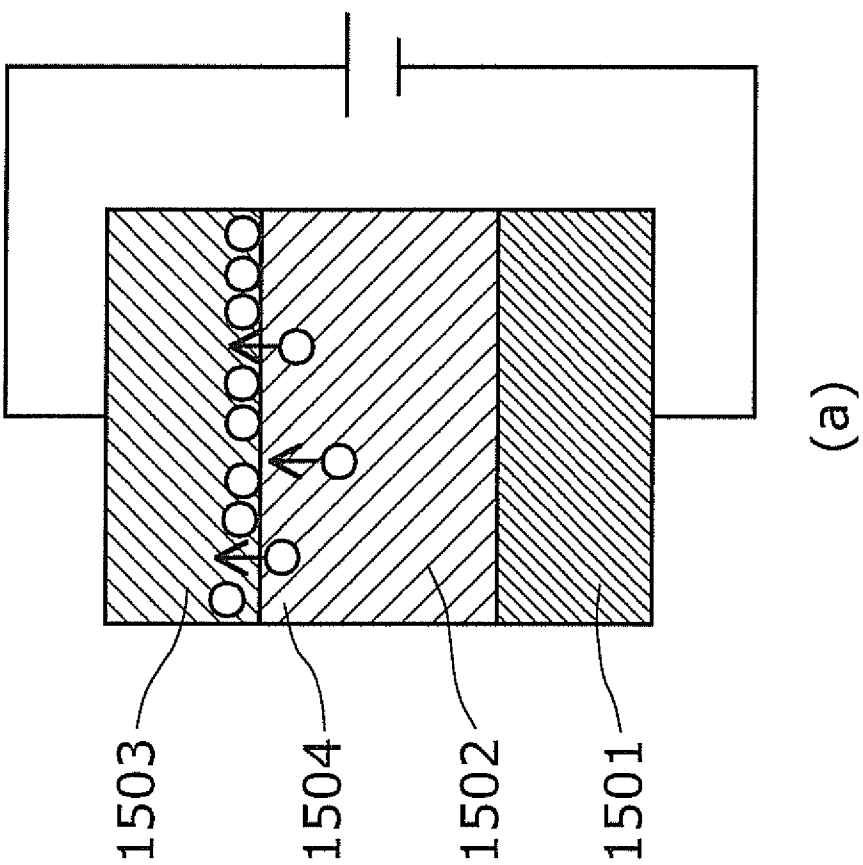
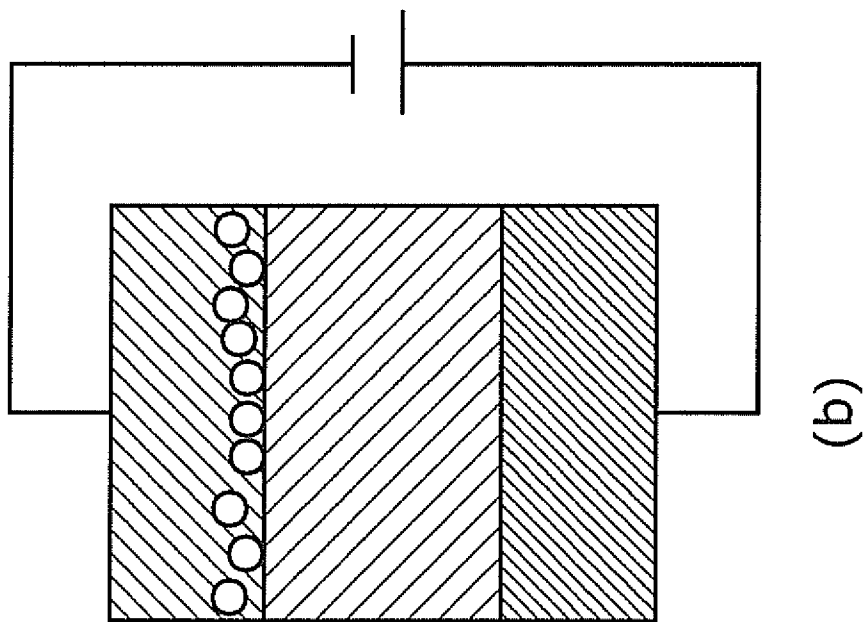
[図14]



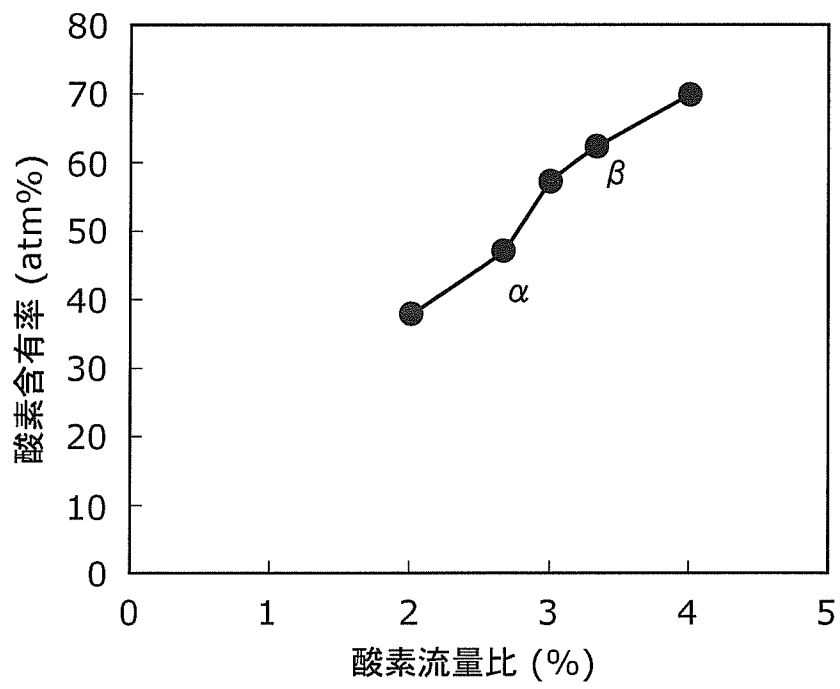
[図15]



[図16]

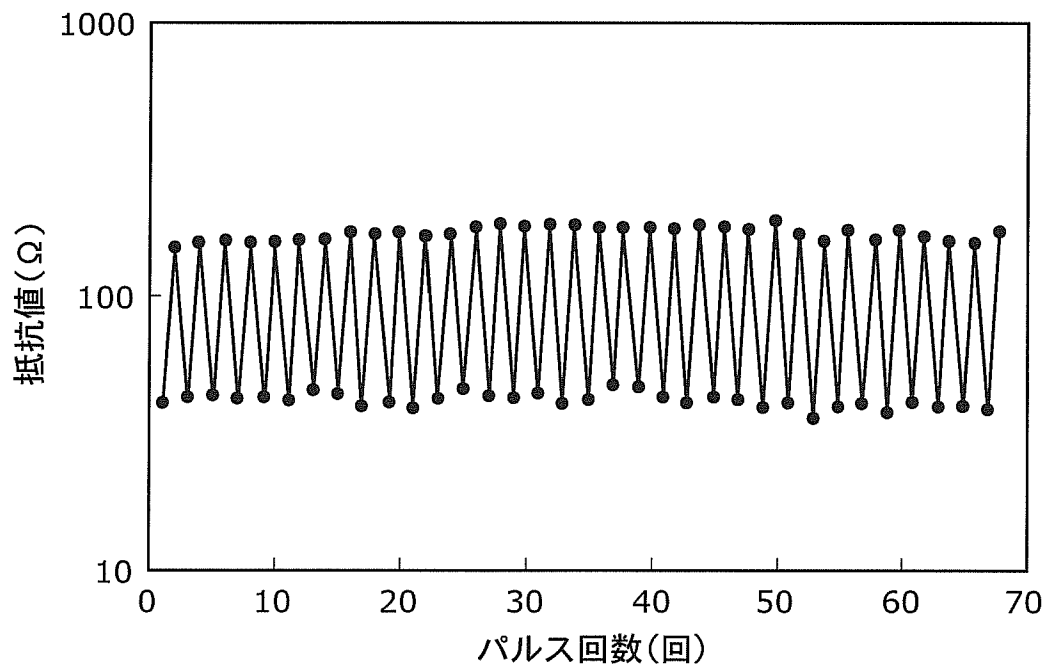


[図17]

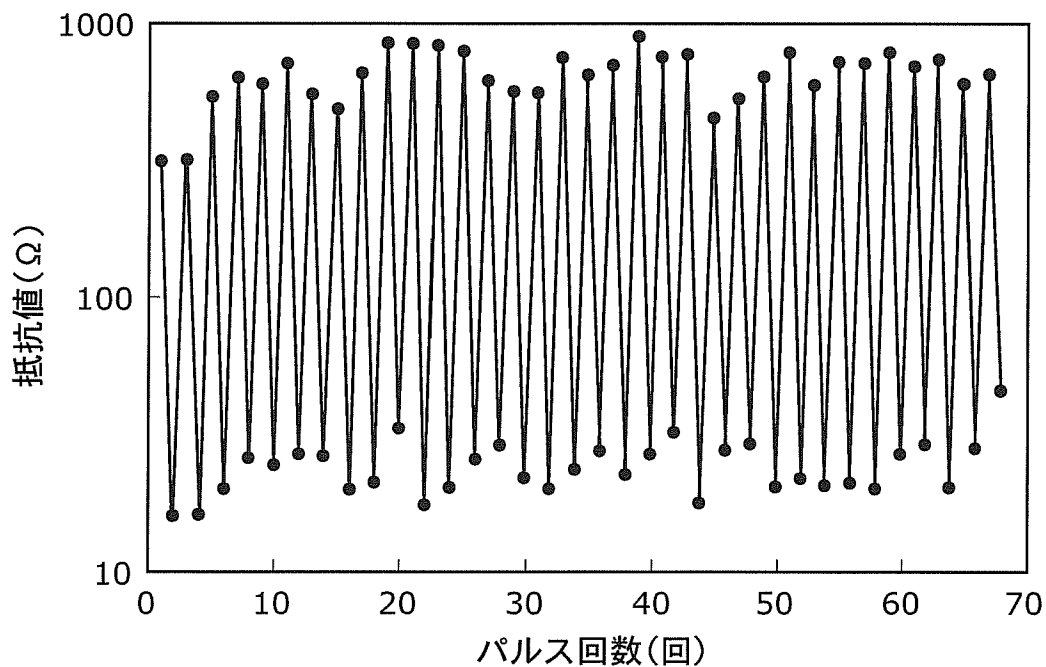


[図18]

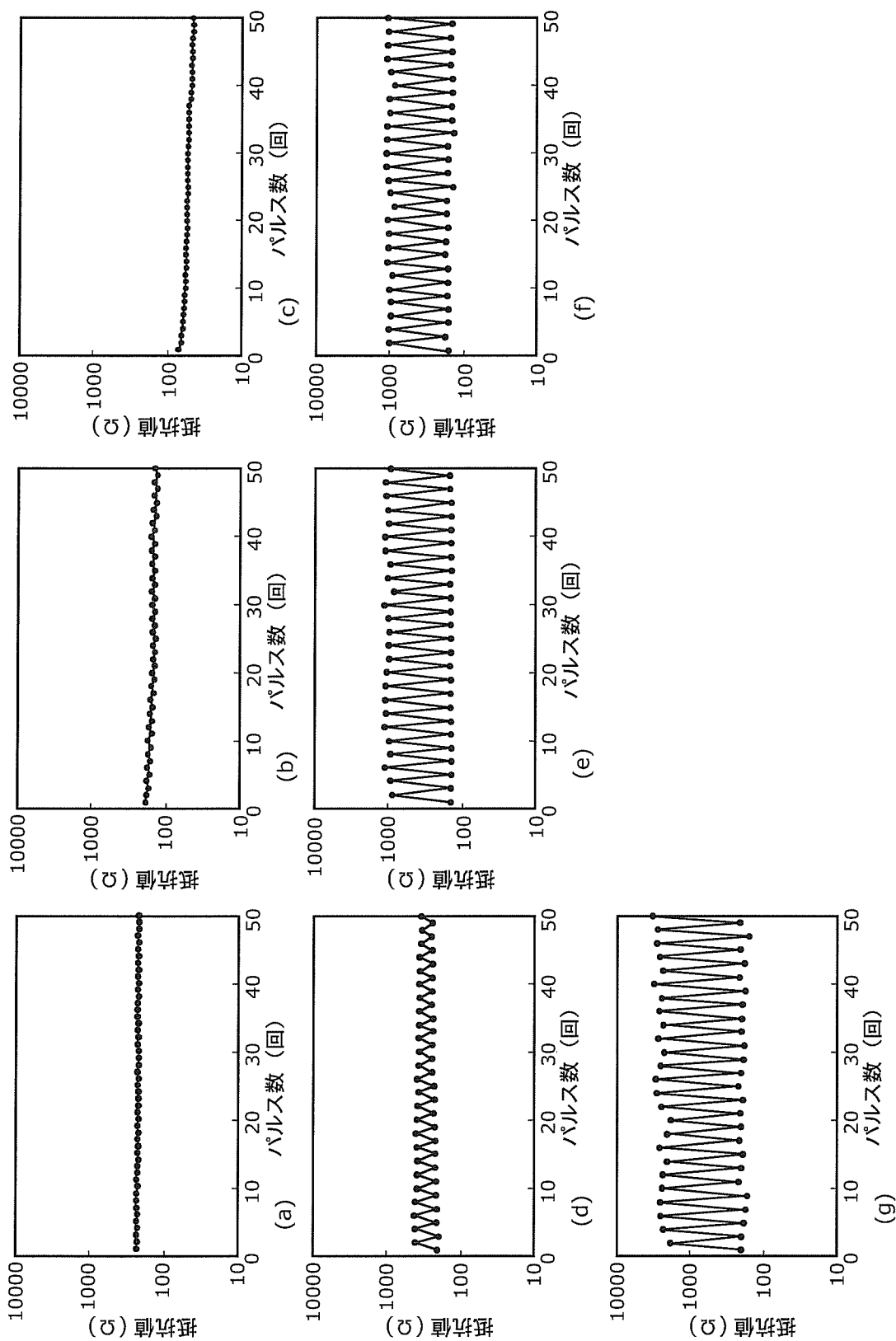
(a)



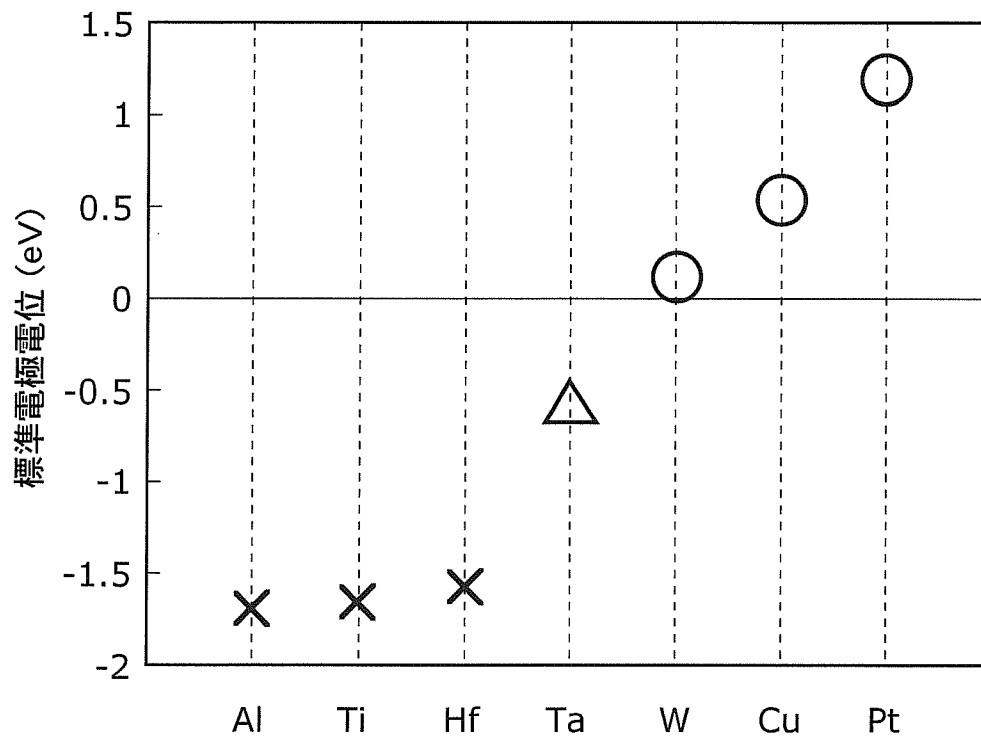
(b)



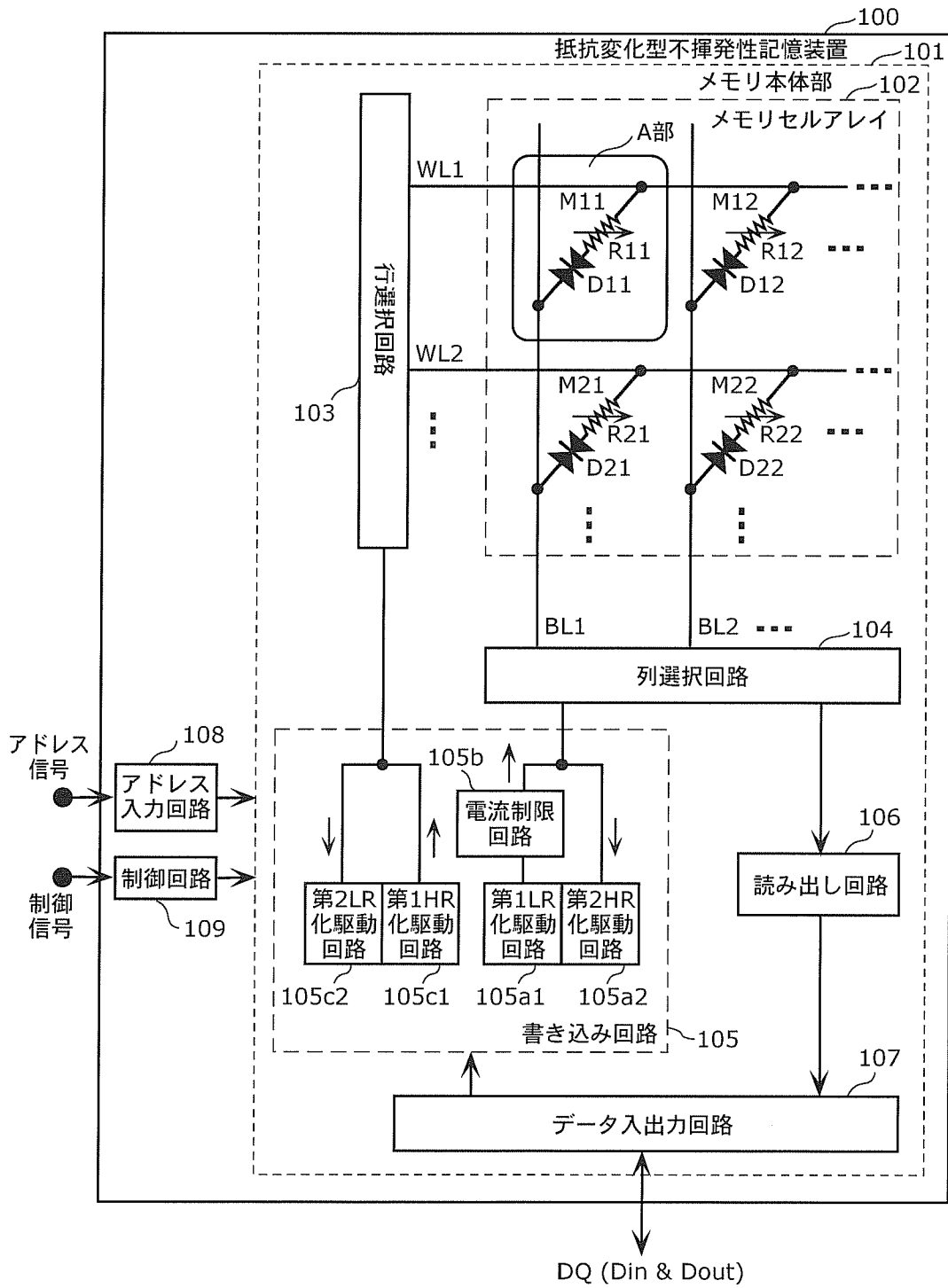
[図19]



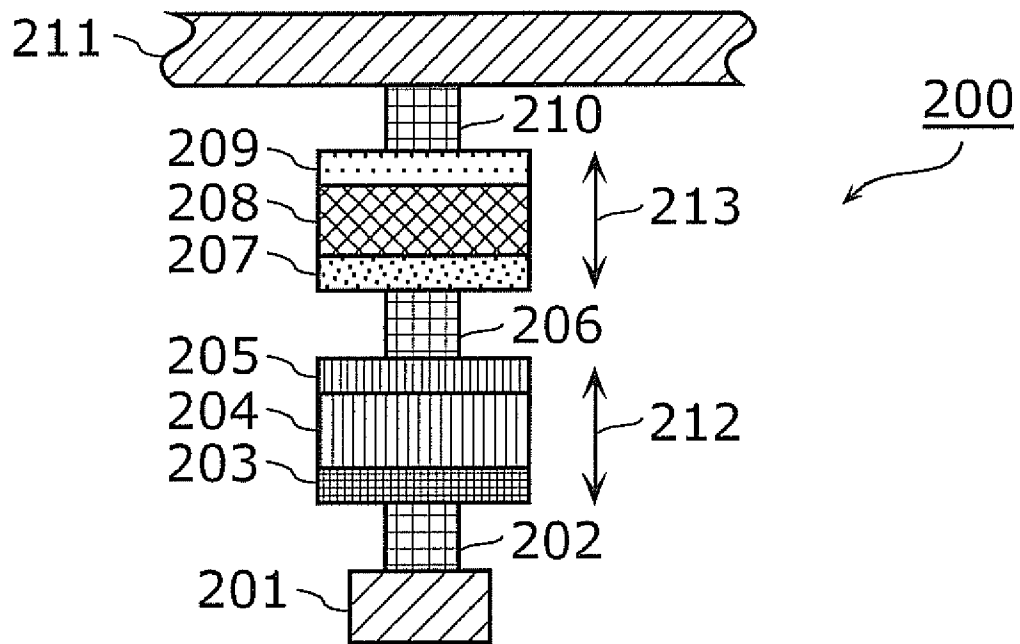
[図20]



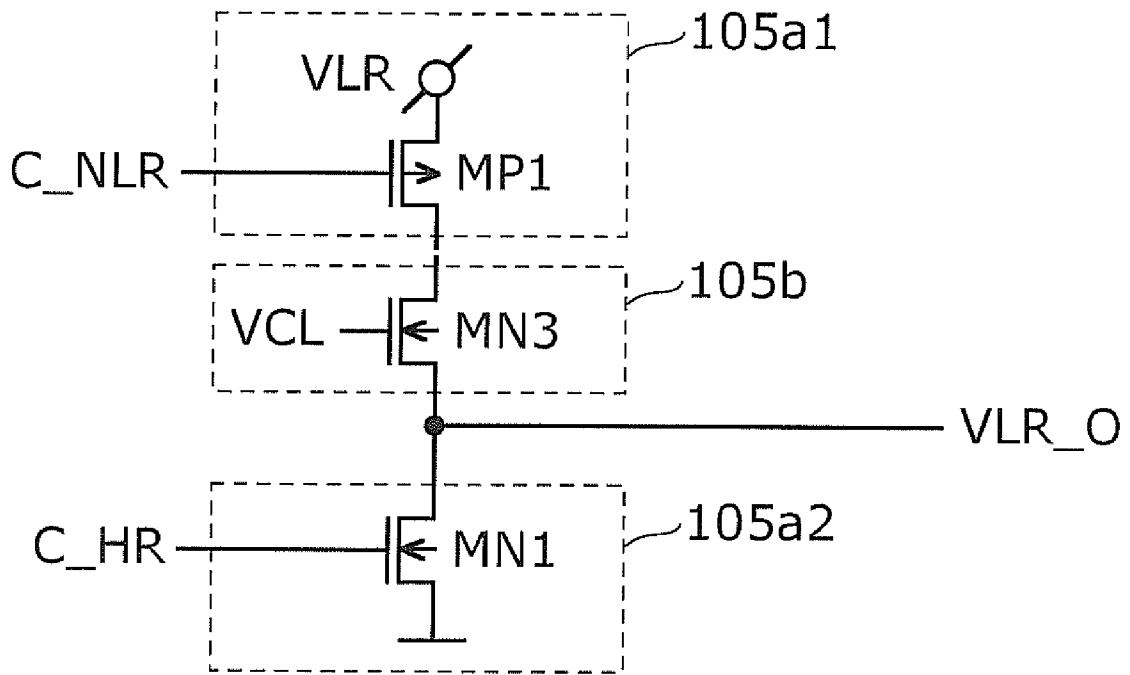
[図21]



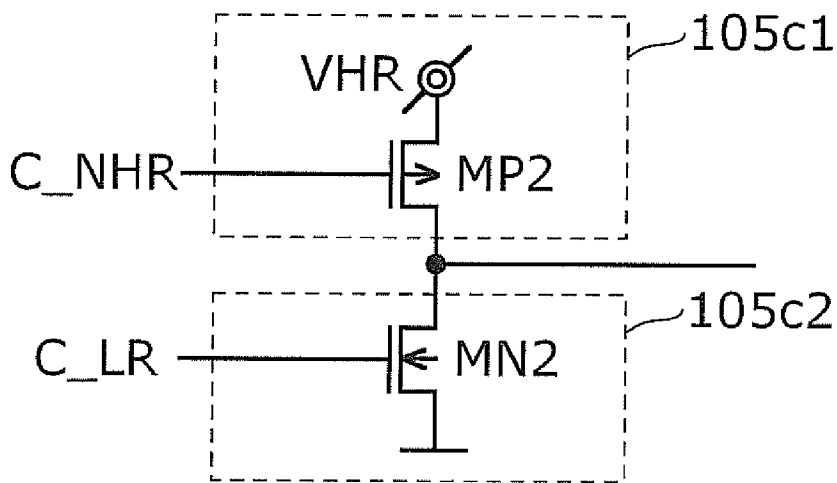
[図22]



[図23]

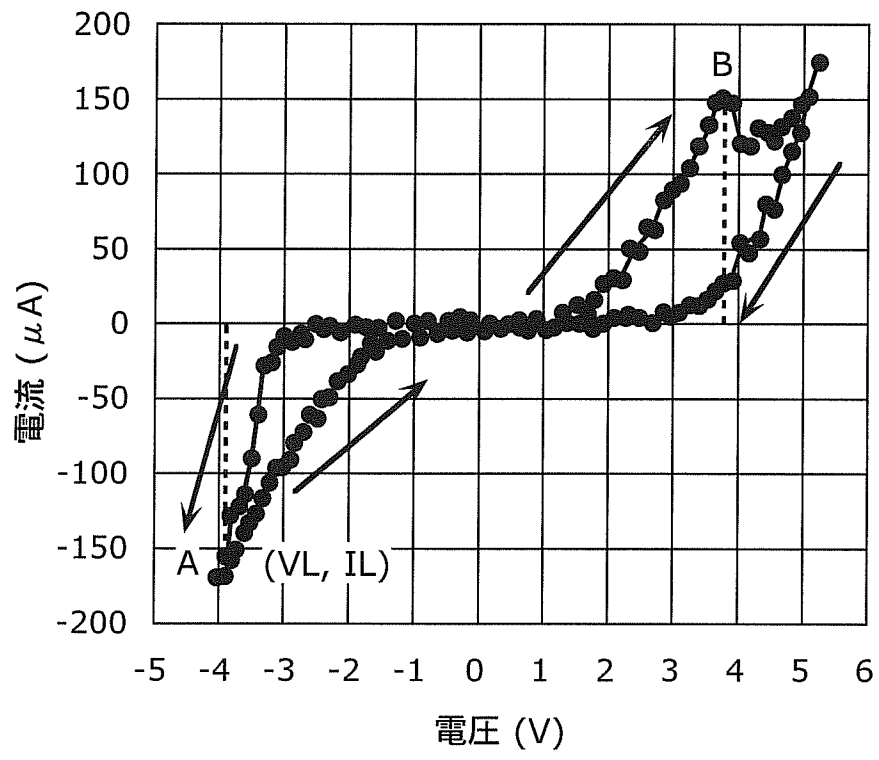


(a)

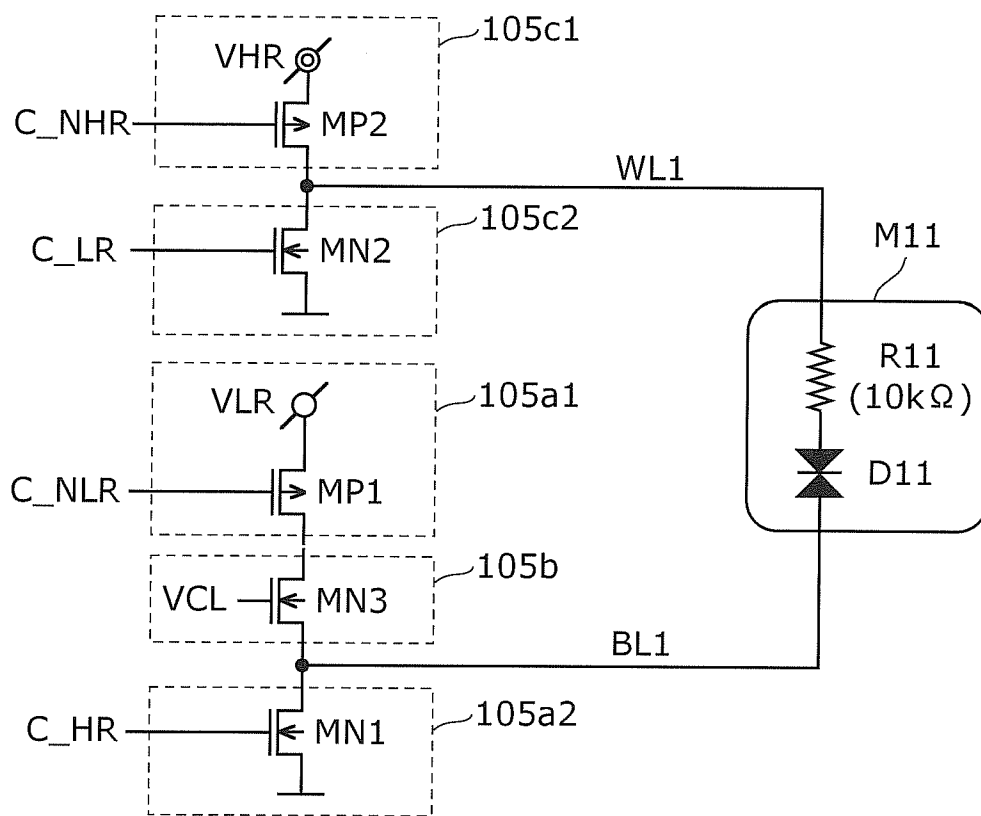


(b)

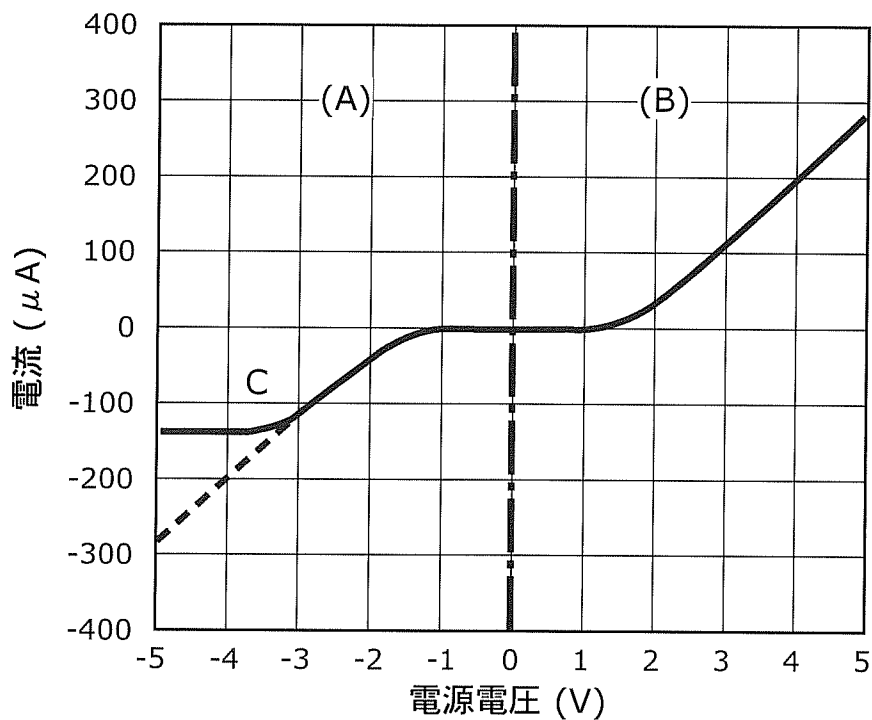
[図24]



[図25]

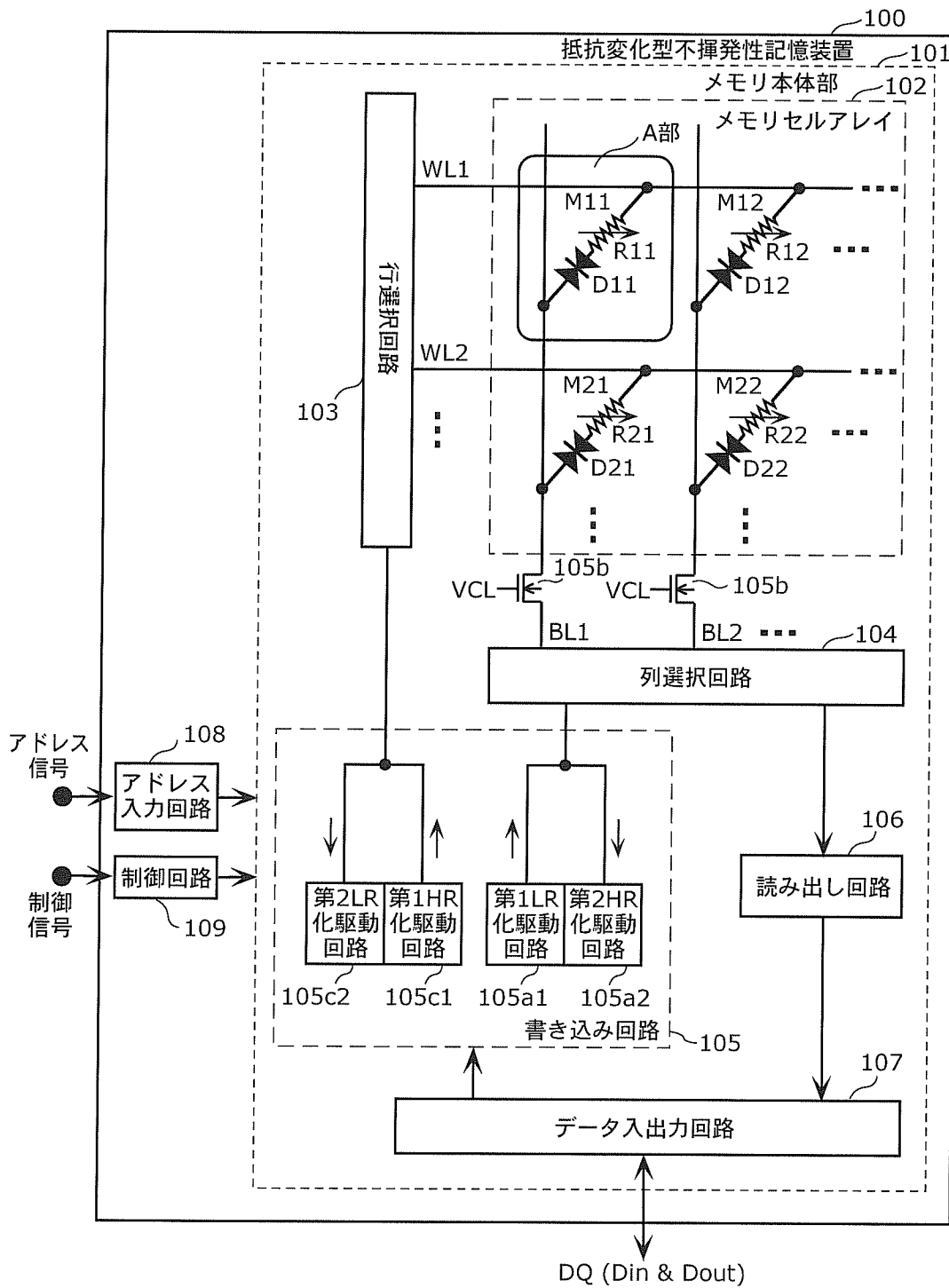


(a)

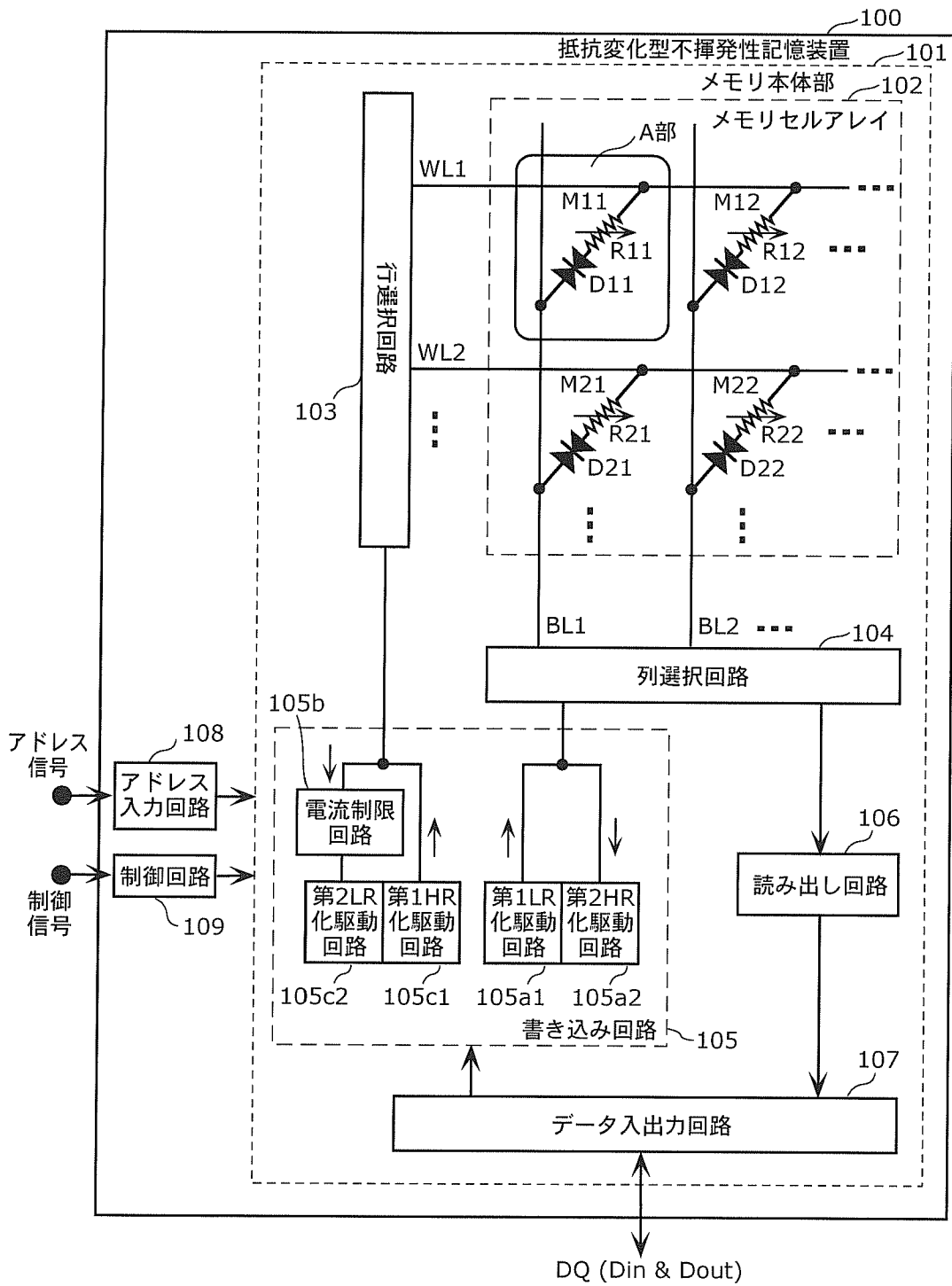


(b)

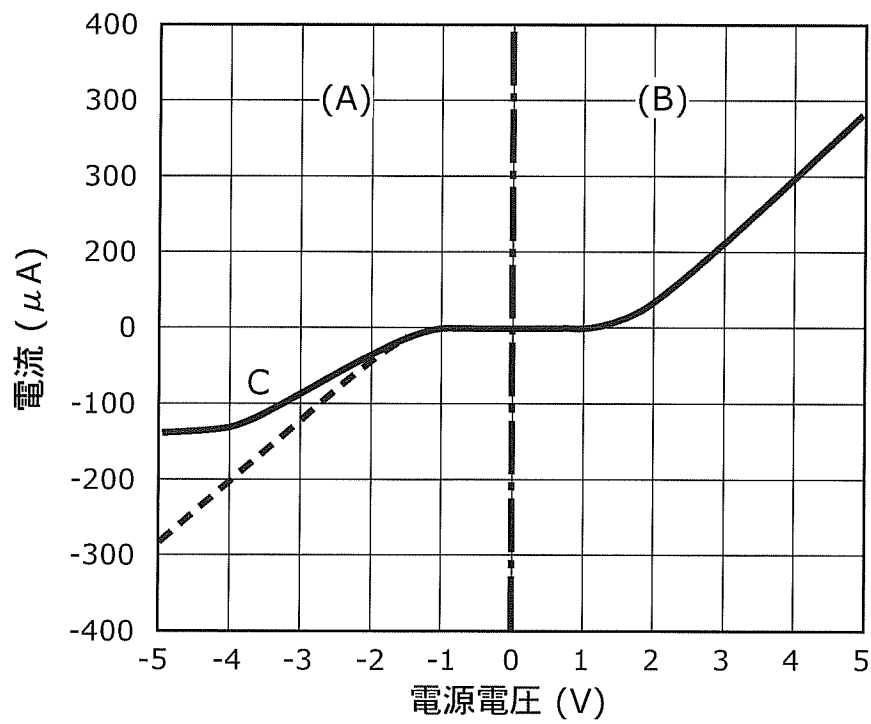
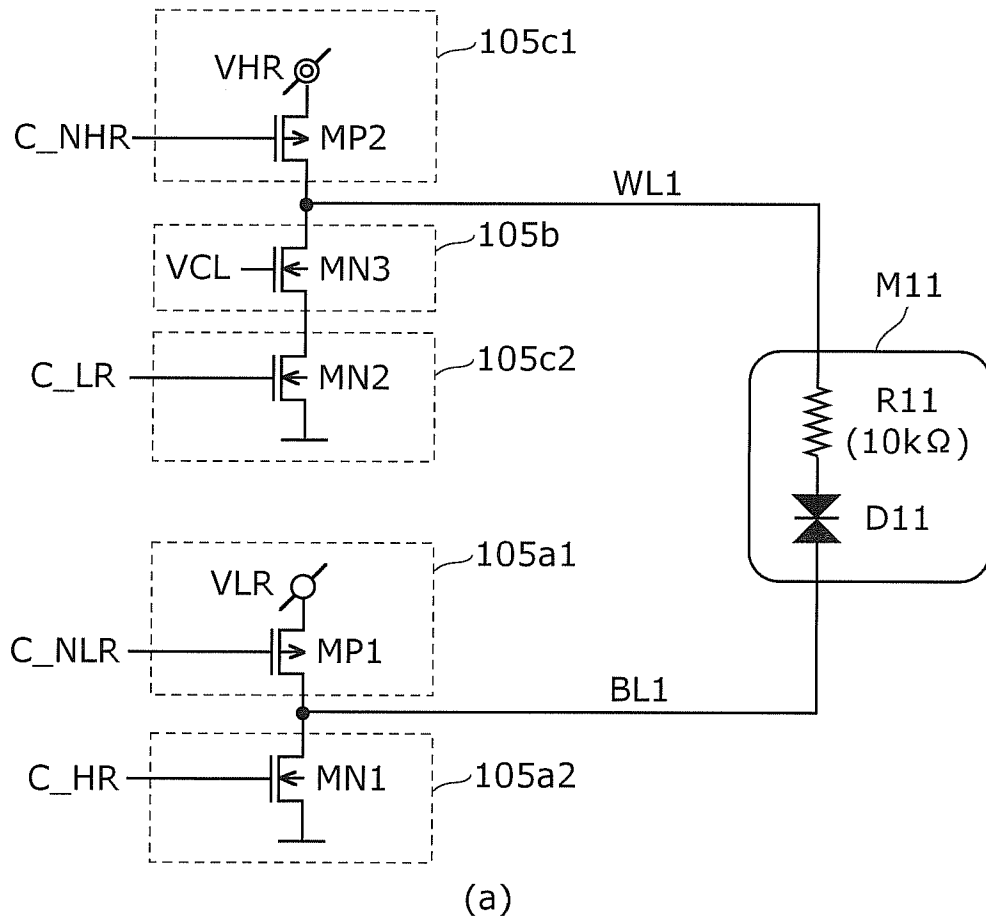
[図26]



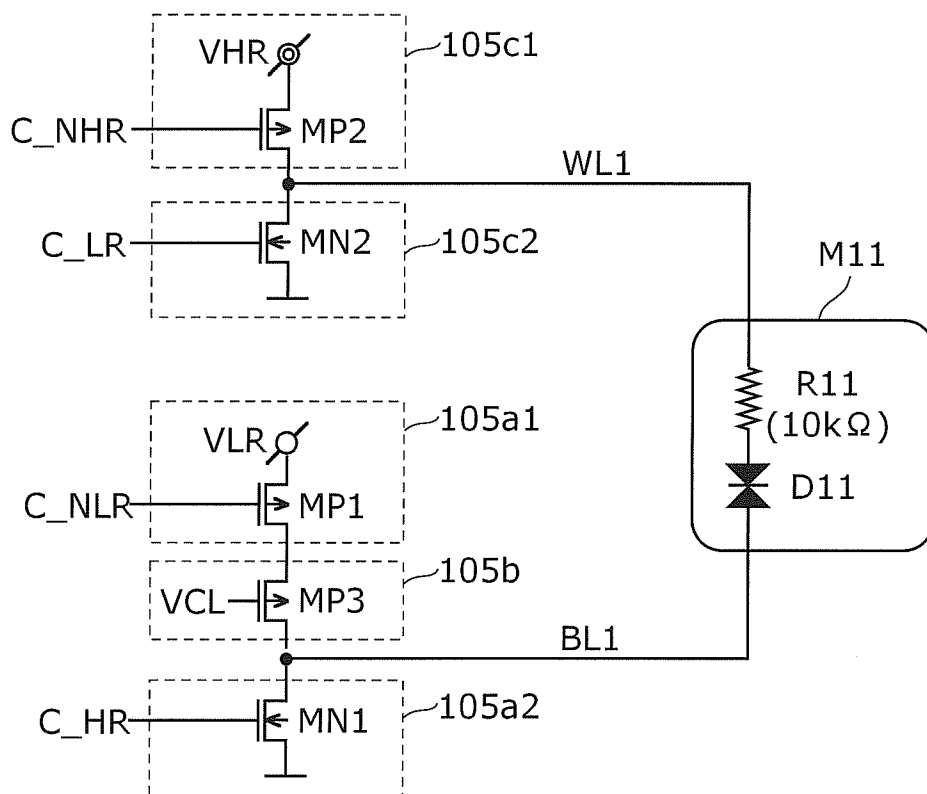
[図27]



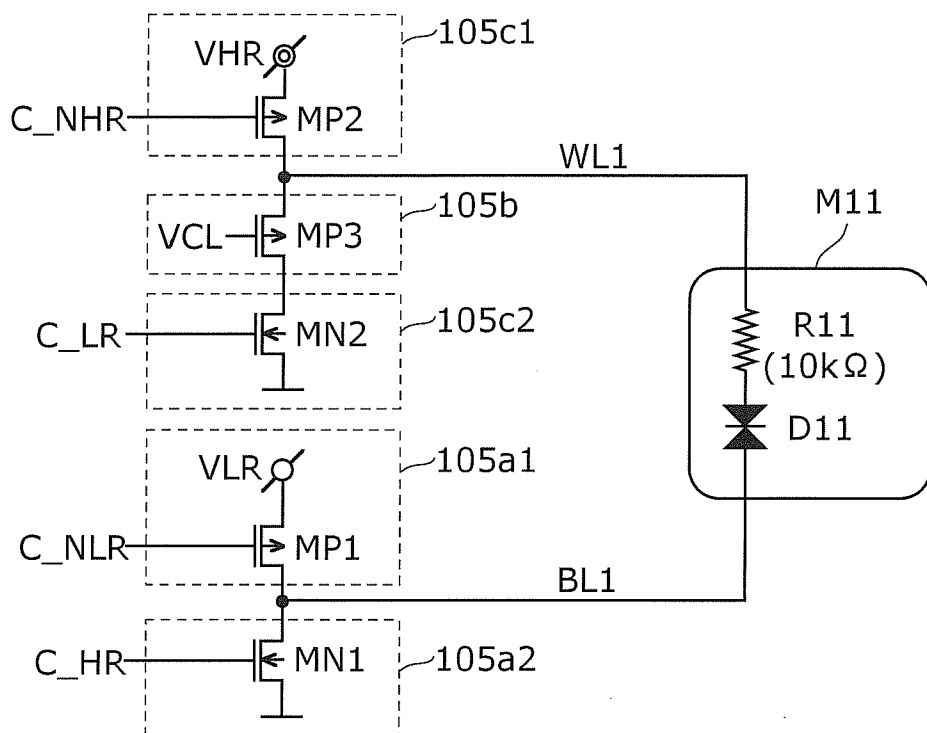
[図28]



[図29]

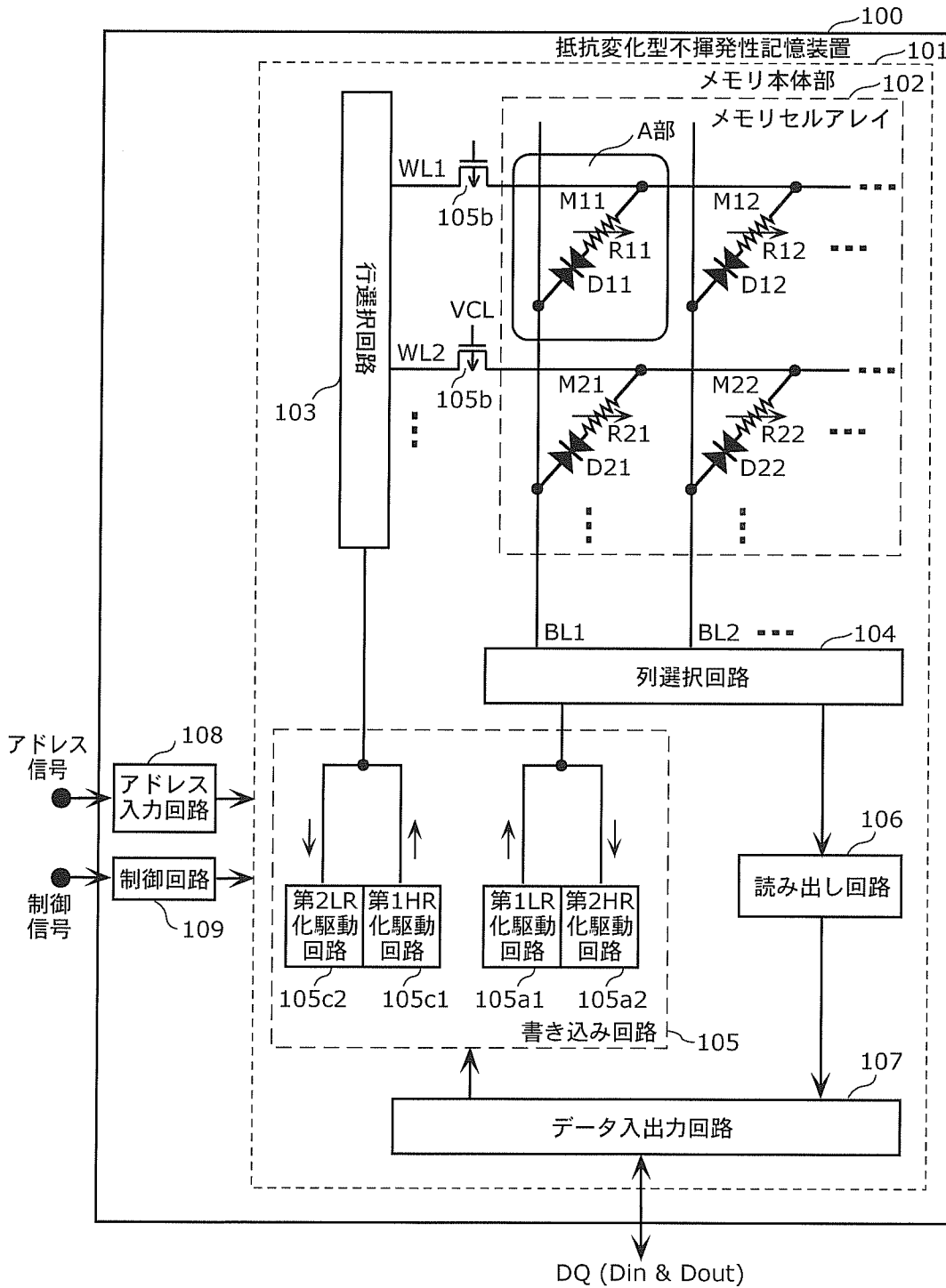


(a)

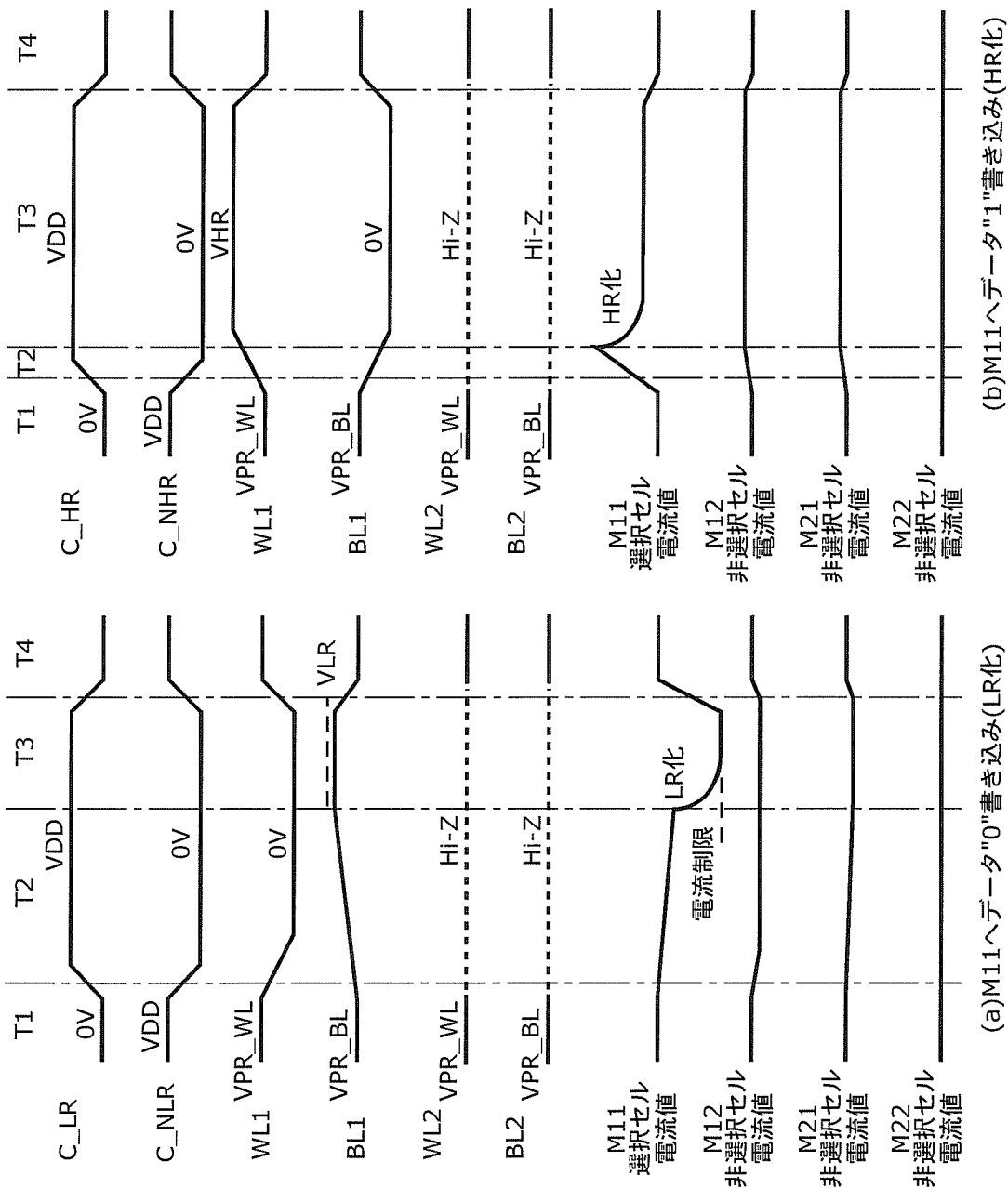


(b)

[図30]



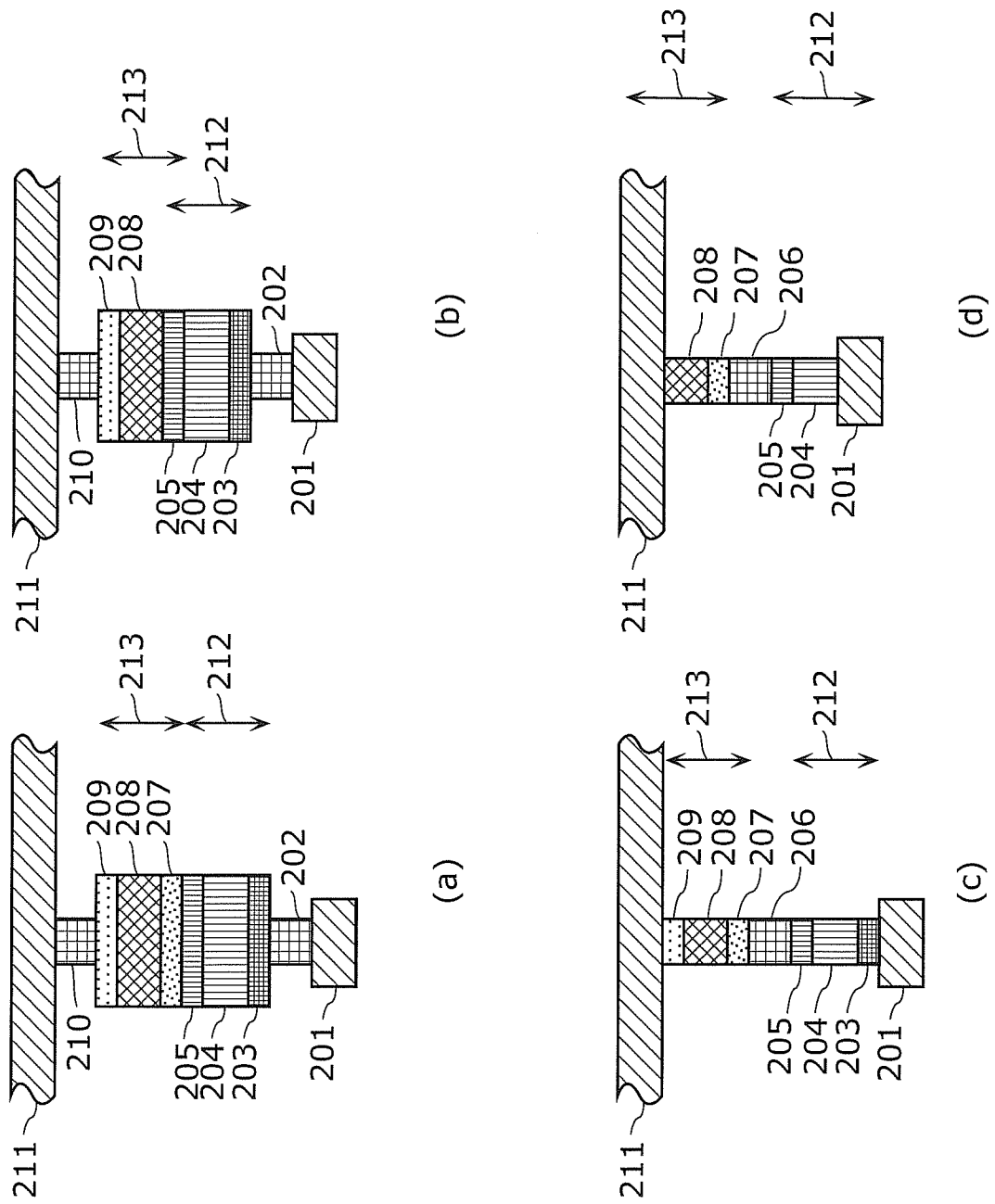
[図31]



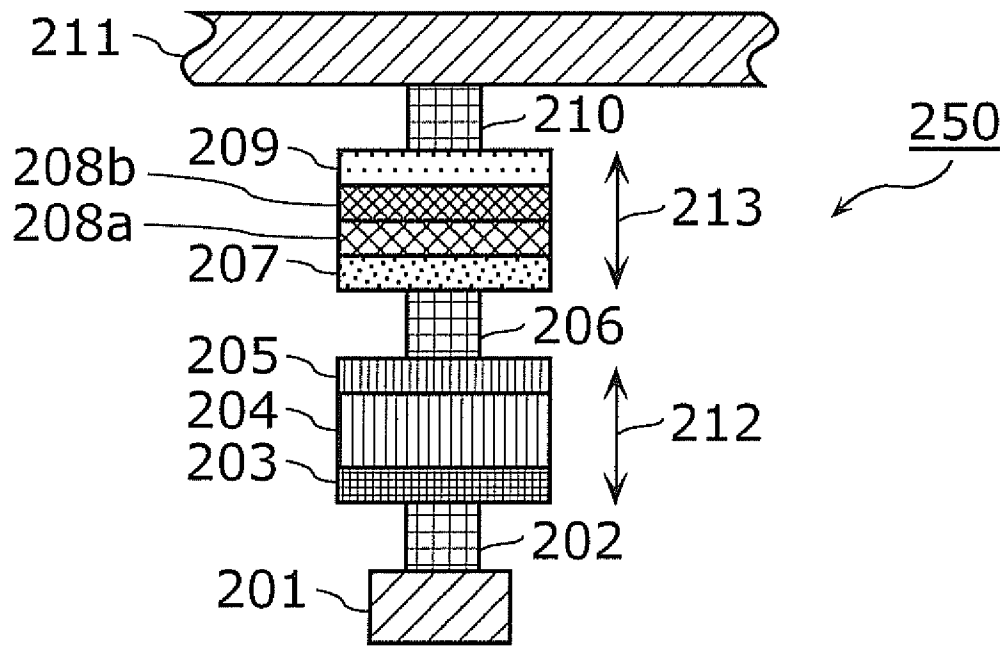
(a)M11へデータ"0"書き込み(LR化)

(b)M11へデータ"1"書き込み(HR化)

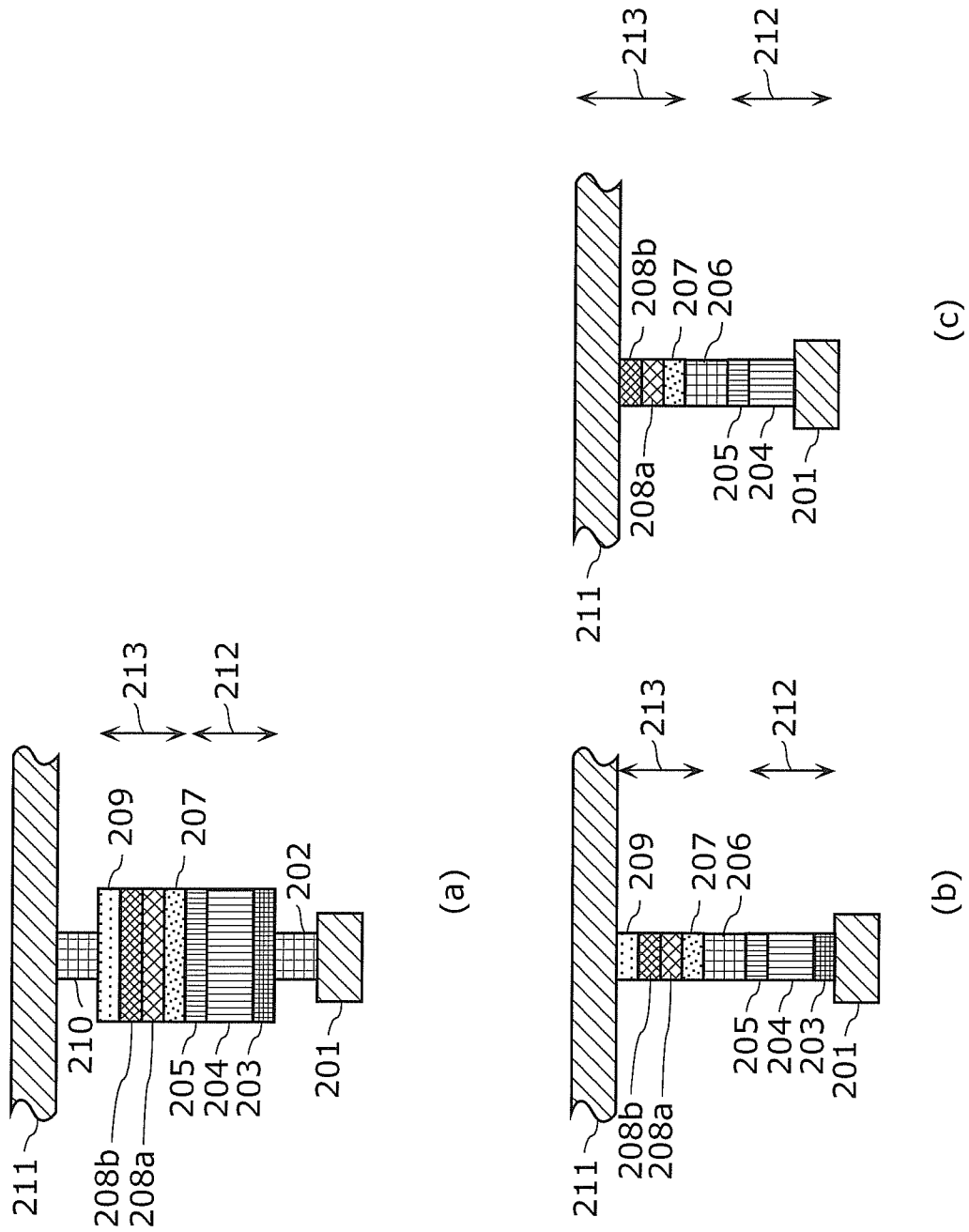
[32]



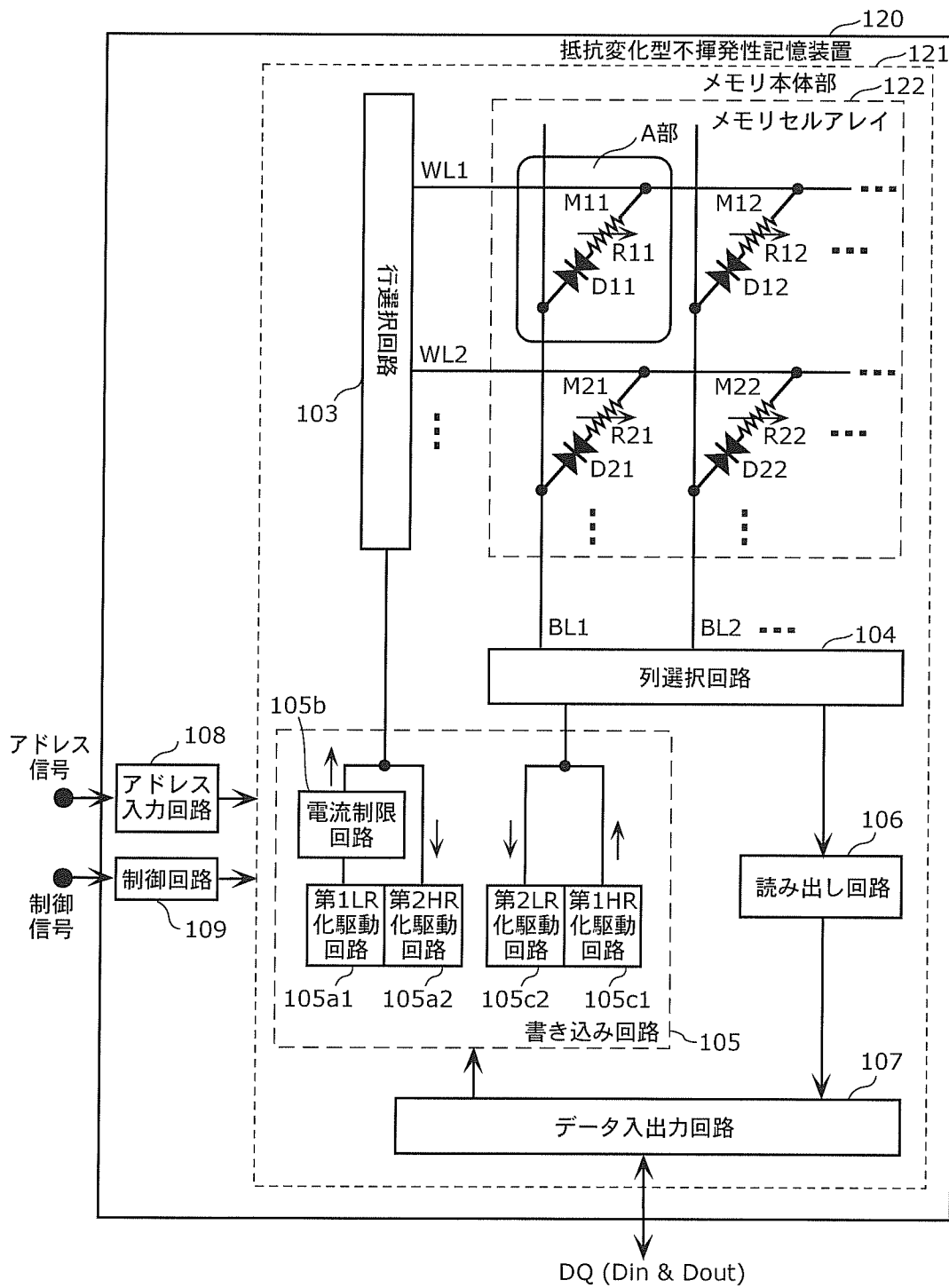
[図33]



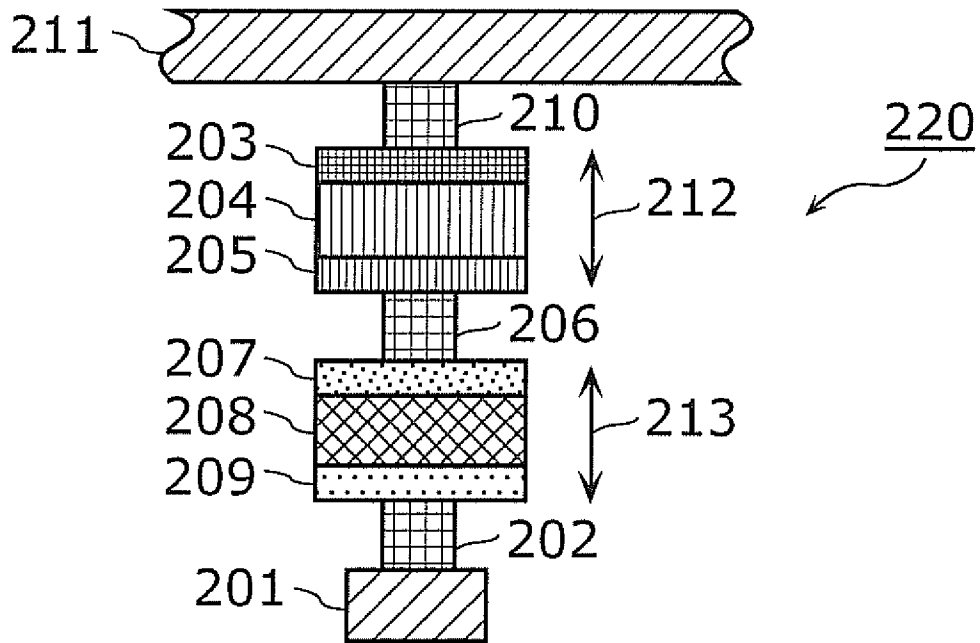
[図34]



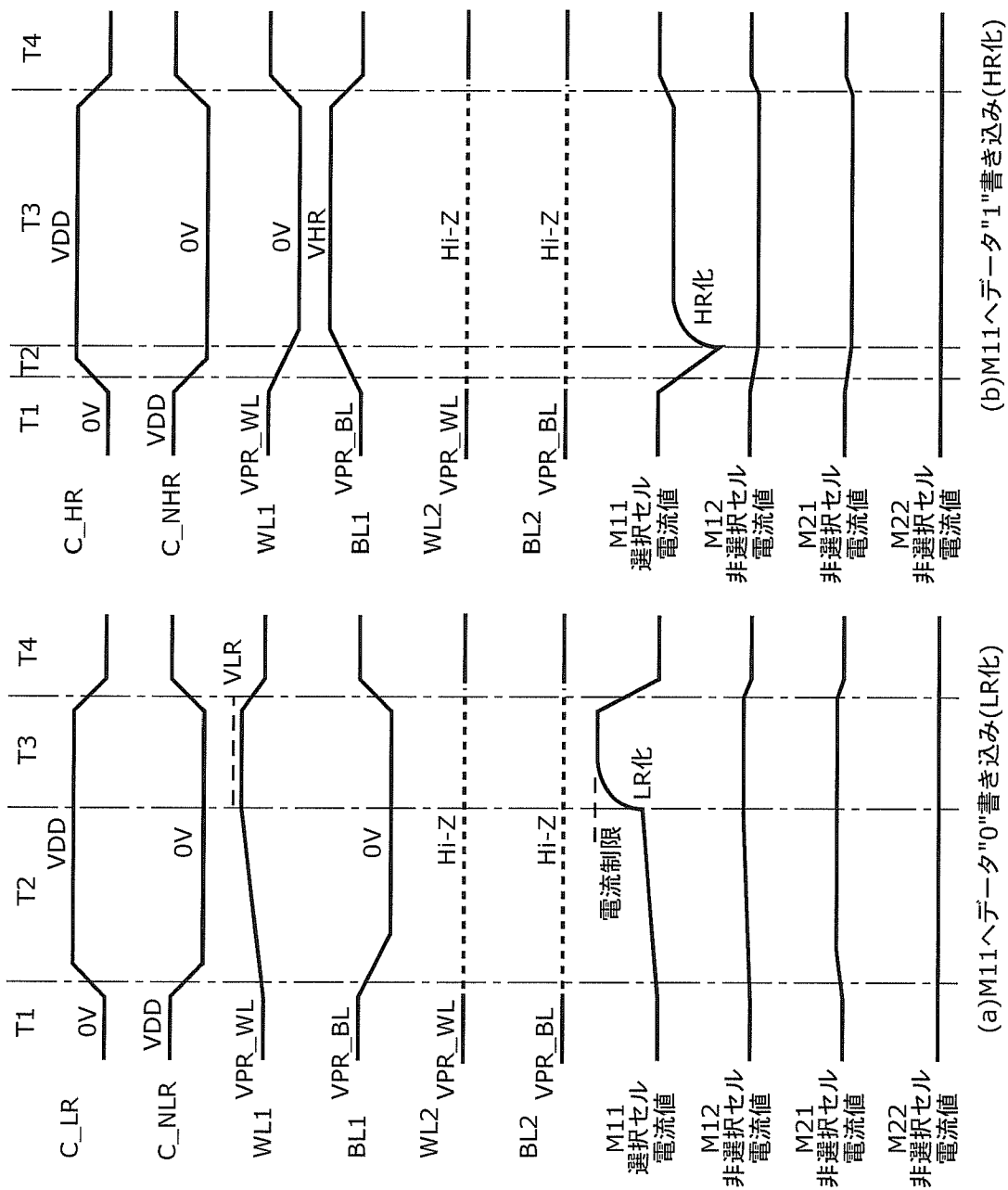
[図35]



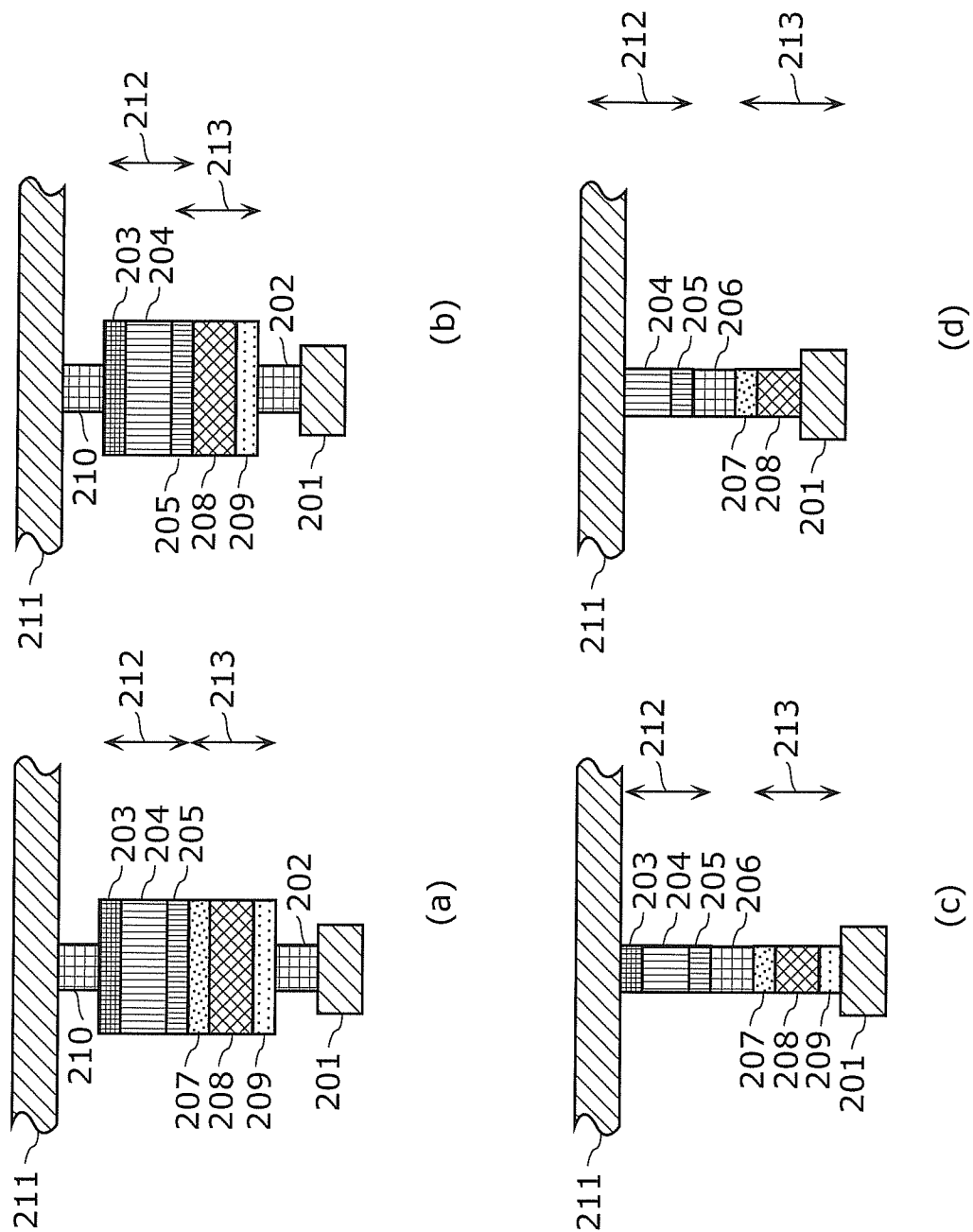
[図36]



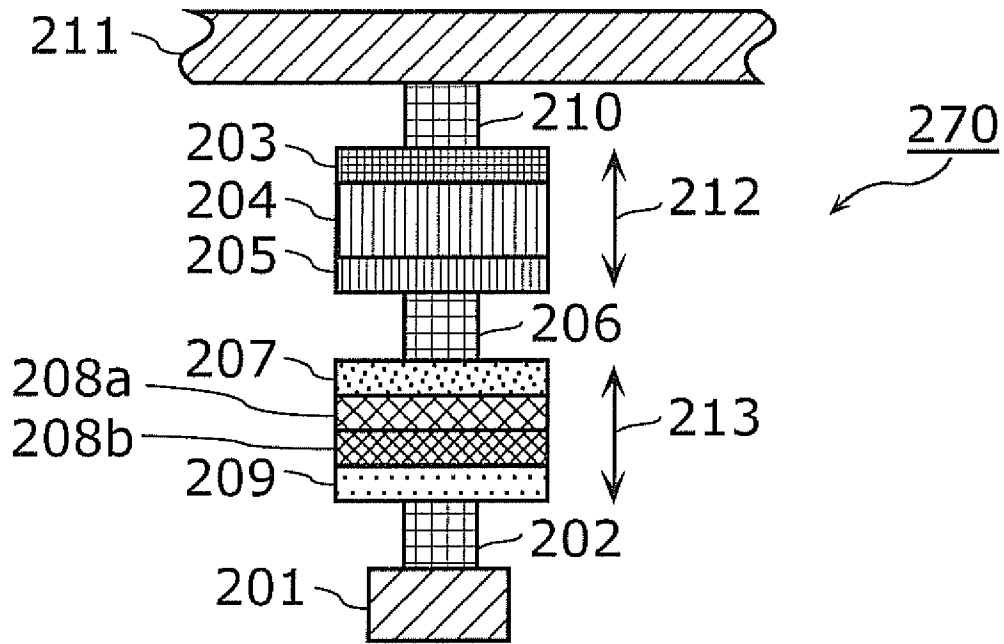
[図37]



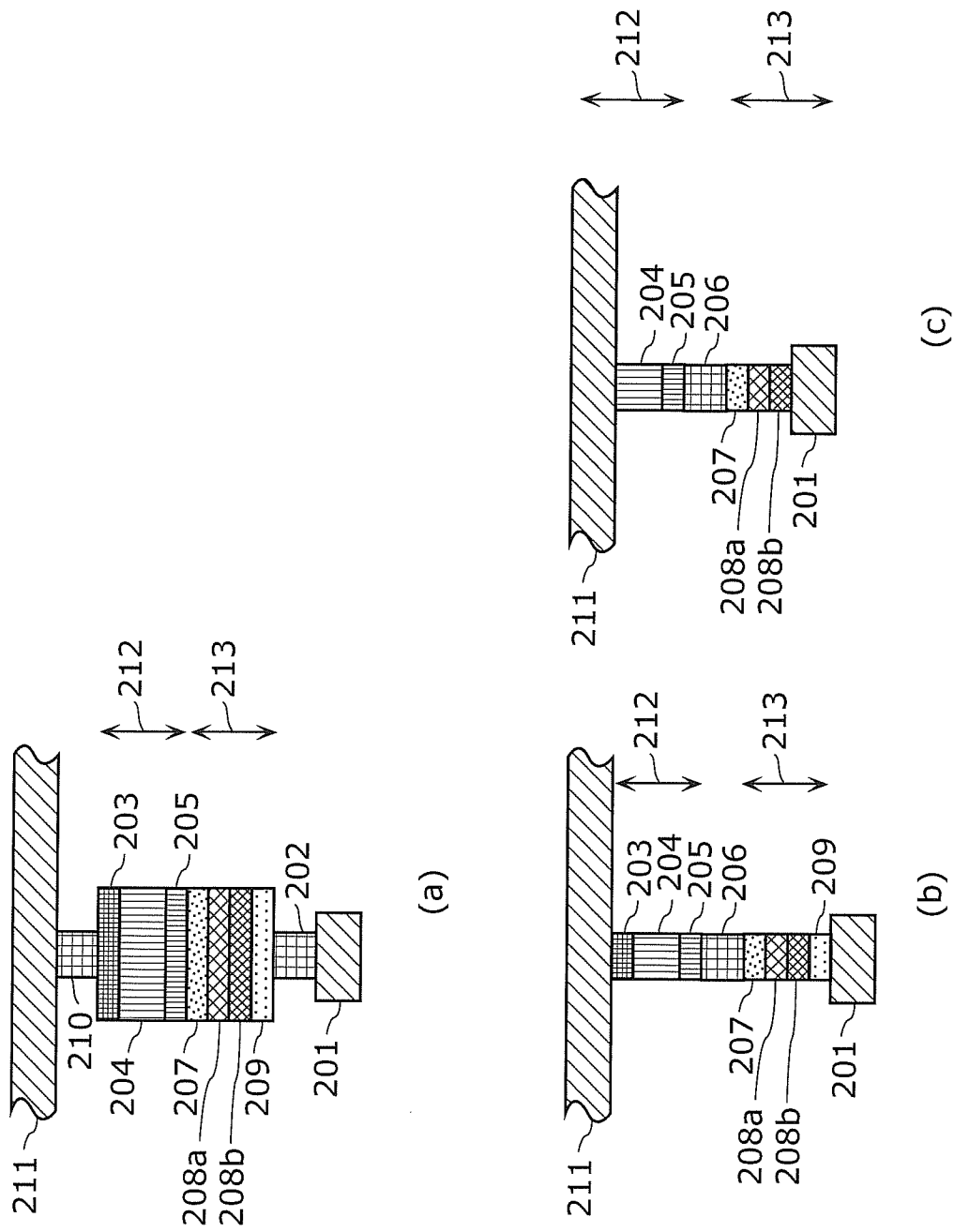
[38]



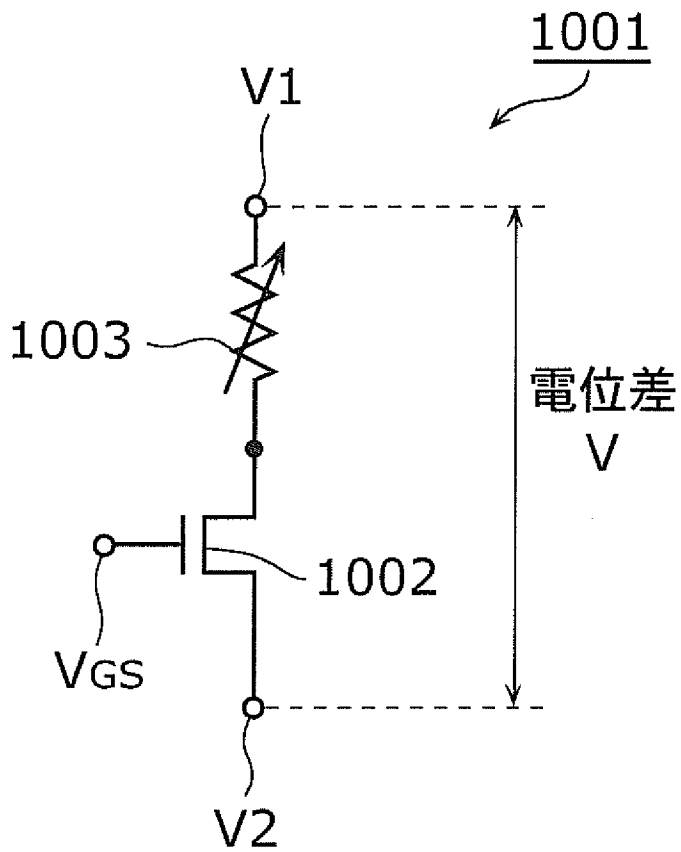
[図39]



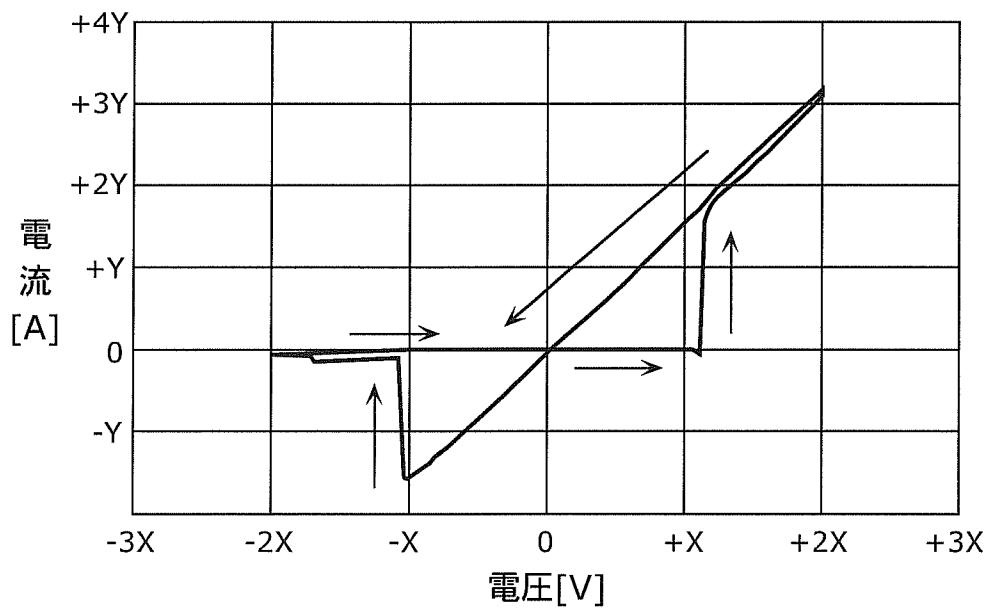
[図40]



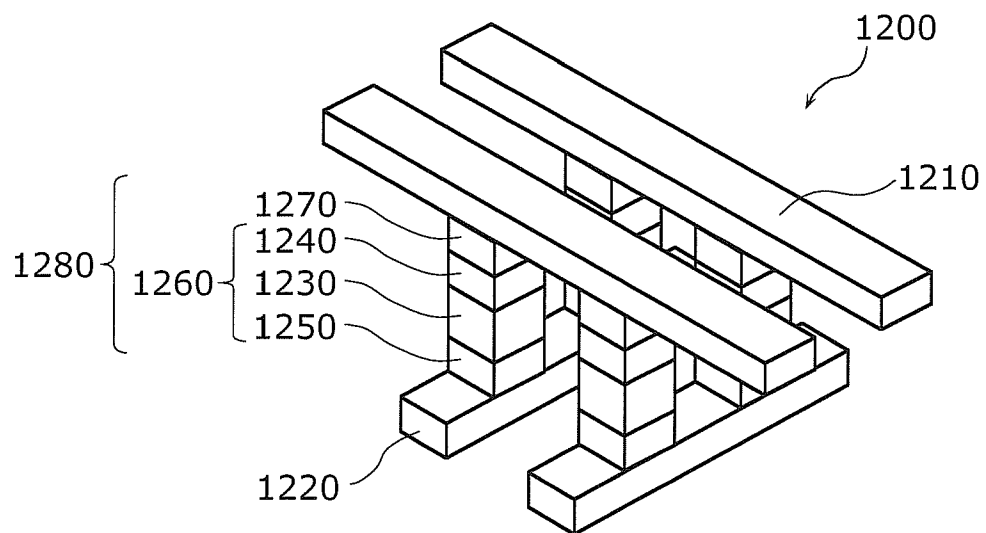
[図41]



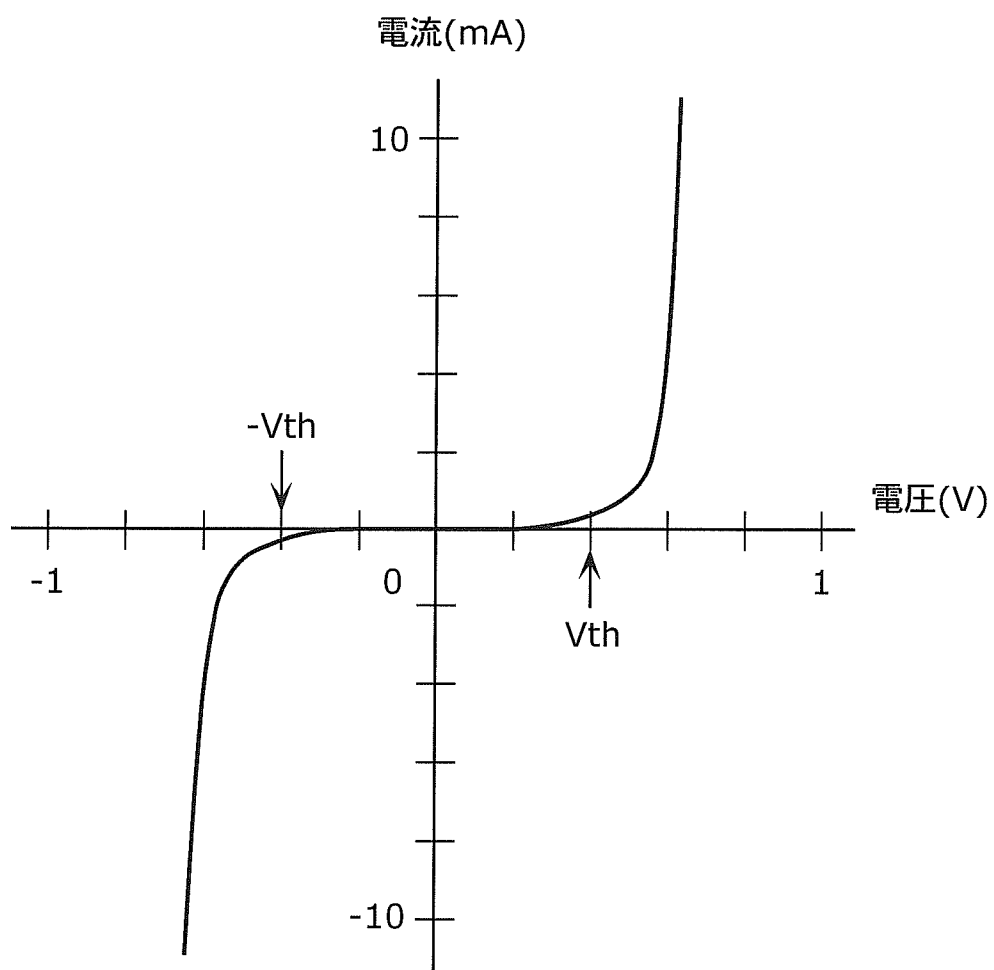
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002683

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00(2006.01) i, H01L27/10(2006.01) i, H01L45/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00, H01L27/10, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4253038 B2 (Panasonic Corp.), 08 April 2009 (08.04.2009), entire text; all drawings & US 2009/0283736 A1 & EP 2063467 A1 & WO 2008/149484 A1	1-30
A	WO 2008/142919 A1 (Sharp Corp.), 27 November 2008 (27.11.2008), entire text; all drawings & JP 2008-306157 A	1-30
A	WO 2008/012871 A1 (Fujitsu Ltd.), 31 January 2008 (31.01.2008), entire text; all drawings (Family: none)	1-30

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21 July, 2010 (21.07.10)

Date of mailing of the international search report
03 August, 2010 (03.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C13/00(2006.01)i, H01L27/10(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C13/00, H01L27/10, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4253038 B2 (パナソニック株式会社) 2009.04.08, 全文, 全図 & US 2009/0283736 A1 & EP 2063467 A1 & WO 2008/149484 A1	1-30
A	WO 2008/142919 A1 (シャープ株式会社) 2008.11.27, 全文, 全図 & JP 2008-306157 A	1-30
A	WO 2008/012871 A1 (富士通株式会社) 2008.01.31, 全文, 全図 (ファミリーなし)	1-30

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
 21.07.2010

国際調査報告の発送日
 03.08.2010

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 園田 康弘
 電話番号 03-3581-1101 内線 3586

5 N 3578