

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G02F 1/1343 G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년07월01일 10-0260359 2000년04월06일
(21) 출원번호 (22) 출원일자	10-1997-0014502 1997년04월18일	(65) 공개번호 (43) 공개일자
		특1998-0077399 1998년11월16일

(73) 특허권자	현대전자산업주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 이득수
(74) 대리인	경기도 수원시 권선구 고등동 203번지 강성배

심사관 : 이금옥

**(54) 액정 표시 장치 및 그 제조방법**

**요약**

본 발명은 제조 수율을 증대시킬 수 있는 액정 표시 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

본 발명은, 절연 기판 상에 매트릭스 형태로 배치·설계된 게이트 라인과, 데이터 라인으로 한정지어지는 다수개의 단위 셀, 상기 단위셀 각각에 배치되고, 게이트 라인과 데이터 라인과 접속되는 박막 트랜지스터, 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소 전극을 포함하는 액정 표시 장치로서, 상기 단위셀에 해당하는 각각의 화소 전극은 상기 데이터 라인과 오버랩되도록 형성되고, 다수개의 단위 셀 중 어느 하나의 단위 셀에 형성된 화소 전극과, 이것과 인접한 부분의 단위셀의 화소 전극은 절연막을 매개로 소정 부분 오버랩되도록 형성되는 것을 특징으로 한다.

**대표도**

**도2a**

**명세서**

**도면의 간단한 설명**

- 제1(a)도는 종래의 액정 표시 장치의 평면도.  
제1(b)도는 제1(a)도의 액정 표시 장치를 a-a' 선을 절단하여 나타낸 단면도.  
제2(a)도는 본 발명에 따른 액정 표시 장치의 평면도.  
제2(b)도는 제2(a)도의 b-b' 선을 절단하여 나타낸 액정 표시 장치의 단면도.  
제3도는 본 발명에 따른 액정 표시 장치의 등가회로도.

**\* 도면의 주요부분에 대한 부호의 설명**

- |              |                    |
|--------------|--------------------|
| 11 : 절연 기판   | 12 : 게이트 라인        |
| 12A : 게이트 전극 | 13 : 게이트 절연막       |
| 14 : 채널층     | 15 : 데이터 라인        |
| 15A : 소오스 전극 | 15B : 드레인 전극       |
| 16 : 패시베이션막  | 17-1, 17-2 : 화소 전극 |
| 18 : 수지 절연막  |                    |

**발명의 상세한 설명**

**발명의 목적**

### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그 제조방법에 관한 것으로, 보다 구체적으로는, 인접한 화소 전극간의 전기적 단락을 방지할 수 있는 액정 표시 장치 및 그 제조방법에 관한 것이다.

일반적으로 고속의 응답성을 지니며, 다수개의 화소 갯수를 갖는 액티브 매트릭스 구동 방식의 컬러 액정 표시 장치는 표시 능력이 우수하고, 부피가 큰 음극선관(CRT) 표시 장치의 대체품으로서 기대된다.

이러한 액티브 매트릭스형 액정 표시 장치는 절연 기판상에 게이트 라인과 데이터 라인이 교차로 배치·설계되고, 이 교차점에는 다이오드나 박막 트랜지스터와 같은 스위칭 소자가 형성된다.

제1도는 종래의 액티브 매트릭스의 액정 표시 장치를 나타낸 도면으로, 제1(a)도는 액정 표시 장치의 평면도이고, 제1(b)도는 제1(a)도의 a-a' 선으로 절단한 단면도이다.

여기서, 도면 부호 1은 절연 기판을 나타내고, 2는 절연 기판(1)상에 형성된 게이트 라인을 나타내며, 2A는 게이트 라인(2)과 일체인 게이트 전극이고, 2B는 스토리지 용량 전극을 나타낸다. 또한, 3은 게이트 절연막을 나타내고, 4는 게이트 절연막(3)상의 소정 부분에 형성된 채널층을 나타내며, 5는 데이터 라인을 나타낸다. 또한, 도면 부호 5A는 소오스 전극을 나타내고, 5B는 드레인 전극을 나타내며, 6은 패시베이션막이고, 7-1, 7-2는 화소 전극을 나타낸다.

먼저, 제1(a)도를 참조하여, 절연 기판(도시되지 않음) 상부에 게이트 라인(2)과 데이터 라인(5)이 게이트 절연막(도시되지 않음)을 매개로 예컨대 XY 방향으로 교차하여 배치설계되며, 이 게이트 라인(2)과 데이터 라인(5)의 교차점 부근에는 게이트 라인(2)과 일체인 게이트 전극(2A), 데이터 라인(5)과 일체인 소오스 전극(5A), 드레인 전극(5B) 및 채널층(4)으로 구성되는 박막 트랜지스터(10)가 형성된다.

여기서, 게이트 라인(2)과 데이터 라인(5)은 신호를 주사하고, 데이터를 전달하는 본연의 역할 이외에도 액정 표시 장치의 단위 셀을 한정하는 역할을 한다.

또한, 박막 트랜지스터(10)의 드레인 전극(5B)측에는 ITO(indium tin oxide)로 된 투명 화소 전극(7A, 7B)이 접속되어 있다.

제1(b)도는 제1(a)도를 a-a' 선으로 절단하여 나타낸 단면으로서, 절연 기판(1) 상부에 도면에는 도시되지 않았지만, 게이트 라인(도시되지 않음)이 공지의 금속막 형성방식에 의하여 형성되고, 그 상부에 게이트 절연막(3)이 형성된다. 이어서, 게이트 절연막(3) 상부에는 불투명 금속막 예를들어, Al, Ti와 같은 금속막이 소정 두께로 증착된 다음, 일 부분 제거되어, 데이터 라인(5)이 형성된다. 이때, 데이터 라인(5)이 형성되기 이전에, 도면에 도시되지는 않았지만, 채널층(4)과, 도핑된 채널층(도시되지 않음)이 형성되고, 그 후 데이터 라인(5)이 형성됨으로써, 박막 트랜지스터(도시되지 않음)가 완성된다.

그후, 데이터 라인(5)이 형성된 절연 기판(1) 상부에 박막 트랜지스터를 보호하기 위한 패시베이션막(6)이 형성된 다음, 패시베이션막(6) 상부에 ITO막이 소정 두께로 증착된 후, 데이터 라인(5)의 소정 부분과 오버랩되며, 단위 액정셀(C1, C2)내에 각각 존재하도록 패터닝하여, 화소 전극(7-1, 7-2)이 형성된다.

또한, 액정 표시 장치의 표시 불량을 저감시키기 위한 화소 전극(7-1, 7-2) 하단에는 게이트 절연막(도시되지 않음)을 사이에 두고 스토리지 용량 전극(2B)이 형성된다.

여기서, 화소 전극(7-1, 7-2)과 데이터 라인(5)이 소정 부분 오버랩되도록 형성하는 것은, 이 오버랩되는 부분의 면적만큼 스토리지 용량 전극(2B)의 캐패시턴스를 증대시키는 역할을 한다.

### 발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 액정 표시 장치는, 제1(a)도에 도시된 것과 같이, 데이터 라인(5) 상부에 제1단위셀(C1)의 화소 전극(7-1)과, 제1단위셀(C1)과 인접하는 제2단위셀(C2)의 화소 전극(7-2)이 동시에 오버랩된다. 이때, 데이터 라인(5)의 폭은 수 $\mu$ m 내지 10 $\mu$ m 정도의 좁은 폭을 지니고 있으므로, 이웃하는 단위 셀의 화소 전극(7-1, 7-2)이 하나의 데이터 라인상에 동시에 오버랩될 경우, 데이터 라인의 미세한 폭으로 인하여, 단락이 발생하는 문제점이 발생되었다.

더구나, 상기의 불투명 물질로 된 스토리지 용량 전극(2B)은 빛이 통과되는 부분 즉, 개구 영역에 화소 전극과 오버랩되도록 형성되어, 액정 표시 장치의 개구율을 저하시키게 된다.

따라서, 본 발명의 목적은 데이터 라인과 소정 부분 오버랩되는 인접하는 단위셀의 화소 전극이 서로 단락되지 않도록 하여, 액정 표시 장치의 제조 수율을 개선할 수 있는 액정 표시 장치를 제공하는 것이다.

또한, 본 발명의 다른 목적은, 스토리지 용량 전극을 형성하지 않고도 충분한 축적 용량을 제공할 수 있는 액정 표시 장치를 제공하는 것이다.

또한 본 발명의 다른 목적은 상기와 같은 액정 표시 장치의 제조방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 장치는, 절연 기판 상에 매트릭스 형태로 배치·설계된 게이트 라인과, 데이터 라인으로 한정지어지는 다수개의 단위셀, 상기 단위셀 각각에 배치되고, 게이트 라인과 데이터 라인의 접속되는 박막 트랜지스터, 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소 전극을 포함하는 액정 표시 장치로서, 상기 단위셀에 각각에 형성되는 화소 전극은 상기 데이터 라인과 오버랩되도록 형성되고, 다수개의 단위 셀중 선택된 단위 셀의 화소 전극과, 상기 선택된 단위 셀과 인접한 부분에 해당하는 단위셀의 화소 전극은 데이터 라인 상부에서 절연막을 사이에 두고 소정 부분 오버랩되며, 상기 각각의 화소 전극은 상기 데이터 라인과 오버랩되면서, 인접하는 단위셀 내부로 소정 부분만큼 확장·형성되는 것을 특징으로 한다.

또한, 본 발명에 따른 액정 표시 장치의 제조방법은, 게이트 라인과, 박막 트랜지스터 및 데이터 라인이 형성되어, 매트릭스 형태의 단위셀이 한정된 절연 기판을 제공하는 단계; 상기 절연 기판 상부에 제1절연막을 형성하는 단계; 상기 제1절연막 상부에 단위 셀들 중 짝수번 또는 홀수번 컬럼에 해당하는 단위셀에 한정되도록 제1화소 전극을 형성하는 단계; 상기 제1화소 전극 및 제1절연막 상부에 제2절연막을 형성하는 단계; 상기 제2절연막 상부에, 상기 제1화소 전극과 소정 부분 오버랩되고, 상기 짝수번재 또는 홀수번재 단위셀에 인접한 단위셀에 한정되도록 제2화소 전극을 형성하는 단계를 포함하며, 상기 제1 및 제2화소 전극은 상기 데이터 라인과 오버랩되도록 패터닝하는 것을 특징으로 한다.

본 발명에 의하면, 어느 하나의 단위셀과, 그것과 인접하는 단위셀내의 화소 전극을 절연막을 사이에 두고 적층 형태로 형성함으로써, 인접하는 단위셀들의 화소 전극간의 단락이 방지되어, 제조 수율이 증대된다.

[실시예]

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

첨부한 제2도는 본 발명에 따른 액정 표시 장치를 나타낸 것으로, 제2(a)도는 본 발명에 따른 액정 표시 장치의 평면도이고, 제2(b)도는 제2(a)도의 b-b' 선으로 절단한 단면도이다.

여기서, 도면 부호 11은 절연 기판을 나타내고, 12는 절연 기판(11)상에 형성된 게이트 라인을 나타내며, 12A는 게이트 라인(12)과 일체인 게이트 전극을 나타낸다. 또한, 13은 게이트 절연막을 나타내고, 14는 게이트 절연막(3)상의 소정 부분에 형성된 채널층을 나타내며, 15는 데이터 라인을 나타낸다. 도면 부호 15A는 소오스 전극을 나타내고, 15B는 드레인 전극을 나타내며, 16은 패시베이션막을 나타낸다. 도면 부호 17-1, 17-2는 단위셀내의 화소 전극을 나타내고, 18은 상기 화소 전극(17-1, 17-2) 사이를 절연시키는 수지 절연막을 나타낸다.

먼저, 제2(a)도를 참조하여, 절연 기판(도시되지 않음) 상부에 게이트 라인(12)과 데이터 라인(15)이 게이트 절연막(도시되지 않음)을 사이에 두고 예컨대, XY방향으로 교차하여 배치·설계된다. 이 게이트 라인(12)과 데이터 라인(15)의 교차점 부근에는 게이트 라인(12)과 일체인 게이트 전극(12A), 데이터 라인(15)과 일체인 소오스 전극(15A), 드레인 전극(15B) 및 채널층(14)으로 구성되는 박막 트랜지스터(20)가 형성된다. 여기서, 채널층(14)은 수소화 아돌퍼스 실리코막으로 이루어지고, 도면에 도시되지는 않았지만, 채널층과, 소오스 전극(15A), 드레인 전극(15B) 사이에는 박막 트랜지스터의 오믹 콘택 역할을 하는 도핑된 반도체층이 형성되어 있다. 이때, 상기 게이트 절연막으로는 수지계통의 절연막이 이용될 수 있다.

이어서, 박막 트랜지스터(20)의 드레인 전극(15B)측에는 ITO(indium tin oxide)로 된 투명 화소 전극(17-1, 17-2)가 전기적으로 접속되어 있다. 이때, 화소 전극(17-1, 17-2)은 종래와 같이 동일 평면상에 소정 간격을 두고 이격되어 형성되지 않고, 인접하는 화소 전극과 소정의 절연막을 매개로 하여 오버랩될 수 있도록 형성한다. 즉, 예를들어, 동일 컬럼에 배열된 단위셀중 짝수 번재(또는 홀수번재)의 단위셀( $C_{n+1}$ )에 화소 전극(17-1)이 공지의 방식으로 형성된다. 이때, 화소 전극(17-1)은 데이터 라인(15)과 충분히 오버랩되도록 바람직하게는, 인접한 셀내로 소정 부분 확장되도록 형성되고, 게이트 라인(12)은 단위셀을 구성하는 2개의 게이트 라인 중 어느 하나의 라인과 소정 폭만큼 오버랩되도록 형성된다. 그후, 유리 기판면에는 절연막 바람직하게는, 유전율이 비교적 낮은 수지 절연막(도시되지 않음)이 형성되고, 홀수번재의 단위셀( $C_n$ )에 화소 전극(17-2)이 형성된다. 이때, 홀수번재 단위셀의 화소 전극(17-2) 또한 짝수번재 단위 셀의 화소 전극(17-1)과 마찬가지로, 데이터 라인(15)과 충분히 오버랩되도록 형성되고, 게이트 라인(12)과도 소정 부분 오버랩되도록 형성되며, 상기 짝수번재 단위 셀의 화소 전극(17-1)과 소정 부분 오버랩되어, 별도의 용량 전극을 형성하게 된다.

따라서, 본 발명의 액정 표시 장치는 별도의 스토리지 용량 전극의 형성없이, 데이터 라인(5)과 짝수번재 단위 셀의 화소 전극(17-1)이 오버랩되어 형성되는 용량 캐패시터( $C_{ST1}$ )와, 짝수번재 단위 셀의 화소 전극(17-1)과 홀수번재 단위 셀의 화소 전극(17-2)이 오버랩되어 형성되는 용량 캐패시터( $C_{ST2}$ )만으로도 충분한 스토리지 용량을 확보하게 된다.

이와같은 본 발명에 따른 액정 표시 장치의 개략적인 등가 회로가 제3도에 도시되어 있다.

제3도를 참조하여, 교차로 배열된 데이터 라인( $d_1, d_2, d_3, d_4 \dots$ )과 게이트 라인( $g_1, g_2 \dots$ )과의 교차점 부근에 데이터 라인과 게이트 라인 각각 연결되는 박막 트랜지스터(T)가 배열되고, 박막 트랜지스터의 드레인 전극단에는 화소 전극과 액정 및 공통 전극( $V_{com}$ )으로 이루어지는 액정 캐패시터( $C_{LC}$ )와, 이 액정 캐패시터( $C_{LC}$ )와 병렬로 연결되고 데이터 라인과 화소 전극으로 이루어지는 용량 캐패시터( $C_{ST1}$ )와, 인접하는 화소 전극 등으로 이루어지는 용량 캐패시터( $C_{ST2}$ )가 포함된다.

이하 본 발명에 따른 액정 표시 장치의 제조방법을 설명하도록 한다.

제2(b)도를 참조하여, 절연 기판(11) 예를들어, 투명 유리 기판 상부에 도면에는 도시되지 않았지만, 게이트 라인(도시되지 않음)이 도전체의 증착후, 소정의 형태로 패터닝함에 의하여 형성된다. 그 다음에, 게이트 라인이 형성된 절연 기판(11) 상부에 비교적 절연 특성이 우수한 게이트 절연막(13)이 형성되고, 게이트 절연막(13) 상부에는 도면에 도시되지는 않았지만, 박막 트랜지스터를 형성하기 위한 공정 예를들어, 채널층 형성 공정, 도핑된 실리콘층 형성공정이 진행된다.

그후, 게이트 절연막(13) 상부에는 불투명 금속막 예를들어, Al, Ti와 같은 금속막이 소정 두께로 증착된 다음, 소정 부분 제거되어, 데이터 라인(15)이 형성된다. 이때, 데이터 라인(15)이 형성됨으로서, 박막 트랜지스터(도시되지 않음)가 완성된다.

이어서, 데이터 라인(15)이 형성된 절연 기판(11) 상부에 박막 트랜지스터를 보호하기 위한 패시베이션막(16)이 형성된다. 그후, 패시베이션막(16) 상부에 ITO막이 소정 두께로 증착된 후, 짝수번재 단위 셀에

형성되도록 패터닝되어, 제1화소 전극(17-1)이 형성된다. 이때, 제1화소 전극(17-1)은 하부에 데이터 라인(15)과 오버랩되도록 패터닝됨이 바람직하다.

그리고나서, 결과물 상부에 제1화소 전극(17-1)과, 이후에 형성되어질 홀수번째 단위셀의 화소 전극과 전기적 절연을 위하여, 절연막 바람직하게는, 유전상수가 비교적 적은 예를들어,  $\epsilon$ 가 2 내지 4 바람직하게는, 3 정도가 되는 수지 절연막(18)이 소정 두께로 형성된다.

그후에, 수지 절연막(18) 상부에 홀수번째 단위셀을 형성하기 위하여 소정 두께의 IT0막이 적층되고, 홀수번째 단위 셀 내에 형성되도록 패터닝되어, 제2화소 전극(17-2)이 형성된다. 이때, 제2화소 전극(17-2) 또한 마찬가지로 상기 하부에 데이터 라인(15)과, 제1화소 전극(17-1)과 소정 부분 오버랩되는 부분을 갖는다. 여기서, 상기 제1화소 전극(17-1)과, 데이터 라인(15)이 이루는 용량 캐패시터( $C_{ST1}$ )와, 제1화소 전극(17-1)과, 제2화소 전극(17-2)이 이루는 용량 캐패시터( $C_{ST2}$ )의 합하여진 값이 본 발명의 액정 표시 장치에서 스토리지 용량 전극의 역할을 한다.

따라서, 개구율을 저해하는 별도의 스토리지 용량 전극의 형성공정을 배제하게 된다.

본 발명은 상기한 실시예에 국한되지 않는다.

본 발명의 실시예에서는 동일한 행에 짝수번째 단위 셀의 화소 전극을 먼저 형성한 후, 홀수번째 단위 셀의 화소 전극이 형성되는 것으로 설명하였으나, 본 발명은 이에 국한되지 않고, 그 순서를 달리하여도 무방하다.

또한, 본 발명에서는 제1화소 전극과, 제2화소 전극 사이를 절연시키는 물질로서 유전 상수( $\epsilon$ )가 3 정도인 수지 절연막을 사용하였으나, 그 밖의 다른 물질을 이용할 수 있다.

### 발명의 효과

이상에서 자세히 설명된 바와 같이, 본 발명에 의하면, 어느 하나의 단위셀과, 그것과 인접하는 단위셀내의 화소 전극을 절연막을 사이에 두고 적층 형태로 형성함으로써, 인접하는 단위셀들의 화소 전극간의 단락이 방지되어, 제조 수율이 증대된다.

또한, 화소 전극과 데이터 라인의 오버랩으로 형성되는 용량 캐패시터와, 화소 전극과, 인접하는 단위셀내의 화소 전극의 오버랩으로 형성되는 용량 캐패시터에 의하여, 별도의 스토리지 용량 캐패시터의 형성 없이도 충분한 축적 용량이 제공되므로, 액정 표시 장치의 개구율이 개선된다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

### (57) 청구의 범위

#### 청구항 1

기판 상에 매트릭스 형태로 배치·설계된 게이트 라인과, 데이터 라인으로 한정지어지는 다수개의 단위셀, 상기 단위셀 각각에 배치되고, 게이트 라인과 데이터 라인과 접속되는 박막 트랜지스터, 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소 전극을 포함하는 액정 표시 장치로서, 상기 단위셀에 각각에 형성되는 화소 전극은 상기 데이터 라인과 오버랩되도록 형성되고, 다수개의 단위 셀중 선택된 단위셀의 화소 전극과, 상기 선택된 단위 셀과 인접한 부분에 해당하는 단위셀의 화소 전극은 데이터 라인 상부에서 절연막을 사이에 두고 소정 부분 오버랩되며, 상기 각각의 화소 전극은 상기 데이터 라인과 오버랩되면서, 인접하는 단위셀 내부로 소정 부분만큼 확장·형성되는 것을 특징으로 하는 액정 표시 장치.

#### 청구항 2

제1항에 있어서, 상기 화소 전극간을 절연시키는 절연막은 수지 절연막인 것을 특징으로 하는 액정 표시 장치.

#### 청구항 3

제1항에 있어서, 상기 화소 전극간을 절연시키는 절연막은 유전 상수가 2 내지 4 정도인 절연막인 것을 특징으로 하는 액정 표시 장치.

#### 청구항 4

제1항에 있어서, 상기 단위셀에 형성된 각각의 화소 전극은 단위셀을 구성하는 두개의 게이트 라인 중 어느 하나의 게이트 라인과 소정 폭만큼 오버랩되도록 형성되는 것을 특징으로 하는 액정 표시 장치.

#### 청구항 5

게이트 라인과, 박막 트랜지스터 및 데이터 라인이 형성되어, 매트릭스 형태의 단위셀이 한정된 절연 기판을 제공하는 단계; 상기 절연 기판 상부에 제1절연막을 형성하는 단계; 상기 제1절연막 상부에 단위셀들 중 짝수번 또는 홀수번 컬럼에 해당하는 단위셀에 한정되도록 제1화소 전극을 형성하는 단계; 상기 제1화소 전극 및 제1절연막 상부에 제2절연막을 형성하는 단계; 상기 제2절연막 상부에, 상기 제1화소 전극과 소정 부분 오버랩되고, 상기 짝수번째 또는 홀수번째 단위셀에 인접한 단위셀에 한정되도록 제2화소 전극을 형성하는 단계를 포함하며, 상기 제1 및 제2화소 전극은 상기 데이터 라인과 오버랩되도록 패터닝하는 것을 특징으로 하는 액정 표시 장치의 제조방법.

#### 청구항 6

제5항에 있어서, 상기 제2절연막은 수지 절연막으로 형성하는 것을 특징으로 하는 액정 표시 장치의 제조

방법.

**청구항 7**

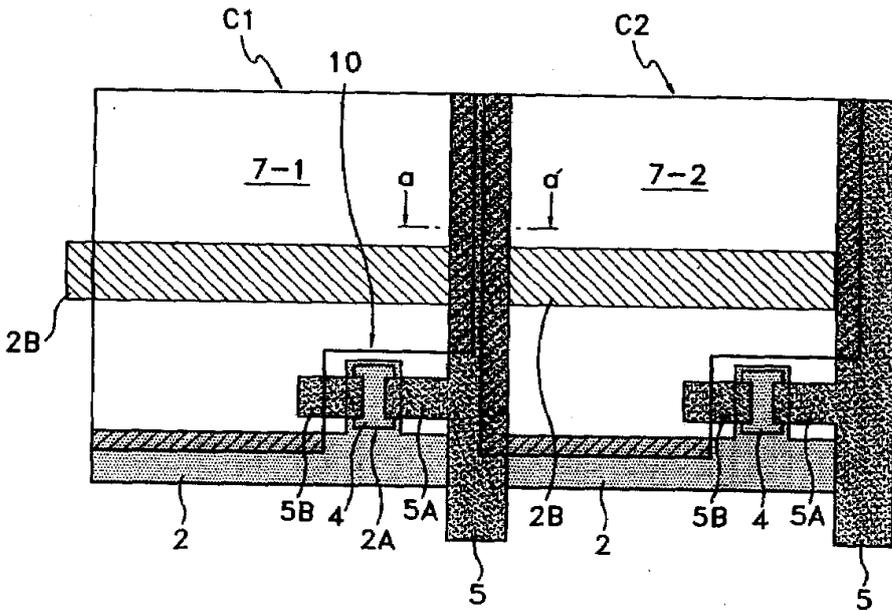
제5항에 있어서, 상기 제2절연막은 유전 상수가 2 내지 4 정도인 절연막인 것을 특징으로 하는 액정 표시 장치의 제조방법.

**청구항 8**

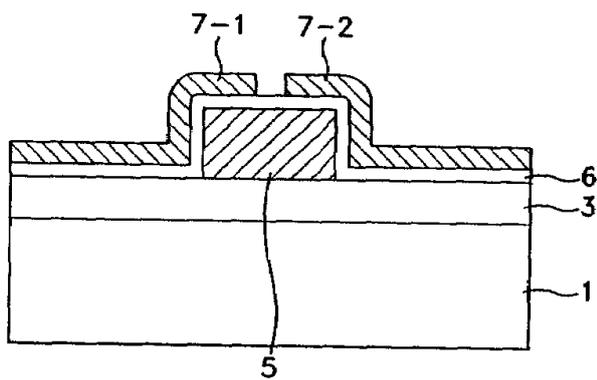
제5항에 있어서, 상기 제1 및 제2화소 전극을 형성하는 단계에서, 상기 제1 및 제2화소 전극은 단위셀을 구성하는 하나의 게이트 라인과 소정 폭만큼 오버랩되도록 패터닝하는 것을 특징으로 하는 액정 표시 장치의 제조방법.

도면

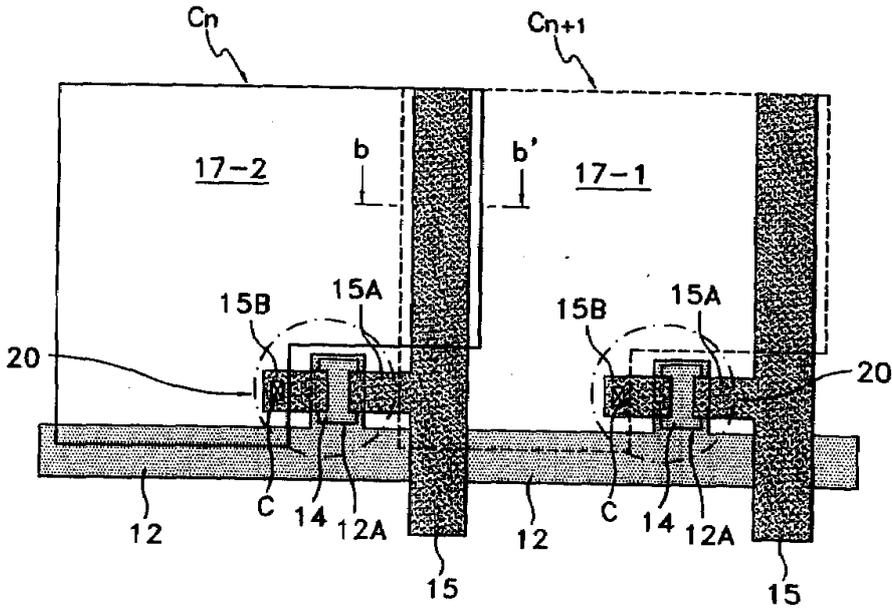
도면 1a



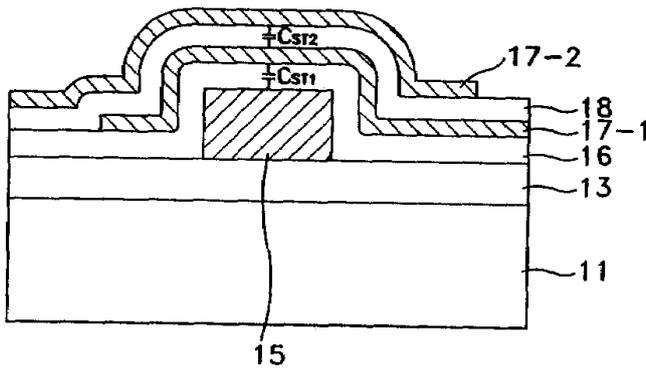
도면 1b



도면2a



도면2b



도면3

