

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4342970号
(P4342970)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl. F I
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 3 5 1
 HO 1 L 27/108 (2006.01)

請求項の数 7 (全 27 頁)

(21) 出願番号	特願2004-25935 (P2004-25935)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成16年2月2日(2004.2.2)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2005-217379 (P2005-217379A)	(74) 代理人	100092820 弁理士 伊丹 勝
(43) 公開日	平成17年8月11日(2005.8.11)	(72) 発明者	中島 博臣 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜 事業所内
審査請求日	平成18年7月4日(2006.7.4)	(72) 発明者	井納 和美 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜 事業所内
		審査官	正山 旭

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

絶縁層により前記基板と絶縁分離された第1導電型の半導体層と、

ゲート電極と、前記半導体層に設けられた第2導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含まると共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する記憶トランジスタと、

前記ドレイン領域の上面と接する位置に設けられると共に前記ドレイン領域中の第2導電型の不純物濃度よりも第1導電型の不純物濃度が高く、前記ドレイン領域よりも浅く前記ドレイン領域に形成された第1導電型の不純物拡散領域と、

前記不純物拡散領域をエミッタ領域、前記ドレイン領域をベース領域、前記チャンネルボディをコレクタ領域とするバイポーラトランジスタであって前記記憶トランジスタにデータを書込むための書込トランジスタと、

を備えることを特徴とする半導体メモリ装置。

【請求項2】

前記ソース領域と接続する導電性のソースプラグと、

前記不純物拡散領域と接続する導電性のエミッタプラグと、

前記ドレイン領域と接続する導電性のドレインプラグと、

を備え、

前記ソースプラグ、前記ゲート電極、前記エミッタプラグ、前記ドレインプラグの順に並んでいる、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記記憶トランジスタ及び前記書込トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜に埋め込まれると共に前記ドレイン領域と接続する導電性のドレインプラグと、

を備え、

前記ドレインプラグは、前記層間絶縁膜から突き出して前記ドレイン領域に埋め込まれ前記絶縁層に到達している、

10

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 4】

基板と、

絶縁層により前記基板と絶縁分離された第 1 導電型の半導体層と、

ゲート電極と、前記半導体層に設けられた第 2 導電型の一对の不純物領域と、これらの領域の間の前記半導体層に設けられた第 1 導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、

前記複数の記憶トランジスタを覆う層間絶縁膜と、

前記複数の記憶トランジスタのうち前記一对の不純物領域の一方が隣り合っている記憶トランジスタどうして共用すると共に前記層間絶縁膜に設けられこの膜から突き出して前記一对の不純物領域の一方に埋め込まれ、前記絶縁層まで達する導電性のプラグと、

20

を備えることを特徴とする半導体メモリ装置。

【請求項 5】

ゲート電極と、絶縁層により基板と絶縁分離された第 1 導電型の半導体層に設けられた第 2 導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第 1 導電型のチャンネルボディと、を含む記憶トランジスタを形成する工程と、

前記記憶トランジスタを覆う層間絶縁膜を形成する工程と、

前記ドレイン領域を露出するエミッタ用コンタクトホールを前記層間絶縁膜に形成する工程と、

30

前記エミッタ用コンタクトホールに第 1 導電型のエミッタプラグを形成する工程と、

前記エミッタプラグ中の第 1 導電型の不純物を前記ドレイン領域の上面に熱拡散して前記ドレイン領域の上面に、前記ドレイン領域中の第 2 導電型の不純物濃度よりも第 1 導電型の不純物濃度が高く、前記ドレイン領域よりも浅く前記ドレイン領域に形成された第 1 導電型のエミッタ領域を形成する工程と、

を備えることを特徴とする半導体メモリ装置の製造方法。

【請求項 6】

前記エミッタプラグを形成する工程は、

選択エピタキシャル成長により、エミッタ領域となる第 1 導電型の単結晶層を前記エミッタ用コンタクトホールに形成する

40

ことを特徴とする請求項 5 に記載の半導体メモリ装置の製造方法。

【請求項 7】

ゲート電極と、絶縁層により基板と絶縁分離された第 1 導電型の半導体層に設けられた第 2 導電型の一对の不純物領域と、これらの領域の間の前記半導体層に設けられた第 1 導電型のチャンネルボディと、を含む複数の記憶トランジスタが、隣り合うものどうして前記一对の不純物領域の一方を共用するように形成する工程と、

前記複数の記憶トランジスタを覆う層間絶縁膜を形成する工程と、

前記一对の不純物領域を貫通して前記絶縁層まで達するコンタクトホールを前記層間絶縁膜に形成する工程と、

前記コンタクトホールに、前記一对の不純物領域の一方の内部にまで入り込み、前記絶

50

縁層に到達すると共に隣り合う記憶トランジスタどうしで共用する導電性のプラグを形成する工程と、

を備えることを特徴とする半導体メモリ装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に係り、例えばSOI基板のような基板に形成されたトランジスタのチャンネルボディの多数キャリア蓄積状態によりデータ記憶を行う半導体メモリ装置及びその製造方法に関する。

【背景技術】

10

【0002】

最近、従来のDRAM代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体メモリ装置が提案されている（特許文献1参照）。メモリセルは、SOI基板に形成されたフローティングのボディ（チャンネルボディ）を持つ一つのトランジスタにより構成される。このメモリセルは、ボディに過剰の多数キャリアが蓄積された状態を第1データ状態（例えば、データ“1”）、ボディから過剰の多数キャリアが放出された状態を第2データ状態（例えば、データ“0”）として、二値記憶を行う。

【0003】

このようなメモリセルを“FBC（Floating Body Cell）”といい、FBCを用いた半導体メモリ装置を“FBCメモリ”という。FBCメモリは、通常のDRAMのようにキャパシタを用いないから、セルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。

20

【0004】

【特許文献1】特開2002-343886（図1～図4）

【発明の開示】

【発明が解決しようとする課題】

【0005】

FBCにおいても、DRAM等の他の半導体メモリと同様にデータの高速書込みやデータ破壊の防止が望まれる。

【0006】

30

本発明の目的は、データの高速書込みを可能にする半導体メモリ装置及びその製造方法を提供することである。

【0007】

本発明の他の目的は、データ破壊の防止を可能にする半導体メモリ装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明に係る半導体メモリ装置の一態様は、基板と、絶縁層により前記基板と絶縁分離された第1導電型の半導体層と、ゲート電極と、前記半導体層に設けられた第2導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する記憶トランジスタと、前記ドレイン領域の上面と接する位置に設けられると共に前記ドレイン領域中の第2導電型の不純物濃度よりも第1導電型の不純物濃度が高く、前記ドレイン領域よりも浅く前記ドレイン領域に形成された第1導電型の不純物拡散領域と、前記不純物拡散領域をエミッタ領域、前記ドレイン領域をベース領域、前記チャンネルボディをコレクタ領域とするバイポーラトランジスタであって前記記憶トランジスタにデータを書込むための書込トランジスタと、を備えることを特徴とする。

40

【0009】

本発明に係る半導体メモリ装置の他の態様は、基板と、絶縁層により前記基板と絶縁分離された第1導電型の半導体層と、ゲート電極と、前記半導体層に設けられた第2導電型

50

の一对の不純物領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、前記複数の記憶トランジスタを覆う層間絶縁膜と、前記複数の記憶トランジスタのうち前記一对の不純物領域の一方が隣り合っている記憶トランジスタどうして共用すると共に前記層間絶縁膜に設けられこの膜から突き出して前記一对の不純物領域の一方に埋め込まれ、前記絶縁層まで達する導電性のプラグと、を備えることを特徴とする。

【0010】

本発明に係る半導体メモリ装置の製造方法の一態様は、ゲート電極と、絶縁層により基板と絶縁分離された第1導電型の半導体層に設けられた第2導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含む記憶トランジスタを形成する工程と、前記記憶トランジスタを覆う層間絶縁膜を形成する工程と、前記ドレイン領域を露出するエミッタ用コンタクトホールを前記層間絶縁膜に形成する工程と、前記エミッタ用コンタクトホールに第1導電型のエミッタプラグを形成する工程と、前記エミッタプラグ中の第1導電型の不純物を前記ドレイン領域の上面に熱拡散して前記ドレイン領域の上面に、前記ドレイン領域中の第2導電型の不純物濃度よりも第1導電型の不純物濃度が高く、前記ドレイン領域よりも浅く前記ドレイン領域に形成された第1導電型のエミッタ領域を形成する工程と、を備えることを特徴とする。

10

【0012】

本発明に係る半導体メモリ装置の製造方法のさらに他の態様は、ゲート電極と、絶縁層により基板と絶縁分離された第1導電型の半導体層に設けられた第2導電型の一对の不純物領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含む複数の記憶トランジスタが、隣り合うものどうして前記一对の不純物領域の一方を共用するように形成する工程と、前記複数の記憶トランジスタを覆う層間絶縁膜を形成する工程と、前記一对の不純物領域を貫通して前記絶縁層まで達するコンタクトホールを前記層間絶縁膜に形成する工程と、前記コンタクトホールに、前記一对の不純物領域の一方の内部にまで入り込み、前記絶縁層に到達すると共に隣り合う記憶トランジスタどうして共用する導電性のプラグを形成する工程と、を備えることを特徴とする。

20

【発明の効果】

30

【0013】

本発明の一局面によれば、データの高速書込みが可能な半導体メモリ装置及びその製造方法を実現することができる。また、本発明の他の局面によれば、データ破壊の防止が可能な半導体メモリ装置及びその製造方法を実現することができる。

【発明を実施するための最良の形態】

【0014】

本発明の実施形態を以下の項目に分けて説明する。メモリセルはFBCを意味する。

[第1実施形態]

(第1比較例)

(第2比較例)

(第1実施形態に係るメモリセルの構造)

(第1実施形態の主な効果)

(第1実施形態に係るメモリセルの製造方法)

(第1実施形態に係るセルアレイ)

[第2実施形態]

[第3実施形態]

[第4実施形態]

[第5実施形態]

(第5実施形態に係るメモリセルの構造)

(第5実施形態の主な効果)

40

50

(第5実施形態に係るメモリセル製造方法)

[第6実施形態]

[第7実施形態]

なお、各実施形態を説明する図において、既に説明した図の符号で示すものと同一のものについては、同一符号を付すことにより説明を省略する。

【0015】

[第1実施形態]

第1実施形態に係るメモリセルを説明する前に、この理解のために、まず、第1及び第2比較例から説明する。

【0016】

(第1比較例)

図1は、第1比較例に係るメモリセルの断面の模式図である。メモリセルMCは、一つの記憶トランジスタMT_rから構成されている。記憶トランジスタMT_rは、SOI基板1に形成されている。記憶トランジスタMT_rは、SOI基板1のp型の半導体層3に設けられたn型のドレイン領域5及びソース領域7と、半導体層3の上にゲート絶縁膜を介して配置されたゲート電極9と、を備える。ドレイン領域5とソース領域7の間であってゲート電極9直下の半導体層3には、p型のチャンネルボディ11が形成されている。チャンネルボディ11は、フローティングボディとなる。ゲート電極9はワード線WLに接続され、ドレイン領域5はビット線BLに接続され、ソース領域7はソース線SLに接続されている。ソース線SLは接地されている。

【0017】

メモリセルMCの動作について図1～図3で説明する。図2及び図3で示す断面の構造は図1のそれと同じである。図1はデータ“1”の書込み動作、図2はデータ“0”の書込み動作、図3はデータの読出し動作を示している。

【0018】

図1に示すように、メモリセルMCへのデータ“1”の書込みには、メモリセルMCに大きなチャンネル電流が流れるバイアス条件を与える。例えば、ワード線WLに1.5V、ビット線BLに1.5Vを印加する。これにより、ドレイン領域5近傍でインパクトイオン化により発生する多数キャリア(図の例ではホールhole)をチャンネルボディ11に蓄積する。

【0019】

一方、データ“0”書込みは、図2に示すように、例えばワード線WLに1.5V、ビット線BLに-1Vを印加する。これにより、ドレイン領域5とチャンネルボディ11の間のPN接合を順バイアス状態として、ボディ11の多数キャリアをドレイン領域5側に放出させる。

【0020】

ボディ11のキャリア蓄積状態の相違は、記憶トランジスタMT_rのしきい値の相違として現れる。従って、図3に示すように、例えばワード線WLに1.5V、ビット線BLに0.2Vを与えて、セル電流の有無又は大小を検出することにより、データ“0”、“1”の読出しができる。

【0021】

図4は、記憶トランジスタMT_rのドレイン電流I_{ds}-ゲート電圧V_{gs}特性をデータ“0”、“1”について示している。なお、チャンネルボディ11の過剰の多数キャリアは、長時間放置すると、ドレイン領域5、ソース領域7との間のPN接合を介して抜ける。従って、DRAMと同様に一定周期でリフレッシュ動作を行うことが必要である。

【0022】

(第2比較例)

図5は、第2比較例に係るメモリセルMCの断面の模式図である。図6はその等価回路を示している。このメモリセルMCは、図1の記憶トランジスタMT_rに、データ書込み用の書込トランジスタWT_rを加えた構成をしている。トランジスタWT_rは、寄生PN

10

20

30

40

50

Pバイポーラトランジスタである。詳しくは、トランジスタWTrのp型のエミッタ領域13は、この領域とp型のチャンネルボディ11との間にn型のドレイン領域5が位置するように、半導体層3に設けられている。トランジスタWTrは、ドレイン領域5をn型のベース領域、チャンネルボディ11をp型のコレクタ領域としている。

【0023】

メモリセルMCのゲート電極9はワード線WLに接続され、ドレイン領域5はワード線WLと交差するビット線BLに接続され、ソース領域7はソース線SLに接続される。エミッタ領域13は、ワード線WLと並行するエミッタ線ELに接続される。

【0024】

第2比較例に係るメモリセルMCは、第1比較例と同様に、記憶トランジスタMTrのチャンネルボディ11が過剰の多数キャリア（ホール）を保持する第1データ状態（“1”データ）と、それより過剰のホールが少ない第2データ状態（“0”データ）を、ダイナミックに記憶する。図5には、メモリセルMCに“1”書込みを行う場合のバイアス例を示している。“1”書込み時、ワード線WLに-1.5V、ビット線BLに-1V、エミッタ線ELに0Vが与えられる。ソース線SLは0Vである。

【0025】

このとき、p型のエミッタ領域13とn型のドレイン領域5との間のPN接合（トランジスタWTrのベース・エミッタ接合）が順バイアスになり、エミッタ領域13からドレイン領域5にホールholeが注入される。注入されたホールは、一部がドレイン領域5で再結合し、残りがp型のチャンネルボディ11に到達する。言い換えれば、“1”書込みは、書込トランジスタWTrであるバイポーラトランジスタのオン動作により、記憶トランジスタMTrのチャンネルボディ11にホールを注入する動作となる。以下、この書込みを“バイポーラ書込み”という。

【0026】

バイポーラ書込みでは、エミッタ線ELとビット線BL間の電圧を調整することにより、チャンネルボディ11に流れ込む電流（コレクタ電流）を容易に増やすことができる。このため、高速の“1”書込みが可能になる。

【0027】

“0”書込みは、第1比較例と同様である。ワード線WLに例えば1.5Vを与えて、チャンネルボディ11の電位を上げ、ビット線BLには例えば-2Vを与える。書込トランジスタWTrはオフを保つ。これにより、チャンネルボディ11とドレイン領域5の間が順方向バイアスされ、チャンネルボディ11のホールがドレイン領域5に放出されて、過剰ホールの少ない“0”データが書かれる。第2比較例のメモリセルMCも、“0”又は“1”データをダイナミックに記憶するから、一定周期でのデータリフレッシュが必要である。

【0028】

（第1実施形態に係るメモリセルの構造）

第1実施形態に係るメモリセルは、第2比較例と同様の書込み動作であるが、エミッタ領域の不純物濃度を第2比較例よりも高くできるため、書込みをさらに高速化できる。図7は、第1実施形態に係るメモリセルの概要を示す模式図である。このメモリセルMCは、第2比較例と同様に一組の記憶トランジスタMTrと書込トランジスタWTrにより構成される。

【0029】

記憶トランジスタMTrは、フローティングボディを持つNMOSTランジスタである。書込トランジスタWTrは、そのフローティングボディをコレクタとするバイポーラトランジスタである。これらのトランジスタは、シリコン基板21（基板の一例）、シリコン酸化層23（絶縁層の一例）、単結晶のp型のシリコン層25（第1導電型の半導体層の一例）が積層された構造を有するSOI基板27に形成されている。シリコン層25は、シリコン酸化層23によりシリコン基板21と絶縁分離されている。シリコン層25を囲むように素子分離絶縁膜29が形成されている。

10

20

30

40

50

【0030】

記憶トランジスタMTrは、シリコン層25にゲート絶縁膜31を介して配置されたゲート電極33と、これと自己整合的にシリコン層25に形成されたn型(第2導電型の一例)のドレイン領域35及びソース領域37と、を備える。これらの領域の間であってゲート電極33直下のシリコン層25には、p型のチャンネルボディ39が形成されている。チャンネルボディ39は、フローティングボディとなる。記憶トランジスタMTrは、第1及び第2比較例と同様に、チャンネルボディ39の多数キャリア蓄積状態によりデータを記憶する。詳しくは、チャンネルボディ39が過剰の多数キャリアを保持する第1データ状態と、チャンネルボディ39が第1データ状態より少ない多数キャリアを保持する第2データ状態とのいずれかを記憶する。

10

【0031】

ドレイン領域35のゲート電極33側の上面と接する位置には、p型(第1導電型の一例)の不純物拡散領域41が設けられている。詳しくは、不純物拡散領域41は、ドレイン領域35よりも浅くドレイン領域35に形成されている。書込トランジスタWTrは、p型の不純物拡散領域41をエミッタ領域、n型のドレイン領域35をベース領域、p型のチャンネルボディ39をコレクタ領域とするPNPバイポーラトランジスタであり、記憶トランジスタMTrへのデータの書込みに利用される。

【0032】

不純物拡散領域41(エミッタ領域)は、ドレイン領域35(ベース領域)よりも浅い。具体的には、不純物拡散領域41の深さは20~30nmであり、ドレイン領域35の深さは50~150nmである。また、不純物拡散領域41(エミッタ領域)のp型の不純物濃度は、ドレイン領域35(ベース領域)のn型の不純物濃度 $1 \times 10^{19} / \text{cm}^3$ より大きく、例えば、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ である。

20

【0033】

ドレイン領域35のうち素子分離絶縁膜29と不純物拡散領域41の間には、この領域35と接続する導電性のドレインプラグ43(コンタクトプラグ)が設けられている。このプラグ43は、n型の不純物を含むポリシリコンで構成される。

【0034】

不純物拡散領域41(エミッタ領域)上には、この領域41と接続する導電性のエミッタプラグ45が形成されている。エミッタプラグ45は、p型の不純物を含むポリシリコンであり、この不純物をドレイン領域35に拡散することにより、不純物拡散領域41が形成される。

30

【0035】

また、ソース領域37上には、この領域37と接続する導電性のソースプラグ47が設けられている。プラグ47はn型のポリシリコンである。ソースプラグ47、ゲート電極33、エミッタプラグ45、ドレインプラグ43の順に並んでいる。

【0036】

なお、SOI基板27には、複数のメモリセルMCがアレイ状に配置されたセルアレイが配置されている(セルアレイの構造は後で説明する)。このSOI基板27には、ビット線セクタのようなセルアレイの周辺回路も形成されている。これを示すのが図8の断面図である。メモリセルMCの断面は図7と同様である。SOI基板27の周辺回路領域には、周辺回路の構成要素となるNMOSトランジスタQが表れている。

40

【0037】

(第1実施形態の主な効果)

第1実施形態の主な効果を第2比較例と比較しながら説明する。図9は、第2比較例に係るメモリセルの主要部の模式図であり、図7と対応する。図9が図7と相違する主な点は次ぎの通りである。素子分離絶縁膜29とドレイン領域35の間のp型のシリコン層25がエミッタ領域49にされている。エミッタ領域49のp型の不純物濃度は、 $1 \times 10^{17} / \text{cm}^3$ である。また、ドレインプラグ43とエミッタプラグ45の順番が入れ替わっている。

50

【0038】

さて、エミッタ領域を高濃度化すれば、 hFE (hFE ; パイポラトランジスタの電流増幅率)が大きくなるため、書込み電流が大きくなり、その結果、パイポラ書込みをさらに高速化できる。しかし、図9の第2比較例では、エミッタ領域49のp型不純物濃度をドレイン領域35のn型不純物濃度よりも高くできない。この理由を説明する。

【0039】

第2比較例では、エミッタ領域49がドレイン領域35(ベース領域)とドレイン領域35の側面48で接合する構造なので、p型のシリコン層25をエミッタ領域49にしている。記憶トランジスタMT_rは、p型のシリコン層25にn型のドレイン領域35及びソース領域37を形成したNMOS構造である。このNMOSが動作するためには、シリコン層25のp型不純物濃度がドレイン領域35及びソース領域37のn型不純物濃度より低くなければならない。例えば、ドレイン領域35及びソース領域37のn型不純物濃度が $1 \times 10^{19} / \text{cm}^3$ の場合、シリコン層25のp型不純物濃度は $1 \times 10^{17} / \text{cm}^3$ となるので、エミッタ領域49のp型不純物濃度は $1 \times 10^{17} / \text{cm}^3$ となる。よって、第2比較例では、エミッタ領域49のp型不純物濃度がドレイン領域35(ベース領域)のn型不純物濃度より低くなるので、書込トランジスタWT_rの hFE は1以下となり、通常のパイポラトランジスタより小さくなる。

【0040】

これに対して、図7に示す第1実施形態では、ドレイン領域35の上面と接する位置にエミッタ領域となるp型の不純物拡散領域41を設けている。このため、第2比較例のような制約はなく、不純物拡散領域41のp型不純物濃度をドレイン領域35のn型不純物濃度よりも高くできる。したがって、書込トランジスタWT_rの hFE を1より大きくでき、書込みのさらなる高速化が可能となる。例えば、第1実施形態では第2比較例よりも、エミッタ領域のp型不純物濃度が二桁以上高くなり、これによりエミッタ電流も二桁以上高くなるため、記憶トランジスタMT_rへの高速書込みが可能となる。

【0041】

なお、不純物拡散領域41をゲート電極33側ではなく、素子分離絶縁膜29側に配置し、これに伴いエミッタプラグ45を外側に配置し、ドレインプラグ43をエミッタプラグ45とゲート電極33の間に配置した構造でも、上記の効果を得ることができる。

【0042】

(第1実施形態に係るメモリセルの製造方法)

第1実施形態に係るメモリセルの製造方法について、図10~図22を用いて説明する。図10~図22は、この製造方法を工程順に示すSOI基板等の断面図である。まず、図10に示すように、SOI基板27を準備する。SOI基板27は、支持基板となるシリコン基板21、埋め込み酸化膜となるシリコン酸化層23、p型のシリコン層25が積層された構造を有する。シリコン層25のp型の不純物濃度は比較的安くされている($1 \times 10^{14} / \text{cm}^3$)。

【0043】

図11に示すように、フォトリソグラフィと反応性イオンエッチングにより、シリコン層25の素子形成領域51以外の領域を除去してトレンチ53を形成する。トレンチ53に、STI(Shallow Trench Isolation)技術により素子分離絶縁膜29を形成する。次に、シリコン層25の全面にやや高濃度のp型の不純物をイオン注入することにより、素子形成領域51をチャネル領域にする。このときの素子形成領域51の不純物濃度は、 $1 \times 10^{18} / \text{cm}^3$ である。このイオン注入の条件は、例えば、p型の不純物がホウ素であり、ドーズ量が $1 \times 10^{13} / \text{cm}^2 \sim 1.5 \times 10^{13} / \text{cm}^2$ である。

【0044】

図12に示すように、シリコン層25の全面に熱酸化により、ゲート絶縁膜となる薄い絶縁膜を形成する。その上に厚さ300nm程度のポリシリコン膜をCVD(Chemical Vapor Deposition)により形成する。上記ポリシリコン膜と薄い絶縁膜をフォトリソグラフィと反応性イオンエッチングによりパターニングして、素子形成領域51にゲート電極3

10

20

30

40

50

3、ゲート絶縁膜31を形成する。

【0045】

図13に示すように、ゲート電極33をマスクとしてn型の不純物を素子形成領域51にイオン注入して、LDD領域であるn型低濃度領域57を形成する。このイオン注入の条件は、例えば、n型の不純物がリンであり、ドーズ量が $1 \times 10^{13} / \text{cm}^2$ 程度である。そして、シリコン層25の全面にCVDにより、シリコン窒化膜を形成する。この窒化膜を反応性イオンエッチングによりエッチングすることにより、ゲート電極33の側面に側壁窒化膜55を形成する。ゲート電極33及び側壁窒化膜55をマスクとしてn型の不純物を素子形成領域51にイオン注入して、n型高濃度領域59を形成する。このイオン注入の条件は、例えば、n型の不純物がリンであり、ドーズ量が $1 \times 10^{13} / \text{cm}^2 \sim 2 \times 10^{13} / \text{cm}^2$ である。n型低濃度領域57とn型高濃度領域59により、LDD構造のドレイン領域35、ソース領域37が構成される。これらの領域35, 37のn型不純物濃度は、 $1 \times 10^{19} / \text{cm}^3$ である。以上により、ゲート電極33、ドレイン領域35、ソース領域37及びチャネルボディ39を含む記憶トランジスタMTrが形成される。

10

【0046】

図14に示すように、側壁窒化膜55をエッチング(例えば加熱燐酸)により除去する。側壁窒化膜55は周辺回路のMOSトランジスタ用であり、記憶トランジスタMTr用の側壁酸化膜は後の工程で形成される。

【0047】

20

図15に示すように、シリコン層25の全面に、LPCVD(Low Pressure Chemical Vapor Deposition)により、順に、シリコン酸化膜61、シリコン窒化膜63、比較的厚め(300nm)のシリコン酸化膜65を形成する。これらが記憶トランジスタMTrを覆う層間絶縁膜67となる。そして、ゲート電極33上のシリコン窒化膜63が露出するまで、シリコン酸化膜65を研磨して、シリコン酸化膜65を平坦化する。

【0048】

図16に示すように、層間絶縁膜67に、フォトリソグラフィと反応性イオンエッチングにより、ドレイン領域35を露出するドレイン用コンタクトホール69、ソース領域37を露出するソース用コンタクトホール71を形成する。

【0049】

30

図17に示すように、厚さ400nmのn型のポリシリコン膜を、コンタクトホール69, 71が埋まるように、層間絶縁膜67の全面にCVDにより形成する。そして、このポリシリコン膜がコンタクトホール69, 71に残るように、このポリシリコン膜を反応性イオンエッチングする。これにより、ドレイン用コンタクトホール69にドレインプラグ43、ソース用コンタクトホール71にソースプラグ47を形成する。

【0050】

図18に示すように、フォトリソグラフィと反応性イオンエッチングにより、ドレインプラグ43とゲート電極33との間の層間絶縁膜67に、ドレイン領域35を露出するエミッタ用コンタクトホール73を形成する。

【0051】

40

図19に示すように、コンタクトホール73が埋まるように、エミッタプラグとなる厚さ400nmのp型のポリシリコン膜を、CVDにより層間絶縁膜67の全面に形成する。このポリシリコン膜のp型の不純物濃度は、 $1 \times 10^{20} / \text{cm}^3$ 程度である。そして、このポリシリコン膜がコンタクトホール73に残るように、このポリシリコン膜を反応性イオンエッチングする。これにより、エミッタ用コンタクトホール73にエミッタプラグ45を形成する。

【0052】

図20に示す構造体を熱処理する。条件は、温度1015度であり、時間10秒である。この熱処理で、ドレイン領域35、ソース領域37のn型の不純物を活性化させる。また、この熱処理により、p型のエミッタプラグ45からドレイン領域35の上面50(表

50

面)にp型の不純物が拡散して、ドレイン領域35の上面50に、この領域35中のn型不純物濃度よりもp型不純物濃度が高いp型の不純物拡散領域41(エミッタ領域)が形成される。これにより、不純物拡散領域41をエミッタ領域、ドレイン領域35をベース領域、チャンネルボディ39をコレクタ領域とするバイポーラトランジスタである書込トランジスタWTrが形成される。

【0053】

図21に示すように、露出しているシリコン窒化膜63、その下のシリコン酸化膜61を反応性イオンエッチングで除去して、ゲート電極33の上面を露出させる。そして、層間絶縁膜67の全面にスパッタリングによりチタン膜を形成する。図21に示す構造体を熱処理することにより、このチタン膜を、ゲート電極33、ドレインプラグ43、エミッタプラグ45及びソースプラグ47中のシリコンと反応させる。これにより、ゲート電極33、ドレインプラグ43、エミッタプラグ45及びソースプラグ47の上面にチタンシリサイド膜75を形成する。

10

【0054】

図22に示すように、層間絶縁膜67の上にLPCVDにより、層間絶縁膜となる厚さ600nmのシリコン酸化膜77を形成する。その後、図示はしないがシリコン酸化膜77にプラグが形成される。これにより、ドレインプラグ43をビット線BLに、エミッタプラグ45をエミッタ線ELに、ソースプラグ47をソース線SLに、それぞれ接続する。以上の工程により、第1実施形態に係るメモリセルを作製することができる。

【0055】

なお、図18及び図19に示すように、エミッタ用コンタクトホール73をドレイン用コンタクトホール69よりもゲート電極33側に位置するように形成することにより、エミッタプラグ45をドレインプラグ43よりもゲート電極33側に形成している。しかしながら、逆にしてもよい。つまり、ドレイン用コンタクトホール69をエミッタ用コンタクトホール73よりもゲート電極33側に位置するように形成して、ドレインプラグ43をエミッタプラグ45よりもゲート電極33側に形成する。

20

【0056】

また、ドレインプラグ43及びソースプラグ47の形成後に、エミッタプラグ45を形成している。しかしながら、この逆でもよい。

【0057】

(第1実施形態に係るセルアレイ)

図23は、第1実施形態に係るセルアレイの一部のレイアウトを示す平面図である。図24は、図23のA1-A2断面の模式図である。図23及び図24を用いてセルアレイの構造を説明する。ソース線SL、ワード線WL、エミッタ線ELが同一の方向に延びている。ソース線SLはソースプラグ47、エミッタ線ELはエミッタプラグ45に接続されている。ビット線BLは、これらの線と直交する方向に延びており、ドレインプラグ43と接続されている。セルアレイは、複数のメモリセルMCがアレイ状に配置された構造を有する。詳しくは、複数のメモリセルMCがビット線BLとワード線WLが交差する位置にマトリクス配列されている。

30

【0058】

図24には隣り合う二つのメモリセルMC1, MC2が表れている。メモリセルMC1の断面は図7に示すメモリセルMCの断面と同じである。メモリセルMC2の断面は、メモリセルMC1とメモリセルMC2の間にある素子分離絶縁膜29を中心として、メモリセルMC1の断面を折り返した構造になっている。つまり、メモリセルMC1の断面とメモリセルMC2の断面は鏡像の関係となっている。したがって、メモリセルMC1のソースプラグ47、ゲート電極33、エミッタプラグ45、ドレインプラグ43、メモリセルMC2のドレインプラグ43、エミッタプラグ45、ゲート電極33、ソースプラグ47の順に並んでいる。

40

【0059】

平面についても、メモリセルMC1, MC2は鏡像の関係にある。したがって、メモリ

50

セルMC1のソース線SL、ワード線WL、エミッタ線EL、メモリセルMC2のエミッタ線EL、ワード線WL、ソース線SLの順に並んでいる。

【0060】

[第2実施形態]

第2実施形態について図25を用いて説明する。図25は第2実施形態に係るメモリセルMCの断面の模式図である。この実施形態では、エミッタプラグ45をp型の単結晶シリコン構造とし、これをエミッタ領域である不純物拡散領域にしている。

【0061】

エミッタプラグ45のp型不純物濃度($1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$)は、ドレイン領域35のn型不純物濃度($1 \times 10^{19} / \text{cm}^3$)よりも高くされている。したがって、第2実施形態によっても、第1実施形態と同様の効果を得ることができる。

10

【0062】

第2実施形態に係るメモリセルは、第1実施形態で説明した図10～図18の工程後、図18に示すエミッタ用コンタクトホール73に、p型不純物をドーピングしながら選択エピタキシャル成長により、エミッタプラグ45を形成する。この選択エピタキシャル成長の条件を簡単に説明する。ガスは、 $\text{SiH}_4 + \text{B}_2\text{H}_6$ であり、圧力は10 Torrであり、温度は700である。

【0063】

この選択エピタキシャル成長では、ドレイン領域35に第1実施形態のようなp型の不純物拡散領域41がほとんど形成されない。このように第2実施形態では、記憶トランジスタMTrの電流経路にp型の不純物拡散領域41が位置しないので、第1実施形態よりも記憶トランジスタMTrのソース-ドレイン抵抗を下げることができる。

20

【0064】

[第3実施形態]

図26は第3実施形態に係るメモリセルの断面の模式図であり、第1実施形態の図22と対応する。図22に示す第1実施形態と相違する点は、ゲート電極33の一部がシリコン層25に埋め込まれていることである。したがって、記憶トランジスタMTrはリセスチャネル構造を有する。これによる効果を説明する。

【0065】

図22に示す第1実施形態では、記憶トランジスタMTrの電流経路にp型の不純物拡散領域41が位置する。これに対して、図26に示す第3実施形態では、p型の不純物拡散領域41がドレイン領域35に形成されていても、記憶トランジスタMTrがリセスチャネル構造なので、記憶トランジスタMTrの電流経路は不純物拡散領域41の下となる。したがって、ソース-ドレイン抵抗を下げる事が可能となる。

30

【0066】

以上より、第3実施形態に係るメモリセルは、エミッタ領域(不純物拡散領域41)を高濃度にする事により書込みの高速化を図ることができるという第1実施形態と同様の効果に加えて、ソース-ドレイン抵抗を下げることもできる。

【0067】

第3実施形態に係るメモリセルの製造方法について、図27～図37を用いて説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面図である。まず、第1実施形態で説明した図10及び図11の工程を経た後、図27に示すように、フォトリソグラフィと反応性イオンエッチングにより、素子形成領域51のゲート電極形成領域79をリセスして、そこを凹部にする。リセスする量は、シリコン層25の半分程度である。

40

【0068】

次に、図28に示すように、熱酸化を用いてシリコン層25の全面にゲート絶縁膜となる薄い絶縁膜を形成する。その上にCVDにより厚さ300nm程度のポリシリコン膜を形成する。上記ポリシリコン膜と薄い絶縁膜をフォトリソグラフィと反応性イオンエッチングによりパターンニングして、ゲート電極形成領域79にゲート電極33、ゲート絶縁膜31を形成する。これにより、ゲート電極33の下部がゲート電極形成領域79に埋め込

50

まれた構造となる。

【 0 0 6 9 】

後の工程は第 1 実施形態と同様である。つまり、第 1 実施形態の図 1 3 ~ 図 2 2 の工程は、図 2 9 ~ 図 3 7、図 2 6 の工程と対応する。

[第 4 実施形態]

第 4 実施形態では、隣り合うメモリセルにおいてドレインプラグを共用する点を主な特徴としている。図 3 8 は、第 4 実施形態に係るセルアレイの一部のレイアウトを示す平面図であり、図 2 3 と対応する。図 3 9 は、図 3 8 の B 1 - B 2 断面の模式図であり、図 2 4 と対応する。

【 0 0 7 0 】

図 2 3 及び図 2 4 の第 1 実施形態との相違は、メモリセル M C 1 とメモリセル M C 2 の間の素子分離絶縁膜 2 9 をなくして、ドレイン領域 3 5 及びドレインプラグ 4 3 を共用するようにしている。これにより、メモリセル M C の面積を小さくすることができるため、半導体メモリ装置の高集積化を図ることができる。

【 0 0 7 1 】

[第 5 実施形態]

(第 5 実施形態に係るメモリセルの構造)

第 5 実施形態は、隣り合う二つのメモリセルがドレインプラグを共用し、このプラグを S O I 基板のシリコン酸化層に到達するように形成した点を主な特徴としている。図 4 0 は、第 5 実施形態に係るセルアレイの一部の断面の模式図であり、隣り合う二つのメモリセル M C 1 , M C 2 が表れている。ドレイン領域 3 5 及びソース領域 3 7 が一対の不純物領域である。メモリセル M C 1 , M C 2 は、ドレイン領域 3 5 を共用、つまり一対の不純物領域の一方を共用している。

【 0 0 7 2 】

第 5 実施形態のメモリセル M C は、図 1 に示す第 1 比較例と同様に一つの記憶トランジスタ M T r から構成されている。したがって、図 7 の第 1 実施形態のように不純物拡散領域 4 1 (エミッタ領域) やエミッタプラグ 4 5 が設けられていない。また、メモリセル M C の占有面積を小さくするために、(1) 素子分離絶縁膜 2 9 を設けておらず、(2) ドレインプラグ 4 3 及びソースプラグ 4 7 を共用している。

【 0 0 7 3 】

また、第 5 実施形態は、記憶トランジスタ M T r を覆うと共にドレインプラグ 4 3 及びソースプラグ 4 7 が埋め込まれた層間絶縁膜 6 7 を備えている。ドレインプラグ 4 3 は、層間絶縁膜 6 7 から突き出してドレイン領域 3 5 に埋め込まれてシリコン酸化層 2 3 に到達している。同様に、ソースプラグ 4 7 も、層間絶縁膜 6 7 から突き出してソース領域 3 7 に埋め込まれてシリコン酸化層 2 3 に到達している。プラグ 4 3 , 4 7 は n 型である。

【 0 0 7 4 】

(第 5 実施形態の主な効果)

第 5 実施形態の効果を第 3 比較例と比較して説明する。図 4 1 は第 3 比較例の断面の模式図である。図 4 0 の第 5 実施形態との違いは、ドレインプラグ 4 3 がドレイン領域 3 5 上に載っており、ソースプラグ 4 7 がソース領域 3 7 上に載っている点である。

【 0 0 7 5 】

図 4 1 の第 3 比較例において、メモリセル M C 2 にデータ “ 1 ” が記憶され、メモリセル M C 1 にデータ “ 0 ” が記憶されているとする。“ 1 ” が記憶された状態は、チャンネルボディ 3 9 に多数の hole (正孔) が蓄積された状態である。これに対して、“ 0 ” が記憶された状態は、チャンネルボディ 3 9 に hole (正孔) がいない状態である。

【 0 0 7 6 】

メモリセル M C 2 を選択して、データを “ 1 ” から “ 0 ” に書き換えるとする。この場合、メモリセル M C 2 のワード線 W L に正電圧、ビット線 B L に負電圧を印加する。メモリセル M C 2 のチャンネルボディ 3 9 の hole (正孔) は、(a) で示すように、チャンネルボディ 3 9 からビット線 B L につながるドレイン領域 3 5 に注入されてそこで再結合する。

10

20

30

40

50

【 0 0 7 7 】

しかし、hole (正孔) の拡散長は長いので、ドレイン領域 3 5 に注入された一部のhole (正孔) は、(b) に示すように、非選択である隣のメモリセル M C 1 のチャンネルボディ 3 9 に流れ込む。これにより、非選択のメモリセル M C 1 に記憶されているデータ “ 0 ” が破壊されてしまう問題が生じる (寄生 p n p バイポーラによる Disturb)。つまり、あるメモリセルのチャンネルボディ 3 9 に過剰に蓄積された多数キャリアが隣のメモリセルに流れ込めば、隣のメモリセルのデータ破壊を招くのである。

【 0 0 7 8 】

これに対して、第 5 実施形態の場合を図 4 2 で説明する。図 4 2 は図 4 0 と同じ断面を示している。そして、図 4 2 は図 4 1 の第 3 比較例と同じ動作をさせた状態である。第 5 実施形態ではドレインプラグ 4 3 がシリコン酸化層 2 3 に到達しているため、メモリセル M C 1 のドレイン領域 3 5 とメモリセル M C 2 のドレイン領域 3 5 とが分断される。このため、メモリセル M C 1 のチャンネルボディ 3 9 のhole (正孔) は、(c) に示すように、ドレインプラグ 4 3 とドレイン領域 3 5 の界面で再結合して消滅する。したがって、少数キャリアであるhole (正孔) が隣のメモリセル M C 1 に流れ込むことがないので、隣のメモリセル M C 1 のデータ破壊を防止できる。そして、ドレインプラグ 4 3 がシリコン酸化層 2 3 まで到達しているため、後で説明する第 6 実施形態よりも、hole (正孔) が隣のメモリセル M C 1 に流れ込むのを防止する効果が高い。

【 0 0 7 9 】

図 4 2 の状態では、メモリセル M C 2 のビット線 B L に負電圧、ソース線 S L が 0 V なので、メモリセル M C 2 のチャンネルボディ 3 9 のhole (正孔) は主に、ドレインプラグ 4 3 側に流れるが、一部はソースプラグ 4 7 側にも流れる。そこで、第 5 実施形態では、ソースプラグ 4 7 もシリコン酸化層 2 3 に到達するようにしている。これにより、メモリセル M C 2 のチャンネルボディ 3 9 のhole (正孔) がソースプラグ 4 7 側で隣り合うメモリセル (図示せず) に流れ込むのも防止できる。よって、このメモリセルのデータ破壊も防止できる。

【 0 0 8 0 】

(第 5 実施形態に係るメモリセル製造方法)

図 4 3 ~ 図 4 9 は、第 5 実施形態の製造方法を工程順に示す S O I 基板等の断面図である。まず、第 1 実施形態で説明した図 1 0 ~ 図 1 2 の工程を経る。但し、素子形成領域 5 1 の回りには素子分離絶縁膜は形成しない。したがって、記憶トランジスタ M T r は、隣り合うものどうしてドレイン領域 3 5 又はソース領域 3 7 を共用するように形成される。また、ゲート電極 3 3 の材料であるポリシリコン膜の厚みは、150 nm である。そして、図 4 3 の工程を行う。この工程は図 1 3 の工程と同じである。その後の図 4 4 及び図 4 5 の工程は図 1 4 及び図 1 5 の工程と同じである。

【 0 0 8 1 】

そして、図 4 6 の工程を行う。この工程は図 1 6 の工程と対応するが、ドレイン用コンタクトホール 6 9、ソース用コンタクトホール 7 1 の深さが異なる。第 5 実施形態では、ドレイン領域 3 5、ソース領域 3 7 の内部にまで入り込み、さらにドレイン領域 3 5、ソース領域 3 7 を貫通して S O I 基板のシリコン酸化層 2 3 に到達するように、これらのコンタクトホール 6 9、7 1 を形成する。

【 0 0 8 2 】

次に、図 4 7 の工程を行う。この工程は図 1 7 の工程と対応するが、ドレインプラグ 4 3 は、ドレイン領域 3 5 の内部にまで入り込みさらにシリコン酸化層 2 3 に到達すると共に隣り合う記憶トランジスタ M T r どうして共用するように、ドレイン用コンタクトホール 6 9 に形成される。また、同様に、ソースプラグ 4 7 も、ソース領域 3 5 の内部にまで入り込みさらにシリコン酸化層 2 3 に到達すると共に隣り合う記憶トランジスタ M T r どうして共用するように、ソース用コンタクトホール 7 1 に形成される。次の図 4 8 及び図 4 9 の工程は、それぞれ、図 2 1、図 2 2 の工程と同じである。

【 0 0 8 3 】

10

20

30

40

50

[第 6 実施形態]

図 5 0 は第 6 実施形態に係るセルアレイの一部の断面の模式図であり、第 5 実施形態の図 4 0 と対応する。図 4 0 との違いは、シリコン層 2 5 に埋め込まれたドレインプラグ 4 3 及びソースプラグ 4 7 がシリコン酸化層 2 3 に到達していない点である。

【 0 0 8 4 】

第 6 実施形態も第 5 実施形態と同様に少数キャリアである hole (正孔) が隣のメモリセルに流れ込むのを防止することが可能なので、隣のメモリセルのデータ破壊を防止できる。また、第 6 実施形態は、ドレインプラグ 4 3 の底面 8 1 もドレイン領域 3 5 に接触するので、ドレインプラグ 4 3 がドレイン領域 3 5 と接触する面積を第 5 実施形態よりも大きくすることが可能となる。よって、第 6 実施形態によればドレインプラグ 4 3 のコンタクト抵抗を下げる事ができる。ソースプラグ 4 7 についても同様である。

10

【 0 0 8 5 】

第 6 実施形態の構造は、第 5 実施形態の図 4 6 の工程において、ドレイン用コンタクトホール 6 9、ソース用コンタクトホール 7 1 が、それぞれ、ドレイン領域 3 5、ソース領域 3 7 の内部にまで入り込みかつシリコン酸化層 2 3 に到達する前にエッチングを止めることにより、実現できる。

【 0 0 8 6 】

[第 7 実施形態]

図 5 1 は第 7 実施形態に係るセルアレイの一部の断面の模式図であり、図 7 の第 1 実施形態と図 4 0 の第 5 実施形態との組合せである。つまり、記憶トランジスタ M T r 及び書込トランジスタ W T r を覆う層間絶縁膜 6 7 に埋め込まれると共にドレイン領域 3 5 に接続されたドレインプラグ 4 3 が、層間絶縁膜 6 7 から突き出してドレイン領域 3 5 に埋め込まれシリコン酸化層 2 3 に到達している。ソースプラグ 4 7 も同様に、層間絶縁膜 6 7 から突き出してソース領域 3 7 に埋め込まれシリコン酸化層 2 3 に到達している。

20

【 0 0 8 7 】

したがって、第 7 実施形態によれば、バイポーラ書込みによる高速書込み及び隣のメモリセル M C のデータ破壊の防止を達成できる。

【 0 0 8 8 】

なお、図 9 の第 2 比較例では、外側にあるプラグがエミッタプラグ 4 5 なので、図 5 1 の第 7 実施形態のように、隣り合うメモリセル M C どうして外側にあるプラグ (ドレインプラグ 4 3) の共用ができない。なぜなら図 2 3 を見れば分かるように、ビット線 B L の延びる方向で隣り合うメモリセル M C 1 , M C 2 でビット線 B L を共有しているので、エミッタ線 E L まで共有すると、これらのメモリセルの間で、“ 1 ” 書込みの選択性が得られないからである。

30

【 0 0 8 9 】

第 7 実施形態の製造方法について図 5 2 ~ 図 5 8 を基にして説明する。これらの図は、第 7 実施形態の製造方法を工程順に示す S O I 基板等の断面図である。まず、第 1 実施形態で説明した図 1 0 ~ 図 1 5 の工程を経る。但し、素子形成領域 5 1 の回りには、素子分離絶縁膜 2 9 は形成されていない。そして、図 5 2 の工程を行う。この工程は図 1 6 の工程と対応する。但し、ドレイン用コンタクトホール 6 9、ソース用コンタクトホール 7 1 は、シリコン酸化層 2 3 まで到達している。

40

【 0 0 9 0 】

図 5 3 の工程は図 1 7 の工程に対応する。但し、コンタクトホール 6 9 , 7 1 がシリコン酸化層 2 3 まで到達しているので、ドレインプラグ 4 3、ソースプラグ 4 7 がシリコン酸化層 2 3 に接している。図 5 4 ~ 図 5 8 の工程は図 1 8 ~ 図 2 2 の工程と同じである。

【 0 0 9 1 】

以上説明した発明を実施するための最良の形態の構成について要約すると、次のようになる。

(1) 基板と、

絶縁層により前記基板と絶縁分離された第 1 導電型の半導体層と、

50

ゲート電極と、前記半導体層に設けられた第2導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含まると共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する記憶トランジスタと、

前記ドレイン領域の上面と接する位置に設けられると共に前記ドレイン領域中の第2導電型の不純物濃度よりも第1導電型の不純物濃度が高い第1導電型の不純物拡散領域と、

前記不純物拡散領域をエミッタ領域、前記ドレイン領域をベース領域、前記チャンネルボディをコレクタ領域とするバイポーラトランジスタを含まると共に前記記憶トランジスタにデータを書込むための書込トランジスタと、

を備えることを特徴とする半導体メモリ装置。

10

(2) 前記不純物拡散領域は、前記ドレイン領域よりも浅く前記ドレイン領域に形成されている、

ことを特徴とする(1)に記載の半導体メモリ装置。

(3) 前記ドレイン領域に接続すると共に第1導電型のポリシリコンを含むエミッタプラグを備え、

前記不純物拡散領域は、前記エミッタプラグ中の第1導電型の不純物が前記ドレイン領域に拡散されたものである、

ことを特徴とする(2)に記載の半導体メモリ装置。

(4) 前記不純物拡散領域は、前記ドレイン領域に接続されると共に単結晶構造を有する導電性のエミッタプラグに形成されている、

20

ことを特徴とする(1)に記載の半導体メモリ装置。

(5) 前記ソース領域と接続する導電性のソースプラグと、前記不純物拡散領域と接続する導電性のエミッタプラグと、

前記ドレイン領域と接続する導電性のドレインプラグと、

を備え、

前記ソースプラグ、前記ゲート電極、前記エミッタプラグ、前記ドレインプラグの順に並んでいる、

ことを特徴とする(1)に記載の半導体メモリ装置。

(6) 一組の前記記憶トランジスタと前記書込トランジスタとでメモリセルが構成されており、

30

隣り合う前記メモリセルでは、一方の前記メモリセルの前記ソースプラグ、前記ゲート電極、前記エミッタプラグ、前記ドレインプラグ、他方の前記メモリセルの前記ドレインプラグ、前記エミッタプラグ、前記ゲート電極、前記ソースプラグの順に並んでいる、

ことを特徴とする(5)に記載の半導体メモリ装置。

(7) 隣り合う前記メモリセルでは前記ドレインプラグを共用している、

ことを特徴とする(6)に記載の半導体メモリ装置。

(8) 前記記憶トランジスタ及び前記書込トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜に埋め込まれると共に前記ドレイン領域と接続する導電性のドレインプラグと、

を備え、

40

前記ドレインプラグは、前記層間絶縁膜から突き出して前記ドレイン領域に埋め込まれ前記絶縁層に到達している、

ことを特徴とする(1)に記載の半導体メモリ装置。

(9) 前記ゲート電極の少なくとも一部が前記半導体層に埋め込まれている、

ことを特徴とする(1)に記載の半導体メモリ装置。

(10) 前記不純物拡散領域の第1導電型の不純物濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ である、

ことを特徴とする(1)に記載の半導体メモリ装置。

(11) 複数の前記メモリセルがアレイ状に配置されたセルアレイと、

前記半導体層に設けられると共に前記セルアレイの周辺回路の構成要素となるトランジ

50

スタと、

を備えることを特徴とする(6)に記載の半導体メモリ装置。

(12)前記記憶トランジスタは、前記チャンネルボディが過剰の多数キャリアを保持する第1データ状態と、前記チャンネルボディが第1データ状態より少ない多数キャリアを保持する第2データ状態とのいずれかを記憶する、

ことを特徴とする(1)に記載の半導体メモリ装置。

(13)基板と、

絶縁層により前記基板と絶縁分離された第1導電型の半導体層と、

ゲート電極と、前記半導体層に設けられた第2導電型の一对の不純物領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含むと共に前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する複数の記憶トランジスタと、

前記複数の記憶トランジスタを覆う層間絶縁膜と、

前記複数の記憶トランジスタのうち前記一对の不純物領域の一方が隣り合っている記憶トランジスタどうして共用すると共に前記層間絶縁膜に設けられこの膜から突き出して前記一对の不純物領域の一方に埋め込まれている導電性のプラグと、

を備えることを特徴とする半導体メモリ装置。

(14)前記プラグは前記絶縁層に到達している、

ことを特徴とする(13)に記載の半導体メモリ装置。

(15)前記プラグは第2導電型のポリシリコンを含む、

ことを特徴とする(13)に記載の半導体メモリ装置。

(16)ゲート電極と、絶縁層により基板と絶縁分離された第1導電型の半導体層に設けられた第2導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含む記憶トランジスタを形成する工程と、前記記憶トランジスタを覆う層間絶縁膜を形成する工程と、

前記ドレイン領域を露出するエミッタ用コンタクトホールを前記層間絶縁膜に形成する工程と、

前記エミッタ用コンタクトホールに第1導電型のエミッタプラグを形成する工程と、

前記エミッタプラグ中の第1導電型の不純物を前記ドレイン領域の上面に熱拡散して前記ドレイン領域の上面に、前記ドレイン領域中の第2導電型の不純物濃度よりも第1導電型の不純物濃度が高い第1導電型のエミッタ領域を形成する工程と、

を備えることを特徴とする半導体メモリ装置の製造方法。

(17)前記ドレイン領域を露出するドレイン用コンタクトホール及び前記ソース領域を露出するソース用コンタクトホールを前記層間絶縁膜に形成する工程と、

前記ドレイン用コンタクトホールに導電性のドレインプラグ及び前記ソース用コンタクトホールに導電性のソースプラグを形成する工程と、

を備えることを特徴とする(16)に記載の半導体メモリ装置の製造方法。

(18)前記記憶トランジスタの形成工程は、隣り合う記憶トランジスタどうして前記ドレイン領域を共用するように形成され、

前記ドレイン用コンタクトホールの形成工程において、前記ドレイン用コンタクトホールを前記絶縁層に到達するように形成し、

前記ドレインプラグの形成工程において、隣り合う記憶トランジスタどうして共用すると共に前記ドレインプラグを前記絶縁層に到達するように前記ドレイン用コンタクトホールに形成する、

ことを特徴とする(17)に記載の半導体メモリ装置の製造方法。

(19)ゲート電極と、絶縁層により基板と絶縁分離された第1導電型の半導体層に設けられた第2導電型のドレイン領域及びソース領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含む記憶トランジスタを形成する工程と、前記記憶トランジスタを覆う層間絶縁膜を形成する工程と、

前記ドレイン領域を露出するエミッタ用コンタクトホールを前記層間絶縁膜に形成する

10

20

30

40

50

工程と、

選択エピタキシャル成長により、エミッタ領域となる第1導電型の単結晶層を前記エミッタ用コンタクトホールに形成する工程と、

を備えることを特徴とする半導体メモリ装置の製造方法。

(20)ゲート電極と、絶縁層により基板と絶縁分離された第1導電型の半導体層に設けられた第2導電型の一对の不純物領域と、これらの領域の間の前記半導体層に設けられた第1導電型のチャンネルボディと、を含む複数の記憶トランジスタが、隣り合うものどうしで前記一对の不純物領域の一方を共用するように形成する工程と、

前記複数の記憶トランジスタを覆う層間絶縁膜を形成する工程と、

前記一对の不純物領域の一方の内部にまで入り込むコンタクトホールを前記層間絶縁膜に形成する工程と、

前記コンタクトホールに、前記一对の不純物領域の一方の内部にまで入り込むと共に隣り合う記憶トランジスタどうしで共用する導電性のプラグを形成する工程と、

を備えることを特徴とする半導体メモリ装置の製造方法。

【図面の簡単な説明】

【0092】

【図1】第1比較例に係るメモリセルの“1”書込み動作を説明するための図である。

【図2】同メモリセルの“0”書込み動作を説明するための図である。

【図3】同メモリセルの読出し動作を説明するための図である。

【図4】同メモリセルの電圧-電流特性を示す図である。

【図5】第2比較例に係るメモリセルの断面の模式図である。

【図6】同メモリセルの等価回路図である。

【図7】第1実施形態に係るメモリセルの概要を示す模式図である。

【図8】同メモリセルと周辺回路を構成するトランジスタの断面の模式図である。

【図9】第2比較例に係るメモリセルの主要部の模式図である。

【図10】第1実施形態に係るメモリセルの製造方法の第1工程図である。

【図11】同第2工程図である。

【図12】同第3工程図である。

【図13】同第4工程図である。

【図14】同第5工程図である。

【図15】同第6工程図である。

【図16】同第7工程図である。

【図17】同第8工程図である。

【図18】同第9工程図である。

【図19】同第10工程図である。

【図20】同第11工程図である。

【図21】同第12工程図である。

【図22】同第13工程図である。

【図23】第1実施形態に係るセルアレイの一部のレイアウトを示す平面図である。

【図24】図23のA1-A2断面の模式図である。

【図25】第2実施形態に係るメモリセルの断面の模式図である。

【図26】第3実施形態に係るメモリセルの断面の模式図である。

【図27】第3実施形態に係るメモリセルの製造方法の第1工程図である。

【図28】同第2工程図である。

【図29】同第3工程図である。

【図30】同第4工程図である。

【図31】同第5工程図である。

【図32】同第6工程図である。

【図33】同第7工程図である。

【図34】同第8工程図である。

10

20

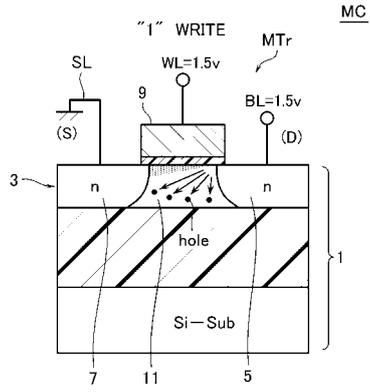
30

40

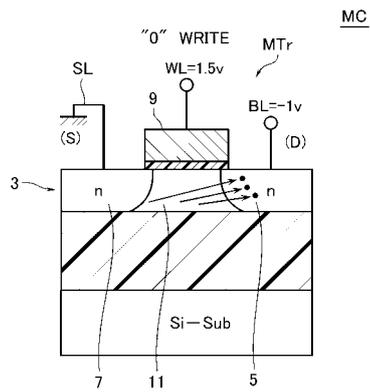
50

- 【図 3 5】同第 9 工程図である。
- 【図 3 6】同第 1 0 工程図である。
- 【図 3 7】同第 1 1 工程図である。
- 【図 3 8】第 4 実施形態に係るセルアレイの一部のレイアウトを示す平面図である。
- 【図 3 9】図 3 8 の B 1 - B 2 断面の模式図である。
- 【図 4 0】第 5 実施形態に係るセルアレイの一部の断面の模式図である。
- 【図 4 1】第 3 比較例に係るメモリセルの動作を示す図である。
- 【図 4 2】第 5 実施形態に係るメモリセルの動作を示す図である。
- 【図 4 3】第 5 実施形態に係るメモリセルの製造方法の第 1 工程図である。
- 【図 4 4】同第 2 工程図である。 10
- 【図 4 5】同第 3 工程図である。
- 【図 4 6】同第 4 工程図である。
- 【図 4 7】同第 5 工程図である。
- 【図 4 8】同第 6 工程図である。
- 【図 4 9】同第 7 工程図である。
- 【図 5 0】第 6 実施形態に係るセルアレイの一部の断面の模式図である。
- 【図 5 1】第 7 実施形態に係るセルアレイの一部の断面の模式図である。
- 【図 5 2】第 7 実施形態に係るメモリセルの製造方法の第 1 工程図である。
- 【図 5 3】同第 2 工程図である。
- 【図 5 4】同第 3 工程図である。 20
- 【図 5 5】同第 4 工程図である。
- 【図 5 6】同第 5 工程図である。
- 【図 5 7】同第 6 工程図である。
- 【図 5 8】同第 7 工程図である。
- 【符号の説明】
- 【 0 0 9 3 】
- 1 . . . S O I 基板、 3 . . . 半導体層、 5 . . . ドレイン領域、 7 . . . ソース領域、
 9 . . . ゲート電極、 1 1 . . . チャネルボディ、 1 3 . . . エミッタ領域、 2 1 . . .
 シリコン基板、 2 3 . . . シリコン酸化層、 2 5 . . . シリコン層、 2 7 . . . S O I 基
 板、 2 9 . . . 素子分離絶縁膜、 3 1 . . . ゲート絶縁膜、 3 3 . . . ゲート電極、 3 5 30
 . . . ドレイン領域、 3 7 . . . ソース領域、 3 9 . . . チャネルボディ、 4 1 . . . 不
 純物拡散領域、 4 3 . . . ドレインプラグ、 4 5 . . . エミッタプラグ、 4 7 . . . ソー
 スプラグ、 4 8 . . . 側面、 4 9 . . . エミッタ領域、 5 0 . . . 上面、 5 1 . . . 素子
 形成領域、 5 3 . . . トレンチ、 5 5 . . . 側壁窒化膜、 5 7 . . . n 型低濃度領域、 5
 9 . . . n 型高濃度領域、 6 1 . . . シリコン酸化膜、 6 3 . . . シリコン窒化膜、 6 5
 . . . シリコン酸化膜、 6 7 . . . 層間絶縁膜、 6 9 . . . ドレイン用コンタクトホール
 、 7 1 . . . ソース用コンタクトホール、 7 3 . . . エミッタ用コンタクトホール、 7 5
 . . . チタンシリサイド膜、 7 7 . . . シリコン酸化膜、 7 9 . . . ゲート電極形成領域
 、 8 1 . . . 底面、 M C . . . メモリセル、 M T r . . . 記憶トランジスタ、 W T r . . .
 ・書込トランジスタ、 Q . . . N M O S トランジスタ 40

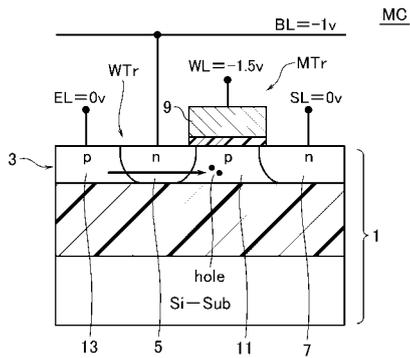
【 図 1 】



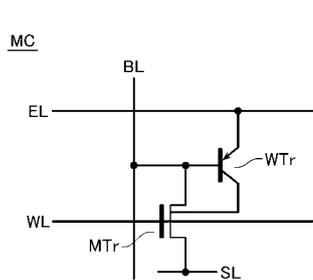
【 図 2 】



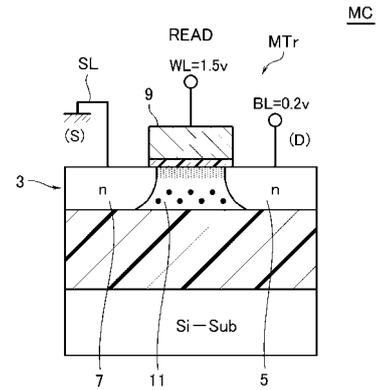
【 図 5 】



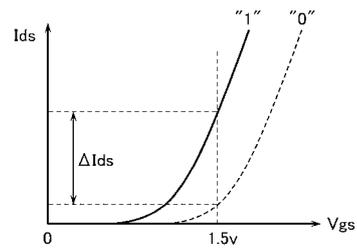
【 図 6 】



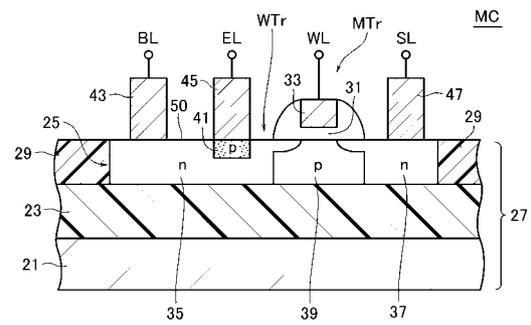
【 図 3 】



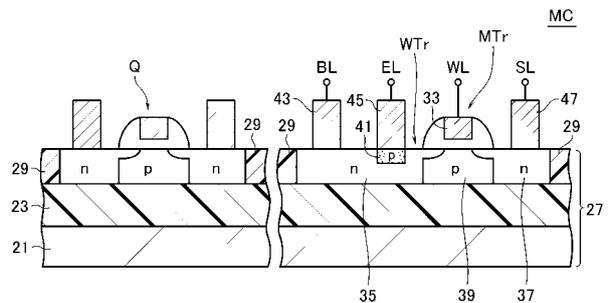
【 図 4 】



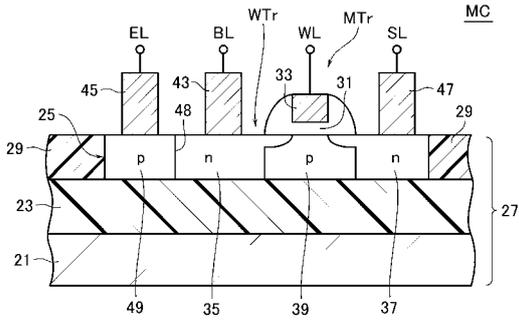
【 図 7 】



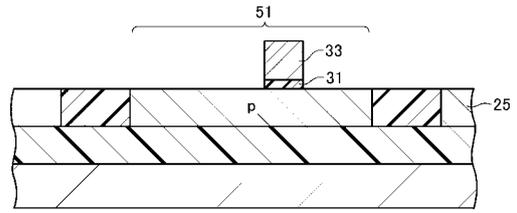
【 図 8 】



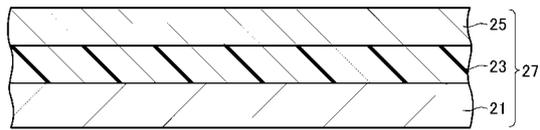
【図9】



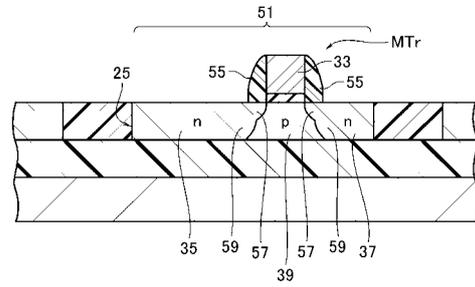
【図12】



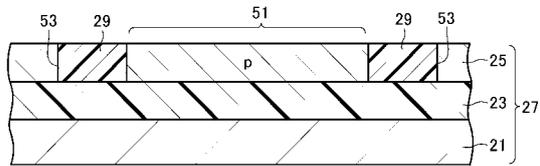
【図10】



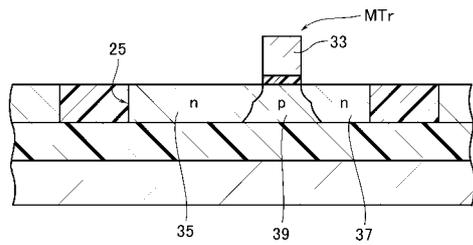
【図13】



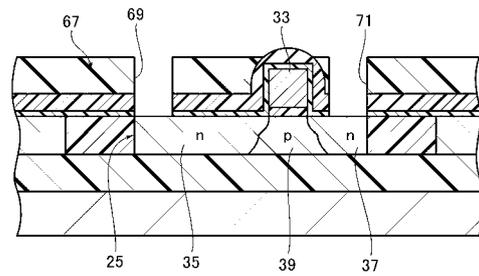
【図11】



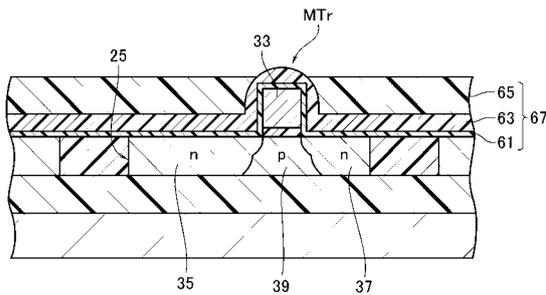
【図14】



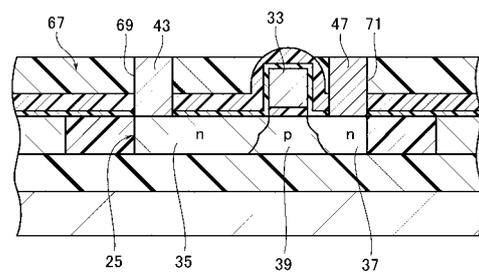
【図16】



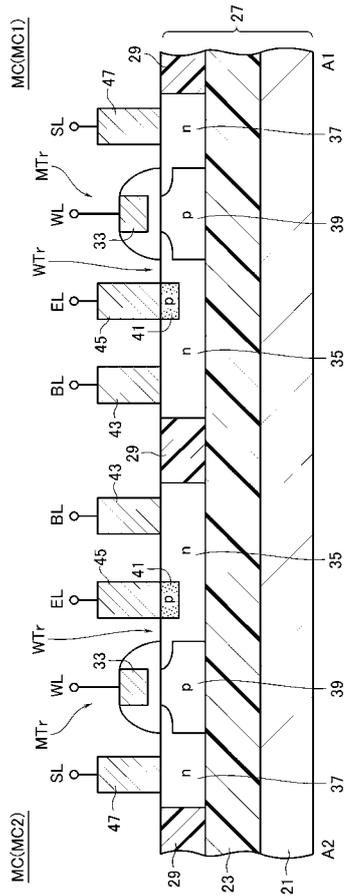
【図15】



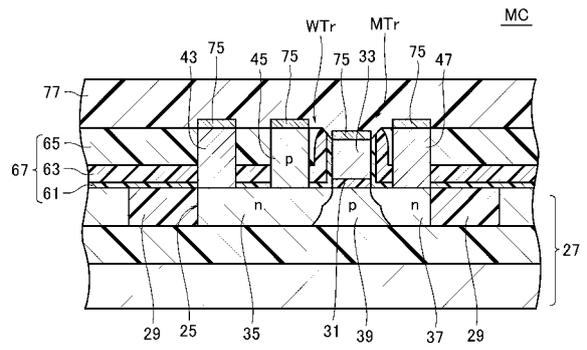
【図17】



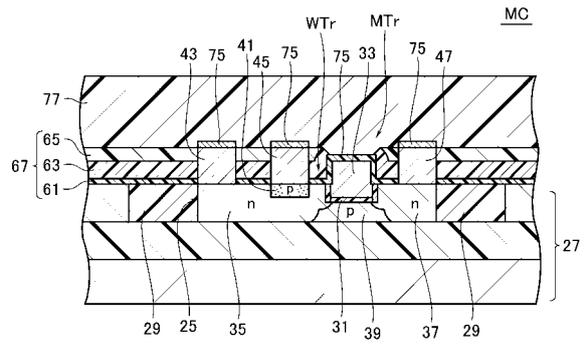
【 24 】



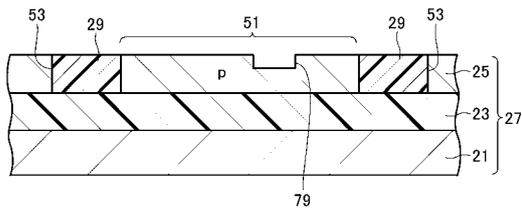
【 25 】



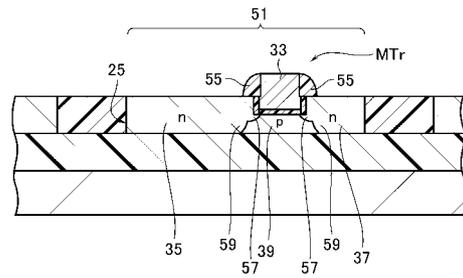
【 26 】



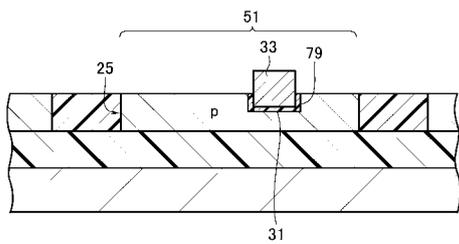
【 27 】



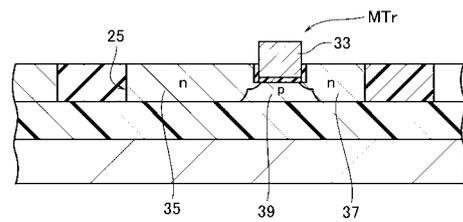
【 29 】



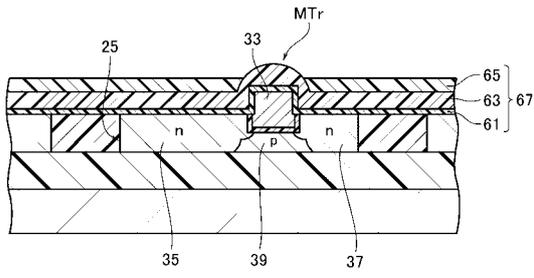
【 28 】



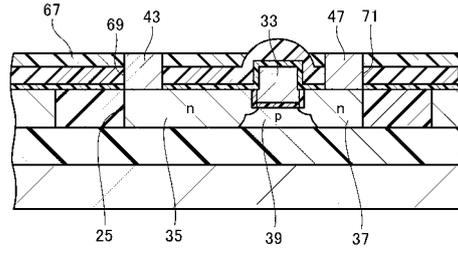
【 30 】



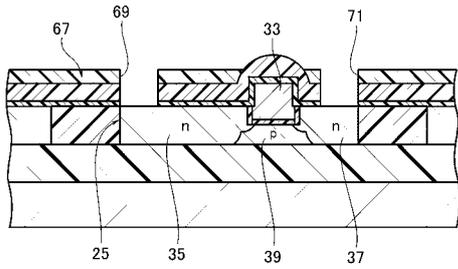
【図 3 1】



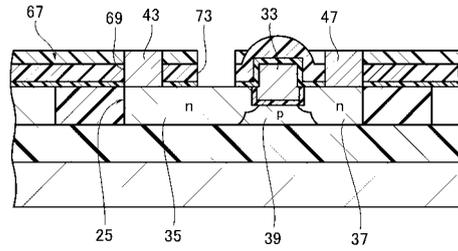
【図 3 3】



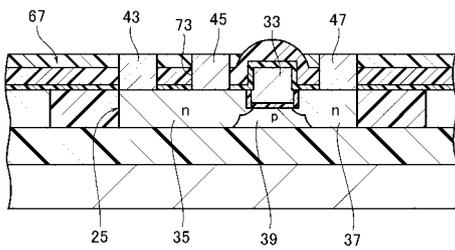
【図 3 2】



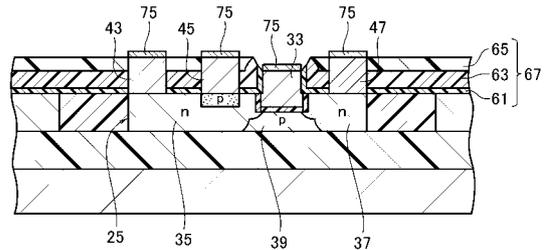
【図 3 4】



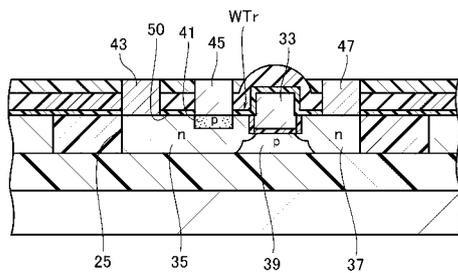
【図 3 5】



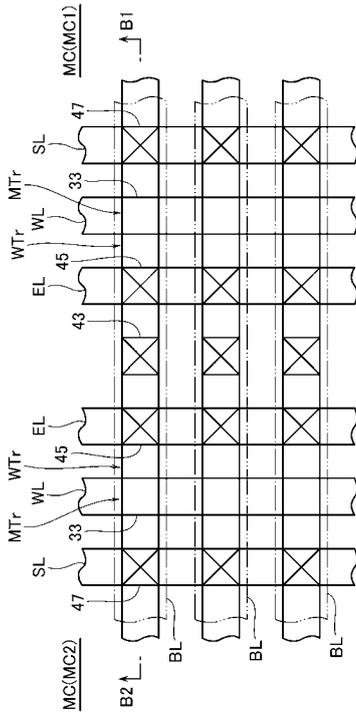
【図 3 7】



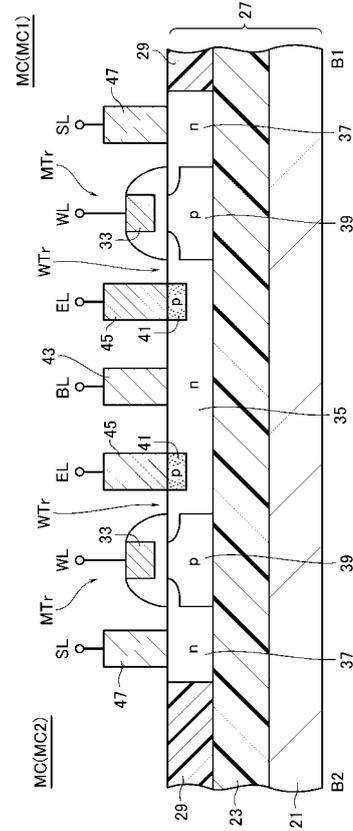
【図 3 6】



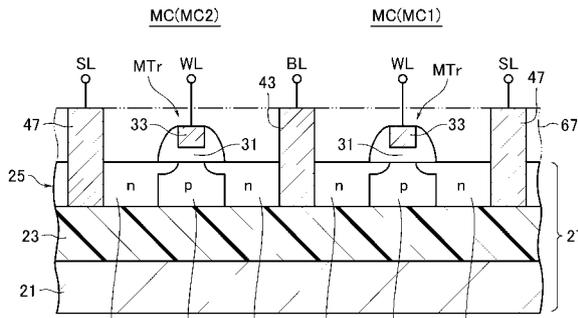
【 図 3 8 】



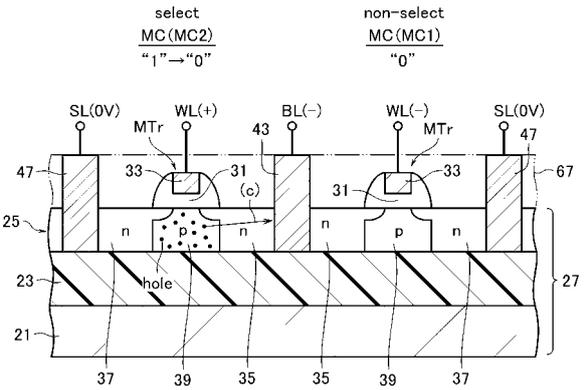
【 図 3 9 】



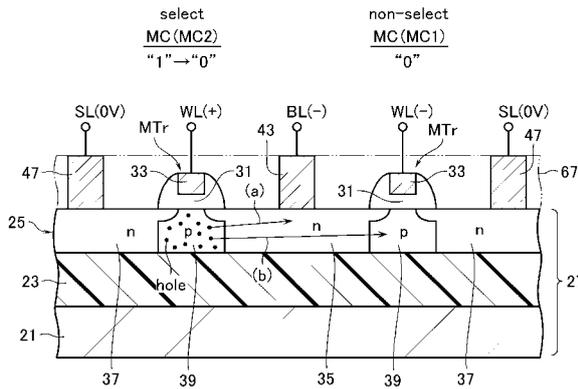
【 図 4 0 】



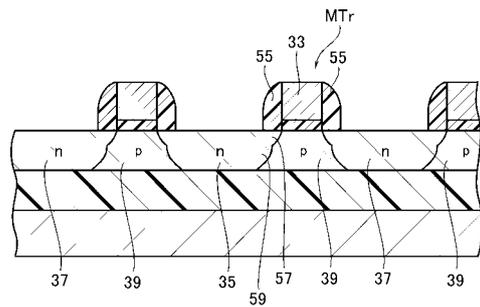
【 図 4 2 】



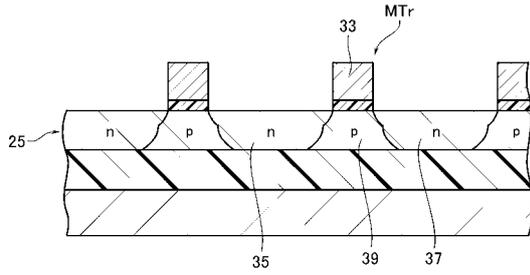
【 図 4 1 】



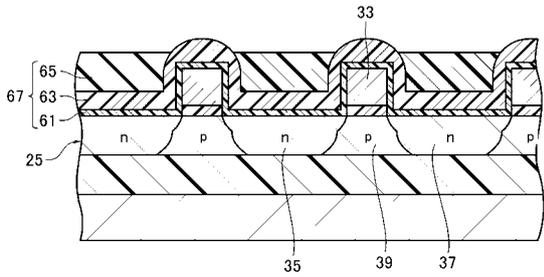
【 図 4 3 】



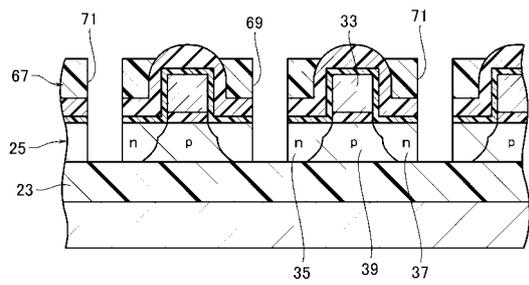
【 図 4 4 】



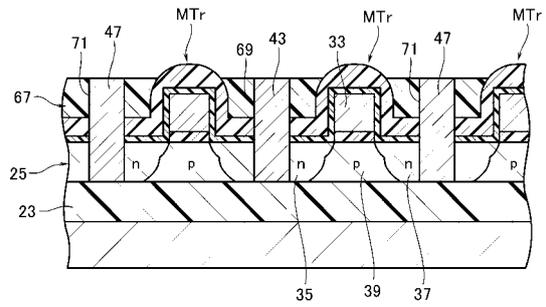
【 図 4 5 】



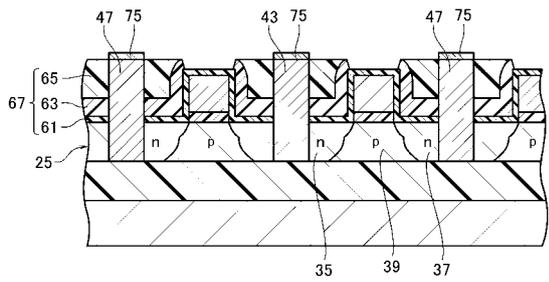
【 図 4 6 】



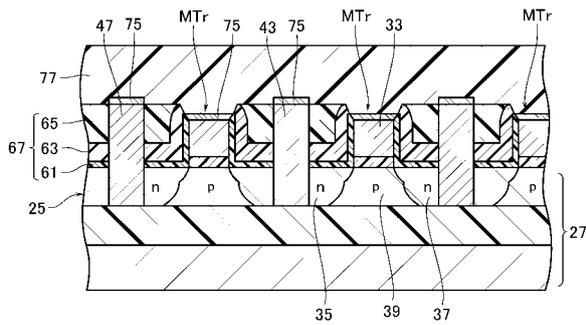
【 図 4 7 】



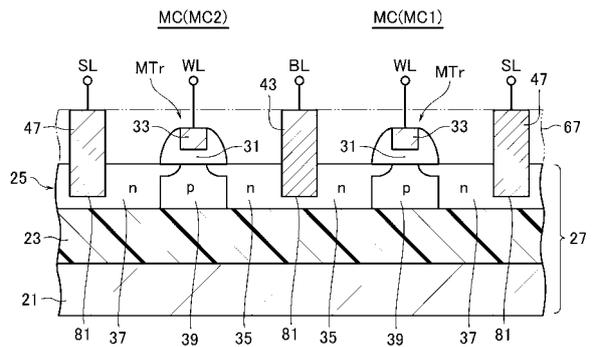
【 図 4 8 】



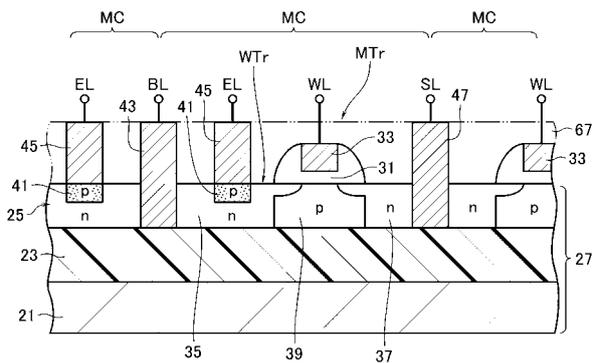
【 図 4 9 】



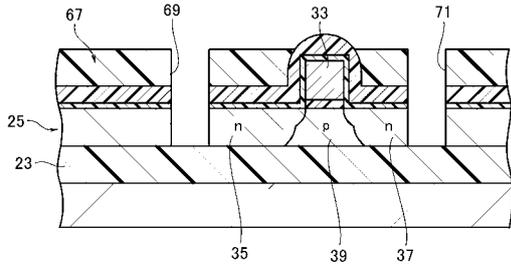
【 図 5 0 】



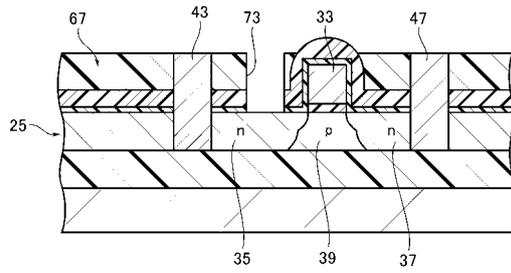
【 図 5 1 】



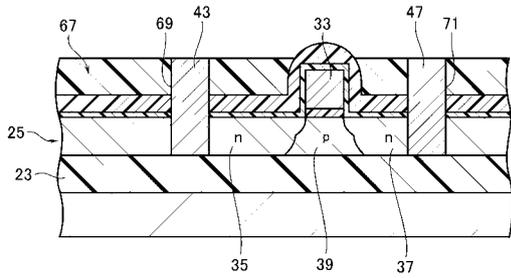
【図52】



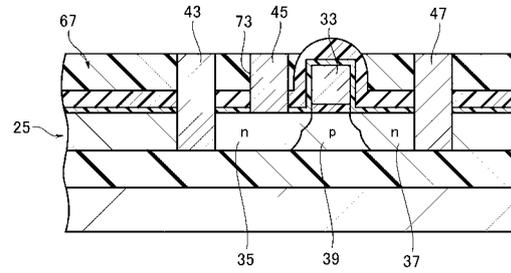
【図54】



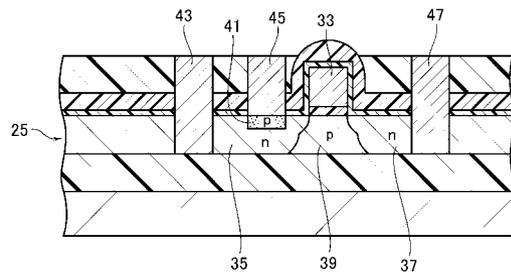
【図53】



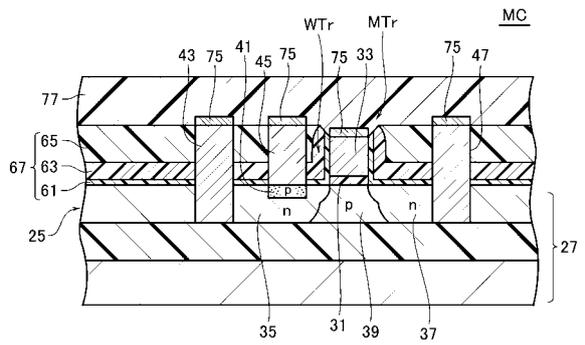
【図55】



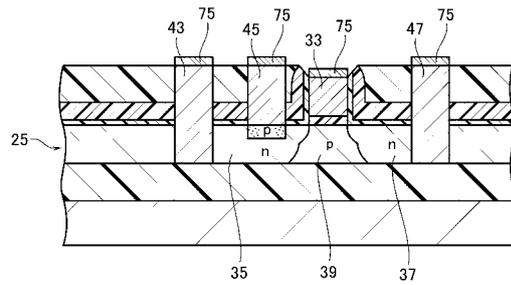
【図56】



【図58】



【図57】



フロントページの続き

- (56)参考文献 特開2003-017588(JP,A)
特開平08-213624(JP,A)
特開平10-154759(JP,A)
特表平09-509284(JP,A)
特開2003-282738(JP,A)
特開2003-031693(JP,A)
特開2003-031696(JP,A)
特開2005-079314(JP,A)
特開2005-175090(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108