

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3555372号

(P3555372)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.⁷

H04N 5/06

F I

H04N 5/06

Z

請求項の数 5 (全 17 頁)

(21) 出願番号	特願平9-31614	(73) 特許権者	000005821
(22) 出願日	平成9年2月17日(1997.2.17)		松下電器産業株式会社
(65) 公開番号	特開平10-229504		大阪府門真市大字門真1006番地
(43) 公開日	平成10年8月25日(1998.8.25)	(74) 代理人	100097445
審査請求日	平成13年2月27日(2001.2.27)		弁理士 岩橋 文雄
前置審査		(74) 代理人	100103355
			弁理士 坂口 智康
		(74) 代理人	100109667
			弁理士 内藤 浩樹
		(72) 発明者	枘本 順資
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	坂西 保昭
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
			最終頁に続く

(54) 【発明の名称】 同期処理回路

(57) 【特許請求の範囲】

【請求項1】

外部からディスプレイに入力される任意の画像信号源が持つ同期信号を入力とした第1のPLL回路と、

前記同期信号を入力とし前記第1のPLL回路から発生されるクロックで駆動し分周値を出力するカウンタおよび前記分周値と制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなる第1のパルス発生回路と、

前記第1のパルス発生回路の出力を入力としたAFC回路と、

前記AFC回路の出力を入力とし、その出力を前記AFC回路にフィードバックする偏向出力回路と、

前記偏向出力回路から前記AFC回路へフィードバックされた信号を入力とし前記第1のPLL回路から発生されるクロックにより駆動し分周値を出力するカウンタおよび前記分周値と前記制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなり、ディスプレイ内の被制御回路に任意の同期信号を供給する第2のパルス発生回路とを備えたことを特徴とする同期処理回路。

【請求項2】

偏向出力回路からAFC回路へフィードバックされた信号を入力とした第2のPLL回路と、

前記偏向出力回路から前記AFC回路へフィードバックされた信号を、前記第2のPLL回路から発生されるクロックで駆動し分周値を出力するカウンタおよび前記分周値と前記

10

20

制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなる第2のパルス発生回路に入力する事でディスプレイ内の被制御回路に任意の同期信号を供給する手段を設けたことを特徴とする請求項1記載の同期処理回路。

【請求項3】

前記第1のパルス発生回路の出力を、制御回路により制御されるアナログシフト回路に入力し、そのアナログシフト回路の出力をAFC回路に入力することで、前記第1のパルス発生回路から出力される同期信号の位相を高精度に調整する手段を設けたことを特徴とする請求項1記載の同期処理回路。

【請求項4】

外部からディスプレイに入力される任意の画像信号源が持つ同期信号を一方の入力とした位相比較器と、

前記位相比較器の出力を入力とした低域通過フィルタと、

前記低域通過フィルタの出力を入力とした電圧制御発振器と、

前記電圧制御発振器の出力を $1/n$ に分周する $1/n$ 分周器と、

前記 $1/n$ 分周器を $1/m$ に分周し、その出力を前記位相比較器の他方に入力する $1/m$ 分周器と、

前記 $1/m$ 分周器の出力を入力とし前記 $1/n$ 分周器の出力で駆動し分周値を出力するカウンタおよび前記分周値と前記制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなる第1のパルス発生回路と、

前記第1のパルス発生回路の出力を前記電圧制御発振器の出力で駆動し前記制御回路により制御されるデジタルシフト回路に入力し、その出力を前記AFC回路に入力することで、前記第1のパルス発生回路から出力される同期信号の位相を高精度に調整する手段を設けたことを特徴とする請求項1記載の同期処理回路。

【請求項5】

外部からディスプレイに入力される任意の画像信号源が持つ垂直同期信号を入力とし第1のPLL回路から発生されるクロックにより駆動される $1/4$ 水平期間遅延回路と、

前記垂直同期信号を入力とし前記第1のPLL回路から発生されるクロックにより駆動される $3/4$ 水平期間遅延回路と、

前記 $3/4$ 水平期間遅延回路の出力を入力とした反転回路と、

前記 $1/4$ 水平期間遅延回路の出力を一方の入力とし前記反転回路の出力を他方の出力としたAND回路と、

外部からディスプレイに入力される任意の画像信号源が持つ水平同期信号を入力とし前記AND回路の出力により制御される検出回路と、

前記水平同期信号を入力とし前記第1のPLL回路から発生されるクロックにより駆動される $1/2$ 水平期間遅延回路と、

前記水平同期信号を一方の入力とし前記 $1/2$ 水平期間遅延回路の出力を他方の入力とした前記検出回路の出力により制御されるマルチプレクサと、

前記垂直同期信号をマルチプレクサの出力をクロックとして用いて計数するカウンタに入力し前記制御回路に入力する事で確実に外部からディスプレイに入力される画像信号源の走査線本数を確実に計数する手段をさらに設けたことを特徴とする請求項1記載の同期処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、カラー受像器において、外部からカラー受像器に入力される画像信号源の持つ同期信号の再生を行い、カラー受像器内の各回路ブロックに任意の位相及び幅を持つ同期信号を供給する同期処理回路（国際特許分類 H04N 9/28）に関するものである。

。

【0002】

【従来の技術】

10

20

30

40

50

図 1 2 に従来の同期処理回路の構成を示す。

【 0 0 0 3 】

図 1 2 において、3 7 はパルス位相設定回路、3 8 はパルス幅設定回路、3 は A F C 回路、4 は偏向出力回路、3 9 はパルス位相設定回路、4 0 はパルス幅設定回路、6 は制御回路、7 は外部から同期処理回路に入力された画像信号源の持つ同期信号である。以上のように構成された同期処理回路について、以下その動作について説明する。

【 0 0 0 4 】

図 1 2 において、外部から同期処理回路に入力された画像信号源の持つ同期信号 7 は、パルス位相設定回路 3 7 及びパルス幅設定回路 3 8 により構成されるアナログ方式パルス発生回路 3 5 に入力される。パルス発生回路 3 5 は、通常、モノマルチにより構成され、その出力信号は、制御回路 6 からの制御信号 9 により任意の位相及び幅を設定される。

【 0 0 0 5 】

図 1 3 にモノマルチで構成されたパルス発生回路 3 5 の動作を示す。前記同期信号 7 がパルス位相設定回路に入力されると、図 1 3 に示すように、モノマルチに接続された抵抗素子や容量素子の定数により決定される時定数に応じた充電波形を得る。この充電波形により、前記同期信号 7 に対し、位相の異なる同期信号を得ることが可能となる。この位相の設定は、制御回路 6 から発生される制御信号 9 により、モノマルチに接続されている抵抗素子もしくは容量素子により決定される時定数を制御することで任意に設定可能となる。このように発生されたパルス位相設定回路 3 7 の出力を、同様にモノマルチで構成されたパルス幅設定回路 3 8 に入力することで、任意のパルス幅を持つ同期信号を得ることが可能となる。以上のように、パルス位相設定回路 3 7 及びパルス幅設定回路 3 8 により構成されたパルス発生回路 3 5 により、外部からディスプレイに入力された同期信号 7 に対し、任意の位相及び幅を持つ同期信号を得ることが可能となる。

【 0 0 0 6 】

以上により発生されたアナログ方式パルス発生回路 3 5 の出力を A F C 回路 3 に入力する。A F C 回路 3 は、A F C 回路 3 内に内蔵した発振器の発振周波数を制御することにより、入力された同期信号に対し、同期した同期信号を発生し、偏向出力回路 4 に出力する。また、偏向出力回路 4 から偏向コイルに供給された同期信号は、分圧された後、前記 A F C 回路 3 にフィードバックされ偏向出力回路 4 の安定化を図っている。

【 0 0 0 7 】

この偏向出力回路 4 から A F C 回路 3 に入力された、ディスプレイの偏向電流周期に同期した同位相の同期信号を、前記アナログ方式パルス発生回路 3 5 と同一構成のアナログ方式パルス発生回路 3 6 に入力する。このパルス発生回路 3 6 により、任意の位相及び幅を設定された同期信号は、ディスプレイ内の各被制御回路に供給可能となる。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

しかしながら、上述のような従来の構成では、パルス発生回路 3 5 及び 3 6 に入力された同期信号を、モノマルチに接続されたアナログ素子により決定される時定数を制御回路 6 からの制御信号 9 によって変化させ、任意の位相及び幅を持つ同期信号を発生させるため、アナログ素子固有の定数のばらつきや温度特性等により、安定した同期信号出力が前記パルス発生回路 3 5 及び 3 6 から得られないという課題を有していた。

【 0 0 0 9 】

更に、従来の構成では、前記パルス発生回路 3 5 及び 3 6 から出力される同期信号の位相及び幅の設定範囲は、前記パルス発生回路 3 5 及び 3 6 内のモノマルチに接続されたアナログ素子により決定されるため、種々の走査周波数を有する画像信号源を 1 つのディスプレイに映し出すマルチスキャンディスプレイにおいては、ディスプレイに入力される画像信号源の走査周波数によって、1 走査周波数期間に対する同期信号の位相及び幅の設定範囲の割合が異なるという課題を有していた。

【 0 0 1 0 】

例えば、同期信号の位相を決定するモノマルチに接続されたアナログ素子が持つ時定数の

10

20

30

40

50

可変範囲が $5 \mu\text{sec}$ であったとする。この時、外部から水平走査周波数 100kHz の画像信号源が接続された場合、同期信号の位相の可変範囲は、

$$5 \mu\text{sec} / (1 / 100\text{kHz}) = 50\%$$

となるが、外部から入力される画像信号源の走査周波数が 20kHz の場合は、

$$5 \mu\text{sec} / (1 / 20\text{kHz}) = 10\%$$

となり、同期信号の位相の設定範囲がディスプレイ上で狭くなる欠点があった。

【0011】

また、通常、制御回路6からの制御信号9は、固定の分解能を持つデジタル信号である。先程の例において、制御回路6からの制御信号9は、10ビットの分解能を持つデジタル信号線であると仮定すると、外部から入力される画像信号源の走査周波数が 100kHz と 20kHz とを比較すると、1ビットあたりの同期信号の位相の設定精度が5倍異なることになる。すなわち、位相の調整精度が外部からディスプレイに入力される画像信号源の持つ走査周波数によって異なる課題をも有していた。

【0012】

【課題を解決するための手段】

上記従来の課題を解決するために、本発明の同期処理回路は、外部からディスプレイに入力された画像信号源の同期信号を、PLL回路に入力し、そこで同期再生させ、このPLL回路で再生されたクロックを用いる事で、任意の位相及び幅を持つ同期信号を安定にディスプレイ内の被制御回路に供給する事を特徴とする。

【0013】

本発明によれば、PLL回路を用いたデジタル方式によりパルス発生回路を構成できるため、従来のアナログ方式に比べ、素子のばらつきや温度特性による同期信号の位相や幅の変化が無くなり、安定した同期信号をディスプレイ内の被制御回路に供給することが可能となる。また、種々の走査周波数を有する画像信号源を1つのディスプレイに映し出すマルチスキャンディスプレイにおいても、ディスプレイへ入力される画像信号源の走査周波数によって、1走査周波数期間に対する同期信号の位相及び幅の設定範囲の割合が異なる従来の課題も容易に解決可能となる。更に、前記PLL回路において、電圧制御発振器から出力される発振クロックを $1/n$ に分周する $1/n$ 分周器と、前記 $1/n$ 分周器の出力を $1/m$ に分周する $1/m$ 分周器とで分周する構成を用い、前記 $1/n$ 分周器から出力される低速クロックを前記パルス発生回路に入力し、その出力を前記電圧制御発振器から出力される高速クロックにより駆動されるデジタルシフト回路に入力することで、従来、同一クロックで同期信号の位相制御を行っていた方式と比較し、安価に且つ高精度に同期信号の位相を制御可能となる。

【0014】

更に、外部からディスプレイに入力される任意の画像信号源の垂直同期信号を $1/4$ 水平期間遅延回路及び $3/4$ 水平期間回路に入力し、各々の出力信号を用い、ディスプレイに入力された画像信号源の水平同期信号と垂直同期信号との位相関係を検出する検出信号を発生し、その検出結果を基に、確実に外部からディスプレイに入力される水平同期信号と同期した同期信号で垂直同期信号をラッチ可能となる位相関係にする手段を備えることで、外部からディスプレイに入力される画像信号源の走査線本数を計数でき、安定した同期信号をディスプレイ内の被制御回路に供給可能となる。

【0016】

【発明の実施の形態】

請求項1に記載の同期処理回路は、外部からディスプレイに入力される任意の画像信号源が持つ同期信号を入力とした第1のPLL回路と、前記同期信号を入力とし前記第1のPLL回路から発生されるクロックで駆動し分周値を出力するカウンタおよび前記分周値と制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなる第1のパルス発生回路と、前記第1のパルス発生回路の出力を入力としたAFC回路と、前記AFC回路の出力を入力とし、その出力を前記AFC回路にフィードバックする偏向出力回路と、前記偏向出力回路から前記AFC回路へフィードバックされた信号を入力とし

10

20

30

40

50

、前記第1のPLL回路から発生されるクロックにより駆動し分周値を出力するカウンタおよび前記分周値と前記制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなりディスプレイ内の被制御回路に任意の同期信号を供給する第2のプルズ発生回路とを備えたことを特徴とし、ディスプレイの同期安定度の向上並びに対応走査周波数範囲の拡大を図る作用を有する。

【0018】

請求項2に記載の同期処理回路は、請求項1に記載された同期処理回路において、偏向出力回路からAFC回路へフィードバックされた信号を入力とした第2のPLL回路と、前記偏向出力回路から前記AFC回路へフィードバックされた信号を、前記第2のPLL回路から発生されるクロックで駆動し分周値を出力するカウンタおよび前記分周値と制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなる第2のプルズ発生回路に入力する事でディスプレイ内の被制御回路に任意の同期信号を供給する手段を設けたことを特徴とし、請求項1に記載の同期処理回路に対し、ディスプレイの同期安定度を更に向上させる作用を有する。

10

【0020】

請求項3に記載の同期処理回路は、請求項1に記載された同期処理回路において、第1のプルズ発生回路の出力を、制御回路により制御されるアナログシフト回路に入力し、そのアナログシフト回路の出力をAFC回路に入力することで、第1のプルズ発生回路から出力される同期信号の位相を高精度に調整する手段を備えたことを特徴とし、請求項1に記載の同期処理回路において、PLL回路で再生されたクロック周波数により制限されていた同期信号の位相調整精度を向上させる作用を有する。

20

【0022】

請求項4に記載の同期処理回路は、請求項1に記載された同期処理回路において、外部からディスプレイに入力される任意の画像信号源が持つ同期信号を一方の入力とした位相比較器と、前記位相比較器の出力を入力とした低域通過フィルタと、前記低域通過フィルタの出力を入力とした電圧制御発振器と、前記電圧制御発振器の出力を $1/n$ に分周する $1/n$ 分周器と、前記 $1/n$ 分周器を $1/m$ に分周し、その出力を前記位相比較器の他方に入力する $1/m$ 分周器と、前記 $1/m$ 分周器の出力を入力とし前記 $1/n$ 分周器の出力で駆動し分周値を出力するカウンタおよび前記分周値と前記制御回路から発生される制御信号とを比較し判定された結果を出力する比較器からなる第1のプルズ発生回路と、前記第1のプルズ発生回路の出力を前記電圧制御発振器の出力で駆動し前記制御回路により制御されるデジタルシフト回路に入力し、その出力を前記AFC回路に入力することで、前記第1のプルズ発生回路から出力される同期信号の位相を高精度に調整する手段を設けた事を特徴とし、請求項3に記載の同期処理回路に対し、安定に同期信号をディスプレイ内の被制御回路に供給可能とする作用を有する。

30

【0024】

請求項5に記載の同期処理回路は、請求項1に記載された同期処理回路において、外部からディスプレイに入力される任意の画像信号源が持つ垂直同期信号を入力とし第1のPLL回路から発生されるクロックにより駆動される $1/4$ 水平期間遅延回路と、前記垂直同期信号を入力とし前記第1のPLL回路から発生されるクロックにより駆動される $3/4$ 水平期間遅延回路と、前記 $3/4$ 水平期間遅延回路の出力を入力とした反転回路と、前記 $1/4$ 水平期間遅延回路の出力を一方の入力とし前記反転回路の出力を他方の出力としたAND回路と、外部からディスプレイに入力される任意の画像信号源が持つ水平同期信号を入力とし前記AND回路の出力により制御される検出回路と、前記水平同期信号を入力とし前記第1のPLL回路から発生されるクロックにより駆動される $1/2$ 水平期間遅延回路と、前記水平同期信号を一方の入力とし前記 $1/2$ 水平期間遅延回路の出力を他方の入力とした前記検出回路の出力により制御されるマルチプレクサと、前記垂直同期信号をマルチプレクサの出力をクロックとして用いて計数するカウンタに入力し前記制御回路に入力する手段をさらに備えたことを特徴とし、請求項1記載の同期処理回路に対し、外部からディスプレイに入力される画像信号源の走査線本数を確実に計数可能とする作用を有

40

50

する。

【0025】

以下、本発明の一実施の形態について、図面を用いて説明する。

(実施の形態1)

以下、本発明の請求項1に記載された発明の実施の形態について、図1から図3を用いて説明する。

【0026】

図1において、1はPLL回路、2はパルス発生回路、3はAFC回路、4は偏向出力回路、5はパルス発生回路、6は制御回路、7は外部からディスプレイに入力された画像信号源の同期信号である。以上のように構成された同期処理回路について、以下その動作を説明する。 10

【0027】

外部からディスプレイに入力された画像信号源の同期信号7をPLL回路1に入力し、同期再生を行う。PLL回路1は電圧制御発振器を内蔵し、この電圧制御発振器は、PLL回路1に入力された同期信号7に同期したクロックを発生する。この電圧制御発振器から発生される再生クロック8をパルス発生回路2に入力し、任意のパルス位相及び幅を制御信号9により制御回路6から制御され、AFC回路3に供給する。このパルス発生回路2の構成を図2に、更に動作タイミングチャートを図3に示す。

【0028】

図2において、10及び12は前記PLL回路1から発生される再生クロック8により駆動されるカウンタ、11及び13は比較器である。 20

【0029】

カウンタ10のリセット端子に外部からディスプレイに入力された同期信号7を入力し、前記カウンタ10を分周するクロックとして、前記同期信号7に同期した前記PLL回路1から発生される再生クロック8を入力し、分周を行う。この分周動作は、前記同期信号7が入力されるとリセットされる。カウンタ10のリセット端子に入力される同期信号7の代わりに、前記PLL回路に内蔵される分周器の分周出力を用いても同一の動作を行う。このカウンタ10から出力される分周値を比較器11の一方に入力し、制御回路6から発生される制御信号9を比較器11の他方に入力する。各々前記比較器11に各々入力された信号を比較し、前記比較器11で判定された結果を出力する。図3にその一例を示す 30

図3において、制御回路6からの制御信号が"2"であったとする。この時、比較器11の判定論理が入力された双方の値が一致した時のみ"1"を出力する場合、カウンタ10の出力が"2"の時のみ同期信号が出力される。これより、制御回路6から発生される制御信号9の値を任意に変化させることで、パルス発生回路2に入力された同期信号7に対し、任意の位相を持つ同期信号を出力することが可能となる。制御回路6からの設定値は、前記PLL回路1に内蔵された分周器の分周比により依存するため、高精度にパルス位相を設定する場合は、前記PLL回路1の分周比を大きくすることにより可能となる。このようにして出力された同期信号を、前記カウンタ10と同様に前記PLL回路1で発生された再生クロック8で動作するカウンタ12のリセット端子に入力し、その分周された出力を比較器13の一方に入力する。前記比較器11と同様に比較器13の他方に制御 40

回路6から制御信号9を入力し、比較器13に各々入力された信号を比較して、同期信号を発生する。図3にその一例を示す。図3において、制御回路6からの制御信号が"1"であったとする。この時、比較器13の判定論理が制御信号9の値に対し、前記カウンタ12の出力が小さい時に"1"を出力する場合、カウンタ12の出力が"1"以下の時のみ同期信号が出力される。

【0030】

これより、制御回路6から発生された制御信号9の値を任意に設定することで、任意の幅を持つ同期信号を出力させることが可能となる。以上のように、図2に示すパルス発生回路2を制御回路6からの制御信号9により制御することで、外部からディスプレイに入力された画像信号源の同期信号に対し、任意の位相及び幅を持つ同期信号を前記パルス発生 50

回路 2 から出力させることが可能となる。

【 0 0 3 1 】

図 2 に示すパルス発生回路 2 を構成する比較器 1 1 及び 1 3 の判定論理は、本実施の形態の他の判定論理を用いても同様な効果を得る。また、比較器 1 1 及び 1 3 の出力は、比較判定をする際に入力信号の切り替わり点でスパイク状のノイズを通常発生するため、ラッチ回路を比較器 1 1 及び 1 3 の出力信号の後段に接続し、前記スパイク状のノイズによる判定ミスを防ぎ、次段の回路ブロックにその判定結果を供給する。

【 0 0 3 2 】

このようにしてパルス発生回路 2 から出力された同期信号を A F C 回路 3 に供給する。A F C 回路 3 は、アナログ素子で構成されるため、デジタル回路で構成されたパルス発生回路 2 及び 5、更に高速のクロックを発生する P L L 回路 1 からのデジタルノイズが侵入すると回路動作が不安定となり、安定した同期信号を偏向出力回路 4 に供給できない課題が発生する可能性がある。そこで、アナログ素子で構成される A F C 回路 3 とデジタル回路で構成される回路ブロックとを物理的に離し、デジタルノイズを A F C 回路 3 に侵入を防ぐ手段が一つある。しかしながら、パルス発生回路 2 及び 5 と A F C 回路 3 を離すと逆にその信号伝送経路にノイズが重畳される可能性が生じる。そこで、A F C 回路 3 へのデジタルノイズの侵入を防ぐ手段として、双方の回路ブロックの電源ライン及び基準電圧 (G N D) ラインを分離する事により、電氣的に回路分離を図る方法がある。

【 0 0 3 3 】

その他、デジタル回路全体をシールドする事により輻射によるノイズの侵入を防ぎ、安定した同期信号を偏向出力回路 4 に供給する手法もある。以上のような手法を用い、デジタルノイズの影響による A F C 回路 3 の不安定動作の要因を除去する事で、A F C 回路 3 から偏向出力回路 4 に安定した同期信号を供給する事が可能となる。この偏向出力回路 4 から前記 A F C 回路 3 に同期信号をフィードバックすることで、偏向出力回路 4 の同期安定度の向上を図る。

【 0 0 3 4 】

この偏向出力回路 4 から前記 A F C 回路 3 にフィードバックされたディスプレイの偏向電流周期と同位相の同期信号を前記パルス発生回路 2 と同様な構成からなる、前記 P L L 回路 1 から発生された再生クロック 8 により駆動されるパルス発生回路 5 に入力する。先に述べたパルス発生回路 2 と同様な動作により、パルス発生回路 5 からディスプレイ内の映像回路、コンバーゼンス回路、フォーカス回路等、種々の被制御回路に任意の位相及び幅を持つ同期信号を供給する。ディスプレイの偏向電流周期と同位相の同期信号をパルス発生回路 5 に入力する構成により、ディスプレイの偏向開始位相を容易に検出できる事により、回路規模の増大無しに被制御回路に所望の同期信号を供給可能となる。

【 0 0 3 5 】

以上本発明の構成により、外部からディスプレイに入力された画像信号源の同期信号に対し、任意の位相及び幅を持つ同期信号を容易な回路構成で、ディスプレイ内の被制御回路に所望の同期信号を安定に供給可能となる。

【 0 0 3 6 】

(実施の形態 2)

次に、本発明の請求項 2 に記載された発明の実施の形態について、図 4 及び図 5 を用いて説明する。尚、前述した実施の形態と同じ構成については同一の符号を用い、説明を省略する。

【 0 0 3 7 】

請求項 1 の発明において、パルス発生回路 2 及び 5 は、P L L 回路 1 により発生される共通の再生クロック 8 により駆動される。このような構成の場合、図 5 (a) に示すように、初段のパルス発生回路 2 から出力される同期信号と P L L 回路 1 から発生される再生クロック 8 との位相関係は、パルス発生回路 2 にリセット信号として入力される同期信号 7 により、ラッチ可能となる位相関係を保つ。しかしながら、後段のパルス発生回路 5 にリセット信号として入力される偏向出力回路 4 から A F C 回路 3 に入力される同期信号は、

10

20

30

40

50

AFC回路3がアナログ素子で構成される回路であることより、図5(a)に示すように、PLL回路1から発生される再生クロック8と同位相関係になる可能性がある。パルス発生回路5に入力された同期信号と再生クロック8とが同位相になった場合、ラッチできなくなり、パルス発生回路5からディスプレイ内の被制御回路に供給される同期信号が不安定となるため、ディスプレイに画面揺れやジッター等として現れ、映像品位の劣化の原因となる。

【0038】

そこで、本発明では、図4に示すように偏向出力回路4からAFC回路3へフィードバックされる同期信号を直接パルス発生回路5に供給せず、PLL回路14に一度供給し、このPLL回路14から出力される再生クロック15によりパルス発生回路5を駆動する手段を備えることにより前記課題を解決する。本実施の形態における同期処理回路の動作を図5(b)に示す。図5(b)の例に示すように、PLL回路1から発生される再生クロック8とアナログ素子で構成されるAFC回路3の出力が同位相の場合においても、本発明の構成により、PLL回路14を用いて同期再生を行わせるため、パルス発生回路5から請求項1の発明の構成に対し、より安定した同期信号をディスプレイ内の被制御回路に供給可能となる。

10

【0039】

本発明の同期処理回路は、2段のPLL回路1及び14から各々発生される位相の異なる2種類のクロックが混在する構成となる。このため、前記実施の形態1で記載した他回路への影響の低減をより一層図る必要がある。また、双方の再生クロック8及び15は、位相は異なるが、全く同期している信号であるため、回路基板上において、本来駆動しないパルス発生回路側にデジタルノイズとして飛び込むと、そのパルス発生回路が誤動作する可能性が発生する。そこで、双方のPLL回路は、同じデジタル回路により構成されているが、電源及び基準(GND)電圧の分離を確実にし、電氣的に相互に干渉を防ぐ必要がある。更に、各PLL回路1及び14は、基板上の配置において、電源回路から各PLL回路により消費される電流帰還ループが各々交差しないようにする事によって、相互のPLL回路の干渉を一層防ぐことが可能となる。

20

【0040】

以上本発明の構成により、外部からディスプレイに入力された画像信号源の同期信号に対し、任意の位相及び幅を持つ同期信号を容易な回路構成で発生させることが可能となり、前記請求項1の構成に対し、更に安定に被制御回路に所望の同期信号を供給可能となる。

30

【0041】

(実施の形態3)

次に、本発明の請求項3に記載された発明の実施の形態について、図6及び図7を用いて説明する。尚、前述した実施の形態と同じ構成については同一の符号を用い、説明を省略する。

【0042】

請求項1の発明において、パルス発生回路1及び5から出力される同期信号の位相及び幅の設定精度は、PLL回路1から発生される再生クロック8の周波数に依存されていたため、より高精度の位相調整精度が要求される被制御回路への同期信号の供給が非常に困難となる。そこで、設定精度を向上させようとした場合、再生クロック8の周波数を高速にする方法がある。しかしながら、再生クロック8の周波数を高速にした場合、パルス発生回路2及び5を構成する回路素子を高速クロック対応とすることは勿論のこと、同期信号を高精度に制御可能とするため、ビット数が増大する事により回路規模の増大にもつながるとい課題を有していた。

40

【0043】

そこで、本発明では、図6に示すようなアナログ素子で構成されたアナログシフト回路16を用いて前記課題を解決する。図6において、パルス発生回路2から出力された同期信号を入力とし、制御回路6からの制御信号9により制御されるアナログシフト回路16は、従来例に示したモノマルチで構成された図13に示す回路動作と同一である。しかしな

50

がら、本実施の形態に示すアナログシフト回路 16 のパルス位相設定範囲は、図 7 に示すように、前記再生クロック 8 の 1 周期にあたる微小な範囲のみであるため、従来例に示したようなアナログ素子固有の現象によるパルス位相設定精度のばらつき等が生じて、ディスプレイ上には殆ど影響が現れず、実使用上問題ない。また、アナログシフト回路 16 は、アナログ素子で構成される回路であるため、前記実施の形態 1 で記載したように、デジタル回路との分離を行うことにより、本回路の実力を十分発揮させることが可能となる。

【0044】

尚、本実施の形態では、アナログシフト回路 16 を前段のパルス発生回路 2 の出力に挿入しているが、AFC 回路 3 を通した後のパルス発生回路 5 の出力に、同様のアナログシフト回路を挿入した場合、ディスプレイ内の被制御回路に対し、同様な効果を生じる。

【0045】

(実施の形態 4)

次に、本発明の請求項 4 に記載された発明の実施の形態について、図 8 及び図 9 を用いて説明する。尚、前述した実施の形態と同じ構成については同一の符号を用い、説明を省略する。

【0046】

請求項 1 の発明において、パルス発生回路 1 及び 5 から出力される同期信号の位相及び幅の設定精度は、PLL 回路 1 から発生される再生クロック 8 の周波数に依存されていたため、より高精度の位相調整精度が要求される被制御回路への同期信号の供給が非常に困難となる。また、請求項 3 の発明においては、アナログ素子で構成されたアナログシフト回路 16 を用いているため、通常の使用上においては問題ないレベルにあるとはいえ、投写型ビデオプロジェクターにおける使用形態の一つである多管式のように高安定度を要求する用途においては、従来例に示したように、アナログ素子固有の現象による課題が問題となる。

【0047】

そこで、本発明においては、図 8 に示すようなデジタル素子で構成されたデジタルシフト回路 22 を用いて前記課題を解決する。図 8 において、17 は位相比較器、18 は低域通過フィルタ(以下、LPF とする)、19 は電圧制御発振器(以下、VCO とする)、20 は前記 VCO 19 から発生されたクロックを $1/n$ に分周する $1/n$ 分周器、21 は前記 $1/n$ 分周器 20 から発生されたクロックを $1/m$ に分周する $1/m$ 分周器、2 は前記 $1/n$ 分周器 20 から発生されたクロック 8 で駆動し前記 $1/m$ 分周器 21 の出力を入力としたパルス発生回路 2、22 は前記 VCO 19 から発生されたクロックで駆動し前記パルス発生回路 2 の出力を入力としたデジタルシフト回路である。以上のように構成された請求項 4 に示す同期処理回路について、以下、動作説明を行う。

【0048】

外部からディスプレイに入力される画像信号源の同期信号 7 を位相比較器 17 の一方に入力する。この位相比較器 17 の出力を LPF 18 に入力し平滑する事で直流電圧に変換する。この LPF 18 から出力された直流電圧を VCO 19 に入力し、入力された直流電圧に比例したクロックを発振する。この発振クロックを任意の分周比 n で分周する $1/n$ 分周器 20 に入力し、更に前記 $1/n$ 分周器 20 により分周されたクロックを任意の分周比 m で分周する $1/m$ 分周器 21 に入力する。この $1/m$ 分周器 21 の出力を前記位相比較器 17 の他方に入力し、位相比較動作を行う。以上示した一連の PLL 回路において、 $1/n$ 分周器 20 と $1/m$ 分周器 21 を同一構成とした場合、図 1 に示す PLL 回路 1 と同一となる。この場合、図 1 においては、再生クロック 8 は VCO 19 からの出力となる。また、PLL 回路が位相同期した状態において、位相比較器 17 に入力された双方の同期信号は共に同位相の関係となるため、位相比較器 17 に入力された同期信号のいずれをパルス発生回路 2 へ入力しても同様な動作を行う。これは、請求項 1 から 4 の構成において、いずれにも当てはまることである。以上のように構成された PLL 回路を用い、 $1/n$ 分周器 20 の出力 8 をパルス発生回路 2 に駆動用クロックとして入力する。この時、パル

10

20

30

40

50

ス発生回路 2 から出力される同期信号の位相及び幅の設定精度は、1 同期信号期間の $1/m$ である。次に、パルス発生回路 2 から出力された同期信号を、VCO 19 からの出力クロックで駆動するデジタルシフト回路 22 に入力する。デジタルシフト回路 22 の動作を、図 9 を用いて以下説明する。

【0049】

図 9 において、外部からディスプレイに入力される同期信号 7 の周波数に対し、PLL 回路に内蔵された VCO 19 から発生されるクロック周波数は、

クロック周波数 = 同期信号周波数 $\times n \times m$

という関係がある。この VCO 19 から発生されるクロックを $1/n$ に分周した $1/n$ 分周器 20 の出力となる再生クロック 8 の周波数は、

再生クロック周波数 = 同期信号周波数 $\times m$

となる。パルス発生回路 2 は、前記 $1/n$ 分周器 20 の出力である再生クロック 8 を用いる事により所望の同期信号を出力させ、その同期信号の位相は、図 9 に示すように再生クロック 8 の周波数単位に依存される。そのパルス発生回路 2 から出力された同期信号を、前記再生クロック 8 の周波数に対し、 n 倍の高速動作を行う VCO 19 から出力されるクロックで動作するデジタルシフト回路 22 に入力することで、より高精度に同期信号の位相を設定できる。

【0050】

図 8 のように、PLL 回路内の分周器を $1/n$ 分周器 20 と $1/m$ 分周器 21 との 2 段構成にすることにより、同期処理回路において高速動作を必要とする回路ブロックを最小規模に抑えることが可能となり、従来方式に対し、安価に同期信号の位相調整を高精度に行える。

【0051】

尚、本実施の形態では、前段のパルス発生回路 2 の出力をデジタルシフト回路 22 に入力しているが、AFC 回路 3 を通した後のパルス発生回路 5 の出力を、本デジタルシフト回路に入力した場合においても同様な効果を生じる。

【0052】

(実施の形態 5)

次に、本発明の請求項 5 に記載された発明の実施の形態について、図 10 及び図 11 を用いて説明する。尚、前述した実施の形態と同じ構成については同一の符号を用い、説明を省略する。

【0053】

請求項 1 の発明において、パルス発生回路 2 及び 5 に入力された同期信号の位相及び幅を任意に制御する制御回路 6 から出力される制御信号 9 の制御範囲は、水平同期信号に対しては、PLL 回路 1 に内蔵される分周器の分周比により制限されるため、ディスプレイ内部で容易に検知可能となる。一方、垂直同期信号の制御範囲に対しては、ディスプレイに入力された画像信号源の走査線本数により制限される。外部からディスプレイに入力された画像信号源の水平走査周波数及び垂直走査周波数より、制御回路 6 において、

走査線本数 = 水平走査周波数 / 垂直走査周波数

という演算式により、制御回路 6 に内蔵されたプロセッサにより、前記画像信号源の走査線本数を検出する。しかしながら、プロセッサの演算誤差により、ディスプレイに入力された画像信号源の走査線本数を計数ミスする可能性があり、この時、正確にパルス発生回路を制御できないという課題が発生する。

【0054】

そこで、本発明において、図 10 に示す回路構成により前記課題を解決する。図 10 において、23 は垂直同期信号を $1/4$ 水平期間遅延する $1/4$ 水平期間遅延回路、24 は垂直同期信号を $3/4$ 水平期間遅延する $3/4$ 水平期間遅延回路、25 は反転素子、26 は AND 回路、27 は前記 AND 回路 26 の出力を用いディスプレイに接続された画像信号源の水平同期信号と垂直同期信号との位相関係を検出する検出回路、28 は水平同期信号を $1/2$ 水平期間遅延する $1/2$ 水平期間遅延回路、29 はマルチプレクサ、30 はカウ

10

20

30

40

50

ンタである。また、31は外部からディスプレイに入力された画像信号源の垂直同期信号、32は外部からディスプレイに入力された画像信号源の水平同期信号である。以上のように構成された請求項5に示す同期処理回路について、以下、動作説明を図11を参照して行う。

【0055】

外部から入力された画像信号源の垂直同期信号31を各々前記PLL回路1から出力される再生クロック8により駆動する1/4水平期間遅延回路23及び3/4水平期間遅延回路24に入力する。各水平期間遅延回路23及び24から出力された信号を反転素子25及びAND回路26に入力することで、図11に示すような1/2水平期間の幅を持つ垂直レートの同期信号を得る。本発明では、このようにして発生された垂直レートの同期信号を検出信号33と称する。この検出信号33のパルス内に水平同期信号パルスの有無を検出する事により、ディスプレイに入力された画像信号源の垂直同期信号31と水平同期信号32の位相関係を検出可能となる。

10

【0056】

例えば、図11に示すように、垂直同期信号31と水平同期信号32との位相関係が非常に近接した場合、検出信号33の検出期間内に水平同期信号32のパルスは存在しない。逆に、垂直同期信号31と水平同期信号32との位相関係が大きく異なる場合は、検出信号33の検出期間内に水平同期信号32のパルスが検出される。このように検出回路27によって検出された結果を、水平同期信号32を一方の入力とし、前記水平同期信号32を前記PLL回路1から発生される再生クロック8により1/2水平期間遅延された1/2水平期間遅延回路28を他方の入力としたマルチプレクサ29に入力する。マルチプレクサ29は、前記検出信号33のパルス内に水平同期信号32が検出された場合、前記水平同期信号32をそのまま出力し、逆に前記検出信号33のパルス内に水平同期信号32が検出されない場合、前記1/2水平期間遅延回路28の出力を出力する。これにより、常にマルチプレクサ29から出力される水平同期信号は、前記垂直同期信号31に対して、ほぼ1/2水平期間遅延した位相関係となり、カウンタ30に入力された前記垂直同期信号はマルチプレクサ29の出力により確実にラッチ可能となる。

20

【0057】

以上のような本発明の構成により、ディスプレイに入力された画像信号源の走査線本数を確実に計数可能となり、この計数結果を制御回路6に入力することで、パルス発生回路2及び5に対し、任意の位相及び幅を持つ同期信号の制御が確実に行える。

30

【0058】

本発明において、外部からディスプレイに入力された画像信号源の垂直同期信号31に対し、必ずしも直接ラッチできる位相関係にない前記PLL回路1により発生された再生クロック8を位相遅延を1/4水平期間遅延回路23及び3/4水平期間遅延回路24に入力し、ラッチ動作を行わせることによりラッチミスを生じる可能性があるが、本発明の回路動作においては問題ない。また、本実施の形態において、垂直同期信号31を遅延させる遅延回路23及び24の遅延量は、1/4水平期間並びに3/4水平期間としているが、検出信号33を出力できるものであれば、任意に設定しても同様な効果を得る。更に、本実施の形態において、入力された画像信号源の同期信号のパルス極性は正極性であり、且つ、検出信号33の検出期間が正極性パルスである例を示しているが、入力同期信号の極性並びに検出信号33の極性の組み合わせにより、本実施の形態における反転素子25及びAND回路26の回路構成が多様となることも追記しておく。

40

【0059】

【発明の効果】

以上のように、本発明の同期処理回路によれば、PLL回路を用いたデジタル回路構成とすることで、従来、アナログ素子により構成された同期処理回路において、アナログ素子固有の特性により安定した同期信号出力が得られない課題を容易に解決する。更に、種々の走査周波数を有する画像信号源を1つのディスプレイに映し出すマルチスクリーンディスプレイにおいては、ディスプレイに入力された画像信号源の走査周波数によって、1走

50

査周波数期間に対する同期信号の位相及び幅の制御範囲の割合が異なる従来の課題に対し、本発明においてPLL回路を用いる事により、1水平走査期間を外部からディスプレイに入力された画像信号源の持つ同期信号の走査周波数に関わりなく、一定に分割する構成を用いているため、従来課題の解決が容易に図れる。

【0060】

本発明の同期処理回路において、PLL回路内にある分周器の分周比により制限されるパルス発生回路から出力された同期信号の位相設定精度を向上させるため、微小の可変範囲を持つアナログ素子により構成されたアナログシフト回路を組み合わせる構成、もしくは、PLL回路内の分周器を2段構成とし、前記パルス発生回路から出力された同期信号を高速動作を行うクロックにより微小の設定範囲を持つデジタルシフト回路を組み合わせる構成により行う。これより、従来の方式に対し、安価に且つ高精度にパルス発生回路から出力された同期信号の位相もしくは幅を任意に設定可能となる。

10

【0061】

更に、パルス発生回路から発生される同期信号の位相及び幅を任意に制御する制御回路において、水平同期信号に対して行う制御範囲は、PLL回路に内蔵された分周器の分周比により制限されるため問題ないが、垂直同期信号に対して行う制御範囲は、外部からディスプレイに入力された画像信号源の走査線本数により制限されるため、その走査線本数の検出誤差が課題となる。しかしながら、本発明の構成により、ディスプレイに入力された画像信号源の走査線本数を確実に計数可能となり、この計数結果を制御回路に入力することで、パルス発生回路から出力される同期信号の位相及び幅を任意に且つ確実に制御される。

20

【図面の簡単な説明】

【図1】本発明の実施の形態1における同期処理回路のブロック図

【図2】本発明の実施の形態1におけるパルス発生回路のブロック図

【図3】本発明の実施の形態1におけるパルス発生回路の動作説明図

【図4】本発明の実施の形態2における同期処理回路のブロック図

【図5】本発明の実施の形態2における同期処理回路の動作説明図

【図6】本発明の実施の形態3における同期処理回路のブロック図

【図7】本発明の実施の形態3における同期処理回路の動作説明図

【図8】本発明の実施の形態4における同期処理回路のブロック図

30

【図9】本発明の実施の形態4における同期処理回路の動作説明図

【図10】本発明の実施の形態5における同期処理回路のブロック図

【図11】本発明の実施の形態5における同期処理回路の動作説明図

【図12】従来における同期処理回路のブロック図

【図13】従来におけるアナログ方式パルス発生回路の動作説明図

【符号の説明】

1、14 PLL回路

2、5 パルス発生回路

3 AFC回路

4 偏向出力回路

40

6 制御回路

10、12 カウンタ

11、13 比較器

16 アナログシフト回路

17 位相比較器

18 低域通過フィルタ

19 電圧制御発振器

20 1/n分周器

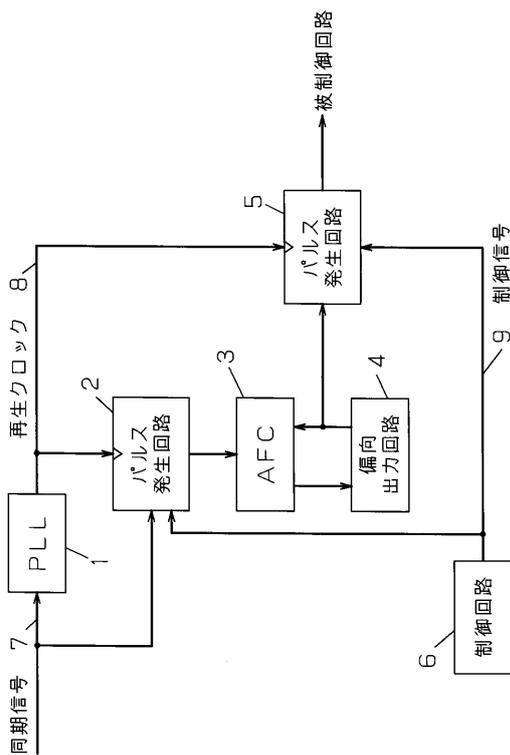
21 1/m分周器

22 デジタルシフト回路

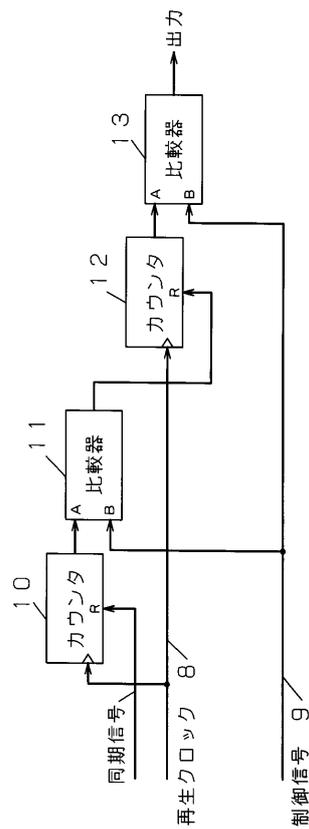
50

- 2 3 1 / 4 水平期間遅延回路
- 2 4 3 / 4 水平期間遅延回路
- 2 7 検出回路
- 2 8 1 / 2 水平期間遅延回路
- 2 9 マルチプレクサ
- 3 0 カウンタ
- 3 5、3 6 アナログ方式パルス発生回路

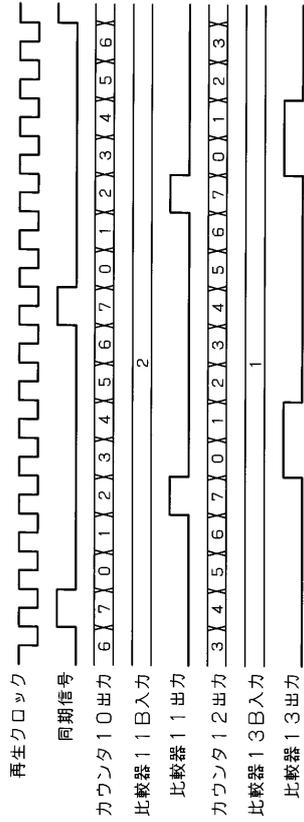
【 図 1 】



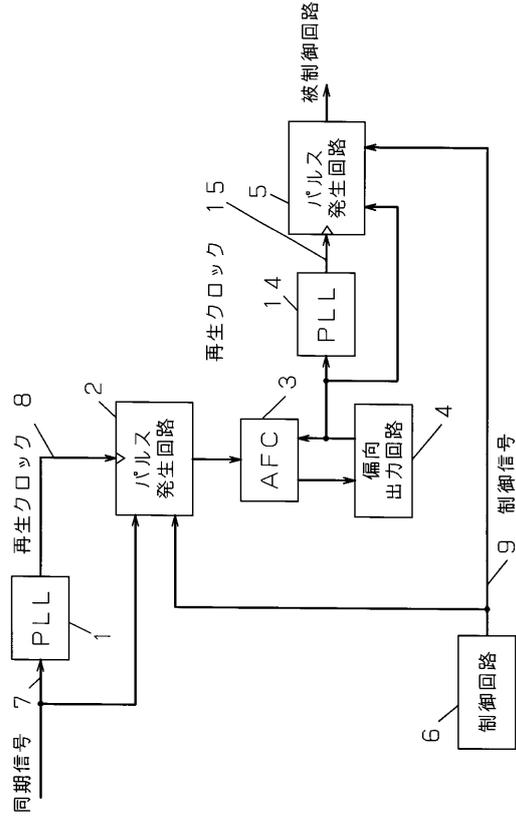
【 図 2 】



【 図 3 】

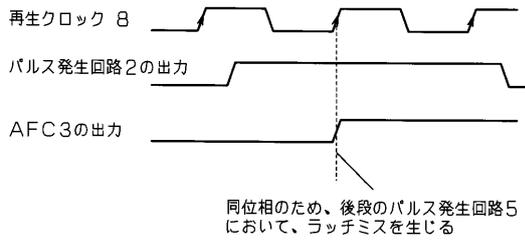


【 図 4 】

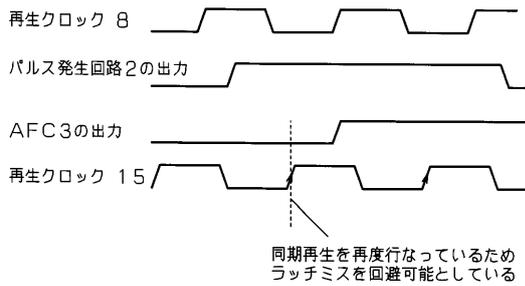


【 図 5 】

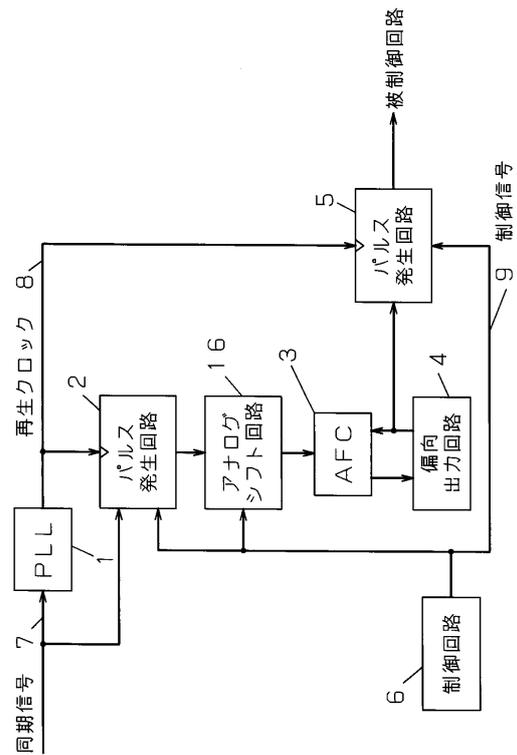
(a) 図1の構成例



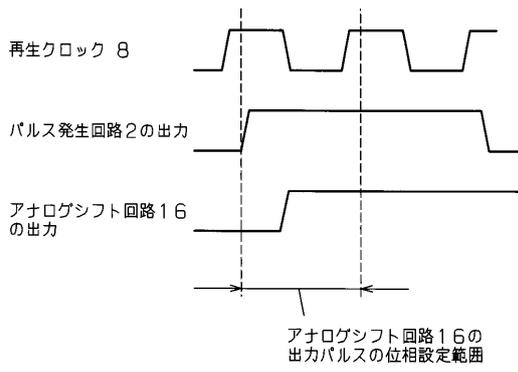
(b) 図4の構成例



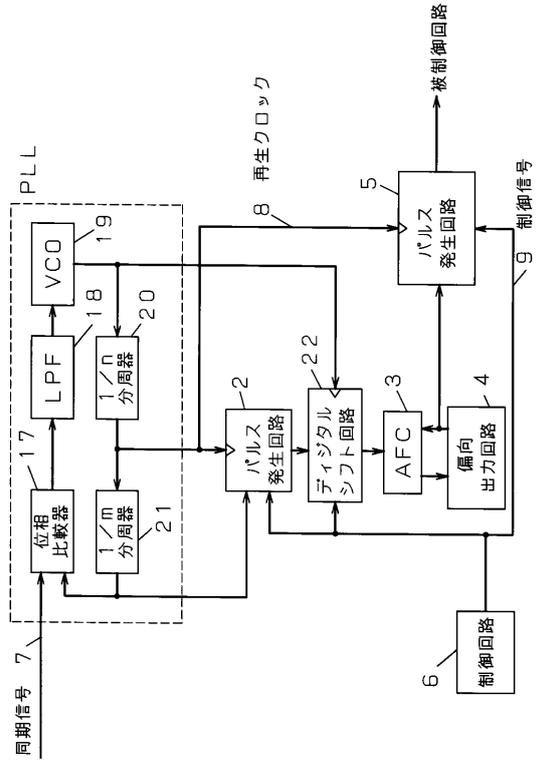
【 図 6 】



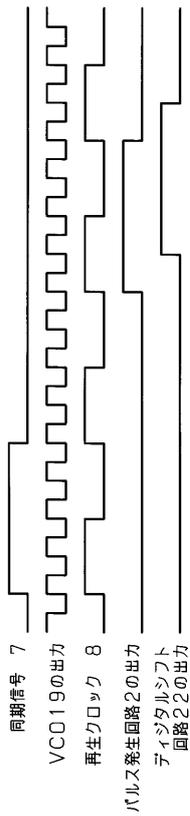
【 図 7 】



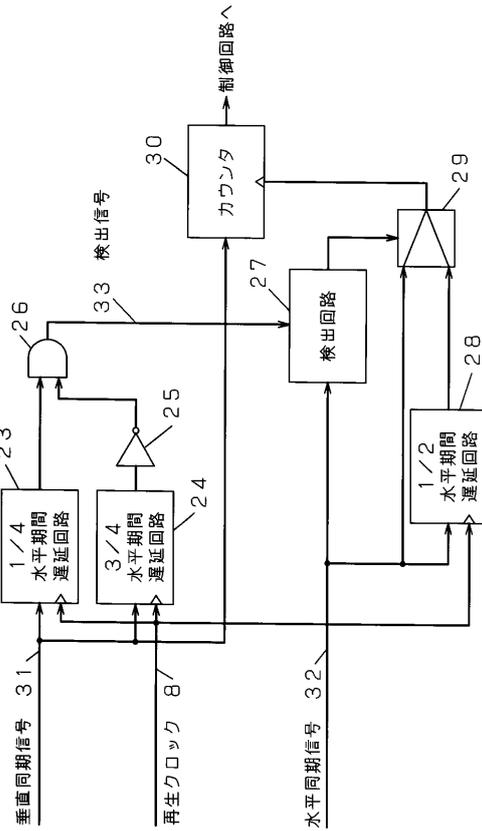
【 図 8 】



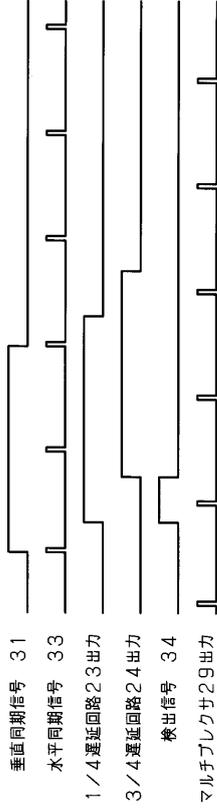
【 図 9 】



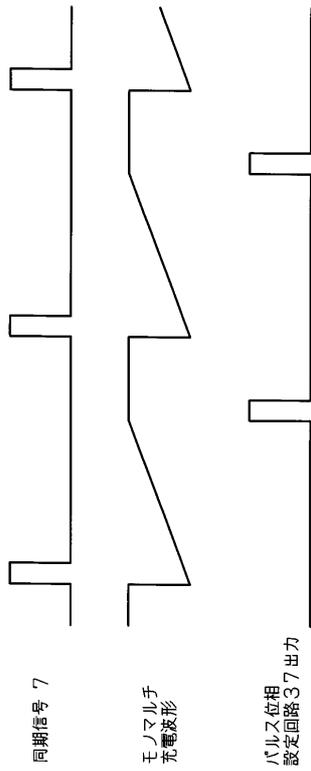
【 図 10 】



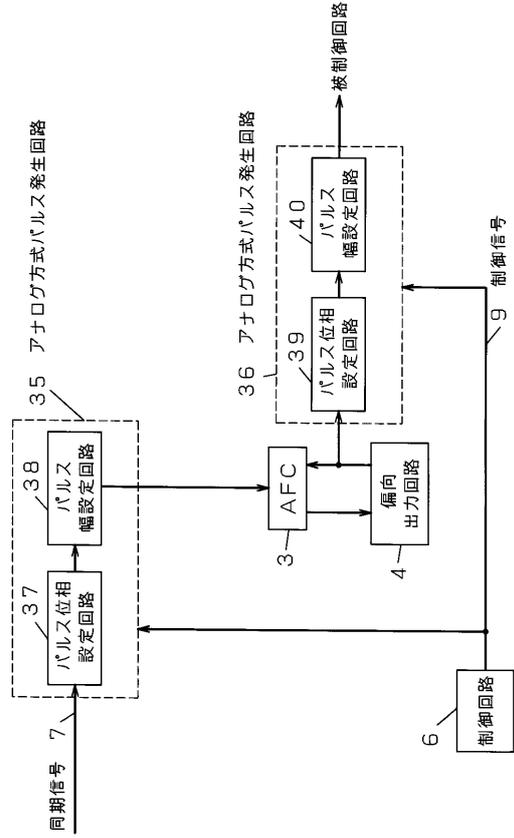
【 図 1 1 】



【 図 1 3 】



【 図 1 2 】



フロントページの続き

審査官 菅原 道晴

(56)参考文献 特開平04-044470(JP,A)
特開平08-149334(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
H04N 5/04-5/12