

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3606804号
(P3606804)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

F I

H01J 11/02
G09G 3/20
G09G 3/28H01J 11/02 B
G09G 3/20 621M
G09G 3/20 680H
G09G 3/28 H

請求項の数 7 (全 18 頁)

(21) 出願番号 特願2000-373748 (P2000-373748)
 (22) 出願日 平成12年12月8日(2000.12.8)
 (65) 公開番号 特開2002-175761 (P2002-175761A)
 (43) 公開日 平成14年6月21日(2002.6.21)
 審査請求日 平成13年8月1日(2001.8.1)

(73) 特許権者 599132708
 富士通日立プラズマディスプレイ株式会社
 神奈川県川崎市高津区坂戸3丁目2番1号
 (74) 代理人 100086933
 弁理士 久保 幸雄
 (72) 発明者 川▲崎▼ 龍彦
 神奈川県川崎市高津区坂戸3丁目2番1号
 富士通日立プラズマディスプレイ株式会
 社内
 (72) 発明者 平川 仁
 神奈川県川崎市高津区坂戸3丁目2番1号
 富士通日立プラズマディスプレイ株式会
 社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルおよびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

マトリクス表示の行選択のためのスキャン電極群と、列選択のためのデータ電極群と、放電空間を少なくとも列毎に区画する隔壁とを有したプラズマディスプレイパネルであって、

マトリクス表示の各列に対して、列の一端から他端まで連続するデータ電極が2本ずつ配置され、

表示面内の全てのスキャン電極が2個のグループに分類されるとともに、各列における2本のデータ電極に対して前記2個のグループが1個ずつ割り当てられ、

各データ電極は、前記スキャン電極群のうちの当該データ電極に割り当てられたグループに属するスキャン電極のみと前記隔壁と重ならない位置で交差し、かつ残りのスキャン電極とは前記隔壁と重なる位置で交差する蛇行形状に形成されている

ことを特徴とするプラズマディスプレイパネル。

【請求項2】

表示面内の複数のスキャン電極が、前記2個のグループから1本ずつ計2本を選んでまとめるように2本ずつ電氣的に共通化された

請求項1記載のプラズマディスプレイパネル。

【請求項3】

全てのデータ電極の両端が、前記表示面を囲んで前記放電空間を密閉する封止材の外側に導出された

10

20

請求項 1 記載のプラズマディスプレイパネル。

【請求項 4】

各データ電極は、当該データ電極に割り当てられたグループに属するスキャン電極と交差または対向する部分の幅が局所的に広い平面視形状をもつ

請求項 1 記載のプラズマディスプレイパネル。

【請求項 5】

マトリクス表示の行選択のためのスキャン電極群と、列選択のためのデータ電極群と、放電空間を少なくとも列毎に区画する隔壁とを有したプラズマディスプレイパネルの駆動方法であって、

マトリクス表示の各列に対して、列の一端から他端まで連続するデータ電極を 2 本ずつ配置し、

表示面内の全てのスキャン電極を 2 個のグループに分類するとともに、各列における 2 本のデータ電極に対して前記 2 個のグループを 1 個ずつ割り当て、

各データ電極を、前記スキャン電極群のうちの当該データ電極に割り当てたグループに属するスキャン電極のみと前記隔壁と重ならない位置で交差し、かつ残りのスキャン電極とは前記隔壁と重なる位置で交差する蛇行形状に形成しておき、

表示面内の複数のスキャン電極を、前記 2 個のグループから 1 本ずつ計 2 本を選んでまとめる要領で 2 本ずつ電氣的に共通化し、

表示内容に応じてスキャン電極群およびデータ電極群の電位を制御するアドレッシングに際して、共通化したスキャン電極に対応する 2 行を同時に選択する

ことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 6】

行配列の一端から他端へ配列順に k 行ずつ行選択を行い、その際に同時に選択する 2 行のうちの前記他端に最も近い 1 行に対応したデータ電極と、前記一端に最も近い 1 行に対応したデータ電極とについて異なる電位設定を行う

請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】

放電空間を形成する一对の基板を有し、その一方の基板上にマトリクス表示の行選択のためのスキャン電極群、他方の基板上に列選択のためのデータ電極群を備えたプラズマディスプレイパネルであって、

マトリクス表示の各列に 2 本の蛇行形状のデータ電極を配置するとともに、所定の行数ごとに前記 2 本のデータ電極を交互に有効と無効にするべく当該無効箇所での前記スキャン電極との間の放電を妨げる障壁をデータ電極対応部に設けた

ことを特徴とするプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル（以下、PDP という）およびその駆動方法に関する。

【0002】

PDP は大画面の表示デバイスとして発展してきており、PDP を用いた 25 インチ型高精細モニターや 60 インチ型テレビジョン受像機が実用化されている。市場ではさらに大きい画面が要求されており、それに応える技術開発が進められている。

【0003】

【従来の技術】

AC 型の PDP による表示では、マトリクス配列されたセルのうちの点灯すべきセルのみに適量の壁電荷を形成する線順次走査形式のアドレッシングを行い、その後壁電荷を利用して表示階調に応じた回数表示放電を生じさせる。アドレッシングの所要時間は表示面の行数（垂直方向の解像度）に比例するので、解像度が大きくなるにつれて、フレーム期間のうちの表示放電のために割り当て可能な期間が短くなる。また、階調表示のための

10

20

30

40

50

フレーム分割の分割可能数が小さくなる。つまり、高解像度のPDPでは高輝度化および多階調化が難しい。

【0004】

従来、アドレッシングの所要時間を短縮する手法として、図20(A)のように表示面80を上下に2分割し、2個の表示領域81, 82のアドレッシングを並行して行う“デュアルスキャン”がある。表示面80の分割に合わせてデータ電極が分断され、表示領域81, 82における列選択はそれぞれに対応したデータ電極D1, D2によって行われる。デュアルスキャンでは、2行ずつ行選択を行うので、アドレッシングの所要時間は1行ずつ行うシングルスキャンの場合の1/2である。また、特開平11-312471号公報には、図20(B)のように表示面90を4分割する手法が記載されている。この手法では、上下方向における中央部の表示領域92, 93のデータ電極D12, D22は、駆動回路と接続するために端部の表示領域91, 94を通して表示面90の外側へ引き出される。表示領域91, 94において、データ電極D11, D21がスキャン電極との間でアドレス放電が生じるように配置されるのに対し、データ電極D12, D22は放電が生じないように放電空間を区画する隔壁290によって絶縁される。表示面90の4分割によれば、アドレッシングの所要時間を1/4に短縮することができる。

10

【0005】

【発明が解決しようとする課題】

表示面内でデータ電極を分断する従来の手法では、同時に選択可能な行どうしの間に、これらとは同時に選択できない行が数多く存在する。例えば、行数が1024の表示面を2分割するデュアルスキャンでは、2個の表示領域81, 82の先頭行どうしの間の行数は511(=1024÷2-1)である。このため、同時に選択可能な行に対応したスキャン電極を電気的に共通化し、それによって駆動回路の部品点数を削減しようとする、多数のスキャン電極を跨ぐ複雑な多層配線を行わなければならない。PDPを構成する基板、PDPと駆動回路基板とを接続する配線ケーブル、および駆動回路基板のいずれでも多層配線を行っても価格上昇は避けられない。

20

【0006】

また、データ電極の一端のみが表示面の外側に引き出されるので、データ電極が断線した場合に、断線箇所より中央側のセルの制御が不可能になるという問題があった。

【0007】

本発明は、複雑な多層配線によらずにスキャン電極の電位制御に必要な回路素子の削減を実現することを目的としている。

30

【0008】

【課題を解決するための手段】

本発明においては、マトリクス表示の各列に対して、列の一端から他端まで連続する蛇行したデータ電極を k ($k \geq 2$)本ずつ配置し、表示面内の全てのスキャン電極を k 個のグループに分類するとともに、各列における k 本のデータ電極に対して k 個のグループを1個ずつ割り当て、各データ電極を、スキャン電極群のうちの当該データ電極に割り当てたグループに属するスキャン電極のみと隔壁で絶縁されない位置(平面視において隔壁と重ならない領域)で交差させ、かつ残りのスキャン電極と隔壁により絶縁される位置で交差させる。これにより、同時に選択可能な k 行を互いに近づけることができ、これらの行に対応したスキャン電極を容易に結線することができる。行数に係わらず単層配線での結線が可能である。結線をどこで行うかについての制限はなく、PDPを構成する基板・PDPと駆動回路基板とを接続する配線ケーブル・駆動回路基板のいずれで行ってもよい。

40

【0009】

【発明の実施の形態】

以下、1列あたりのデータ電極数 k を2とした本発明の実施形態を説明する。〔第1実施形態〕

図1は本発明に係る表示装置の構成図である。表示装置100は、 $m \times n$ 個のセルからなる表示面を有した面放電型のPDP1と、セルの発光を制御するドライブユニット70と

50

から構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0010】

PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが平行配置され、これら表示電極X、Yと交差するようにアドレス電極A1、A2が配列されている。表示電極X、Yは画面の行方向（水平方向）に伸び、アドレス電極は列方向（垂直方向）に伸びている。図において表示電極X、Yの参照符号の添字（1、n）は対応する“行”の配列順位を示し、アドレス電極A1、A2の参照符号の添字（1、m）は対応する“列”の配列順位を示す。行は列方向の配置順序が等しい列数分（m個）のセルの集合であり、列は行方向の配置順序が等しい行数分（n個）のセルの集合である。

10

【0011】

ドライブユニット70は、ドライバ制御回路71、データ変換回路72、電源回路73、Xドライバ81、Yドライバ84、およびAドライバ88、89を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはデータ変換回路72の中のフレームメモリに一時的に記憶される。データ変換回路72は、フレームデータDfを階調表示のためのサブフレームデータDsfに変換してAドライバ88、89へ送る。サブフレームデータDsfは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。なお、インタレース表示の場合には、フレームを構成する複数のフィールドのそれぞれが複数のサブフィールドで構成され、サブフィールド単位の発光制御が行われる。ただし、発光制御の内容はプログレッシブ表示の場合と同様である。

20

【0012】

図2はPDPのセル構造の一例を示す図である。

PDP1は封止材35により一体化された一对の基板構体（基板上にセル構成要素を設けた構造体）10、20からなる。前面側のガラス基板11の内面に、n行m列の表示面ESの各行に一つずつ表示電極X、Yが配置されている。表示電極X、Yは、面放電ギャップを形成する透明導電膜41とその端縁部に重ねられた金属膜42とからなり、誘電体層17および保護膜18で被覆されている。背面側のガラス基板21の内面に1列に計2本ずつアドレス電極A1、A2が配列されており、これらアドレス電極A1、A2は誘電体層24で被覆されている。誘電体層24の上に放電空間30を列毎に区画する隔壁29が設けられている。誘電体層24の表面および隔壁29の側面を被覆するカラー表示のための蛍光体層28R、28G、28Bは、放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体文字（R、G、B）は蛍光体の発光色を示す。PDP1では、表示電極Yがスキャン電極として用いられ、アドレス電極A1、A2がデータ電極として用いられる。

30

【0013】

図3は電極構造の模式図、図4は電極構造の詳細を示す平面図である。なお、図3の表示面は6行構成であるが、一般に行数nは数百以上（例えばSVG A仕様で1024）である。

40

【0014】

表示面ESの各列 $R_1, R_2, R_3, \dots, R_m$ において、計2本のアドレス電極A1、A2は規則的に曲がった帯状の導体であり、列の一端から他端まで連続している。アドレス電極A1は、奇数行 L_{od} に対応した表示電極 Y_1, Y_2, Y_3 とは平面視において隔壁29と重ならない位置で交差し、偶数行 L_{ev} に対応した表示電極 Y_2, Y_4, Y_6 とは隔壁29と重なる位置で交差する。これとは逆に、アドレス電極A2は、奇数行 L_{od} に対応した表示電極 Y_1, Y_2, Y_3 とは隔壁29と重なる位置で交差し、偶数行 L_{ev} に対応した表示電極 Y_2, Y_4, Y_6 とは隔壁29と重ならない位置で交差する。つまり、アドレス電極A1は奇数行 L_{od}

50

のみでアドレス放電が生じるようにパターンニングされ、アドレス電極 A 2 は偶数行 $L_{e v e n}$ のみでアドレス放電が生じるようにパターンニングされている。隔壁 2 9 と重なる位置は、放電空間が形成されておらずそのために放電が生じない領域を意味する。この位置では隔壁 2 9 が放電を妨げる絶縁体として作用する。

【 0 0 1 5 】

各列 $R_1, R_2, R_3, \dots, R_m$ にアドレス電極 A 1, A 2 を配置することにより、アドレッシングに際して奇数行 $L_{o d d}$ のいずれか 1 つと偶数行 $L_{e v e n}$ のいずれか 1 つとを同時に選択し、アドレッシングの所要時間を短縮することができる。PDP 1 では、隣り合う行どうしで表示電極 Y の電氣的な共通化（結線）がなされており、隣り合う行どうしが同時に選択される。以下、結線された 2 本の表示電極 Y の組を“表示電極 Y P”という。隣り合う行どうしの結線は単層配線で容易に実現することができ、結線のために多層配線を用いる必要はない。例えば表示電極 Y の金属膜 4 2 を形成するとき、表示電極 Y を 2 本ずつ連結するように電極材料層のパターンニングを行えばよい。結線を行うことによって、独立に制御すべきスキャン電極（表示電極 Y P）の数が表示電極 Y の数の $1/2$ となるので、Y ドライバ 8 4 を構成する集積回路部品の必要個数は従来の $1/2$ になる。例えば行数 n が 1 0 2 4 の場合、表示電極 Y P の数は 5 1 2 である。スキャン端子数が 6 4 の集積回路部品を用いるとすると、その必要個数は 8 である。

10

【 0 0 1 6 】

図 4 においてアドレス電極 A 1, A 2 は行間領域を斜めに通り、列方向に並ぶセル C を 1 つ置きに避ける。このようにアドレス電極 A 1, A 2 を蛇行形状とすることにより、隔壁 2 9 によるアドレス電極 A 1, A 2 の部分的な絶縁が容易になる。隔壁 2 9 の幅は、1 本のアドレス電極を被覆する大きさでよい。また、アドレス電極 A 1, A 2 間の間隔を図 3 の電極構造と比べて大きくとることができ、それによって電極間容量の増大を抑制することができる。アドレス電極 A 1 は奇数行 $L_{o d d}$ の表示電極 $Y_{o d d}$ と電極対を構成し、アドレス電極 A 2 は偶数行 $L_{e v e n}$ の表示電極 $Y_{e v e n}$ と電極対を構成する。

20

【 0 0 1 7 】

図 5 は隔壁構造の変形例を示す平面図である。

隔壁 2 9 b は、図 2 の隔壁 2 9 に相当する列方向壁 2 9 1 に行方向壁 2 9 2 が一体化した構造体であり、平面視において格子状である。行方向壁 2 9 2 は、アドレス電極 A 1, A 2 の屈曲部を被覆し、屈曲部での誤放電を防止する。行方向壁 2 9 2 を列方向壁 2 9 1 よりも低くすれば、PDP 1 の組み立てにおける内部排気抵抗が小さくなる。

30

【 0 0 1 8 】

図 6 はアドレス電極パターンの第 1 変形例を示す平面図である。

アドレス電極 A 1 b, A 2 b では、アドレス放電が生じる位置における表示電極 Y との交差部が局所的に幅広に形成されている。これにより、表示電極 Y との対向面積が増大し、放電確率が高まる。

【 0 0 1 9 】

図 7 はアドレス電極パターンの第 2 変形例を示す平面図である。

アドレス電極 A 1 c, A 2 c は、電極対を構成する表示電極 Y との対向部毎に屈曲した帯状であり、行間領域では隔壁 2 9 によって被覆されている。

40

【 0 0 2 0 】

図 8 はアドレス電極パターンの第 3 変形例を示す平面図である。

アドレス電極 A 1 d, A 2 d は、電極対を構成する表示電極 Y と対向する突起を有し、行間領域では隔壁 2 9 によって被覆されている。

【 0 0 2 1 】

図 9 はアドレス電極パターンの第 4 変形例を示す平面図である。

アドレス電極 A 1 e, A 2 e は、電極対を構成する表示電極 Y と対向する略 T 字状の突起を有し、行間領域では隔壁 2 9 によって被覆されている。面放電型 PDP のアドレッシングでは、アドレス電極 A 1 e, A 2 e と表示電極 Y との間のアドレス放電をトリガーとして、表示電極 Y と表示電極 X との間でもアドレス放電を起こすのが望ましい。図 9 のパタ

50

ーンは、行間領域での不要放電を抑えかつ表示電極 Y から表示電極 X へアドレス放電を拡げるのに適している。

【 0 0 2 2 】

次に P D P 1 に適用する駆動方法を説明する。

図 1 0 はフレーム分割の概念図である。P D P 1 による表示では、一般的な 2 値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレーム F を所定数 q のサブフレーム S F に分割する。つまり、各フレーム F を q 個のサブフレーム S F の集合に置き換える。これらサブフレーム S F に順に 2^0 , 2^1 , 2^2 , ... 2^{q-1} の重みを付与して各サブフレーム S F の表示放電の回数を設定する。サブフレーム単位の点灯 / 非点灯の組合せで R G B の各色毎に $N (= 1 + 2^1 + 2^2 + \dots + 2^{q-1})$ 段階の輝度設定を行うことができる。なお、重み付けは 2 の累乗系列に限らない。また、図ではサブフレーム配列が重みの順であるが、他の順序であってもよく、2 値以外の点灯制御であってもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間 T f を q 個のサブフレーム期間 T s f に分割し、各サブフレーム S F に 1 つのサブフレーム期間 T s f を割り当てる。さらに、サブフレーム期間 T s f を、初期化のためのリセット期間 T R、アドレッシングのためのアドレス期間 T A、および点灯のための表示期間 T S に分ける。リセット期間 T R およびアドレス期間 T A の長さが重みに係わらず一定であるのに対し、表示期間 T S の長さは重みが大きいほど長い。したがって、サブフレーム期間 T s f の長さも、該当するサブフレーム S F の重みが大きいほど長い。

【 0 0 2 3 】

[第 1 の駆動方法]

図 1 1 は第 1 の駆動方法を示す電圧波形図、図 1 2 は第 1 の駆動方法における各行のアドレス順位およびアドレス放電の強度を示す図である。

【 0 0 2 4 】

リセット期間 T R ・アドレス期間 T A ・表示期間 T S の順序は q 個のサブフレーム S F において共通であり、駆動シーケンスはサブフレーム毎に繰り返される。各サブフレーム S F のリセット期間 T R においては、全ての表示電極 X に対して負極性のパルス P r x 1 と正極性のパルス P r x 2 とを順に印加し、全ての表示電極 Y P に対して正極性のパルス P r y 1 と負極性のパルス P r y 2 とを順に印加する。パルス P r x 1 , P r x 2 , P r y 1 , P r y 2 は微小放電が生じる変化率で振幅が漸増するランプ波形パルスである。最初に印加されるパルス P r x 1 , P r y 1 は、前サブフレームにおける点灯 / 非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルス P r x 2 , P r y 2 を印加することにより、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。本例における初期化（電荷の均等化）は、全てのセルの壁電荷を消失させて壁電圧を零にするものである。なお、表示電極 X , Y の片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極 X , Y の双方に互いに反対極性のパルスを印加することによりドライバ回路素子の低耐圧化を図ることができる。セルに加わる駆動電圧は、表示電極 X , Y に印加されるパルスの振幅を加算した合成電圧である。

【 0 0 2 5 】

アドレス期間 T A においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y P を所定電位にバイアスした状態で、一定時間毎に選択行に対応した 1 つの表示電極 Y P に負極性のスキャンパルス P y を印加する。そして、この 2 行ずつの行選択に同期させて、アドレス放電を生じさせるべき選択セルに対応したアドレス電極 A 1 , A 2 にアドレスパルス P a 1 , P a 2 を印加する。つまり、選択行の 2 x m 列分のサブフレームデータ D s f に基づいてアドレス電極 A 1 , A 2 の電位を 2 値制御する。選択セルでは表示電極 Y P とアドレス電極 A 1 , A 2 との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。ここで重要なことは、アドレス電極 A 1 に印加するアドレスパルス P a 1 の振幅 V a 1 と、アドレス電極 A 2 に印加するアドレスパルス P a 2 の振幅 V a 2 とを個別に設定することである。例示では V a 1 >

V a 2 とされている。個別の設定により、いわゆるクロストークが軽微となり、アドレッシングの信頼性が高まる。配列順に行選択をするアドレッシングでは、ある行のアドレス放電がその次に選択される行のアドレス放電に影響する。図 1 2 のように、同時に選択される 2 行について、走査の下流側の行の放電強度を上流側の行の放電強度より小さくすることにより、当該 2 行とこれらの下流側の 2 行との放電のクロストークを低減することができる。

【 0 0 2 6 】

サステイン期間 T S においては、最初に全ての表示電極 Y P に対して所定極性（例示では正極性）のサステインパルス P s を印加する。その後、表示電極 X と表示電極 Y P とに対して交互にサステインパルス P s を印加する。サステインパルス P s の振幅は放電開始電圧より低い維持電圧（V s ）である。サステインパルス P s の印加によって、所定量の壁電荷が残存するセルで面放電が生じる。サステインパルス P s の印加回数は、上述したとおりサブフレームの重みに対応する。なお、サステイン期間 T S にわたって不要の放電を防止するためにアドレス電極 A 1 , A 2 をサステインパルス P s と同極性の電位にバイアスする。

【 0 0 2 7 】

[第 2 の駆動方法]

図 1 3 は第 2 の駆動方法を示す電圧波形図、図 1 4 は第 2 の駆動方法における各行のアドレス順位を示す図である。

【 0 0 2 8 】

アドレス期間 T A を、前半期間 T A 1 と後半期間 T A 2 とに分ける。前半期間 T A 1 では、表示電極列における表示電極 Y P のみに注目して数えた奇数番目の表示電極 Y P に対して順にスキャンパルス P y を印加する。行選択に同期させてアドレス電極 A 1 , A 2 にアドレスパルス P a を印加して図 1 4 のように 2 行ずつ 2 行置きのアドレッシングを行う。後半期間 T A 2 では、偶数番目の表示電極 Y P に対して順にスキャンパルス P y を印加し、前半期間 T A 1 で選択されなかった行についてアドレッシングを行う。前半期間 T A 1 と後半期間 T A 2 とについて、表示電極 X のバイアス電位を個別に最適化する。

【 0 0 2 9 】

[第 2 実施形態]

第 2 実施形態に係る P D P の構造は、アドレス電極の平面視形状および表示電極の結線形態を除いて、第 1 実施形態に係る P D P 1 と同様である。

【 0 0 3 0 】

図 1 5 は第 2 実施形態の電極構造の模式図である。

表示面 E S 2 は、第 1 グループの行 L a と第 2 グループの行 L b とで構成される。ただし、このグループ分けは、アドレス電極との対応関係を区別するための便宜上の分類であり、行 L a と行 L b とに機能上の差異はない。行 L a は第 1 番目、第 4 i 番目（ i = 1 , 2 , 3 ... ）、および第（ 4 i + 1 ）番目の行であり、行 L b は第（ 4 i - 2 ）番目および第（ 4 i - 1 ）番目の行である。各列 R₁ , R₂ , R₃ , ... R_m において、計 2 本のアドレス電極 A 1 f , A 2 f は規則的に曲がった帯状の導体であり、列の一端から他端まで連続している。アドレス電極 A 1 f は、行 L a に対応した表示電極 Y とは図示しない隔壁により絶縁されない位置で交差し、行 L b に対応した表示電極 Y とは隔壁により絶縁される位置で交差する。これに対して、アドレス電極 A 2 f は、行 L a に対応した表示電極 Y とは隔壁により絶縁される位置で交差し、行 L b に対応した表示電極 Y とは隔壁により絶縁されない位置で交差する。つまり、アドレス電極 A 1 f は行 L a のみでアドレス放電が生じるようにパターンニングされ、アドレス電極 A 2 f は行 L b のみでアドレス放電が生じるようにパターンニングされている。

【 0 0 3 1 】

第 2 実施形態では、アドレッシングに際して行 L a のいずれか 1 つと行 L b のいずれか 1 つとを同時に選択し、それによってアドレッシングの所要時間を短縮することができる。図のように各表示電極 Y は、配列の一端から順に、異なるグループに属しかつ最も近い他

10

20

30

40

50

の表示電極 Y と電氣的に共通化（結線）され、2 行単位のスキャン電極である表示電極 Y P a , Y P b を形成する。このような結線は 2 層配線で行うことができる。P D P と駆動回路との接続に両面プリント配線板を用いれば、ガラス基板上で 2 層配線を行う必要はない。結線によって Y ドライバを構成する集積回路部品の必要個数を削減できるとともに、次に説明する電磁波対策が可能となる。

【0032】

図 16 は第 2 実施形態に係るサステインパルスの印加タイミングを示す図、図 17 は表示電極を流れる表示放電電流の向きを示す図である。

サステイン期間においては表示電極 X と表示電極 Y とに交互にサステインパルス P s を印加して周期的に表示放電を生じさせる。その際に、奇数番目の表示電極 X_{o.d.d} と偶数番目の表示電極 X_{e.v.e.n} とに対して半周期ずらしてサステインパルス P s を印加する。そして、表示電極 Y のみを数えた奇数番目の表示電極 Y（表示電極 Y P a）には表示電極 X_{e.v.e.n} と同じタイミングでサステインパルス P s を印加し、偶数番目の表示電極 Y（表示電極 Y P b）には表示電極 X_{o.d.d} と同じタイミングでサステインパルス P s を印加する。これにより、図 17 のように奇数行 L_{o.d.d} と偶数行 L_{e.v.e.n} とで電流の向きが逆になるので、電流によって生じる磁界が行どうしで打ち消しあう。放電毎に各行の電流の向きは反転するが、他の行でも反転するので、常に磁界は相殺される。

〔第 3 実施形態〕

図 18 は第 3 実施形態の電極構造の模式図、図 19 は第 3 実施形態の電極構造の詳細を示す平面図である。

【0033】

第 3 実施形態の P D P は、表示電極 X , Y を交互に等間隔に配列する形式の面放電型である。表示電極 X , Y の総数は行数 n に 1 を加えた値であり、配列の両端を除く表示電極 X , Y は隣り合う 2 行に対応する。

【0034】

表示面 E S 3 は、第 1 グループの行 L c と第 2 グループの行 L d とで構成される。ただしこのグループ分けも上述の例と同様に便宜的な分類である。行 L c は 1 以上の整数を i として表される第 (4 i - 3) 番目および第 (4 i - 2) 番目の行であり、行 L d は第 (4 i - 1) 番目および第 4 i 番目の行である。各列 R₁ , R₂ , R₃ , ... R_m において、計 2 本のアドレス電極 A 1 g , A 2 g は規則的に曲がった帯状の導体であり、列の一端から他端まで連続している。アドレス電極 A 1 g は、行 L c に対応した表示電極 Y とは隔壁 2 9 により絶縁されない位置で交差し、行 L d に対応した表示電極 Y とは隔壁 2 9 により絶縁される位置で交差する。これに対して、アドレス電極 A 2 g は、行 L c に対応した表示電極 Y とは隔壁 2 9 により絶縁される位置で交差し、行 L d に対応した表示電極 Y とは隔壁により絶縁されない位置で交差する。つまり、アドレス電極 A 1 g は行 L c のみでアドレス放電が生じるようにパターンニングされ、アドレス電極 A 2 g は行 L d のみでアドレス放電が生じるようにパターンニングされている。

【0035】

第 3 実施形態における表示電極 Y の総数は、行毎に 1 対ずつ配列する場合と比べてほぼ半分である。本発明の適用により、表示電極 Y を 2 本ずつ共通化することができるので、実質のスキャン電極数を表示電極 Y の数の半分とすることができる。図 18 のように各表示電極 Y は、配列の一端から順に、異なるグループに属しかつ最も近い他の表示電極 Y と電氣的に共通化（結線）され、2 行に共通のスキャン電極である表示電極 Y P を形成する。このような結線は単層配線で行うことができる。

【0036】

図 19 のようにアドレス電極 A 1 g , A 2 g を蛇行形状とすることにより、隔壁 2 9 によるアドレス電極 A 1 g , A 2 g の部分的な絶縁が容易になる。隔壁 2 9 の幅は、1 本のアドレス電極を被覆する大きさでよい。アドレス電極 A 1 g は奇数番目の表示電極 Y_{o.d.d} との交差部が幅広に形成されており、アドレス電極 A 2 g は偶数番目の表示電極 Y_{e.v.e.n} との交差部が幅広に形成されている。これにより、表示電極 Y との対向面積が増大し

10

20

30

40

50

、放電確率が高まる。

【0037】

以上の実施形態においては、アドレス電極A1, A1b~A1g, A2, A2b~A2gの両端が封止材35の外側に引き出されているので、断線が生じたときに、断断された電極を封止材35の外側で電氣的に接続する“リペア”が可能である。

【0038】

表示面の各列に3本以上のアドレス電極を配列し、3以上の行を同時に選択するようにしてもよい。

【0039】

【発明の効果】

10

請求項1乃至請求項7の発明によれば、複雑な多層配線によらずにスキャン電極の電位制御に必要な回路素子の削減を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の構成図である。

【図2】PDPのセル構造の一例を示す図である。

【図3】電極構造の模式図である。

【図4】電極構造の詳細を示す平面図である。

【図5】隔壁構造の変形例を示す平面図である。

【図6】アドレス電極パターンの第1変形例を示す平面図である。

【図7】アドレス電極パターンの第2変形例を示す平面図である。

20

【図8】アドレス電極パターンの第3変形例を示す平面図である。

【図9】アドレス電極パターンの第4変形例を示す平面図である。

【図10】フレーム分割の概念図である。

【図11】第1の駆動方法を示す電圧波形図である。

【図12】第1の駆動方法における各行のアドレス順位およびアドレス放電の強度を示す図である。

【図13】第2の駆動方法を示す電圧波形図である。

【図14】第2の駆動方法における各行のアドレス順位を示す図である。

【図15】第2実施形態の電極構造の模式図である。

【図16】第2実施形態に係るサステインパルスの印加タイミングを示す図である。

30

【図17】表示電極を流れる表示放電電流の向きを示す図である。

【図18】第3実施形態の電極構造の模式図である。

【図19】第3実施形態の電極構造の詳細を示す平面図である。

【図20】従来のPDPの電極構造の模式図である。

【符号の説明】

1 PDP(プラズマディスプレイパネル)

Y 表示電極(スキャン電極)

A1, A1b~A1g アドレス電極(データ電極)

A2, A2b~A2g アドレス電極(データ電極)

30 放電空間

40

L_{o d d}, L_{e v e b}, L_a, L_b, L_c, L_d 行

R₁ ~ R_m 列

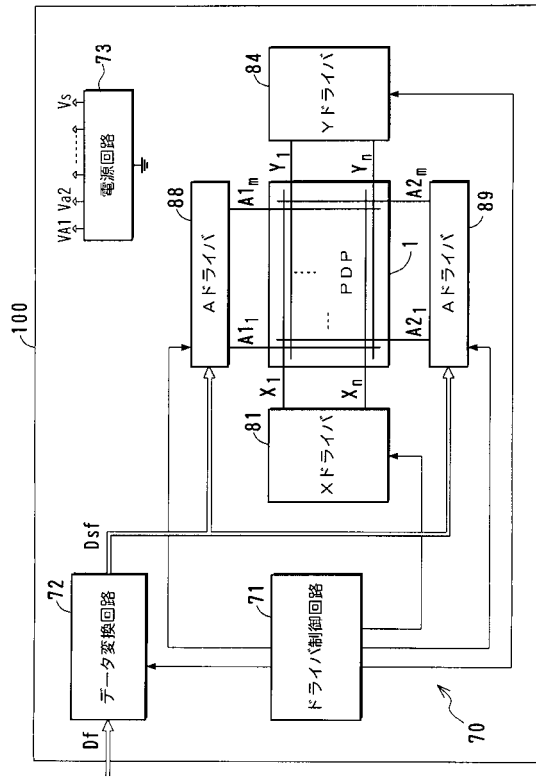
29, 29b 隔壁

ES, ES2, ES3 表示面

35 封止材

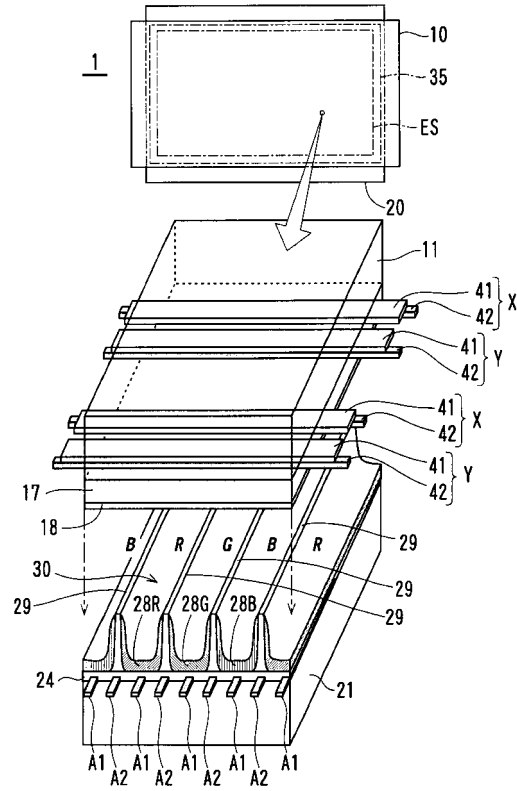
【 図 1 】

本発明に係る表示装置の概略構成図



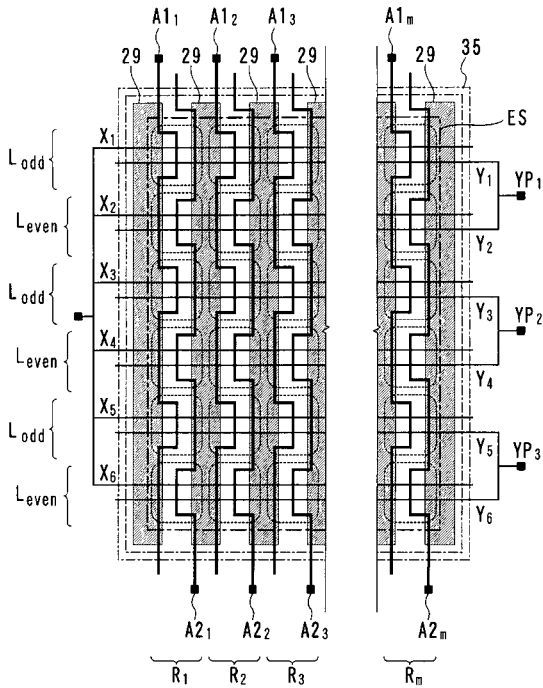
【 図 2 】

PDPのセル構造の一例を示す図



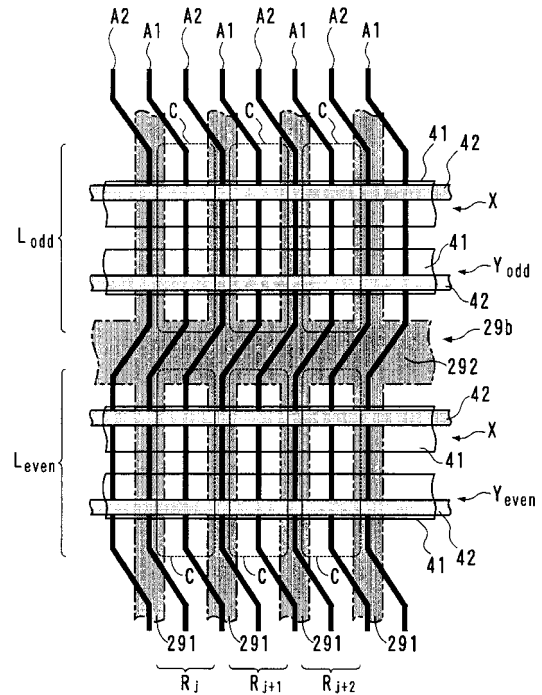
【 図 3 】

電極構造の模式図



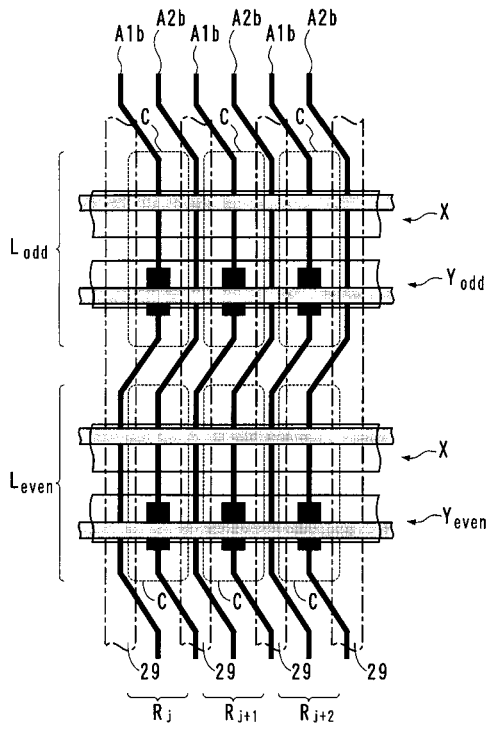
【 図 5 】

隔壁構造の変形例を示す平面図



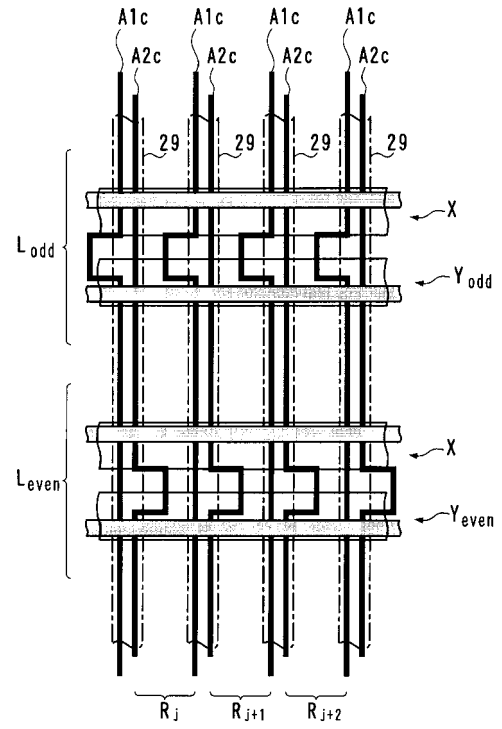
【 図 6 】

アドレス電極パターンの第1変形例を示す平面図



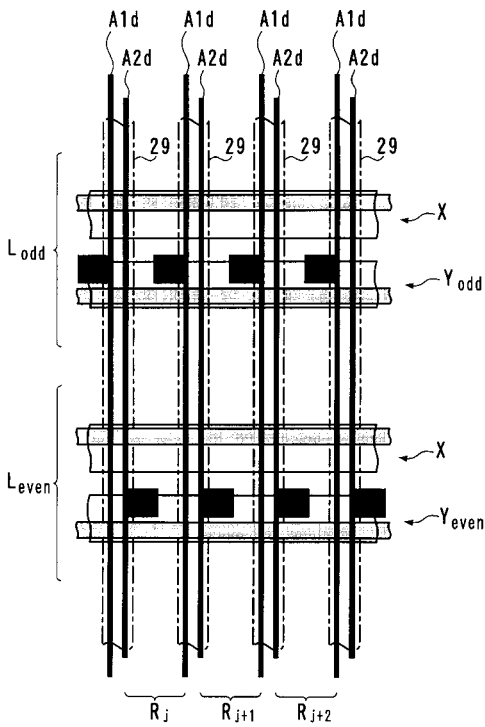
【 図 7 】

アドレス電極パターンの第2変形例を示す平面図



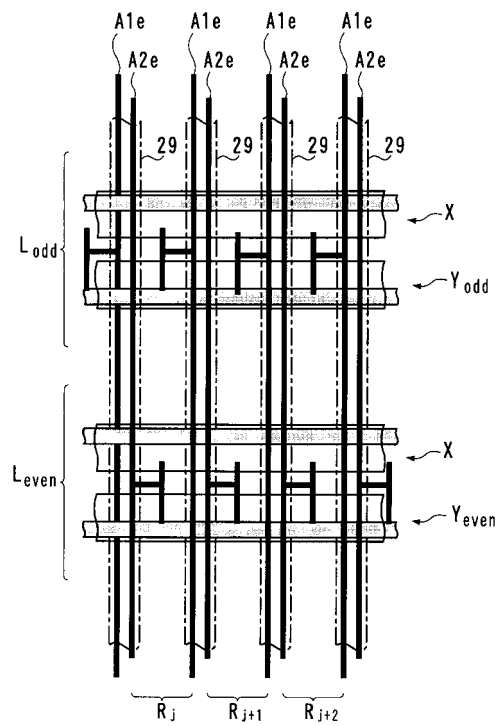
【 図 8 】

アドレス電極パターンの第3変形例を示す平面図



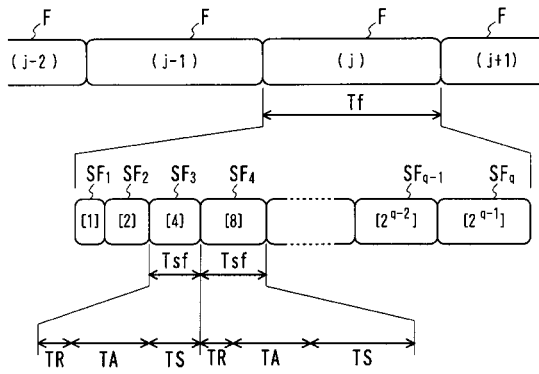
【 図 9 】

アドレス電極パターンの第4変形例を示す平面図



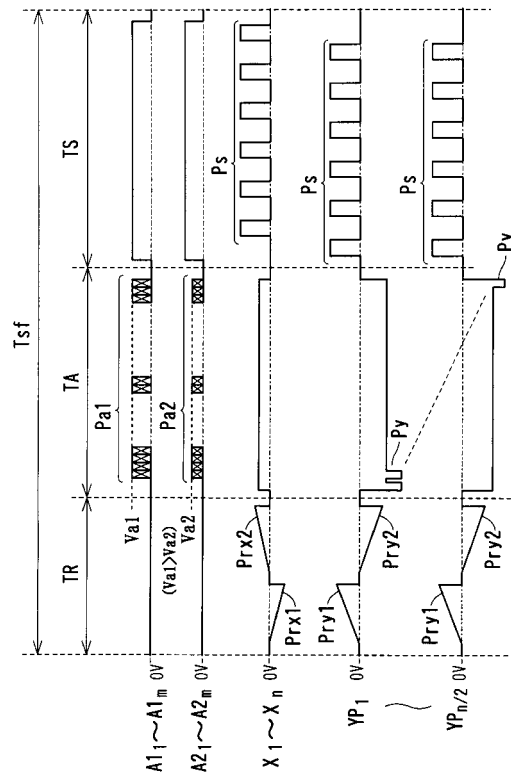
【 図 1 0 】

フレーム分割の概念図



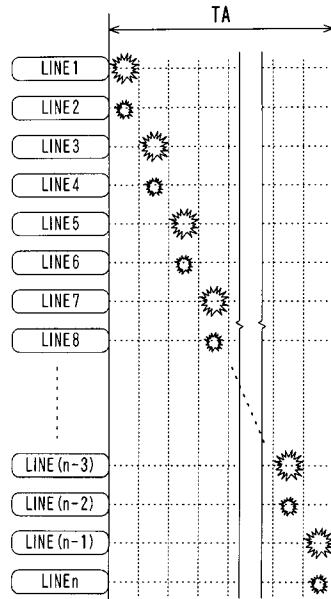
【 図 1 1 】

第1の駆動方法を示す電圧波形図



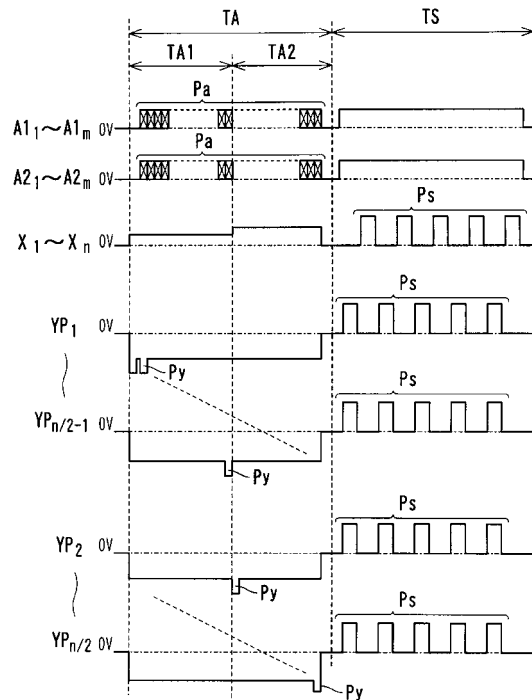
【 図 1 2 】

第1の駆動方法における各行のアドレス順位およびアドレス放電強度を示す図



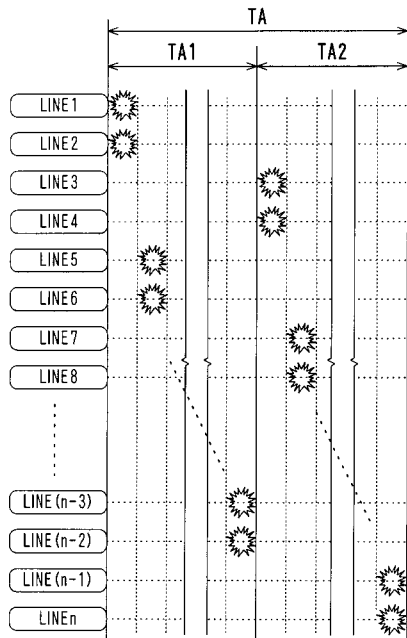
【 図 1 3 】

第2の駆動方法を示す電圧波形図



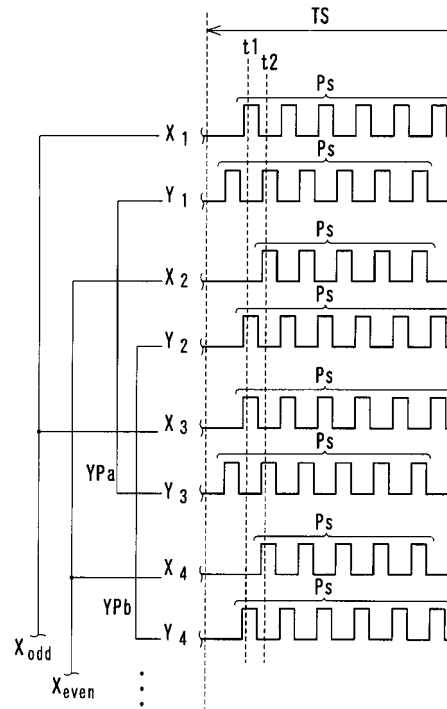
【図14】

第2の駆動方法における各行のアドレス順位を示す図



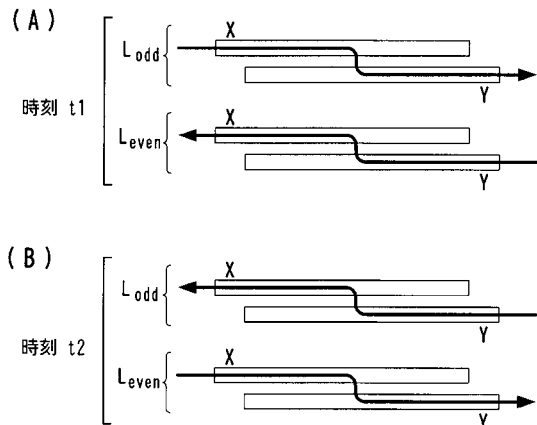
【図16】

第2実施形態に係るサステインパルスの印加タイミングを示す図



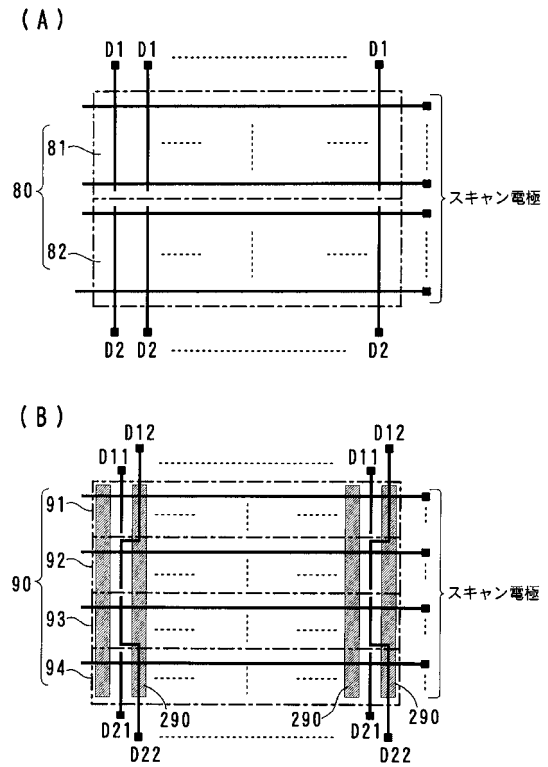
【図17】

表示電極を流れる表示放電電流の向きを示す図



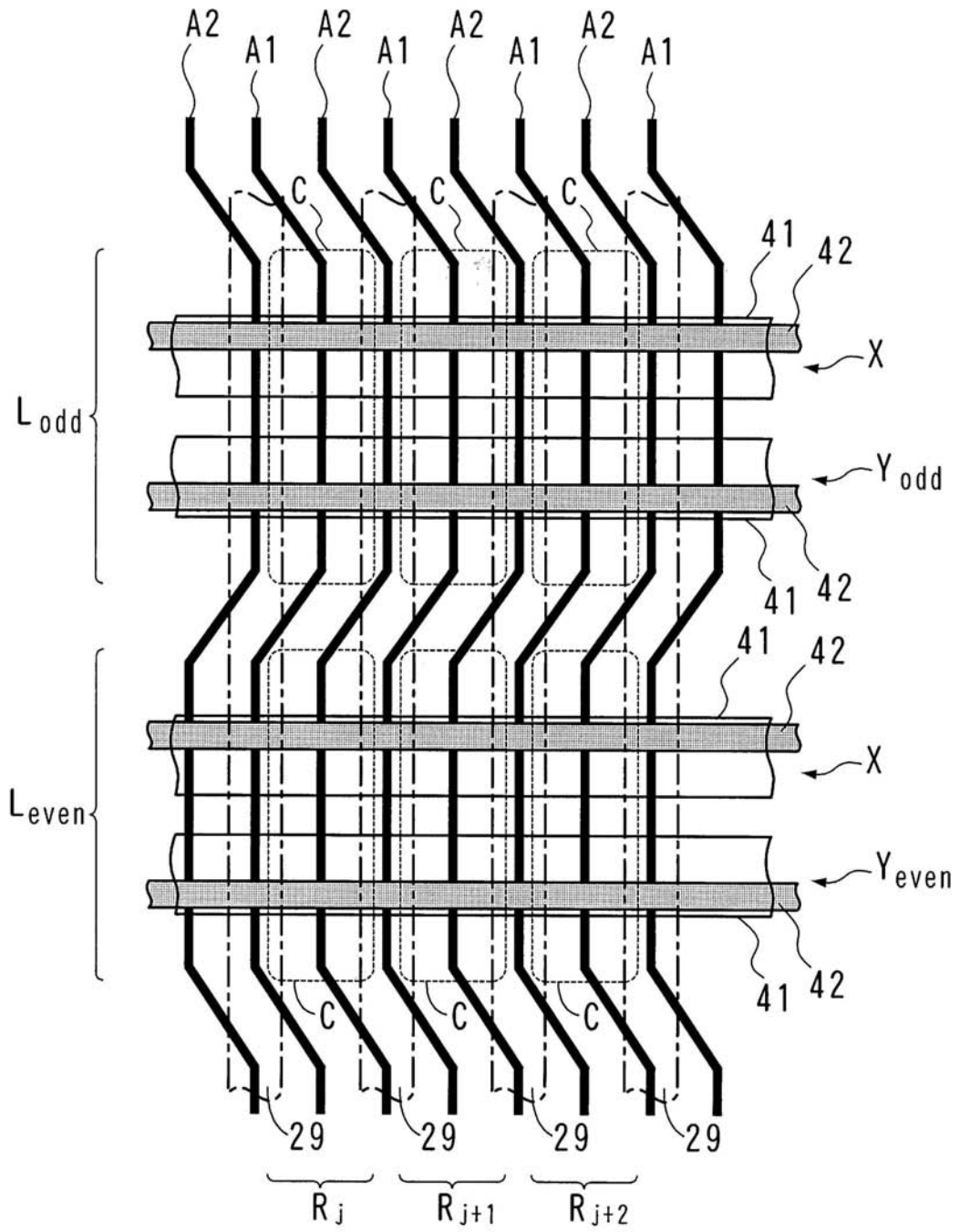
【図20】

従来のPDPの電極構造の模式図



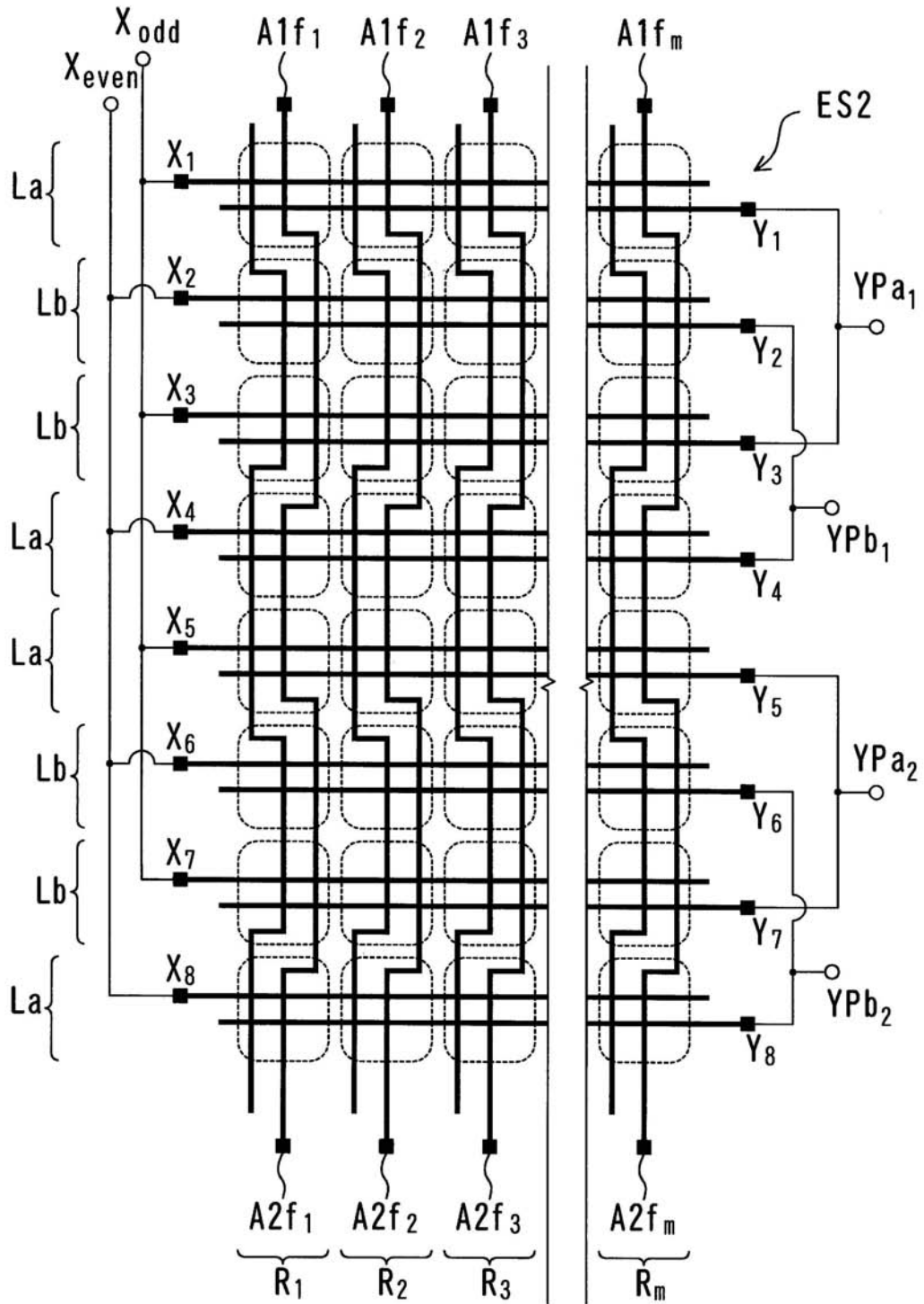
【 図 4 】

電極構造の詳細を示す平面図



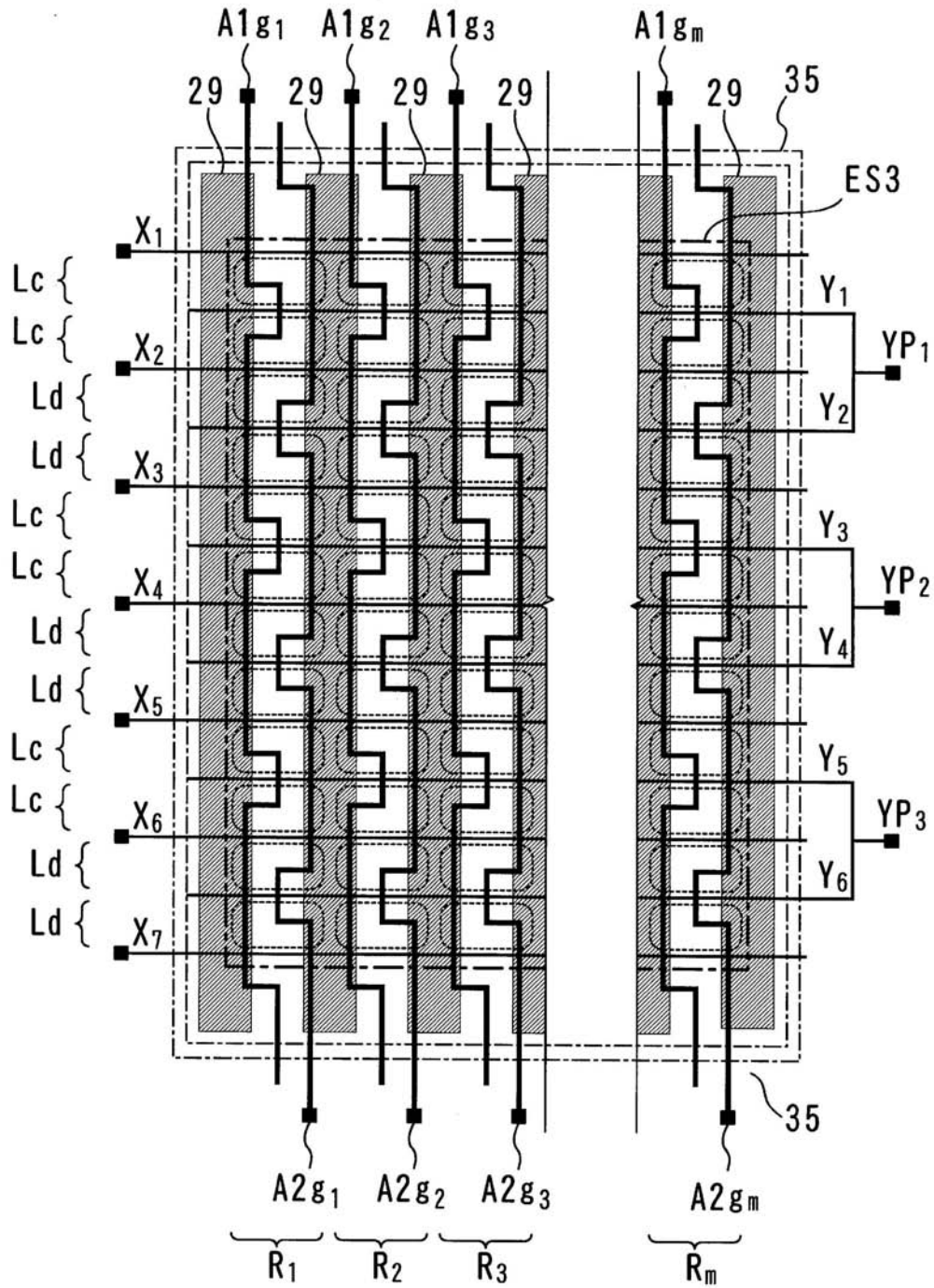
【 図 1 5 】

第2実施形態の電極構造の模式図



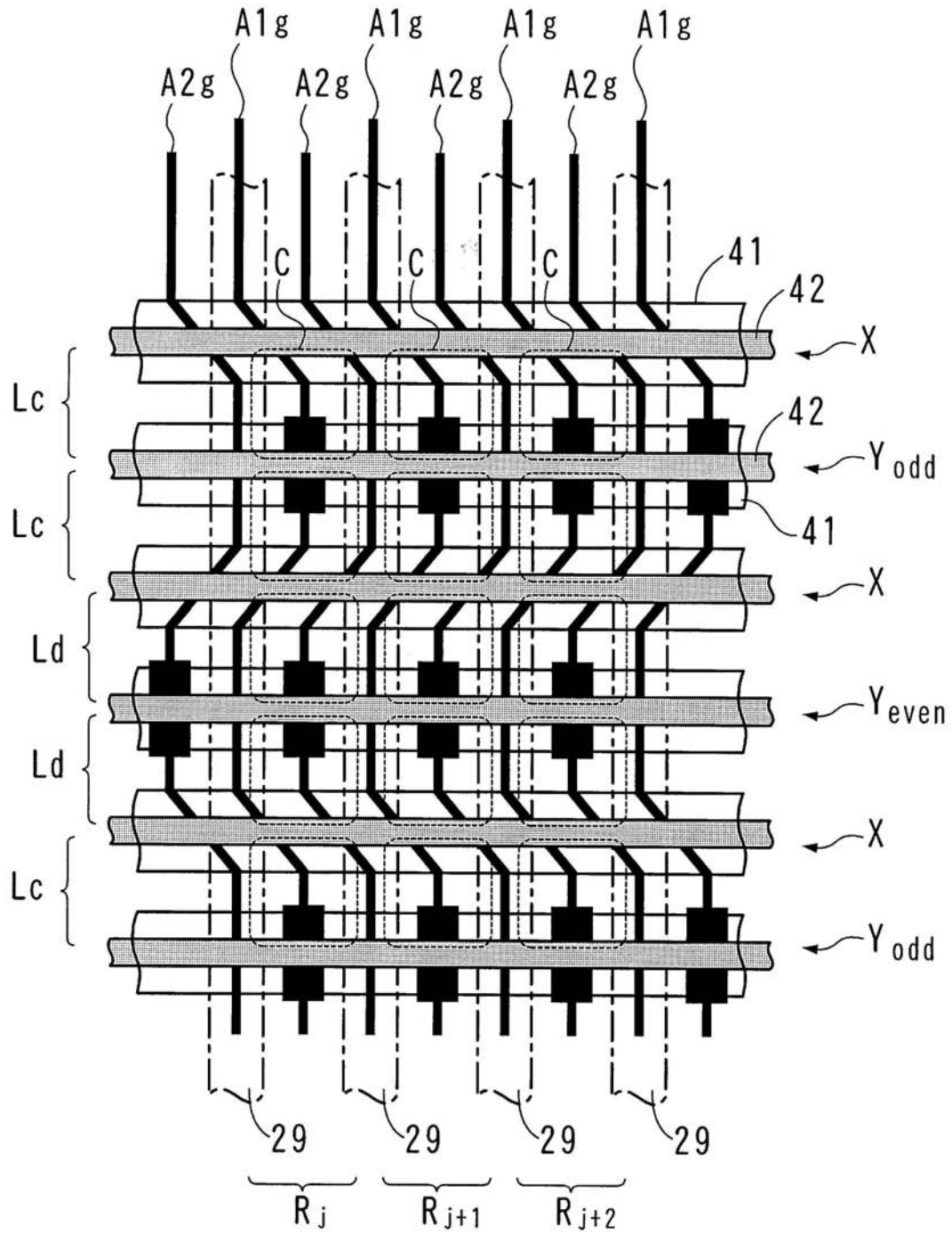
【 図 1 8 】

第3実施形態の電極構造の模式図



【図19】

第3実施形態の電極構造の詳細を示す平面図



フロントページの続き

(72)発明者 椎崎 貴史

神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社内

(72)発明者 佐々木 孝

神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社内

審査官 小川 亮

(56)参考文献 特開平9 - 160525 (JP, A)

特開平2 - 288047 (JP, A)

特開平6 - 44907 (JP, A)

特開2000 - 11899 (JP, A)

特開2002 - 123210 (JP, A)

特開2000 - 311615 (JP, A)

特開2000 - 194317 (JP, A)

特開平8 - 179726 (JP, A)

特開平10 - 63221 (JP, A)

特開平3 - 246858 (JP, A)

特開平11 - 238463 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01J 11/02

G09G 3/20 621

G09G 3/20 680

G09G 3/28