

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5467165号
(P5467165)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年1月31日(2014.1.31)

(51) Int. Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 338
H01L 21/336 (2006.01)	H01L 29/78 617A
H01L 29/786 (2006.01)	H05B 33/14 A
H01L 51/50 (2006.01)	H05B 33/14 Z
H05B 33/14 (2006.01)	G02F 1/1368

請求項の数 2 (全 27 頁) 最終頁に続く

(21) 出願番号	特願2013-76785 (P2013-76785)	(73) 特許権者	000153878
(22) 出願日	平成25年4月2日(2013.4.2)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-24675 (P2012-24675) の分割		神奈川県厚木市長谷398番地
原出願日	平成12年8月31日(2000.8.31)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2013-200564 (P2013-200564A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成25年10月3日(2013.10.3)	(72) 発明者	辻 英一郎
審査請求日	平成25年4月24日(2013.4.24)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		審査官	井口 猶二

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の半導体膜、及び、第2の半導体膜と、
第1の絶縁膜と、

前記第1の絶縁膜を介して前記第1の半導体膜と重なる第1のゲート電極、前記第1の絶縁膜を介して前記第2の半導体膜と重なる第2のゲート電極、及び、第1の配線と、

前記第1のゲート電極上、前記第2のゲート電極上、及び、前記第1の配線上の第2の絶縁膜と、

前記第2の絶縁膜上の、ソース電極、ドレイン電極、及び、前記第2の絶縁膜に設けられたコンタクトホールを介して前記第2のゲート電極と電氣的に接続された第2の配線と、
を有し、

前記ソース電極は、前記第2の絶縁膜に設けられたコンタクトホールを介して前記第1の配線と電氣的に接続され、

前記第2の配線は、前記第2のゲート電極と前記第2の半導体膜とが重なる領域と重なり、

前記第1の配線と前記第2の配線とは、前記第2の絶縁膜を介して重なる領域を有し、交差するように設けられ、

画素部は、前記第2のゲート電極と前記第2の半導体膜とを少なくとも有する第2のトランジスタを用いて構成され、

前記画素部以外の回路は、前記第1のゲート電極と前記第1の半導体膜とを少なくとも

有する第 1 のトランジスタを用いて構成され、

前記画素部以外の回路が有するトランジスタは、全て p チャンネル型であり、

前記画素部が有するトランジスタは、全て p チャンネル型であることを特徴とする表示装置。

【請求項 2】

第 1 の半導体膜、及び、第 2 の半導体膜と、

第 1 の絶縁膜と、

前記第 1 の絶縁膜を介して前記第 1 の半導体膜と重なる第 1 のゲート電極、前記第 1 の絶縁膜を介して前記第 2 の半導体膜と重なる第 2 のゲート電極、及び、第 1 の配線と、

前記第 1 のゲート電極上、前記第 2 のゲート電極上、及び、前記第 1 の配線上の第 2 の絶縁膜と、

前記第 2 の絶縁膜上の、ソース電極、ドレイン電極、及び、前記第 2 の絶縁膜に設けられたコンタクトホールを介して前記第 2 のゲート電極と電気的に接続された第 2 の配線と、を有し、

前記ソース電極は、前記第 2 の絶縁膜に設けられたコンタクトホールを介して前記第 1 の配線と電気的に接続され、

前記第 2 の配線は、前記第 2 のゲート電極と前記第 2 の半導体膜とが重なる領域と重なり、

前記第 1 の配線と前記第 2 の配線とは、前記第 2 の絶縁膜を介して重なる領域を有し、交差するように設けられ、

画素部は、前記第 2 のゲート電極と前記第 2 の半導体膜とを少なくとも有する第 2 のトランジスタを用いて構成され、

前記画素部以外の回路は、前記第 1 のゲート電極と前記第 1 の半導体膜とを少なくとも有する第 1 のトランジスタを用いて構成され、

前記画素部以外の回路が有するトランジスタは、全て n チャンネル型であり、

前記画素部が有するトランジスタは、全て n チャンネル型であることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同一の絶縁体上に画素部および画素部に信号を伝送するための駆動回路を有する表示装置に関する。特に、電極間に液晶材料を挟んだ液晶表示装置、または電極間に発光性材料を挟んだ自発光表示装置に関する。電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）に関する。また、本発明は電極間に液晶材料を挟んだ素子（以下、液晶素子という）を有する装置（以下、液晶表示装置という）に用いることも可能である。なお、本明細書では液晶表示装置及び自発光表示装置をまとめて表示装置と呼ぶ。

【背景技術】

【0002】

近年、薄膜トランジスタ（以下、TFTと記す）で画素部を形成したアクティブマトリクス型表示装置の開発が進んでいる。アクティブマトリクス型表示装置の代表例は液晶表示装置であり、各画素に液晶層に印加する電圧を制御するためにスイッチング素子として TFT が設けられている。また、EL (Electro Luminescence) 材料を用いた自発光表示装置は、画素部に設けられた各画素の各々に TFT を設け、TFT により EL 素子に流れる電流量を制御して各画素の発光輝度を制御する。このようなアクティブマトリクス型表示装置の特徴は、画素数が増えても各画素に均一に電圧を供給できるので高精細な画像を得る場合に適している。

【0003】

また、アクティブマトリクス型表示装置の利点は、画素部に信号を伝送する駆動回路として、シフトレジスタ、ラッチもしくはバッファといった回路を同一の絶縁体上に TFT

10

20

30

40

50

で形成することが可能な点である。これにより外部回路との接点数が非常に少なく、かつ、高精細な画像表示が可能な表示装置を実現することが可能となっている。

【0004】

ここでアクティブマトリクス型自発光表示装置の画素の等価回路図を図10(A)に示す。図10(A)において、1001はソース配線、1002はゲート配線、1003はスイッチング素子として機能するTFT(以下、スイッチングTFTという)、1004はスイッチングTFT1003のドレインに電氣的に接続されたコンデンサである。

【0005】

また、スイッチングTFT1003のドレインには電流制御TFT1005のゲート電極が電氣的に接続されている。電流制御TFT1005のソースは電流供給線1006に電氣的に接続され、ドレインはEL素子1007に電氣的に接続される。即ち、電流制御TFT1005はEL素子1007に流れる電流を制御する素子として機能することになる。

【0006】

このように画素内に二つのTFTを有し、それぞれ異なる役割を持ってEL素子の発光輝度を制御することができる。その結果、発光期間がほぼ1フレーム期間行われ、高精細な画素部となっても発光輝度を抑えたまま画像を表示することが可能となる。さらに、アクティブマトリクス型の利点は、画素部に信号を伝送する駆動回路として、シフトレジスタやサンプリング回路を同一の基板上にTFTで形成することが可能な点である。これにより非常にコンパクトな自発光表示装置を作製することが可能となっている。

【0007】

また、図10(B)は液晶表示装置の画素の等価回路図であり、ソース配線1011、ゲート配線1012、スイッチングTFT1013、保持容量1015、容量線1014、液晶層1016である。

【0008】

代用的な液晶表示装置は画素内に一つのTFT、またはマルチゲート構造のTFTが設けられている。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。TFTはスイッチング素子としての機能を果たし、液晶層に印加する電圧を保持するために、リーク電流が小さいことが要求されている。TFTがオン状態のときにソース配線から画素に転送される電荷は、フィールド期間の間保持される。液晶の抵抗は高くなくてはならない。TFTに要求される特性は、走査期間中に画素容量(液晶そのもの)を充電し得る十分大きなオン電流、フィールド期間中にわたって電荷を保持し得る十分小さなオフ電流、十分小さなゲート・ドレイン間寄生容量などである。保持容量は、画素容量が小さいため、保持の動作が不十分であるためこれを補い、寄生容量の影響を防ぐために設ける。

【0009】

一方、駆動回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値(TFTがオン動作時に流れるドレイン電流)を十分確保する必要がある。

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、アクティブマトリクス型表示装置はTFTの製造工程が複雑であると、製造コストが高くなるという問題を抱えていた。また、複数のTFTを同時に形成するため、製造工程が複雑になると歩留まりを確保することが難しい。特に駆動回路に動作不良があると画素一列が動作しないといった線状欠陥を引き起こすこともある。

【0011】

本発明は、アクティブマトリクス型表示装置の製造コストを低減することを課題とし、安価な表示装置を提供することを課題とする。また、本発明の表示装置を表示部に用いた安価な電子装置を提供することを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0012】

本発明は、アクティブマトリクス型表示装置の製造コストを低減するために画素部に用いるTFTを全て一導電型TFT（ここではpチャンネル型TFTもしくはnチャンネル型TFTのいずれか一方を指す）とし、さらに駆動回路もすべて画素部と同じ導電型のTFTで形成することを特徴とする。これにより製造工程を大幅に削減し製造コストを低減することが可能となる。

【0013】

特に重要な点は、一導電型のTFTだけで駆動回路を形成する点にある。即ち、一般的な駆動回路はnチャンネル型TFTとpチャンネル型TFTとを相補的に組み合わせたCMOS回路を基本に設計されるが、本発明ではpチャンネル型TFTもしくはnチャンネル型TFTのみを組み合わせて駆動回路を形成する。

10

【0014】

このような構成とすることで、TFTの製造工程において、導電型を制御する不純物をドーピングするとき用いるマスク数を1枚減らすことができる。その結果、製造工程の短縮と、製造コストの削減が可能となる。

【0015】

以上のように、本発明の構成は、画素部及び駆動回路が同一の絶縁体上に形成された表示装置において、前記画素部及び前記駆動回路の全てのTFTはpチャンネル型で形成され、前記画素部のpチャンネル型TFTはオフセットゲート構造を有していることを特徴としている。

20

【0016】

また、他の発明は、画素部及び駆動回路が同一の絶縁体上に形成された表示装置において、前記画素部及び前記駆動回路の全てのTFTはpチャンネル型で形成され、前記画素部のpチャンネル型TFTは、ゲート電極の外側にLDD領域を有し、前記駆動回路のpチャンネル型TFTは、ゲート電極と重なるLDD領域を有していることを特徴としている。

【0017】

また、他の発明は、画素部及び駆動回路が同一の絶縁体上に形成された表示装置において、前記画素部及び前記駆動回路の全てのTFTはpチャンネル型で形成され、前記画素部のソース配線とゲート電極は第1の絶縁膜上に形成され、かつ、該ゲート電極と接続するゲート配線は、第2の絶縁膜を介して前記ソース配線と交差していることを特徴としている。

30

【0018】

前記駆動回路は、EEMOS回路もしくはEDMOS回路を含み、或いは、前記駆動回路は複数のNAND回路からなるデコーダを含むことを特徴としている。

【0019】

また、本発明の表示装置の作製方法は、絶縁体上に駆動回路のTFTを形成するための第1の半導体膜と、画素部のTFTを形成するための第2の半導体膜を形成する第1の工程と、前記第1の半導体膜と前記第2の半導体膜のそれぞれの上層に、第1の導電膜と該第1の導電膜の内側の第2の導電膜とから成るゲート電極を形成する第2の工程と、前記第1の半導体膜と前記第2の半導体膜のそれぞれに、前記第1の導電膜と重なる第1のp型半導体領域を形成する第3の工程と、前記第1の半導体膜と前記第2の半導体膜のそれぞれに、前記第1の導電膜と重ならない第2のp型半導体領域を形成する第4の工程と、前記第1の導電膜が前記第1のp型半導体領域と重なる部分をエッチングにより除去する第5の工程とを有することを特徴としている。

40

【0020】

また、本発明の表示装置の作製方法の他の一例は、絶縁体上に駆動回路のTFTを形成するための第1の半導体膜と、画素部のTFTを形成するための第2の半導体膜を形成する第1の工程と、前記第1の半導体膜と前記第2の半導体膜のそれぞれの上層に、第1の導電膜と該第1の導電膜の内側の第2の導電膜とから成るゲート電極を形成する第2の工

50

程と、前記第 1 の半導体膜と前記第 2 の半導体膜のそれぞれに、前記第 1 の導電膜と重なる第 1 の p 型半導体領域を形成する第 3 の工程と、前記第 1 の半導体膜と前記第 2 の半導体膜のそれぞれに、前記第 1 の導電膜と重ならない第 2 の p 型半導体領域を形成する第 4 の工程と、前記第 2 の半導体膜上の前記第 1 の導電膜が前記第 1 の p 型半導体領域と重なる部分をエッチングにより除去してオフセット領域を形成する第 5 の工程とを有することを特徴としている。

【 0 0 2 1 】

また、本発明の表示装置の作製方法の他の一例は、絶縁体上に駆動回路の T F T を形成するための第 1 の半導体膜と、画素部の T F T を形成するための第 2 の半導体膜を形成する第 1 の工程と、前記第 1 の半導体膜と前記第 2 の半導体膜の上に第 1 の絶縁膜を形成する第 2 の工程と、前記第 1 の絶縁膜の上に、前記第 1 の半導体膜と前記第 2 の半導体膜に対応して、第 1 の導電膜と該第 1 の導電膜の内側の第 2 の導電膜とから成るゲート電極と、ソース配線を形成する第 3 の工程と、前記第 1 の半導体膜と前記第 2 の半導体膜のそれぞれに、前記第 1 の導電膜と重なる第 1 の p 型半導体領域を形成する第 4 の工程と、前記第 1 の半導体膜と前記第 2 の半導体膜のそれぞれに、前記第 1 の導電膜と重ならない第 2 の p 型半導体領域を形成する第 5 の工程と、前記第 1 の導電膜が前記第 1 の p 型半導体領域と重なる部分をエッチングにより除去する第 6 の工程と、前記ゲート電極及び前記ソース配線の上に、第 2 の絶縁膜を形成する第 7 の工程と、前記第 2 の絶縁膜上にゲート配線を形成する第 8 の工程とを有することを特徴としている。

【発明の効果】

【 0 0 2 2 】

以上のように、本発明によれば、反射型の表示装置を 4 枚のフォトマスクで実現することが可能となり、アクティブマトリクス型表示装置の製造コストを低減することを可能とする。

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】ゲート側駆動回路の構成を示す図。

【図 2】デコーダ入力信号のタイミングチャートを示す図。

【図 3】ソース側駆動回路の構成を示す図。

【図 4】E E M O S 回路及び E D M O S 回路の構成を示す図。

【図 5】シフトレジスタの構成を示す図。

【図 6】P T F T により形成される自発光装置の画素部の構造を説明する断面図。

【図 7】P T F T により形成される自発光装置の画素部の構造を説明する上面図。

【図 8】P T F T により形成される自発光装置の画素部の構造を説明する断面図。

【図 9】E 型 P T F T 及び D 型 P T F T の作製工程を説明する断面図。

【図 10】画素部の等価回路図。

【図 11】P T F T により形成される液晶表示装置の画素部の構造を説明する断面図。

【図 12】P T F T により形成される液晶表示装置の画素部の構造を説明する上面図。

【図 13】P T F T により形成される液晶表示装置の画素部の構造を説明する断面図。

【図 14】オフセットゲート構造の詳細を説明する図。

【図 15】P T F T により形成される液晶表示装置の画素部の構造を説明する断面図。

【図 16】P T F T により形成される透過型の液晶表示装置の画素部の構造を説明する断面図。

【図 17】P T F T により形成される透過型の液晶表示装置の構造を説明する断面図。

【図 18】液晶表示装置の主要構成要素の組み立て図。

【図 19】端子部の構造を説明する図。

【図 20】電子装置の構成を説明するブロック図。

【図 21】結晶質半導体膜の作製方法を説明する図。

【図 22】電子装置の一例を説明する図。

【図 23】電子装置の一例を説明する図。

10

20

30

40

50

【図24】PTFTのゲート電圧(VG)対ドレイン電流(ID)の特性を示すグラフ。

【発明を実施するための形態】

【0024】

ここで本発明で用いる駆動回路について図1、図2を用いて説明する。図1はゲート側駆動回路の例であるが、本発明では一般的なシフトレジスタの代わりに図1に示すようなpチャンネル型TFTを用いたデコーダを用いる。

【0025】

図1において、100がゲート側駆動回路のデコーダ、101がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ(緩衝増幅器)が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

10

【0026】

ゲート側のデコーダ100において、102はデコーダ100の入力信号線(以下、選択線という)であり、ここではA1、A1バー(A1の極性が反転した信号)、A2、A2バー(A2の極性が反転した信号)、...An、Anバー(Anの極性が反転した信号)を示している。即ち、2n本の選択線が並んでいると考えれば良い。

【0027】

選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えばVGA表示の画素部をもつ場合はゲート配線が480本となるため、9bit分(n=9に相当する)で合計18本の選択線が必要となる。選択線102は図2のタイミングチャートに示す信号を伝送する。図2に示すように、A1の周波数を1とすると、A2の周波数は 2^{-1} 倍、A3の周波数は 2^{-2} 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

20

【0028】

また、103aは第1段のNAND回路(NANDセルともいう)、103bは第2段のNAND回路、103cは第n段のNANDである。NAND回路はゲート配線の本数分が必要であり、ここではn個が必要となる。即ち、本発明ではデコーダ100が複数のNAND回路からなる。

【0029】

また、NAND回路103a~103cは、pチャンネル型TFT104~109が組み合わされてNAND回路を形成している。なお、実際には2n個のTFTがNAND回路103に用いられている。また、pチャンネル型TFT104~109の各々のゲートは選択線102(A1、A1バー、A2、A2バー...An、Anバー)のいずれかに接続されている。

30

【0030】

このとき、NAND回路103aにおいて、A1、A2...An(これらを正の選択線と呼ぶ)のいずれかに接続されたゲートを有するpチャンネル型TFT104~106は、互いに並列に接続されており、共通のソースとして正電源線(V_{DH})110に接続され、共通のドレインとして出力線111に接続されている。また、A1バー、A2バー...Anバー(これらを負の選択線と呼ぶ)のいずれかに接続されたゲートを有するpチャンネル型TFT107~109は、互いに直列に接続されており、回路端に位置するpチャンネル型TFT109のソースが負電源線(V_{DL})112に接続され、もう一方の回路端に位置するpチャンネル型TFT107のドレインが出力線111に接続されている。

40

【0031】

以上のように、本発明においてNAND回路は直列に接続されたn個の一導電型TFT(ここではpチャンネル型TFT)および並列に接続されたn個の一導電型TFT(ここではpチャンネル型TFT)を含む。但し、n個のNAND回路103a~103cにおいて、pチャンネル型TFTと選択線との組み合わせはすべて異なる。即ち、出力線111は必ず1本しか選択されないようになっており、選択線102には出力線111が端から順番に選択されていくような信号が入力される。

【0032】

50

次に、バッファ101はNAND回路103a~103cの各々に対応して複数のバッファ113a~113cにより形成されている。但しバッファ113a~113cはいずれも同一構造で良い。

【0033】

また、バッファ113a~113cは一導電型TFTとしてpチャンネル型TFT114~116を用いて形成される。デコーダからの出力線111はpチャンネル型TFT114(第1の一導電型TFT)のゲートとして入力される。pチャンネル型TFT114は接地電源線(GND)117をソースとし、ゲート配線118をドレインとする。また、pチャンネル型TFT115(第2の一導電型TFT)は接地電源線117をゲートとし、正電源線(V_{DH})119をソースとし、ゲート配線118をドレインとして常時オン状態となっ

10

【0034】

即ち、本発明において、バッファ113a~113cは第1の一導電型TFT(pチャンネル型TFT114)および第1の一導電型TFTに直列に接続され、且つ、第1の一導電型TFTのドレインをゲートとする第2の一導電型TFT(pチャンネル型TFT115)を含む。

【0035】

また、pチャンネル型TFT116(第3の一導電型TFT)はリセット信号線(Reset)をゲートとし、正電源線119をソースとし、ゲート配線118をドレインとする。なお、接地電源線117は負電源線(但し画素のスイッチング素子として用いるpチャンネル型TFTがオン状態になるような電圧を与える電源線)としても構わない。

20

【0036】

このとき、pチャンネル型TFT115のチャンネル幅(W_1 とする)とpチャンネル型TFT114のチャンネル幅(W_2 とする)の間には $W_1 < W_2$ の関係がある。なお、チャンネル幅とはチャンネル長に垂直な方向におけるチャンネル形成領域の長さである。

【0037】

バッファ113aの動作は次の通りである。まず出力線111に正電圧が加えられているとき、pチャンネル型TFT114はオフ状態(チャンネルが形成されていない状態)となる。一方でpチャンネル型TFT115は常にオン状態(チャンネルが形成されている状態)であるため、ゲート配線118には正電源線119の電圧が加えられる。

30

【0038】

ところが、出力線111に負電圧が加えられた場合、pチャンネル型TFT114がオン状態となる。このとき、pチャンネル型TFT114のチャンネル幅がpチャンネル型TFT115のチャンネル幅よりも大きいため、ゲート配線118の電位はpチャンネル型TFT114側の出力に引っ張られ、結果的に接地電源線117の電圧がゲート配線118に加えられる。

【0039】

従って、ゲート配線118は、出力線111に負電圧が加えられるときは負電圧(画素のスイッチング素子として用いるpチャンネル型TFTがオン状態になるような電圧)を出力し、出力線111に正電圧が加えられているときは常に正電圧(画素のスイッチング素子として用いるpチャンネル型TFTがオフ状態になるような電圧)を出力する。

40

【0040】

なお、pチャンネル型TFT116は負電圧が加えられたゲート配線118を強制的に正電圧に引き上げるリセットスイッチとして用いられる。即ち、ゲート配線118の選択期間が終了したら、リセット信号を入力してゲート配線118に正電圧を加える。但しpチャンネル型TFT116は省略することもできる。

【0041】

以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図3に示す。図3に示すソース側駆動回路はデコーダ301、ラッチ302およびバッファ303を含む。なお、デコーダ301およびバッ

50

ア 3 0 3 の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

【 0 0 4 2 】

図 3 に示すソース側駆動回路の場合、ラッチ 3 0 2 は第 1 段目のラッチ 3 0 4 および第 2 段目のラッチ 3 0 5 からなる。また、第 1 段目のラッチ 3 0 4 および第 2 段目のラッチ 3 0 5 は、各々 m 個の p チャンネル型 T F T 3 0 6 a ~ 3 0 6 c で形成される複数の単位ユニット 3 0 7 を有する。デコーダ 3 0 1 からの出力線 3 0 8 は単位ユニット 3 0 7 を形成する m 個の p チャンネル型 T F T 3 0 6 a ~ 3 0 6 c のゲートに入力される。なお、 m は任意の整数である。

【 0 0 4 3 】

例えば、V G A 表示の場合、ソース配線の本数は 6 4 0 本である。 $m = 1$ の場合は N A N D 回路も 6 4 0 個必要となり、選択線は 2 0 本 (1 0 bit 分に相当する) 必要となる。しかし、 $m = 8$ とすると必要な N A N D 回路は 8 0 個となり、必要な選択線は 1 4 本 (7 bit 分に相当する) となる。即ち、ソース配線の本数を M 本とすると、必要な N A N D 回路は (M / m) 個となる。

10

【 0 0 4 4 】

そして、 p チャンネル型 T F T 3 0 6 a ~ 3 0 6 c のソースは各々ビデオ信号線 (V 1、V 2 ... V k) 3 0 9 に接続される。即ち、出力線 3 0 8 に負電圧が加えられると一斉に p チャンネル型 T F T 3 0 6 a ~ 3 0 6 c がオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、 p チャンネル型 T F T 3 0 6 a ~ 3 0 6 c の各々に接続されたコンデンサ 3 1 0 a ~ 3 1 0 c に保持される。

20

【 0 0 4 5 】

また、第 2 段目のラッチ 3 0 5 も複数の単位ユニット 3 0 7 b を有し、単位ユニット 3 0 7 b は m 個の p チャンネル型 T F T 3 1 1 a ~ 3 1 1 c で形成される。 p チャンネル型 T F T 3 1 1 a ~ 3 1 1 c のゲートはすべてラッチ信号線 3 1 2 に接続され、ラッチ信号線 3 1 2 に負電圧が加えられると一斉に p チャンネル型 T F T 3 1 1 a ~ 3 1 1 c がオン状態となる。

【 0 0 4 6 】

その結果、コンデンサ 3 1 0 a ~ 3 1 0 c に保持されていた信号が、 p チャンネル型 T F T 3 1 1 a ~ 3 1 1 c の各々に接続されたコンデンサ 3 1 3 a ~ 3 1 3 c に保持されると同時にバッファ 3 0 3 へと出力される。そして、図 1 で説明したようにバッファを介してソース配線 3 1 4 に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

30

【 0 0 4 7 】

以上のように、 p チャンネル型 T F T のみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべて p チャンネル型 T F T で形成することが可能となる。従って、アクティブマトリクス型表示装置を作製する上で T F T 工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

【 0 0 4 8 】

なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けの I C チップとする場合にも本発明は実施できる。

40

【 0 0 4 9 】

また、P M O S 回路において、エンハンスメント型 T F T で形成する E E M O S 回路と、エンハンスメント型とデプレッション型とを組み合わせ形成する E D M O S 回路がある。

【 0 0 5 0 】

ここで E E M O S 回路の例を図 4 (A) に、E D M O S 回路の例を図 4 (B) に示す。図 4 (A) において、4 0 1、4 0 2 はどちらもエンハンスメント型の p チャンネル型 T F T (以下、E 型 P T F T という) である。また、図 4 (B) において、4 0 3 は E 型 P T F T、4 0 4 はデプレッション型の p チャンネル型 T F T (以下、D 型 P T F T という) である。

50

【 0 0 5 1 】

なお、図 4 (A)、(B)において、 V_{DH} は正の電圧が印加される電源線（正電源線）であり、 V_{DL} は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

【 0 0 5 2 】

さらに、図 4 (A)に示した E E M O S 回路もしくは図 4 (B)に示した E D M O S 回路を用いてシフトレジスタを作製した例を図 5 に示す。図 5 において、5 0 0、5 0 1 はフリップフロップ回路である。また、5 0 2、5 0 3 は E 型 P T F T であり、E 型 P T F T 5 0 2 のゲートにはクロック信号 (C L) が入力され、E 型 P T F T 5 0 3 のゲートには極性の反転したクロック信号 (C L バー) が入力される。また、5 0 4 で示される記号はインバータ回路であり、図 5 (B)に示すように、図 4 (A)に示した E E M O S 回路もしくは図 4 (B)に示した E D M O S 回路が用いられる。

10

【 0 0 5 3 】

以上のように、全ての T F T を p チャネル型 T F T とすることにより n チャネル型 T F T を形成する工程が削減されるため、アクティブマトリクス型表示装置の製造工程を簡略化することができる。また、それに伴って製造工程の歩留まりが向上し、アクティブマトリクス型表示装置の製造コストを下げるができる。

【 実施例 1 】

【 0 0 5 4 】

本発明では駆動回路をすべて p チャネル型 T F T で形成することを特徴としているが、画素部もすべて p チャネル型 T F T で形成する。そこで、本実施例では図 1 および図 3 に示した駆動回路により伝送される信号により画像を表示するための画素部の構造の一例について説明する。

20

【 0 0 5 5 】

ここで本発明のアクティブマトリクス型自発光表示装置の画素構造を図 6 および図 7 に示す。図 6 は一画素の断面図を示しており、図 7 はその画素の上面図を示している。なお、図 6 は図 7 を A - A ' で切断した断面図を表し、各図面において同一の箇所には同一の符号を付してある。

【 0 0 5 6 】

図 6 において、6 0 1 は可視光に対して透明な基板、6 0 2 a 及び 6 0 2 b はベースコート層である。可視光に対して透明な基板 6 0 1 としてはガラス基板、石英基板、結晶化ガラス基板もしくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。ベースコート層は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（ SiO_xN_y で表される）などで形成する。その厚さは 5 0 ~ 2 0 0 n m で形成する。例えば、6 0 2 a をプラズマ C V D 法で SiH_4 と NH_3 と N_2O から作製される酸化窒化珪素膜を 5 0 n m、6 0 2 b を SiH_4 と N_2O から作製される酸化窒化珪素膜を 1 0 0 n m 積層させた 2 層構造や、或いは、窒化珪素膜と T E O S (Tetraethyl Ortho Silicate) を用いて作製される酸化珪素膜を積層させた 2 層構造とする。

30

【 0 0 5 7 】

尚、本発明の好適な実施例において、T F T は絶縁体の上に形成する。絶縁体は絶縁膜（代表的には珪素を含む絶縁膜）の場合もあるし、絶縁材料からなる基板（代表的には石英基板）の場合もある。従って、絶縁体の上とは、絶縁膜の上もしくは絶縁材料からなる基板の上ということの意味している。

40

【 0 0 5 8 】

この珪素を含む絶縁膜 6 0 2 b の上にはスイッチング用 T F T 6 5 1 および電流制御用 T F T 6 5 2 が p チャネル型 T F T で形成されている。

【 0 0 5 9 】

スイッチング用 T F T 6 5 1 は、半導体膜 6 0 3 に p 型半導体からなる領域（以下、p 型半導体領域という）6 0 5 ~ 6 0 7 および真性または実質的に真性な半導体からなる領域（以下、チャンネル形成領域という）6 0 8、6 0 9 を含む半導体領域を有している。ま

50

た、電流制御用 T F T 6 5 2 は半導体膜 6 0 4 に p 型半導体領域 6 1 0、6 1 1 およびチャンネル形成領域 6 1 2 を含む半導体領域を有している。

【 0 0 6 0 】

尚、p 型半導体領域 6 0 5 もしくは 6 0 7 はスイッチング用 T F T 6 5 1 のソース領域もしくはドレイン領域となる。また、p 型半導体領域 6 1 1 は電流制御用 T F T 6 5 2 のソース領域となり、p 型半導体領域 6 1 0 は同 T F T のドレイン領域となる。

【 0 0 6 1 】

半導体膜 6 0 3、6 0 4 は、ゲート絶縁膜 6 1 3 に覆われ、その上には電源線 6 1 4、6 1 9、ソース配線 6 1 5、ゲート電極 6 1 6、p 型半導体領域 6 0 7 に接続しているゲート電極 6 1 7 が形成されている。これらは同一の材料で同時に形成される。これらの配線や電極の材料としては、タンタル (T a)、タングステン (W)、モリブデン (M o)、ニオブ (N b)、チタン (T i) もしくはこれら金属の窒化物を用いれば良い。また、これら金属を組み合わせた合金を用いても良いし、これら金属のシリサイドを用いても良い。

【 0 0 6 2 】

図 6 において、6 2 0 は窒化酸化珪素膜もしくは窒化珪素膜からなるパッシベーション膜であり、その上には層間絶縁膜 6 2 1 が設けられている。層間絶縁膜 6 2 0 としては、珪素を含む絶縁膜もしくは有機樹脂膜を用いる。有機樹脂膜としては、ポリイミド、ポリアミド、アクリル樹脂もしくは B C B (ベンゾシクロブテン) を用いれば良い。

【 0 0 6 3 】

パッシベーション膜 6 2 0 及び層間絶縁膜 6 2 1 にコンタクトホールが形成され、ソース配線 6 1 5 と半導体膜 6 0 3 の p 型半導体領域 6 0 5 を接続する接続配線、ゲート電極 6 1 6 と接続するゲート配線 6 1 8、p 型半導体領域 6 0 7 とゲート電極 6 1 7 を接続する接続配線 6 2 3、電源線 6 1 9 と p 型半導体領域 6 1 1 と接続する接続配線 6 2 5、画素電極 6 2 6 と p 型半導体領域 6 1 0 とを接続する接続配線 6 2 4 が形成されている。これらの配線は、アルミニウム (A l) を主成分とする材料で形成する。

【 0 0 6 4 】

図 7 の上面図で示すように、このような構造とすることにより、半導体膜 6 0 3 のチャンネル形成領域 6 0 8、6 0 9 をゲート配線 6 1 8 で覆い遮光することができる。また、半導体膜 6 0 3 の p 型半導体領域 6 0 5 ~ 6 0 7 も遮光される構造とすることが望ましい。さらに、画素電極 6 2 6 の端部は、ソース配線 6 1 5、電源線 6 1 9 とオーバーラップさせて形成することができるので、画素電極を大きくとり、開口率を向上させることが可能となる。また、ソース配線 6 1 5、電源線 6 1 9 に遮光膜としての機能を持たせることができる。

【 0 0 6 5 】

ここで図 7 において B - B ' で切断した断面図を図 8 (A) に示す。図 8 (A) はゲート配線 6 1 8 とゲート電極 6 1 6 のコンタクト部を説明する図であり、ゲート絶縁膜 6 1 3 上に形成されたゲート電極 6 1 6 は、半導体膜 6 0 3 の外側の領域でゲート配線 6 1 8 と電気的な接続が形成されている。

【 0 0 6 6 】

また、図 7 において C - C ' で切断した断面図を図 8 (B) に示す。図 8 (B) は容量を形成する領域の断面構造を説明する図であり、ベースコート層 6 0 2 b 上に形成された半導体膜 6 0 4 を一方の電極とし、ゲート絶縁膜 6 1 3 を誘電体、ゲート電極 6 1 7 を他方の電極として容量を形成している。

【 0 0 6 7 】

このような画素の等価回路図は図 1 0 (A) であり、半導体膜 6 0 3 で形成される T F T がスイッチング用、半導体膜 6 0 4 で形成される T F T が電流制御用として機能する。

【 0 0 6 8 】

次に、図 6 (B) に示すように、画素電極 6 2 6 の端部および凹部 (コンタクトホールに起因する窪み) を隠すように樹脂からなる絶縁体 6 5 0、6 5 1 を形成する。これは樹

10

20

30

40

50

脂からなる絶縁膜を形成した後、画素電極に合わせて所定のパターンで形成すれば良い。このとき、画素電極 626 の表面から絶縁体 650 の頂上まで高さを 300 nm 以下（好ましくは 200 nm 以下）とすることが望ましい。なお、この絶縁体 650、651 は省略することも可能である。

【0069】

絶縁体 650、651 は画素電極 626 の端部を隠し、端部における電界集中の影響を避ける目的で形成する。これにより EL 層の劣化を抑制することができる。また、絶縁体 650、651 はコンタクトホールに起因して形成される画素電極の凹部を埋め込む目的で形成する。これにより後に形成される EL 層の被覆不良を防止し、画素電極と後に形成される陰極の短絡を防止することができる。

10

【0070】

次に、70 nm 厚の EL 層 652 及び 300 nm 厚の陰極 653 を蒸着法により形成する。本実施例では EL 層 652 として 20 nm 厚の銅フタロシアニン（正孔注入層）及び 50 nm 厚の Alq₃（発光層）を積層した構造を用いる。勿論、発光層に正孔注入層、正孔輸送層、電子輸送層もしくは電子注入を組み合わせた公知の他の構造を用いても良い。

【0071】

本実施例では、まず全ての画素電極を覆うように銅フタロシアニンを形成し、その後、赤色、緑色及び青色に対応する画素ごとに各々赤色の発光層、緑色の発光層及び青色の発光層を形成する。形成する領域の区別は蒸着時にシャドーマスクを用いて行えば良い。このようにすることでカラー表示が可能となる。

20

【0072】

なお、緑色の発光層を形成する時は、発光層の母体材料として Alq₃（トリス - 8 - キノリノラトアルミニウム錯体）を用い、キナクリドンもしくはクマリン 6 をドーパントとして添加する。また、赤色の発光層を形成する時は、発光層の母体材料として Alq₃ を用い、DCJT、DCM1 もしくは DCM2 をドーパントとして添加する。また、青色の発光層を形成する時は、発光層の母体材料として BAlq₃（2 - メチル - 8 - キノリノールとフェノール誘導体の混合配位子を持つ 5 配位の錯体）を用い、ペリレンをドーパントとして添加する。

【0073】

勿論、本願発明では上記有機材料に限定する必要はなく、公知の低分子系有機 EL 材料、高分子系有機 EL 材料もしくは無機 EL 材料を用いることが可能である。また、これらの材料を組み合わせることも可能である。なお、高分子系有機 EL 材料を用いる場合は塗布法を用いることもできる。

30

【0074】

以上のようにして、画素電極（陽極）836、EL 層 839 及び陰極 840 からなる EL 素子が形成される。また、陰極 653 上には Al などで補助電極 654 を形成しても良い。

【0075】

こうして、アクティブマトリクス型自発光装置が完成する。EL 層および陰極の形成は公知の技術を用いても良い。以上の画素構造とすることで、アクティブマトリクス型自発光装置の製造工程を大幅に低減することが可能となり、安価なアクティブマトリクス型自発光装置を生産することが可能となる。また、それを表示部に用いた電子装置を安価なものとすることができる。

40

【実施例 2】

【0076】

本実施例は、同一の絶縁体上に E 型 PTFE と D 型 PTFE を作製する工程を図 9 を用いて説明する。

【0077】

まず、図 9 (A) に示すように、ガラス基板 901 上に、ベースコート膜（絶縁体）を

50

形成する。本実施例ではガラス基板 901 側から 50 nm の厚さで第 1 の窒化酸化珪素膜 902 a、200 nm の厚さで第 2 の窒化酸化珪素膜 902 b を順次積層してベースコート膜とする。また、第 1 の窒化酸化珪素膜 902 a の方が第 2 の窒化酸化珪素膜 902 b に比べて窒素の含有量を多くし、ガラス基板 901 からのアルカリ金属の拡散を抑制している。

【0078】

次に、ベースコート膜上に非晶質半導体膜 903 をプラズマ CVD 法により 40 nm の厚さに形成する。非晶質半導体膜としては、珪素、シリコンゲルマニウムなどの材料を用いる。そして、非晶質半導体膜 903 にレーザー光を照射することにより結晶化させ、多結晶半導体膜（ポリシリコン膜）を形成する。また、結晶化方法はレーザー結晶化法に限

10

【0079】

次に、図 9 (B) に示すように、多結晶半導体膜を第 1 のフォトマスクを用い、光露光プロセスを経て、所定の形状にエッチングし、個々に孤立した半導体膜 904、905 を形成する。なお、904、905 で示される半導体膜は、完成時に TFT のチャンネル形成領域やソースまたはドレイン領域を形成する。

【0080】

D 型 TFT を形成するために、あらかじめアクセプタを半導体膜にドーピングする工程を行う。まず、酸化珪素膜からなるマスク絶縁膜 906 を形成する。これは、イオンドーピング法またはイオン注入法を用いてドーピングするアクセプタの濃度を制御するために設ける。注入するアクセプタの濃度は $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ とする。このドーピングは D 型 TFT のチャンネル形成領域に対して行うものである。図 9 (C) では、半導体膜 905 の全面にドーピングを行い、E 型 TFT を形成する半導体膜 904 はレジストによるマスク 907 で被覆してアクセプタがドーピングされないようにしている。この工程は、D 型 TFT を形成する場合に適用する。

20

【0081】

図 9 (D) では、ゲート絶縁膜 909 をプラズマ CVD 法により 80 nm の厚さに形成する。ゲート絶縁膜 909 は、酸化珪素、酸化窒化珪素膜などで形成する。そして、窒化タンタルまたは窒化チタンで形成する第 1 の導電膜 910 を 20 ~ 40 nm、好ましくは 30 nm の厚さに形成する。その上に第 2 の導電膜 911 を形成する。第 2 の導電膜とし

30

【0082】

図 9 (E) に示すように、第 2 のフォトマスクを用い、光露光プロセスによりレジストマスク 912 を形成し、導電膜をエッチングしてゲート電極 913、914 を形成する。この工程は、ドーピング工程との組合せで、半導体膜に p 型半導体領域による LDD 領域とソース及びドレイン領域とを自己整合的に形成することができる。最初に行う第 1 のエッチング処理では、その好適な手法として ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いる。エッチング用ガスに CF_4 と Cl_2 を混合し、0.5 ~ 2 Pa、好ましくは 1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはタングステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

40

【0083】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ部の角度は 15 ~ 45° となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10 ~ 20% 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化珪素膜の選択比は 2 ~ 4 (代表的には 3) であるので、オーバーエッチング処理によ

50

り、酸化窒化珪素膜が露出した面は20～50nm程度エッチングされる。

【0084】

さらに、第2のエッチング処理を行う。エッチングはICPEッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給してプラズマを生成する。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタングステン膜を異方性エッチングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、図9(E)に示すように、第2の導電層913b、914bの外側にその端部が位置する第1の導電層913a、914aとからゲート電極913、914を形成する。

10

【0085】

次いで、イオンドーピング法により第2の導電層913b、914bをマスクとして半導体膜904、905に第1のp型半導体領域915、916を形成する。ドーピングは、第1の導電層913a、914aとゲート絶縁膜909を通過させることが可能な程度に加速電圧を印加して行い、 $1 \times 10^{17} \sim 5 \times 10^{19} / cm^3$ のアクセプタをドーピングする。アクセプタとしては、代表的にはボロンであり、その他に周期表の13族に属する元素を添加すれば良い。イオンドーピング法においては、 B_2H_6 または BF_3 などをソースガスとして用いる。

【0086】

さらに、イオンドーピング法により第1の導電層913a、914aと第2の導電層913b、914bをマスクとして、第1のp型半導体領域の外側に第2のp型半導体領域917、918を形成する。第2のp型半導体領域はソースまたはドレイン領域とするものであり、 $1 \times 10^{20} \sim 1 \times 10^{21} / cm^3$ のアクセプタをドーピングする。

20

【0087】

また、半導体膜がゲート電極の第2の導電層913b、914bと重なる領域にはチャネル形成領域919、920が形成される。チャネル形成領域920には第1のp型半導体領域916よりも低濃度でアクセプタが添加されている。

【0088】

次に、加熱処理を行ってp型半導体領域のアクセプタの活性化を行う。この活性化はファーネスアニール、レーザーアニールもしくはランプアニールにより行うか、又はそれらを組み合わせて行えば良い。本実施例では500～4時間の加熱処理を窒素雰囲気で行う。このとき、窒素雰囲気中の酸素は極力低減しておくことが望ましい。

30

【0089】

活性化が終了したら、図9(F)に示すように、パッシベーション膜921として窒化酸化珪素膜を200nmの厚さに形成し、その後、半導体層の水素化処理を行う。水素化処理は公知の水素アニール技術もしくはプラズマ水素化技術を用いれば良い。さらに、樹脂からなる層間絶縁膜922を800nmの厚さに形成する。樹脂としては、ポリイミド、ポリアミド、アクリル樹脂、エポキシ樹脂もしくはBCB(ベンゾシクロブテン)を用いれば良い。また、無機の絶縁膜を用いても構わない。

【0090】

次に、第3のフォトマスクを用い、層間絶縁膜922にコンタクトホールを形成する。そして、第4のフォトマスクを用い、配線923～926を形成する。本実施例では配線923～926として、TiとAlの積層体を形成する。p型半導体領域とのコンタクトは耐熱性を高めるためにTiで形成する。

40

【0091】

こうして、E型PTFT930とD型PTFT931が完成する。E型PTFTのみを形成する場合には4枚のフォトマスクで完成させることが可能であり、E型PTFTとD型PTFTとを同一基板上に形成するには5枚のフォトマスクで完成させることができる。

【0092】

50

いずれのTFTにもゲート電極とオーバーラップするLDDが形成され、ホットキャリア効果などに起因する劣化を防ぐことができる。このようなE型PFTまたはD型PFTにより、PMOS回路を基本とした各種回路を形成することができる。例えば、実施の形態において説明したように、図4で説明したEEMOS回路やEDMOS回路を形成することができる。

【実施例3】

【0093】

実施例2で示すE型PFTまたはD型PFTを用いて、反射型の表示装置の一例を示す。その画素構造の一例を図12に示し、断面構造を図11に示す。

図12におけるA-A'断面図を図11に示している。

10

【0094】

図11において、駆動回路444のE型PFT440及びD型PFT441は実施例2と同様な工程により作製され、その差異は、第2のp型半導体領域を形成するドーピング工程の後に、第1の導電膜を選択的にエッチングして図11で示す構造を形成している。エッチングは、 Cl_2 と SF_6 の混合ガスを用いて行う。

【0095】

即ち、半導体膜403にはチャンネル形成領域424、ゲート電極410とオーバーラップしない第1のp型半導体領域425(LDD領域)、ソースまたはドレイン領域を形成する第2のp型半導体領域426が形成されている。また、半導体膜404には、アクセプタがドーピングされているチャンネル形成領域427、ゲート電極411とオーバーラップしない第1のp型半導体領域428(LDD領域)、ソースまたはドレイン領域を形成する第2のp型半導体領域429が形成されている。その他、基板401上に、ベースコート膜402a、402b、半導体膜403、404、ゲート電極407、ゲート電極410、411、パッシベーション膜414、層間絶縁膜415、配線417~420が形成されている。層間絶縁膜の下の配線408はゲート電極と同じ層に形成され、配線416と共に駆動回路における配線を形成している。

20

【0096】

一方、画素部445の画素TFT442はE型PFTで形成され、画素電極に印加する電圧を制御するスイッチング素子として設けられている。画素TFT442及び保持容量443は、駆動回路444のTFTと同じ工程により形成される。画素TFT442は、半導体膜405にチャンネル形成領域430、ゲート電極412とオーバーラップしない第1のp型半導体領域431(LDD領域)、ソースまたはドレイン領域を形成する第2のp型半導体領域432~434、ゲート電極412、ソース配線409、接続配線421、画素電極422などが形成されている。このように、ゲート電極とオーバーラップしない第1のp型半導体領域431(LDD領域)を設けることによりオフ電流を低減させている。

30

【0097】

第1の導電膜を選択的にエッチングしてゲート電極とオーバーラップしない第1のp型半導体領域を形成する工程において、エッチング条件の調節によりオフセット領域を形成することができる。図14はこの状態を説明する図であり、第1の導電膜と第2の導電膜から成るゲート電極1403の端部を共に後退させ、ゲート電極1403の端部(または、チャンネル形成領域1306)と第1のp型半導体領域1405の端部との間にアクセプタが添加されていないオフセット領域1407を形成することができる。オフセット領域1407は10~1000nm程度の範囲で調節できる。オフセット領域により、PFTのオフ電流値を低減することが可能であり、特に、画素TFTにおいてこの領域を設けると良い。

40

【0098】

保持容量443は実質的に真性な半導体領域432とp型半導体領域433を有する半導体膜406と、ゲート絶縁膜407と同じ層で形成される誘電体と、容量電極413、容量配線423から形成されている。

50

【0099】

図12は画素の構造を示す上面図であり、保持容量は半導体膜406上のゲート絶縁膜と同じ層で形成される絶縁膜を誘電体として、半導体膜406と、容量電極413とで形成している。なお、容量電極413は、容量配線423と接続されている。容量配線は、画素電極422、接続電極421、ゲート配線424と同じ絶縁膜上に同時に形成される。画素電極はソース配線409と、その端部がオーバーラップするように形成されている。このような構造とすることにより、画素電極を大きくとり、開口率を向上させることが可能となる。また、ソース配線409に遮光膜としての機能を持たせることができる。このような画素電極の配置は、特に反射型の液晶表示装置において開口率を向上させる効果を発揮させることができる。

10

【0100】

ところで、画素に設ける保持容量の大きさは、用いる液晶材料と画素TFTのオフ電流値により決めることができる。図10(B)の等価回路においても示される保持容量 C_S と液晶容量 C_{LC} の比は、ネマチック液晶を用いる場合には、 $C_S / C_{LC} = 2.7 \sim 4.5$ となり、反強誘電性液晶(AFLC)においては、 $C_S / C_{LC} = 7.5$ となっている。

【0101】

図24はチャネル長 $6.8 \mu\text{m}$ 、チャネル幅 $4 \mu\text{m}$ のシングルドレイン、マルチゲート構造のPTFTのゲート電圧(VG)対ドレイン電流(ID)の特性を示している。オフ電流値をドレイン電圧(VD) = 14V、ゲート電圧(VG) = 4.5Vの値に着目すると、その時のオフ電流値(I_{off})はチャネル幅で規格化すると $0.4 \text{ pA} / \mu\text{m}$ が得られる。

20

【0102】

以上の数値より、オフ電流値と保持容量の関係を次式によって定義する。

【0103】

【数3】

$$\frac{I_{off}}{C_S / C_{LC}}$$

【0104】

従って、ネマチック液晶の場合には $0.08 \sim 0.1 \text{ pA} / \mu\text{m}$ であり、AFLCの場合には、 $0.05 \sim 0.07 \text{ pA} / \mu\text{m}$ 程度である。

30

【0105】

図11示す駆動回路444のE型PTFT440または、D型PTFTを用いて図1及び図3で示す駆動回路を形成することができる。また、画素部445の等価回路は図10(B)と同様である。こうしてアクティブマトリクス型液晶表示装置を形成するための一方の基板(本明細書においては、素子基板と呼ぶ)を形成することができる。

【実施例4】

【0106】

図11で示す素子基板において、PTFTの劣化を考慮して、駆動回路のPTFTのLDD構造を変更した一例を図13を用いて説明する。図13で示す素子基板において、画素部445の画素TFT442と保持容量443の構成は、実施例3と同様であるので、ここでは説明を省略する。

40

【0107】

図13において、駆動回路544にE型PTFT540とD型PTFT541とが形成されている。これらのTFTは、実施例2において図6と同様な工程により作製することができる。E型PTFT540には、半導体膜503にはチャネル形成領域524、ゲート電極510とオーバーラップする第1のp型半導体領域525(LDD)、ソースまたはドレイン領域を形成する第2のp型半導体領域526が形成されている。また、D型PTFT541の半導体膜504には、アクセプタがドーピングされているチャネル形成領

50

域 5 2 7、ゲート電極 5 1 1 とオーバーラップする第 1 の p 型半導体領域 5 2 8 (L D D)、ソースまたはドレイン領域を形成する第 2 の p 型半導体領域 5 2 9 が形成されている。

【 0 1 0 8 】

駆動回路 5 4 4 と画素部 4 5 5 とで L D D 構造を変えるには、ドーピング工程の後で光露光プロセスを追加して行う。駆動回路 5 4 4 を覆うレジストマスクを形成し、画素部 4 5 5 の画素 T F T 4 4 2 の第 1 の導電膜を選択的にエッチングすることにより図 1 3 のような構成を実現することができる。駆動回路 5 4 4 の各 T F T にゲート電極とオーバーラップする L D D 領域を形成することにより、ホットキャリア効果などに起因する T F T の劣化を防止することができる。特に、バッファ回路やレベルシフト回路などに好適に用いることができる。

10

【 実施例 5 】

【 0 1 0 9 】

アクティブマトリクス型液晶表示装置の用途として、テレビ受像器などを考慮すると、画面サイズの大型化と高精細化が要求される。しかし、画面の大型化および高精細化により走査線（ゲート配線）の数が増えその長さも増大するので、ゲート配線及びソース配線の低抵抗化がより必要となる。すなわち走査線が増えるに従って液晶への充電時間が短くなり、ゲート配線の時定数（抵抗×容量）を小さくして高速で応答させる必要がある。例えば、ゲート配線を形成する材料の比抵抗が $100\ \mu\text{ cm}$ の場合には画面サイズが 6 インチクラスがほぼ限界となるが、 $3\ \mu\text{ cm}$ の場合には 27 インチクラス相当まで表示が

20

【 0 1 1 0 】

抵抗率から考慮して、選択される配線材料は A l や C u がある。図 1 5 は、図 1 1 または図 1 3 で示す画素部と同様な構成において、ソース配線を A l などを用いて作製した一例を示す。画素部 7 4 5 において、画素 T F T 4 4 2 は実施例 3 または実施例 4 と同様な構成となっている。ソース配線 7 0 9 はゲート絶縁膜 7 0 7 上に形成され、接続配線 4 2 1 とコンタクトを形成している。このソース配線 7 0 9 は A l または C u を主成分とする材料で形成し、その抵抗率は $10\ \mu\text{ cm}$ 以下、好ましくは $3\ \mu\text{ cm}$ 以下とする。このような材料は、耐熱性に問題があるので、活性化の工程の後にソース配線 7 0 9 を形成することが好ましい。

30

【 0 1 1 1 】

また、保持容量 4 4 3 において容量電極 7 1 0 を同様に A l または C u を主成分とする材料で形成することができる。容量電極 7 1 0 を後から形成することにより、保持容量 4 4 3 のもう一方の電極である半導体膜 4 0 6 を p 型半導体領域 7 3 3 で形成することができる。

【 0 1 1 2 】

ゲート配線は A l を主成分とする材料で形成されるので、ソース配線と共に低抵抗化を実現することが可能となり、図 1 5 に示す画素構造は、配線遅延の問題を解決し、画面の大型化に対応することができる。本実施例の構成は、実施例 1、3、4、6 と組み合わせてアクティブマトリクス型表示装置を形成することができる。

40

【 実施例 6 】

【 0 1 1 3 】

実施例 3 または実施例 4 において、透過型の液晶表示装置を形成するには画素電極を透明導電膜で形成すれば良い。図 1 6 はその一例を示し、層間絶縁膜 4 1 5 上に酸化インジウムスズ (I T O)、酸化亜鉛 (Z n O)、ガリウムを添加した酸化亜鉛などから選ばれる透明導電膜材料を用いて画素電極 7 0 1 を形成する。画素 T F T のソースまたはドレイン領域とのコンタクトは、透明電極 7 0 1 で行っても良いし、図 1 6 に示すように、接続電極 7 0 2 を使って形成しても良い。

【 0 1 1 4 】

尚、このような本実施例の構成は、実施例 3、4、5 と組み合わせてアクティブマトリ

50

クス型表示装置を形成することができる。

【実施例 7】

【0115】

本実施例では実施例 3 乃至 6 のいずれかの構成で作製した素子基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 17 は素子基板と対向基板 710 とをシール材 715 で貼り合わせた状態を示している。素子基板上には柱状のスペーサ 713 を形成する。画素部においては画素電極上のコンタクト部に合わせて形成すると良い。スペーサは用いる液晶材料にも依存するが、3 ~ 10 μm の高さとする。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。その後、配向膜 714 を形成しラビング処理を行う。対向基板 710 には透明導電膜 711、配向膜 712 を形成する。その後、素子基板と対向基板とを貼り合わせ液晶を注入し、液晶層 716 を形成する。

10

【0116】

図 18 は素子基板と対向基板とを貼り合わせて組み立てる様子を模式的に示す。素子基板 750 は、画素部 753、走査線側駆動回路 752、信号線側駆動回路 751、外部入力端子 754、外部入力端子から各回路の入力部までを接続する配線 759 などが形成されている。対向基板 755 にはアクティブマトリクス基板 750 の画素部及び駆動回路が形成されている領域に対応して対向電極 756 が形成されている。このような素子基板 750 と対向基板 755 とはシール材 757 を介して貼り合わせ、液晶を注入してシール材 757 の内側に液晶層 758 を設ける。さらに、素子基板 750 の外部入力端子 754 には FPC (フレキシブルプリント配線板: Flexible Printed Circuit) 760 を貼り付ける。FPC 760 の接着強度を高めるために補強板 759 を設けても良い。

20

【0117】

FPC を貼り付ける外部入力端子 754 の断面図を図 19 に示す。基板 750 のベースコート膜 761 上に、第 1 の導電膜と第 2 の導電膜とから形成されるゲート電極と同じ層を使って端子 762 が形成される。この上層にはパッシベーション膜 763 と層間絶縁膜 764 が形成されている。電極 762 上には開口部が形成され、好ましくは透明導電膜材料で形成する電極 765 が形成され一体となって端子を形成する。端子の幅は 100 ~ 1000 μm 、そのピッチは 50 ~ 200 μm 程度で形成される。

30

【0118】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子装置の表示装置として用いることができる。

【実施例 8】

【0119】

実施例 1 乃至 7 で示す表示装置を用いた電子装置の一例を図 20 を用いて説明する。図 20 の表示装置は、基板上に形成された TFT によって画素 820 から成る画素部 821、画素部の駆動に用いるデータ信号側駆動回路 815、ゲート信号側駆動回路 814 が形成されている。データ信号側駆動回路 815 はデジタル駆動の例を示しているが、シフトレジスタ 816、ラッチ回路 817、818、バッファ回路 819 から成っている。また、ゲート信号側駆動回路 814 であり、シフトレジスタ、バッファ等(いずれも図示せず)を有している。

40

【0120】

図 20 で示すシステムブロック図は、PDA などの携帯型情報端末の形態を示すものである。表示装置には画素部 821、ゲート信号側駆動回路 814、データ信号側駆動回路 815 が形成されている。

【0121】

この表示装置に接続する外部回路の構成は、安定化電源と高速高精度のオペアンプからなる電源回路 801、USB 端子などを備えた外部インターフェイスポート 802、CPU 803、入力手段として用いるペン入力タブレット 810 及び検出回路 811、クロッ

50

ク信号発振器 8 1 2、コントロール回路 8 1 3 などから成っている。

【 0 1 2 2 】

C P U 8 0 3 は映像信号処理回路 8 0 4 やペン入力タブレット 8 1 0 からの信号を入力するタブレットインターフェイス 8 0 5 などが内蔵されている。また、V R A M 8 0 6、D R A M 8 0 7、フラッシュメモリ 8 0 8 及びメモリーカード 8 0 9 が接続されている。C P U 8 0 3 で処理された情報は、映像信号(データ信号)として映像信号処理回路 8 0 4 からコントロール回路 8 1 3 に出力する。

コントロール回路 8 1 3 は、映像信号とクロックを、データ信号側駆動回路 8 1 5 とゲート信号側駆動回路 8 1 4 のそれぞれのタイミング仕様に変換する機能を持っている。

【 0 1 2 3 】

具体的には、映像信号を表示装置の各画素に対応したデータに振り分ける機能と、外部から入力される水平同期信号及び垂直同期信号を、駆動回路のスタート信号及び内蔵電源回路の交流化のタイミング制御信号に変換する機能を持っている。

【 0 1 2 4 】

P D A などの携帯型情報端末は A C コンセントに接続しなくても、充電型のバッテリーを電源として屋外や電車の中などでも長時間使用できることが望まれている。また、このような電子装置は持ち運び易さを重点において、軽量化と小型化が同時に要求されている。電子装置の重量の大半を占めるバッテリーは容量を大きくすると重量増加してしまう。従って、このような電子装置の消費電力を低減するために、バックライトの点灯時間を制御したり、スタンバイモードを設定したりといった、ソフトウェア面からの対策も施す必要がある。

【 0 1 2 5 】

例えば、C P U 8 0 3 に対して一定時間ペン入力タブレット 8 1 0 からの入力信号がタブレットインターフェイス 8 0 5 に入らない場合、スタンバイモードとなり、図 2 0 において点線で囲んだ部分の動作を同期させて停止させる。または、各画素にメモリーを備えておき、静止画像の表示モードに切り替えるなどの処置をとる。こうして電子装置の消費電力を低減させる。

【 0 1 2 6 】

また、静止画像を表示するには C P U 8 0 3 の映像信号処理回路 8 0 4、V R A M 8 0 6 のなどの機能を停止させ、消費電力の低減を図ることができる。図 2 0 では動作をおこなう部分を点線で表示してある。また、コントローラ 8 1 3 は I C チップを用い、C O G 法で素子基板に装着してもよいし、表示装置内部に一体形成してもよい。

【実施例 9】

【 0 1 2 7 】

実施例 1 ~ 8 において、P T F T を形成する基板に有機樹脂材料を用いることができる。有機樹脂材料としては、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリエーテルサルホン、ポリカーボネート、ポリイミド、アラミドなどを採用することができる。ガラス材料と比較して有機樹脂材料は比重が小さいので、有機樹脂基板を用いた表示装置は電子装置の軽量化に貢献することができる。例えば、5 インチクラスの表示装置を搭載することを考えると、ガラス基板を用いるとその重量が 6 0 g 程度になるのに対し、有機樹脂基板を用いた表示装置では 1 0 g 以下を達成することができる。

【 0 1 2 8 】

しかし、有機樹脂材料は耐熱性が悪いので、多結晶珪素膜を形成や、アクセプタを活性化するためにはレーザーアニール法を積極的に適用する。レーザーアニール法は、波長 4 0 0 n m 以下のエキシマレーザーや、Y A G または Y V O ₄ レーザーの第 2 高調波(波長 5 3 2 n m) ~ 第 4 高調波(波長 2 6 6 n m) を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を 1 0 0 ~ 7 0 0 m J / c m ² として照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。こうすることにより、基板を殆ど加熱することなくアニール処理を行うことができる。

10

20

30

40

50

【0129】

また、有機樹脂材料は耐摩耗性に劣るので、表面をDLC膜で被覆しておくが良い。表面の硬度が増し、いわゆるひっかき傷などが出来にくく、いつまでも美しい表示画面を得ることができる。このように、実施例1～8の構成に有機樹脂基板を適用することで、携帯型情報端末などの電子装置においてきわめて優れた効果を発揮することができる。

【実施例10】

【0130】

実施例1～6においてPTFTを形成するために用いる半導体膜の作製方法の他の一例を図21を用いて説明する。

【0131】

図21で説明する半導体膜の作製方法は、非晶珪素膜の全面に珪素の結晶化を助長する元素を添加して結晶化を行う方法である。まず、図21(A)において、基板2101はコーニング社の#1773ガラス基板に代表されるガラス基板を用いる。基板2101の表面には、ベースコート膜2102としてプラズマCVD法でSiH₄とN₂Oを用い酸化窒化珪素膜を100nmの厚さに形成する。ベースコート膜2102はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設ける。

【0132】

珪素を主成分とする非晶質半導体膜2103はプラズマCVD法により作製し、SiH₄を反応室に導入し、間欠放電またはパルス放電により分解して基板2101に堆積させる。その条件は、27MHzの高周波電力を変調し、繰り返し周波数5kHz、デューティ比20%の間欠放電により54nmの厚さに堆積する。珪素を主成分とする非晶質半導体膜2103の酸素、窒素、炭素などの不純物を極力低減するために、SiH₄は純度99.999%以上のものを用いる。また、プラズマCVD装置の仕様としては、反応室の容積13Lの反応室に対し、一段目に排気速度300L/秒の複合分子ポンプ、二段目に排気速度40m³/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【0133】

ここでは、パルス放電によるプラズマCVD法の一例を示したが、勿論、連続放電によるプラズマCVD法で非晶質半導体膜を形成しても良い。

【0134】

そして図7(B)で示すように、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層2104を形成する。この場合、当該溶液の馴染みをよくするために、珪素を主成分とする非晶質半導体膜2103の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。珪素の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0135】

次に、500℃にて1時間の加熱処理を行い、珪素を主成分とする非晶質半導体膜中の水素を放出させる。そして、580℃にて4時間に加熱処理を行い結晶化を行う。こうして、図21(C)に示す結晶質半導体膜2105が形成される。

【0136】

さらに結晶化率(膜の全体積における結晶成分の割合)を高め、結晶粒内に残される欠陥を補修するために、結晶質半導体膜2105に対してレーザー光2106を照射するレーザー処理を行う。レーザーは波長308nmにて30Hzで発振するエキシマレーザー光を用いる。当該レーザー光は光学系にて100～300mJ/cm²に集光し、90～95%のオーバーラップ率をもって半導体膜を溶融させることなくレーザー処理を行う。こうして図21(D)に示す珪素を主成分とする結晶質半導体膜2107を得ることができる。

10

20

30

40

50

【 0 1 3 7 】

こうして作製された結晶質半導体膜 2 1 0 7 を所定の形状にエッチングし、個々に孤立した半導体膜を形成する。本実施例の方法により作製された半導体膜は、結晶性に優れ、P T F T においても電界効果移動度や S 値（サブスレシヨルド係数）を向上させることができる。

【 実施例 1 1 】

【 0 1 3 8 】

実施例 1 0 において、珪素とゲルマニウムを成分とする非晶質半導体膜を適用することができる。このような非晶質半導体膜は、代表的には $S i H_4$ と $G e H_4$ を原料ガスとして用い、プラズマ C V D 法により作製することができる。珪素とゲルマニウムを成分とする非晶質半導体膜を用い、実施例 1 0 に記載の結晶化方法を採用することにより、{ 1 0 1 } 面の配向率が 3 0 % 以上の結晶質半導体膜を得ることができる。この場合、珪素とゲルマニウムを成分とする非晶質半導体膜のゲルマニウム含有量は 1 0 原子 % 以下、好ましくは 5 原子 % 以下とすると良い。

【 実施例 1 2 】

【 0 1 3 9 】

本実施例では、本発明のアクティブマトリクス型表示装置を組み込んだ電子装置について示す。このような電子装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。ここで列挙する電子装置は、実施例 8 で示すような外部回路が接続されていても良い。それらの一例を図 2 2 と図 2 3 に示す。

【 0 1 4 0 】

図 2 2 (A) は携帯電話であり、本体 2 9 0 1 、音声出力部 9 0 0 2 、音声入力部 2 9 0 3 、表示装置 2 9 0 4 、操作スイッチ 2 9 0 5 、アンテナ 2 9 0 6 から構成されている。本発明は表示装置 2 9 0 4 に適用することができ、特に、実施例 3 または実施例 4 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【 0 1 4 1 】

図 2 2 (B) はビデオカメラであり、本体 9 1 0 1 、表示装置 9 1 0 2 、音声入力部 9 1 0 3 、操作スイッチ 9 1 0 4 、バッテリー 9 1 0 5 、受像部 9 1 0 6 から成っている。本発明は表示装置 9 1 0 2 に適用することができる。特に、実施例 3 または実施例 4 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【 0 1 4 2 】

図 2 2 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体 9 2 0 1 、カメラ部 9 2 0 2 、受像部 9 2 0 3 、操作スイッチ 9 2 0 4 、表示装置 9 2 0 5 で構成されている。本発明は表示装置 9 2 0 5 に適用することができる。特に、実施例 3 または実施例 4 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【 0 1 4 3 】

図 2 2 (D) はテレビ受像器であり、本体 9 4 0 1 、スピーカー 9 4 0 2 、表示装置 9 4 0 3 、受信装置 9 4 0 4 、増幅装置 9 4 0 5 等で構成される。本発明は表示装置 9 4 0 3 に適用することができる。特に、実施例 3 または実施例 4 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【 0 1 4 4 】

図 2 2 (E) は携帯書籍であり、本体 9 5 0 1 、表示装置 9 5 0 2 、9 5 0 3 、記憶媒体 9 5 0 4 、操作スイッチ 9 5 0 5 、アンテナ 9 5 0 6 から構成されており、ミニディスク (M D) や D V D に記憶されたデータや、アンテナで受信したデータを表示するものである。直視型の表示装置 9 5 0 2 、9 5 0 3 は特に、実施例 3 または実施例 4 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【 0 1 4 5 】

図 2 3 (A) はパーソナルコンピュータであり、本体 9 6 0 1 、画像入力部 9 6 0 2 、表示装置 9 6 0 3 、キーボード 9 6 0 4 で構成される。本発明は表示装置 9 6 0 3 に適用

10

20

30

40

50

することができる。特に、実施例3または実施例4で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0146】

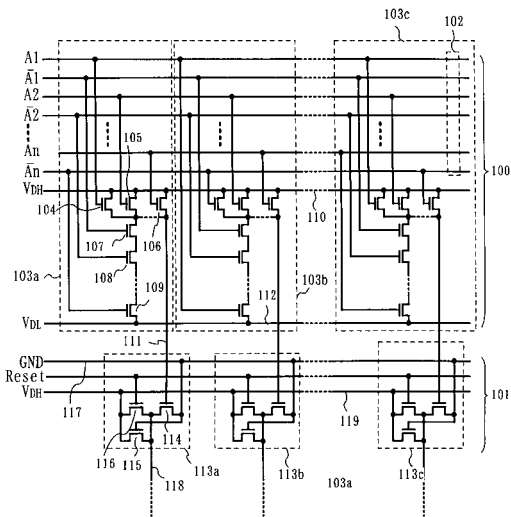
図23(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置9702に適用することができる。特に、実施例3または実施例4で示す反射型の液晶表示装置は低消費電力化の観点から適している。

10

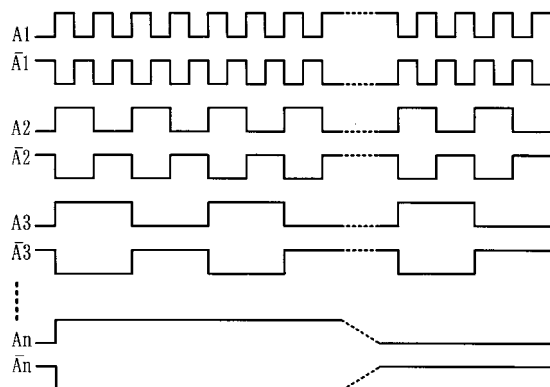
【0147】

図23(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。本発明は表示装置9802に適用することができる。特に、実施例3または実施例4で示す反射型の液晶表示装置は低消費電力化の観点から適している。

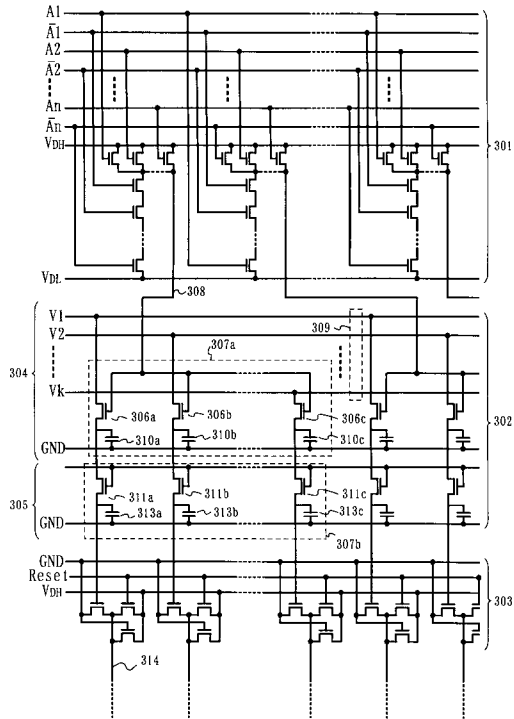
【図1】



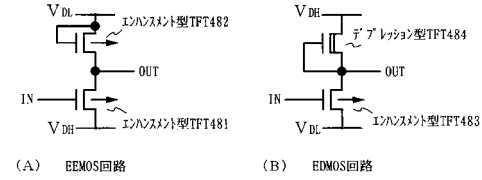
【図2】



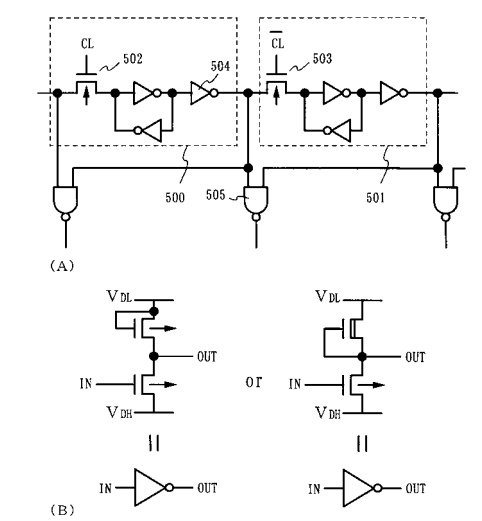
【図3】



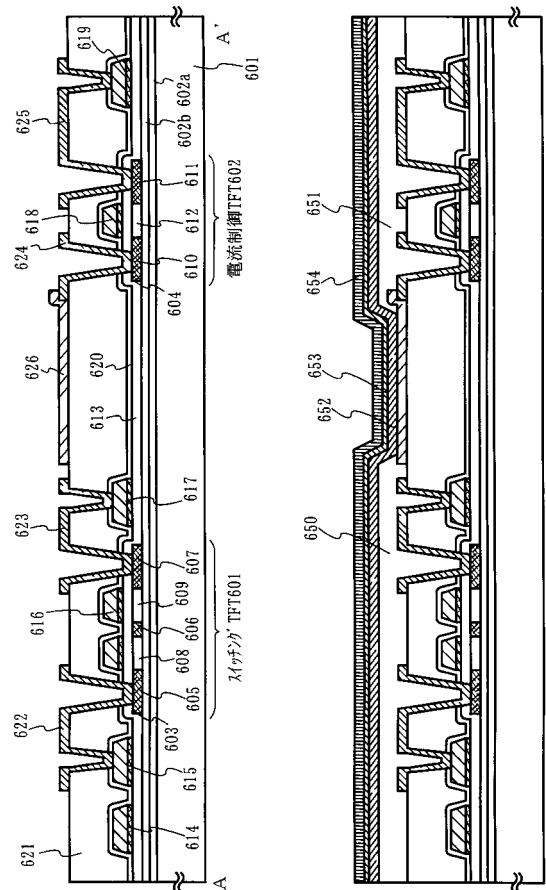
【図4】



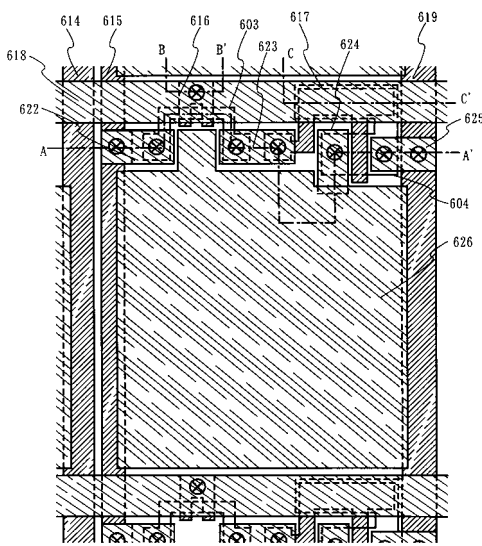
【図5】



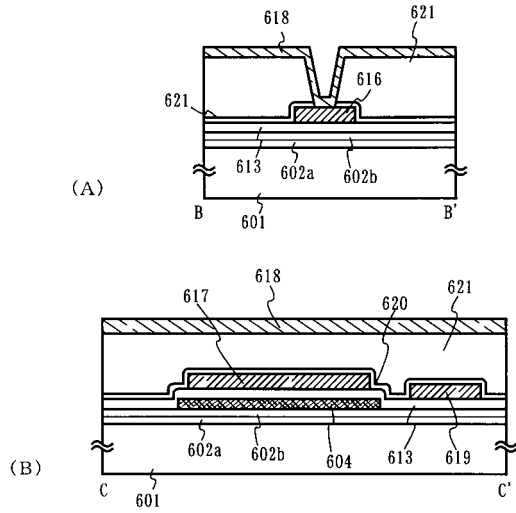
【図6】



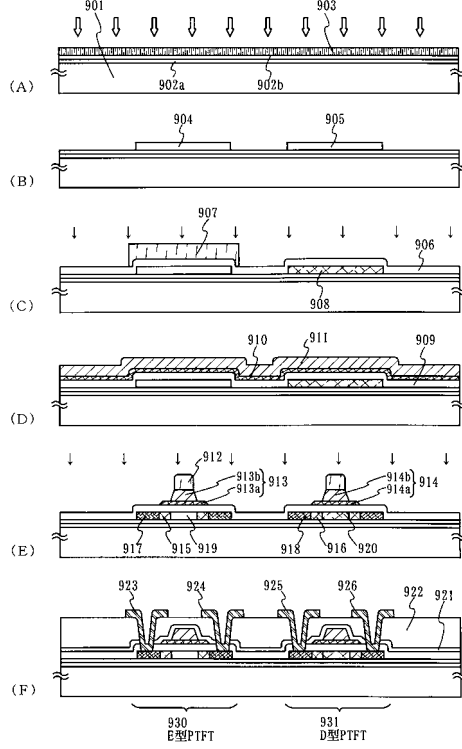
【図7】



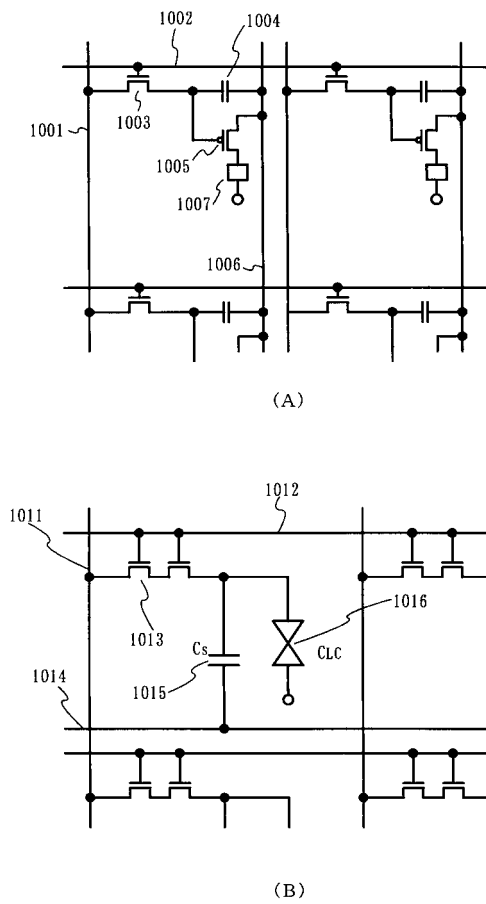
【図8】



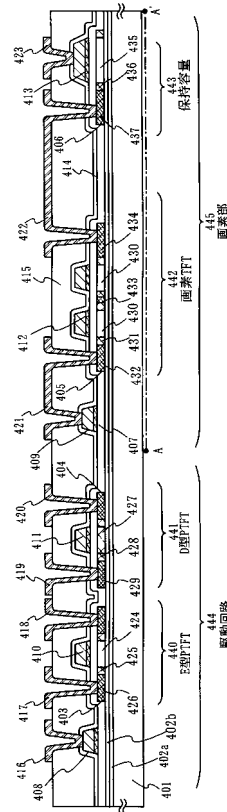
【図9】



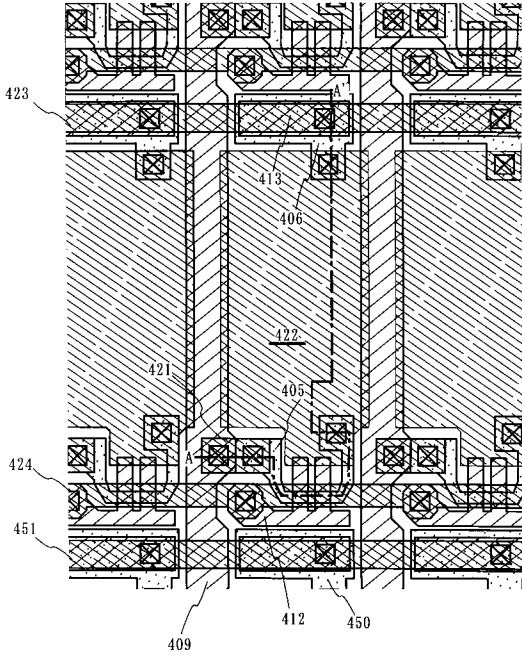
【図10】



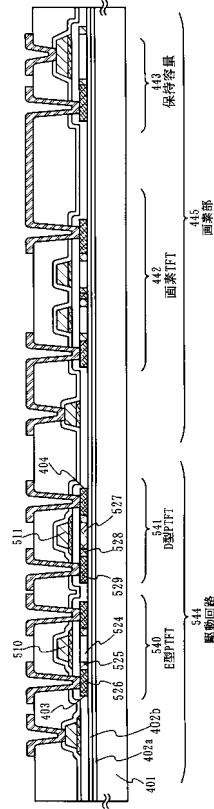
【図11】



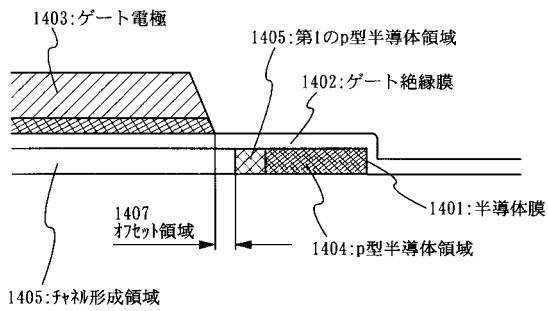
【図12】



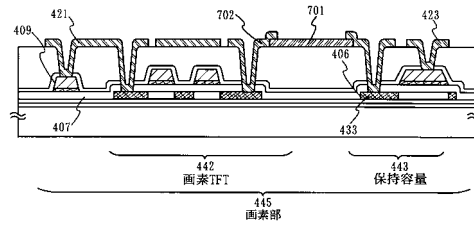
【図13】



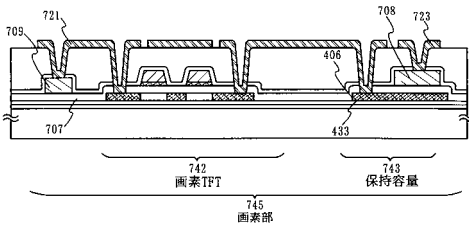
【図14】



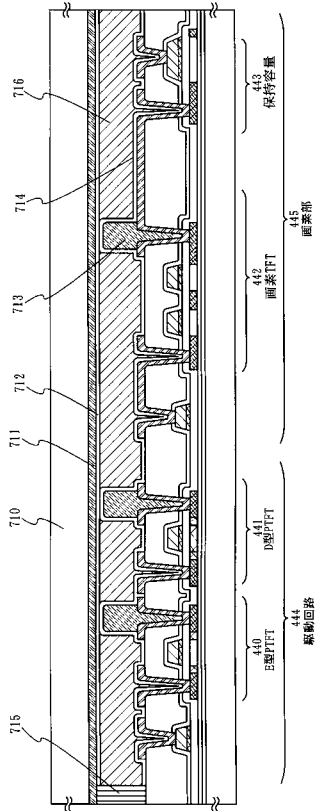
【図16】



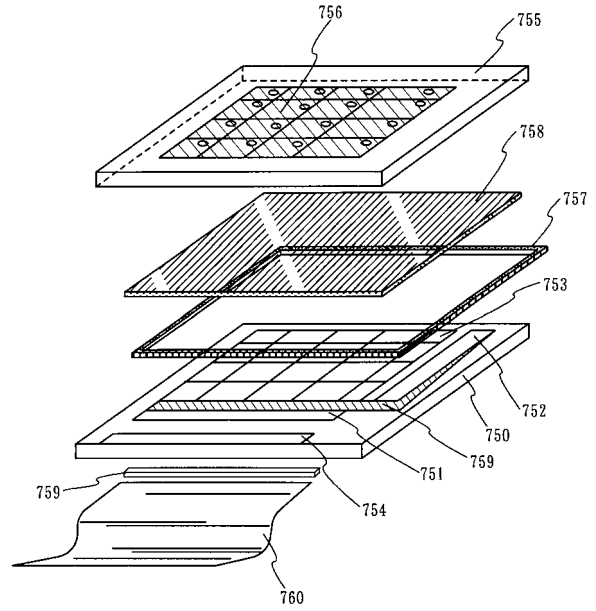
【図15】



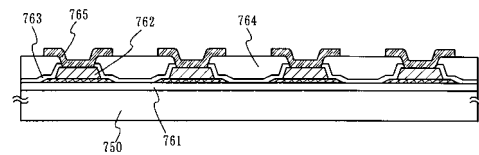
【図17】



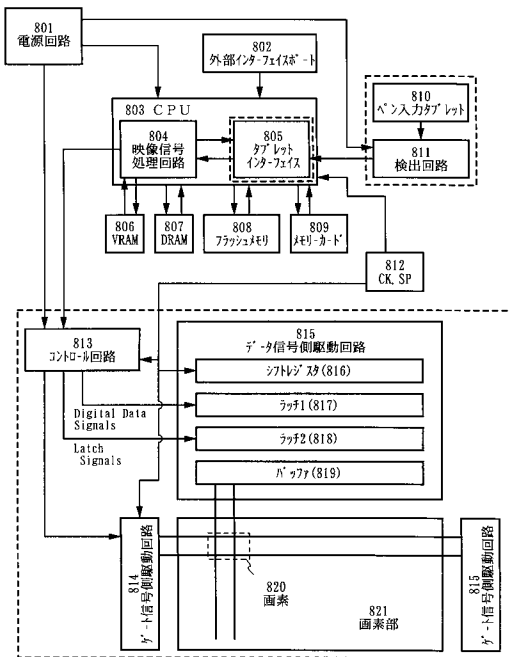
【図18】



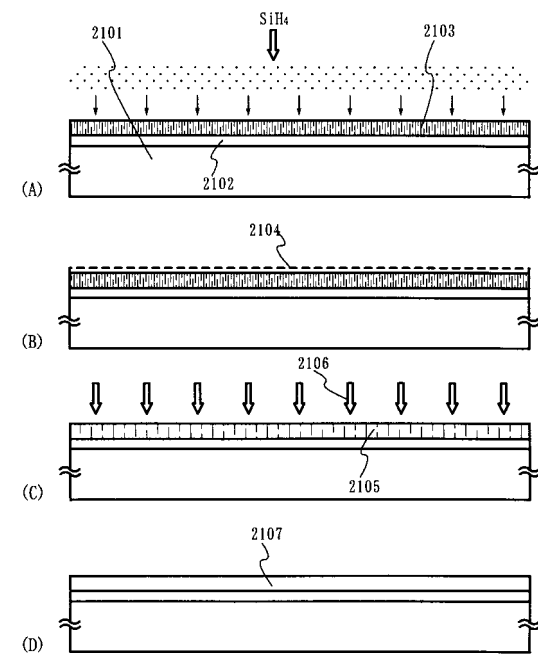
【図19】



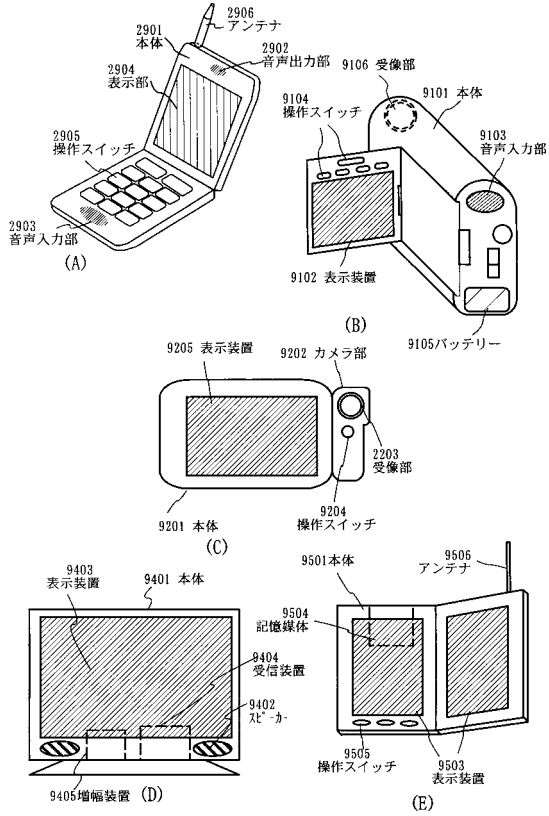
【図20】



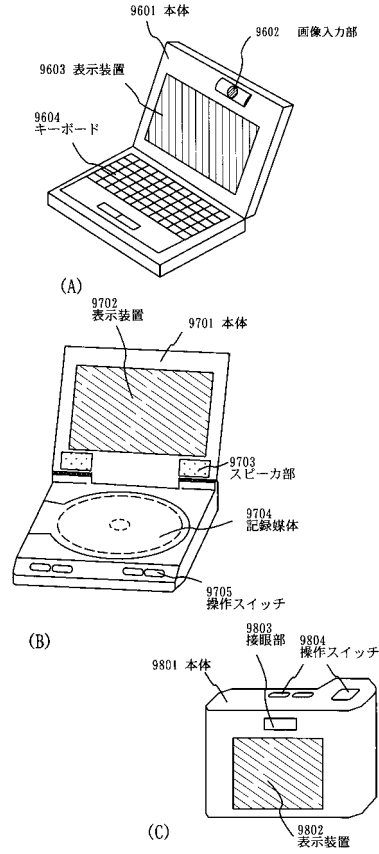
【図21】



【図22】

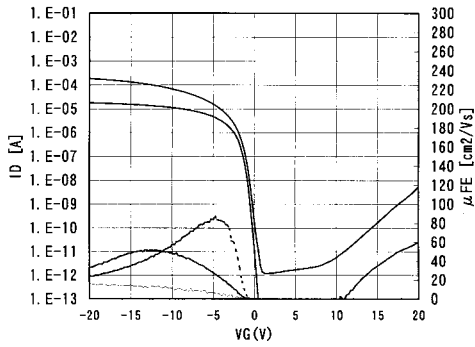


【図23】



【図24】

S753-05, Unit.0 X80 Y11 ([F], P-ch,
L/W= 6.8/ 4, Tox= 115)



フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/1368 (2006.01) G 0 2 F 1/1345
G 0 2 F 1/1345 (2006.01)

(56) 参考文献 特開平 07 - 2 9 7 4 0 7 (J P , A)
特開平 09 - 0 1 8 0 1 1 (J P , A)
特開平 10 - 0 1 0 5 7 8 (J P , A)
特開平 11 - 3 3 0 4 8 3 (J P , A)
特開 2 0 0 0 - 2 2 8 5 2 7 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G 0 9 F 9 / 3 0 - 9 / 4 6
G 0 2 F 1 / 1 3 4 5
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 4