

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3592981号
(P3592981)

(45) 発行日 平成16年11月24日(2004.11.24)

(24) 登録日 平成16年9月3日(2004.9.3)

(51) Int. Cl.⁷

F I

H O 1 L 29/78

H O 1 L 29/78 3 O 1 H

H O 1 L 29/16

H O 1 L 29/16

H O 1 L 29/78 3 O 1 B

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2000-3357(P2000-3357)	(73) 特許権者	000005821
(22) 出願日	平成12年1月12日(2000.1.12)		松下電器産業株式会社
(65) 公開番号	特開2000-269501(P2000-269501A)		大阪府門真市大字門真1006番地
(43) 公開日	平成12年9月29日(2000.9.29)	(74) 代理人	100077931
審査請求日	平成12年4月26日(2000.4.26)		弁理士 前田 弘
(31) 優先権主張番号	特願平11-7641	(74) 代理人	100094134
(32) 優先日	平成11年1月14日(1999.1.14)		弁理士 小山 廣毅
(33) 優先権主張国	日本国(JP)	(72) 発明者	幸 康一郎
			大阪府門真市大字門真1006番地 松
			下電器産業株式会社内
		(72) 発明者	齋藤 徹
			大阪府門真市大字門真1006番地 松
			下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

上記半導体基板の上に設けられ、チャネルが形成される $Si_{1-y}Ge_y$ 層 ($0 < y < 1$) からなる第1の半導体層と、

上記第1の半導体層の上に設けられ、C(炭素)を含有するSi層からなる第2の半導体層と、

上記第2の半導体層の上方に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極とを備える電界効果トランジスタであって、

上記第2の半導体層中における上記Cの濃度が、上記第1の半導体層から上記ゲート絶縁膜に向かう方向に減少する分布を有する、半導体装置。

【請求項2】

請求項1記載の半導体装置であって、

上記第2の半導体層と上記ゲート絶縁膜との間にはイントリンシックSi層が介在している、半導体装置。

【請求項3】

$Si_{1-y}Ge_y$ 層 ($0 < y < 1$) からなる第1の半導体層と、

上記第1の半導体層の上に設けられ、Cを含有するSi層からなる第2の半導体層と、

上記第2の半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、
 上記第1の半導体層の下に設けられ、Cを含有するSi層からなる第3の半導体層と、
 上記第3の半導体層の下に設けられ、 $Si_{1-x}Ge_x$ ($0 < x < 1$)からなる第4の半導体層と、
 上記第4の半導体層内のうち上記第3の半導体層に近接する領域に設けられ、キャリア用不純物を含むドープ層と、
 を備える電界効果トランジスタであって、
 上記第3の半導体層中における上記Cの濃度が、上記第4の半導体層から上記第2の半導体層に向かう方向に減少する分布を有する、半導体装置。

【請求項4】

請求項3に記載の半導体装置であって、
 上記第2の半導体層中における上記Cの濃度が、上記第1の半導体層から上記ゲート絶縁膜に向かう方向に減少する分布を有する、半導体装置。

【請求項5】

請求項3または4に記載の半導体装置において、
 上記ゲート電極として、pチャネル型MOSFETのゲート電極とnチャネル型MOSFETのゲート電極とが設けられ、
 上記pチャネル型MOSFETでは、上記第1の半導体層にチャネルが形成され、
 上記nチャネル型MOSFETでは、上記第4の半導体層にチャネルが形成される、半導体装置。

【請求項6】

半導体基板と、上記半導体基板の上に設けられ、チャネルが形成される $Si_{1-y}Ge_y$ 層 ($0 < y < 1$)からなる第1の半導体層と、上記第1の半導体層の上に設けられ、Cを含有するSi層からなる第2の半導体層と、上記第2の半導体層の上方に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極とを有する電界効果トランジスタである半導体装置の製造方法であって、
 上記半導体基板の上に、上記第1の半導体層を形成する工程(a)と、
 上記第1の半導体層の上に、上記第2の半導体層を、上記Cの濃度が上方に向かうほど小さくなるように制御しながら形成する工程(b)と
 を備える、半導体装置の製造方法。

【請求項7】

請求項6に記載の半導体装置の製造方法であって、
 上記工程(b)では、イオン注入、CVD法、UHV-CVD法およびMBE法のうちのいずれか1つを用いて、上記Cを上記第2の半導体層に含有させる、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ヘテロ接合を含む電界効果トランジスタとして機能する半導体装置及びその製造方法に関するものである。

【0002】

【従来技術】

従来、高周波用半導体装置はGaAs基板などの化合物系半導体基板を用いて製造されてきたが、近年、シリコンプロセスとの親和性を重視した新しい混晶半導体を用いた高周波用半導体装置の製造技術の開発が進みつつある。なかでも、組成式($Si_{1-x}Ge_x$) (x はGeの含有比である)で表されるシリコンゲルマニウム(SiGe)は、製造技術上、シリコンプロセスとの親和性が大きいので、高度な技術が豊富に蓄積されているシリコンプロセスを生かすことができる。また、SiGeはシリコン(Si)との間でヘテロ界面を形成することから、その組成($Si_{1-x}Ge_x$) ($0 < x < 1$)の可変性とヘテロ界面に発生する歪みとを利用することにより、素子の設計自由度を向上することができる。

10

20

30

40

50

さらに、SiGe層内ではSi層内よりもキャリアの移動度が大きいという特性を利用して、半導体装置内にSiGe層を設けることにより、高速かつ雑音特性の優れたデバイスを作製することができる。このようなSiGeの利点を利用して、Si/SiGeヘテロ接合を有するバイポーラトランジスタや、Si/SiGeヘテロ接合を有する電界効果トランジスタなどが提案・試作され、実用化されようとしている。

【0003】

例えば、特開平3-3366号公報に開示されているごとく、IBMのポール・アイケル・ソロモンらにより、SiGe層を設けたヘテロMOSトランジスタ(HMOSトランジスタ)が提案されている。

【0004】

図13(a)は、このような第1の従来例のHMOSトランジスタの構造を示す断面図である。図13(b)は、図13(a)中の領域R50aの構造を示す断面図である。図13(c)は、第1の従来例のHMOSトランジスタのSiキャップ層が薄い場合におけるアニール後のGe原子の移動、拡散、偏析等の状態を示す断面図であり、図13(d)は、第1の従来例のHMOSトランジスタのSiキャップ層が厚い場合におけるアニール後のGe原子の移動、拡散、偏析等の状態を示す断面図である。また、図13(c)、(d)は、いずれも図13(b)に示す領域R50bのみを示している。

【0005】

図13(a)において、501はSi基板を、506はGe原子を、516はp+ポリシリコンからなるゲート電極を、517はSiO₂層を、519はi-Si_{1-y}Ge_y層(yはGeの含有比)を、535はSiO₂/Si界面を、536はSi/Si_{1-y}Ge_yヘテロ界面を、542はi-Siキャップ層を、551はソースコンタクトを、552はドレインコンタクトを、553はソース領域を、554はドレイン領域をそれぞれ示す。

【0006】

図13(a)~(c)に示されるHMOSトランジスタは、P型のMOSトランジスタであって、ソース領域553、ドレイン領域554、ゲート電極516の形状は、通常のSiMOSトランジスタと類似しているが、より優れた伝導特性を実現するためにPチャンネルをSi_{1-y}Ge_y層中に設けている。ここで、Ge原子はSi原子よりも原子半径が大きいため、i-SiGe層519は、Si基板501との格子不整合による圧縮歪みを受けている。一般的には、エピタキシャル成長中に圧縮歪みを緩和する過程が起こりやすいため、Si層とSiGe層とを結晶性を保ったまま連続的に積層することは容易ではないが、i-SiGe層519を臨界膜厚以下の厚みで積層することにより、Si/Si_{1-y}Ge_yヘテロ界面536の付近では歪み緩和のための転位が発生せず平衡を崩さずに結晶性を保ったまま積層することができる。一般に、歪によりバンド構造は変調を受け、キャリアのホール移動度は変化するが、Si/Si_{1-y}Ge_yヘテロ接合型デバイスにおいては、転位が発生しない範囲でGeの組成yを調整することにより、圧縮歪を利用してヘテロ界面におけるバンドオフセット量を最適化し、かつ、ホールの移動度を向上させることができる。つまり、図13(b)に示すように、Si/Si_{1-y}Ge_yヘテロ接合型デバイスにおいては、価電子帯(バレンスバンド)側のバンドオフセット(ヘテロ障壁)を利用してホールを閉じ込め、ヘテロ接合型PMOSFETとして用いることができる。そして、ゲート電極516にマイナスの電圧を印加することにより、Si/Si_{1-y}Ge_yヘテロ界面536の近傍を反転状態にして、プラスのキャリア(ホール)を閉じこめるためのPチャンネルをSi/Si_{1-y}Ge_yヘテロ界面536に沿って形成し、ソース領域553からドレイン領域554に向かってPチャンネル中を高速でキャリアを走行させる。このとき、Si/Si_{1-y}Ge_y界面536が平滑であれば、Pチャンネルが平滑なSi/Si_{1-y}Ge_yヘテロ界面536に沿って形成されるので、キャリアをより高速で走行させることができる。

【0007】

以上のように、SiGeを用いた電界効果トランジスタはSiによる電界効果トランジスタよりも高速に動作させることが可能である。

10

20

30

40

50

【 0 0 0 8 】

また、第2の従来例として、特開平7 - 3 2 1 2 2 2号公報や、文献 (Ismail K 1995 IE EE IEDM Tech. Dig. 509, Armstrong M A, Antoniadis D A, Sadek A, Ismail K and Ste rn F 1995 IEEE IEDM Tech. Dig.761) に開示されているように、ハレード・イー・イス マーイーラらによって提案されたH C M O S トランジスタがある。

【 0 0 0 9 】

図14 (a) は、第2の従来例の半導体装置を示す断面図である。図14 (b) は、図1 4 (a) に示すP M O S トランジスタ, N M O S トランジスタ双方におけるゲート電極, ゲート絶縁膜, チャンネルなどを含む領域の縦断面構造を代表的に示す図であって、図14 (b) の左方には負のゲートバイアスを印加したときの価電子帯 (バレンスバンド) が示 10 され、図14 (b) の右方には正のゲートバイアスを印加したときの伝導帯 (コンダクテ ィブバンド) が示されている。図14 (c) は、第2の従来例のH M O S トランジスタを アニールした後におけるG e 原子の移動, 偏析を示す図であって、図14 (b) 中の領域 R 60b 中の構造を示す断面図である。図14 (a) ~ (c) において、5 3 0 はP M O S F E T を、5 3 1 はN M O S F E T を、5 3 2 はNウェル領域を、5 3 4 はS T I (Shall ow Trench Isolation)領域を、5 2 3 はS i_{1-x} G e_x バッファ層を、5 2 1 はi-S i_{1-x} G e_x スペーサ層を、5 2 2 は ドープ層を、5 2 0 はi-S i 層を、5 3 7 は第1のヘ テロ界面を、5 3 8 は第2のヘテロ界面を、5 3 9 は第3のヘテロ界面をそれぞれ示す。

【 0 0 1 0 】

図14 (a) は、S i_{1-y} G e_y 層を含むN型とP型の電界効果トランジスタを用いてH 20 C M O S デバイスを構成する例を示している。この従来技術においては、S i 基板に形 成されるホモ接合型のトランジスタと比較して、優れた伝導特性を有し、かつ、N型M O S F E T とP型M O S F E T とを共通の積層膜を用いて形成しているために、製造工程の 簡略化が図られている。

【 0 0 1 1 】

そして、図14 (b) に示すように、S i_{1-x} G e_x バッファ層5 2 3 (x = 0 . 3) に よって歪みを緩和し、さらにその上にi-S i_{1-x} G e_x スペーサ層5 2 1 (x = 0 . 3) を形成する。また、i-S i_{1-x} G e_x スペーサ層5 2 1 中にはNチャンネルにキャリアを供 30 給するための ドープ層5 2 2 を形成する。そして、i-S i_{1-x} G e_x スペーサ層5 2 1 の上に、引っ張り歪みを受けたi-S i 層5 2 0 と、歪が緩和されたi-S i_{1-y} G e_y 層5 1 9 と、引っ張り歪みを受けたi-S i キャップ層5 1 8 とを積層し、さらにゲート酸化膜 としてS i O₂ 層5 1 7 と、ゲート電極5 1 6 とを形成している。

【 0 0 1 2 】

図14 (b) の左図及び右図は、図14 (b) 中央に示す積層構造を有するトランジスタ をP M O S F E T として動作させるために負のゲートバイアス (Negative Gate Bias) を 付加した場合の価電子帯と、N M O S F E T として動作させるために正のゲートバイアス (Positive Gate Bias) を付加した場合の伝導帯とを示している。つまり、同じ構造の積 層膜を用いて、一方をP M O S F E T とし、他方をN M O S F E T として動作させること が可能に構成されている。

【 0 0 1 3 】

図14 (b) 中央に示す部分をP M O S F E T として動作させる場合には、i-S i_{1-y} G e_y 層5 1 9 とi-S i キャップ層5 1 8 との界面である第1のヘテロ界面5 3 7 の価電子 帯側のバンドオフセットを利用してPチャンネルにホールを閉じ込めて、ゲート電極5 1 6 にNegative Gate Biasを印加してホールを走行させる。このとき、i-S i_{1-y} G e_y 層5 1 9 のG e 含有比y 等を変えて歪みの大きさを調整することにより、第1のヘテロ界面5 3 7 のバンドオフセットの大きさを調整することができる。圧縮歪みが印加されたi-S i 40 i_{1-y} G e_y 層中のホールの伝導特性 (伝導度など) はS i 層中と比較して優れているので、高性能なP M O S F E T 特性を得ることが可能である。

【 0 0 1 4 】

次に、図14 (b) 中央に示す部分をN M O S F E T として動作させる場合には、i-S i 50

層520と $i\text{-Si}_{1-x}\text{Ge}_x$ スペーサ層521との間の第3のヘテロ界面539の伝導帯側のバンドオフセットを利用してNチャネルに電子を閉じ込め、ゲート電極516にPositive Gate Biasを印加して電子を走行させる。PMOSFETの場合と異なり、NチャネルはSi層に形成されるが、 $i\text{-Si}$ 層520と $i\text{-Si}_{1-x}\text{Ge}_x$ スペーサ層521との格子不整合によって $i\text{-Si}$ 層520が引っ張り歪みを受けているため、電子のバンド縮退が解除されて通常のSi層のチャネル中よりも電子の伝導特性(伝導度など)が改善されている。この場合でも、PMOSFETの場合と同様に、歪みの大きさを調整することによりバンドオフセットの大きさを調整することができる。

【0015】

以上のように、第2の従来例のSi/SiGeヘテロ接合を利用した半導体装置において 10
は、共通の積層構造(図14(b)に示す部分)を、ゲートバイアスの向きを変えることによりNMOSFET, PMOSFETと使い分けることが可能なので、一連の積層構造をSTIなどで分離してそれぞれソース、ドレイン、ゲートを別々に形成することにより比較的簡単な工程により優れた伝導特性を有するHCMOSデバイスを形成することが可能である。

【0016】

【発明が解決しようとする課題】

しかしながら、上記第1, 第2の従来例において、以下のような不具合が存在している。

【0017】

上記第1の従来例のようなMOSFET(電界効果トランジスタ)などの素子においては 20
、キャリアはSi/Si_{1-y}Ge_yヘテロ界面536の反転領域に沿って走行するために、界面状態はキャリアの速度に大きな影響を及ぼす。素子の高速動作にはSi/Si_{1-y}Ge_yヘテロ界面536の構造の乱れがないこと、つまり、界面が明確でかつゆらぎや凹凸がなく平滑であることが望まれる。

【0018】

しかし、Si/SiGeヘテロ接合を利用した素子においては、以下に説明するように、ヘテロ界面の明確さや平滑さを維持することが困難である。

【0019】

例えば、図13(b)に示すように、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層519と $i\text{-Si}$ キャップ層542とを連続的に積層する際に、 $i\text{-Si}$ キャップ層542中のSi原子(図示せず)と、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層519中のGe原子506との相互拡散(インターディフュージョン)が生じるので、Si/Si_{1-y}Ge_yヘテロ界面536の構造が乱れて、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層519と $i\text{-Si}$ キャップ層542との境界がどこにあるかが必ずしも明確でない。図13(b)には、便宜上、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層519と $i\text{-Si}$ キャップ層542とが区別して示されているが、実際には、両者の境界つまりヘテロ界面が明確に形成されているわけではない。

【0020】

また、電界効果トランジスタなどの半導体素子を製造する場合、P型拡散領域やN型拡散領域を形成するための不純物をイオン注入などで打ち込んだ直後の状態では不純物が結晶格子位置に配置されていないので、不純物をドナーあるいはアクセプターとして機能させるべく、高温での熱処理(アニール)を行い不純物の活性化を行なっている。このとき、900前後の高温でアニールすることから、特に、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層519中のGe原子506の移動・拡散が活発になる。

【0021】

図13(c), (d)は、それぞれ $i\text{-Si}$ キャップ層542が薄い場合と厚い場合とにおける、図13(b)に示す領域R50aの熱処理(アニール)を行った後の状態を示す断面図である。熱処理により、Ge原子506が移動・拡散して偏析を起こしたり、格子欠陥が発生したりすることで、Si/Si_{1-y}Ge_yヘテロ界面536の明確さと均一さが失われてしまうことが、文献(F.K.LeGoues, S.S.Iyer, K.N.Tu, and S.L.Delage, Mat.Re s.Soc.Symp.Proc. Vol.103, 185 (1988))に記載されている。特に、歪みが印加されてい 50

る SiGe 層においては、Ge 原子の移動、拡散及び偏析が激しいことが記載されている。

【0022】

また、上記第1, 第2の従来例では、ゲート酸化膜として SiO₂ 層 517 を熱酸化により形成する工程を用いるが、Ge 原子は熱酸化を行う際に、Si/SiO₂ 界面 535 に偏析するとともに、酸化レートを増大させる性質を有していることが文献 (G.L.Patton, S.S.Iyer, S.L.Delage, E.Ganin, and R.C.Mcintosh, Mat.Res.Soc.Symp.Proc. Vol.102, 295(1988)) に記載されている。このような現象は、Si/SiO₂ 界面 535 の界面準位の増大を招くことにより P チャネル中のキャリアの走行特性に悪影響を与えたり、Ge 原子の含有率分布が所望の分布から外れたり、酸化レートの増大によって薄いゲート酸化膜の形成が困難になるなど、好ましくない影響を及ぼすと考えられる。

10

【0023】

そこで、図13(d)に示すように、i-Si キャップ層 542 の膜厚を Ge 原子の拡散長よりも大きくすることにより、Si/Si_{1-y}Ge_y 界面 536 の乱れがキャリアの走行特性に及ぼす悪影響を緩和する方法が考えられる。しかし、この場合には i-Si キャップ層 542 にも電位差が印加されるので、トランジスタの駆動力が低下するおそれがある。また、図13(d)に示すような寄生チャネルが Si/SiO₂ 界面 535 付近に形成されることにより、キャリアが意図した経路以外を流れて移動度を低下させるおそれもある。しかも、熱処理等による Si/Si_{1-y}Ge_y 界面 536 の乱れや転位などの格子欠陥の発生等の不具合は、依然として解決されていない。

20

【0024】

一方、Si 基板 501 にソース・ドレイン用の不純物を注入し熱処理により活性化する処理を予め行なってから、i-Si_{1-y}Ge_y 層 519 及び i-Si キャップ層 542 をエピタキシャル成長させることにより、熱処理温度をできるだけ低温にするなどの対策も考えられるが、イオン注入する領域とゲート電極 516 との位置合わせをセルフアラインで行えないため、工程数の増加を招くとともに、不純物プロファイル及びゲートの位置合わせ精度がフォトリソグラフィ工程のアライメントのばらつきによって悪化するなどの不具合が発生する。

【0025】

以上、第1の従来例についての不具合を説明したが、第2の従来例においても、第1, 第2のヘテロ界面 537, 538 (Si/Si_{1-y}Ge_y 界面) や、第3のヘテロ界面 539 (Si/Si_{1-x}Ge_x 界面) の乱れが生じることから、第1の従来例と同様の不具合があることは明らかである。

30

【0026】

本発明の目的は、Si/SiGe などのヘテロ接合を利用した半導体装置において、ヘテロ界面の構造を改善するための手段、つまり熱処理などを経てもヘテロ界面の明確さと平坦さを維持するための手段を講ずることにより、サーマルバジェットに強い半導体装置及びその製造方法を提供することにある。

【0027】

【課題を解決するための手段】

本発明の第1の半導体装置は、半導体基板と、上記半導体基板の上に設けられ、チャネルが形成される Si_{1-y}Ge_y 層 (0<y<1) からなる第1の半導体層と、上記第1の半導体層の上に設けられ、C (炭素) を含有する Si 層からなる第2の半導体層と、上記第2の半導体層の上方に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極とを備える電界効果トランジスタであって、上記第2の半導体層中における上記 C の濃度が、上記第1の半導体層から上記ゲート絶縁膜に向かう方向に減少する分布を有する。

40

【0028】

これにより、第1の半導体層と第2の半導体層との界面における混晶元素の移動が抑制されるので、熱処理が加わっても、混晶の結晶性が良好に保持され、第1の半導体層と第2の半導体層との間のヘテロ界面の構造の乱れが抑制され、比較的明確かつ平滑なヘテロ界

50

面が維持される。したがって、このヘテロ界面に沿って走行するキャリアの伝導度などの特性を良好に保持することができ、サーマルバジェットに強い半導体装置が得られる。

【0029】

また、上記第2の半導体層中における上記Cの濃度が、上記 $Si_{1-y}Ge_y$ 層から離れるにしたがって減小するような分布を有することにより、半導体基板の表面側へのCの拡散・偏析を抑制できるので、ゲート絶縁膜へのCの侵入などに起因する信頼性の低下などを有効に防止することができる。

【0030】

上記第2の半導体層と上記ゲート絶縁膜との間にはイントリンシックSi層が介在していてもよい。

10

【0031】

本発明の第2の半導体装置は、 $Si_{1-y}Ge_y$ 層($0 < y < 1$)からなる第1の半導体層と、上記第1の半導体層の上に設けられ、Cを含有するSi層からなる第2の半導体層と、上記第2の半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記第1の半導体層の下に設けられ、Cを含有するSi層からなる第3の半導体層と、上記第3の半導体層の下に設けられ、 $Si_{1-x}Ge_x$ ($0 < x < 1$)からなる第4の半導体層と、上記第4の半導体層内のうち上記第3の半導体層に近接する領域に設けられ、キャリア用不純物を含むドープ層とを備える電界効果トランジスタであって、上記第3の半導体層中における上記Cの濃度が、上記第4の半導体層から上記第2の半導体層に向かう方向に減少する分布を有する。

20

【0032】

これにより、Cの濃度の変化に応じたバンド変調を利用して、トランジスタの閾値電圧を適正值に調整することが可能となる。

【0033】

上記第2の半導体層中における上記Cの濃度は、上記第1の半導体層から上記ゲート絶縁膜に向かう方向に減少する分布を有することが好ましい。

【0034】

また、上記ゲート電極として、pチャネル型MOSFETのゲート電極とnチャネル型MOSFETのゲート電極とが設けられ、上記pチャネル型MOSFETでは、上記第1の半導体層にチャネルが形成され、上記nチャネル型MOSFETでは、上記第4の半導体層にチャネルが形成されていてもよい。

30

【0035】

本発明の半導体装置の製造方法は、半導体基板と、上記半導体基板の上に設けられ、チャネルが形成される $Si_{1-y}Ge_y$ 層($0 < y < 1$)からなる第1の半導体層と、上記第1の半導体層の上に設けられ、Cを含有するSi層からなる第2の半導体層と、上記第2の半導体層の上方に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極とを有する電界効果トランジスタである半導体装置の製造方法であって、上記半導体基板の上に、上記第1の半導体層を形成する工程(a)と、上記第1の半導体層の上に、上記第2の半導体層を、上記Cの濃度が上方に向かうほど小さくなるように制御しながら形成する工程(b)とを備える。

40

【0036】

この方法により、その後、熱処理工程を経ても混晶中の元素の移動が抑制されるので、第1の半導体層と第2の半導体層との間の界面の構造の乱れが抑制され、半導体素子のチャネルにおけるキャリアの走行特性が良好となる。また、基板の表面側への移動阻害性物質の拡散による半導体装置の信頼性の低下などの不具合を効果的に防止しつつ、第1の半導体層と第2の半導体層との間のヘテロ界面の構造の乱れを抑制することができる。

【0037】

上記工程(b)では、イオン注入、CVD法、UHV-CVD法およびMBE法のうちのいずれか1つを用いて、上記Cを上記第2の半導体層に含有させることができる。

【0038】

50

【発明の実施の形態】

- 基礎的な実験結果の説明 -

まず、Cのイオン注入によるSiGe中のGe原子の移動抑制機能に関し、本発明者達が行なった実験結果について説明する。

【0039】

図1(a), (b)は、Si/Si_{0.8}Ge_{0.2}超格子のサーマルバジェットを、Cを含む場合と含まない場合とに分けてX線回折による観察結果、スペクトル中の基本回折及びサテライトピークの説明をそれぞれ示す図である。図1(a)は、Si/Si_{0.8}Ge_{0.2}超格子について、エピタキシャル成長による積層を行なったままの試料と、積層した後Cのイオン注入を行ってから熱処理を行った試料と、Cのイオン注入を行わずに熱処理のみを行った試料とについてのX線回折スペクトルを示す図である。図1(a)において、縦軸はX線強度(任意単位)を表し、横軸は相対X線入射角度(秒)を表している。また、図1(b)は、ブラッグ反射条件 $2d\sin\theta = n\lambda$ を満たす n について、0次の条件を満たす基本回折によるピーク(0)と、高次の条件を満たすサテライトピーク(..., -3, -2, -1, 1, 2, 3, ...)とを示す図である。このXRD法(X-ray Diffraction)を用いると、物質の結晶性を調べることができる。

10

【0040】

また、図4は、X線解析のために準備した試料の形状を示す断面図である。同図に示すように、観察に用いた試料は、UHV-CVD法により、シリコン基板の上に、Ge20%を含む厚み10nmのSi_{0.8}Ge_{0.2}層と、厚み10nmのSi層とを交互に10層ずつ(合計10周期分)積層したものである。そして、図4に示す試料に、Cイオンを加速電圧が約45keV、ドーズ量が約 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入した試料と、Cのイオン注入を行なわない試料とについて、950, 15secの条件でRTAを施した。

20

【0041】

図1(a)において、エピタキシャル成長による積層を行なったままの試料からのX線回折スペクトルをS_Xas-grownで表し、積層した後Cのイオン注入を行ってからRTA処理を行なった試料からのX線回折スペクトルをS_XC+impla.で表し、Cのイオン注入を行わずにRTA処理のみを行った試料からのX線回折スペクトルをS_Xnon-impla.で表している。

30

【0042】

図1(b)に示すように、0次のピークは各原子面そのものからの反射であり、1次、2次以下のピークは超格子からの反射の回折現象を示している。試料の結晶性は、主として、各ピークの半値幅と、高次のピークの出現度合いによって判断することができる。エピタキシャル成長を行なったままの試料からのX線回折スペクトルS_Xas-grownにおいては、各ピークの半値幅が小さく、かつ高次のピーク(3次まで)が明確に現れている。これに対して、Cイオンの注入を行っていない試料からのX線回折スペクトルS_Xnon-impla.においては、各ピークの半値幅がブロードに広がっており、高次のピークについても3次のピークは非常に小さくしか観察できないことがわかる。これに対して、Cのイオン注入を行なった試料からのX線回折スペクトルS_XC+impla.においては、ピークの半値幅が小さく明確な形状が保たれているとともに、高次のピークについても3次のピークまで明確に現れている。

40

【0043】

図2は、0次のピークの形状をさらに詳細に調べるために、図1(a)のX線回折スペクトルの基本回折によるピーク(0)付近を拡大した図である。Cのイオン注入を行っていない試料からのX線回折スペクトルS_Xnon-impla.をみるとわかるように、Cのイオン注入を行なわない場合には、アニールによってピーク(0)の形状がなだらかな山状になって半値幅が拡大していることがわかる。また、スペクトルS_Xas-grownのピーク(0)の両脇に存在している小さなピークP_{oa}, P_{ob}が、スペクトルS_Xnon-impla.においては完全に崩れてしまっている。つまり、Si/Si_{0.8}Ge_{0.2}超格子の結晶性や界面の明

50

確性が損なわれていることが示唆されている。一方、Cのイオン注入を行なった試料からのX線スペクトルSX C+impla.のピーク(0)の半値幅は小さく維持されており、かつ、0次のピークの両脇に小さなピークP_{oa}, P_{ob}が依然として存在していることがわかる。この結果から、Cのイオン注入を行なった試料においては、アニール後も良好な結晶性が保持されていることがわかる。

【0044】

図3は、高温熱処理後の結晶の安定性を調べるために、上記試料中の超格子におけるGe濃度を測定した結果を示す図である。図3において、エピタキシャル成長による積層を行なったままの試料中のGe濃度分布曲線をDas-grownで表し、積層後にCのイオン注入を行ってからRTA処理(1000, 15sec)を行なった試料中のGe濃度分布曲線をDC+impla.で表し、積層後にCのイオン注入を行わずにRTA処理(1000, 15sec)のみを行った試料中のGe濃度分布曲線をDnon-impla.で表している。同図に示すように、エピタキシャル成長時には、Si_{0.8}Ge_{0.2}層ではGe濃度が極めて高く、Si層においてはGe濃度が低いという急峻なGe濃度分布が得られている。ところが、Cイオン注入を行っていない試料をアニールすると、濃度分布曲線Dnon-impla.の形状がなだらかに変化して、Si層内にも多くのGe原子が拡散・移動していることがわかる。それに対し、Cイオン注入を行なった試料においては、アニール後も濃度分布曲線DC+impla.がそれほどなだらかになっていない。そして、Si層へのGe原子の移動が少ないことがわかる。なお、図3におけるGe濃度分布は、いずれの試料についても測定感度の限界があるので、実際の濃度分布よりもなだらかになって現れる。

【0045】

以上の図1(a), 図2, 図3のデータを総合すると、以下のことがわかる。まず、Cのイオン注入を行っていない試料においては、界面でGe原子の分布が所定幅だけ広がっていると仮定したモデルに基づいて計算すると、Si_{0.8}Ge_{0.2}層が片側に約1.7nm拡大していると見積もれることがわかった。すなわち、従来のSi/SiGeヘテロ接合を利用した半導体装置においては、Si/SiGeヘテロ界面の構造が乱れて、見かけ上SiGe層の幅が拡大したのと同様の測定結果を与えている。しかし、Ge原子の数が増大したわけではないので、Si層が縮小しSiGe層が拡大するとは不合理であり、実際には、Ge原子の移動・拡散によってSi/SiGeヘテロ界面の構造が乱れていると解釈すべきである。それに対して、Cのイオン注入を行っておくことにより、その後のアニールによるGe原子の移動・拡散などが抑制されるので、Si/SiGeヘテロ界面の乱れが少なく、結晶性も良好に保たれていると推定される。

【0046】

図5(a), (b)は、Cのイオン注入を行なった試料と、Cのイオン注入を行っていない試料とについて、アニールによるヘテロ界面の構造の変化を説明するための断面図である。図5(a)に示すように、Cのイオン注入を行っていない場合には、アニールによってGe原子の移動・拡散や、上方のSi/SiO₂界面へのGe原子の偏析などが大きくことが予想される。そして、Cのイオン注入を行っていない試料においては、ヘテロ界面付近において、組成が局部的に大きく変化するなど、Ge原子とSi原子(図示せず)とが結晶格子を構成しないような入り乱れた状態になる結果、ヘテロ界面が不明確に、かつ、凹凸が大きくなるものと考えられる。それに対し、図5(b)に示すように、Cのイオン注入を行なった試料においては、Ge原子の移動・拡散が抑制されるので、結晶性が保たれSi/SiGeヘテロ界面が明確、かつ、比較的平滑に保たれているものと考えられる。ただし、図5(b)の右図は、理想的な状態を示す図であって、実際にはCのイオン注入を行なった試料においても、ヘテロ界面の構造の多少の乱れはあるものと推定される。なお、Cのイオン注入を行なった試料においては、C原子がSiGe層からSi層内に移動することが確認されている。

【0047】

上述のようなCのイオン注入によるGe原子の移動・拡散等を抑制しうる効果の原因は明らかになっていないが、このような現象を利用することにより、Si/SiGeヘテロ接

10

20

30

40

50

合を利用したデバイスにおいて、不純物活性化のための熱処理を行っても Ge 原子の移動・拡散が抑制され、ヘテロ界面の明確さと平滑性が維持される。また、Ge 原子の移動・拡散が抑制される結果、Si/SiO₂ 界面への Ge 原子の偏析も抑制される。したがって、Si/SiGe ヘテロ接合を利用した半導体装置において、SiGe 層と Si 層を積層した後に C 原子を注入するか、予め C を少なくとも SiGe に含ませておくことにより、ゲート電極とソース・ドレイン注入領域とをセルフアラインさせながら、少ない工程数で半導体装置を製造することができる。

【0048】

また、C 原子が Si 層に移動してからも SiGe 層内の Ge 原子の移動・拡散が抑制されていることから、少なくとも Si 層に C 原子を含ませることで、Ge 原子の移動・拡散による Si/SiGe ヘテロ界面の構造の乱れを抑制できることがわかる。

10

【0049】

一方、このような C 原子による Ge 原子の移動抑制機能を利用して、Si/SiGe ヘテロ接合を有する電界効果トランジスタを形成する場合、電界効果トランジスタのゲート絶縁膜、特にゲート酸化膜の信頼性が不純物によって劣化することが知られている。したがって、ゲート絶縁膜の信頼性という観点からみると、C、O、H などが様々な形態に結合した有機物がゲート絶縁膜内に生じることは好ましくない。そこで、第2の改善点として、C を SiGe 層に導入するに際して、C がゲート絶縁膜に悪影響を与えないための手段を講ずることが有効である。

【0050】

20

以下、上記実験結果に基づく本発明の実施形態について説明する。

【0051】

(第1の実施の形態)

図6(a)は、本発明の第1の実施形態のHMOSトランジスタの構造を示す断面図である。図6(b)は、図6(a)中の領域R10aの構造を示す断面図である。

【0052】

図6(a)、(b)において、101はSi基板を、106はGe原子を、116はp+ポリシリコンからなるゲート電極を、117はSiO₂層を、142はイントリンシックのSiからなるi-Siキャップ層を、118はCを含有する下部Siキャップ層を、119はi-Si_{1-y}Ge_y層(0<y<1、例えばy=0.2)を、135はSiO₂/Si界面を、136はSi/Si_{1-y}Ge_yヘテロ界面を、151はソースコンタクトを、152はドレインコンタクトを、153はソース領域を、154はドレイン領域をそれぞれ示す。

30

【0053】

図6(a)、(b)に示されるHMOSトランジスタは、図13(a)、(b)に示す第1の従来例のHMOSトランジスタと基本的な構造は同じであるので、以下においては、主として本実施形態に係るトランジスタの特徴部分について説明する。

【0054】

本実施形態では、i-Si_{1-y}Ge_y層119の膜厚を臨界膜厚以下にしているため、平衡を崩さずに結晶性を保っており、圧縮歪みによりキャリア(ホール)の移動度の変調を受けている。すでに説明したように、Si基板に設けられるホモ接合型のトランジスタに比べて有利な伝導特性を発揮させるためには、明確かつ平滑なヘテロ界面を保つことが要求される。そこで、Ge原子の移動・拡散や、ゲート酸化膜直下へのGe原子の偏析を防ぐために、i-Si_{1-y}Ge_y層119の上方に、Cを含有する下部Siキャップ層118を設けている。ここで、Cはトランジスタの特性あるいはバンド構造に望ましくない影響を与えない程度、1%以下の濃度で含有させることが好ましい。Cを含有していることにより、各層を積層する工程、あるいは積層した後の不純物活性化のための熱処理を行ってもヘテロ界面の明確さと平滑さが失われることなく保たれる。

40

【0055】

したがって、図6(b)に示すように、価電子帯(バレンスバンド)側のバンドオフセッ

50

ト（ヘテロ障壁）を利用してホールを閉じ込め、ヘテロ接合型PMOSFETとして用いることができる。そして、ゲート電極116にマイナスの電圧を印加することにより、 $Si/Si_{1-y}Ge_y$ ヘテロ界面136の近傍を反転状態にして、プラスのキャリア（ホール）を閉じこめるためのPチャネルを $Si/Si_{1-y}Ge_y$ ヘテロ界面136に沿って形成し、ソース領域153からドレイン領域154に向かってPチャネル内を高速でキャリアを走行させる。このとき、本実施形態においては、 $Si/Si_{1-y}Ge_y$ 界面136が平滑であり、Pチャネルが平滑な $Si/Si_{1-y}Ge_y$ ヘテロ界面136に沿って形成されるので、キャリアをより高速で走行させることができる。

【0056】

次に、本実施形態のHMOSFETの製造方法について、図7(a)～(d)を参照しながら説明する。上述のように、 Si/SiO_2 界面135にCが存在すると、ゲート絶縁膜の信頼性を低下させるおそれがある。そこで、本実施形態においては、Cを含む下部i-Siキャップ層118の上に、Cを含まないi-Siキャップ層142を設けておき、ゲート酸化膜を形成する際には、i-Siキャップ層142を酸素によって侵食させる方法（酸化法）を用いる。

10

【0057】

まず、図7(a)に示す工程で、エピタキシャル成長法によって、Si基板101の上に、i-Si_{1-y}Ge_y層119を形成する。

【0058】

次に、図7(b)に示す工程で、i-Si_{1-y}Ge_y層119の上に、Cを含む下部Siキャップ層118と、Cを含まないi-Siキャップ層142とを順次堆積する。このとき、下部Siキャップ層118にCを含ませる方法としては、イオン注入法、CVD法、UHV-CVD法、MBE法などがある。イオン注入法を採用する場合には、図7(b)に示す工程の途中で、下部Siキャップ層118を形成した後、i-Siキャップ層142を形成する前に、Cのイオン注入を行なえばよい。

20

【0059】

次に、図7(c)に示す工程で、i-Siキャップ層142を酸化してゲート酸化膜となる SiO_2 膜117を形成する。このとき、Cの拡散とSiの酸化速度とを考慮して、 Si/SiO_2 界面135がCを含んでいる下部Siキャップ層118に到達する直前（約750）で酸化を停止させることが可能である。

30

【0060】

その後、図7(d)に示す工程で、p⁺ポリシリコン膜を堆積した後、これをパターニングすることにより、ゲート電極116を形成する。その後の工程の図示は省略するが、一般的なMOSトランジスタの製造工程と同様に、ゲート電極の上方から、基板内にキャリア用の不純物（本実施形態においては、フッ化ボロン（BF₂⁺）のイオン注入を行なって、ゲート電極116に対してセルフアラインするソース領域153及びドレイン領域154を形成する（図6(a)参照）。さらに、基板上に金属膜を堆積した後、これをパターニングして、ソースコンタクト151とドレインコンタクト152とを形成する。

【0061】

本実施形態の製造方法によると、図7(a)～(d)に示す工程を用いることにより、CによるGe原子の移動抑制作用を利用して、 $Si/Si_{1-y}Ge_y$ ヘテロ界面136付近におけるGe原子の移動・拡散等が抑制されるので、界面の明確性と平滑性が保たれ、かつ、ゲート酸化時におけるGe原子の SiO_2 膜117付近への偏析に起因する信頼性の低下などの好ましくない影響を抑制することができる。

40

【0062】

なお、上述のように、下部Siキャップ層118にCを含ませる方法としては、低加速エネルギーのイオン注入法、メチルシラン（SiH₃CH₃）を用いたCVD法、UHV-CVD法、MBE法などがあり、いずれを採用してもよいものとする。イオン注入法を採用する場合には、i-Si_{1-y}Ge_y層119にもある程度のCが注入されるが、CVD法、UHV-CVD法、MBE法等を用いる場合には、下部Siキャップ層118のみにC

50

を含ませることができる。ただし、CVD法，UHV-CVD法，MBE法等を用いる場合であっても、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層119にもCを含ませておいてもよい。

【0063】

また、下部Siキャップ層118などに含ませるCの量は、Ge原子の移動・拡散を抑制する機能の面からは多くてもかまわないが、現実にはCの濃度が1%を越えると、Si層やSiGe層の結晶構造に悪影響を及ぼすことがわかっている。したがって、Si/SiGeヘテロ接合を利用した半導体装置の動作特性を良好に保持するためには、Cの濃度が1%以下であることが好ましい。

【0064】

(第2の実施形態)

図8は、第2の実施形態の半導体装置の一部を抜き出して示す断面図である。同図は、図9(b)に示すゲート電極、ゲート絶縁膜、チャネルなどを含む領域R20bの縦断面構造を代表的に示す図であって、第2の従来例の図14(a)に示すPMOSFETとしてもNMOSFETとしても機能しうる共通の積層膜の構造を示す図である。図8の左方には負のゲートバイアスを印加したときの価電子帯が示され、図8の右方には正のゲートバイアスを印加したときの伝導帯が示されている。

【0065】

図8において、106はGe原子を、107はC原子を、143はドーパント原子を、117はゲート絶縁膜として機能する SiO_2 層を、142はイントリンシックのSiからなる $i\text{-Si}$ キャップ層を、118はCを含有する下部Siキャップ層を、119は $i\text{-Si}_{1-y}\text{Ge}_y$ 層(0<y<1、例えばy=0.2)を、120はCを含有する $i\text{-Si}$ 層を、121は $i\text{-Si}_{1-x}\text{Ge}_x$ スペーサ層を、122はドーブ層を、135は SiO_2 /Si界面を、137は第1のヘテロ界面を、138は第2のヘテロ界面を、139は第3のヘテロ界面をそれぞれ示す。

【0066】

本実施形態においても、第2の従来例と同様に、 $\text{Si}_{1-y}\text{Ge}_y$ 層を含むN型とP型のMOSFETを用いてHCMOSデバイスを構成する例を示している。本実施形態のHCMOSデバイスにおいては、Si基板に形成されるホモ接合型のトランジスタと比較して、優れた伝導特性を有し、かつ、N型MOSFETとP型MOSFETとを共通の積層膜を用いて形成しているために、製造工程の簡略化が図られている。

【0067】

そして、図8に示すように、図示しない $\text{Si}_{1-x}\text{Ge}_x$ バッファ層(0<x<1、例えばx=0.3)によって歪みを緩和し、さらにその上に $i\text{-Si}_{1-x}\text{Ge}_x$ スペーサ層121を形成する。また、 $i\text{-Si}_{1-x}\text{Ge}_x$ スペーサ層121中にはNチャネルにキャリアを供給するためのドーブ層122を形成する。そして、 $i\text{-Si}_{1-x}\text{Ge}_x$ スペーサ層121の上に、引っ張り歪みを受けた $i\text{-Si}$ 層120と、歪が緩和された $i\text{-Si}_{1-y}\text{Ge}_y$ 層119(y=0.2)と、引っ張り歪みを受けた $i\text{-Si}$ キャップ層118とを積層し、さらにゲート酸化膜として SiO_2 層117と、ゲート電極116とを形成している。

【0068】

図8の左図及び右図は、図8中央に示す積層構造を有するトランジスタをPMOSFETとして動作させるために負のゲートバイアス(Negative Gate Bias)を付加した場合の価電子帯と、NMOSFETとして動作させるために正のゲートバイアス(Positive Gate Bias)を付加した場合の伝導帯とを示している。つまり、同じ構造の積層膜を用いて、一方をPMOSFETとし、他方をNMOSFETとして動作させることが可能である。

【0069】

図8中央に示す部分をPMOSFETとして動作させる場合には、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層119と $i\text{-Si}$ キャップ層118との界面である第1のヘテロ界面137の価電子帯側のバンドオフセットを利用してチャネルにホールを閉じ込めて、ゲート電極(図示せず)にNegative Gate Biasを印加してホールを走行させる。このとき、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層119のGe含有比y等を変えて歪みの大きさを調整することにより、第1のヘテロ界面137

10

20

30

40

50

のバンドオフセットの大きさを調整することができる。

【0070】

次に、図8中央に示す部分をNMOSFETとして動作させる場合には、 i -Si層120と i -Si_{1-x}Ge_xスペーサ層121との間の第3のヘテロ界面139の伝導帯側のバンドオフセットを利用してNチャンネルに電子を閉じ込め、ゲート電極にPositive Gate Biasを印加して電子を走行させる。PMOSFETの場合と異なりNチャンネルはSi層に形成される。この場合でも、PMOSFETの場合と同様に、歪みの大きさを調整することによりバンドオフセットの大きさを調整することができる。

【0071】

図9(a), (b)は、本実施形態の製造方法の一部を示す断面図である。本実施形態においても、チャンネルの下地となる部分の製造方法は、上記第2の従来例と共通している。 10

【0072】

まず、図9(a)に示す工程で、Si基板(図示せず)の上に、Si_{1-x}Ge_xバッファ層123($x=0.3$)と、 i -Si_{1-x}Ge_xスペーサ層121($x=0.3$)とを形成する。また、 i -Si_{1-x}Ge_xスペーサ層121をエピタキシャル成長中に局部的に不純物ドーピングを行なうことによりドーピング層122を形成する。そして、 i -Si_{1-x}Ge_xスペーサ層121の上に、Cを含有するとともに引っ張り歪みを受けた i -Si層120と、歪が緩和された i -Si_{1-y}Ge_y層119($y=0.2$)と、Cを含み引っ張り歪みを受けた下部Siキャップ層118とを積層する。ここで、 i -Si層120及び下部Siキャップ層118にCを含ませる方法としては、第1の実施形態と同様に、イオン注入法、CVD法、UHV-CVD法、MBE法などがあり、いずれを用いてもよい。イオン注入法を用いる場合には、 i -Si層120を形成した直後にCを低加速エネルギーで注入すればよい。また、 i -Si層120の上に i -Si_{1-y}Ge_y層119と下部Siキャップ層118とを形成してからCのイオン注入を行なうことにより、 i -Si層120、 i -Si_{1-y}Ge_y層119及び下部Siキャップ層118にCを含ませることもできる。この場合には、注入工程が一度で済む利点がある。また、CVD法を用いる場合には、メチルシラン(SiH₃CH₃)等を含むガスを用いることができる。 20

【0073】

次に、図9(b)に示す工程で、 i -Siキャップ層142を酸化してゲート酸化膜となるSiO₂膜117を形成する。このとき、Cの拡散とSiの酸化速度とを考慮して、Si/SiO₂界面135がCを含んでいる下部Siキャップ層118に到達する直前(約750)で酸化を停止させることが可能である。 30

【0074】

その後、p⁺ポリシリコン膜を堆積した後、これをパターニングすることにより、ゲート電極116を形成する。その後の工程の図示は省略するが、一般的なMOSトランジスタの製造工程と同様に、ゲート電極の上方から、基板内にキャリア用の不純物(本実施形態においては、フッ化ボロン(BF₂⁺))のイオン注入を行なって、ゲート電極116に対してセルフアラインするソース領域153及びドレイン領域154を形成する(図6(a)参照)。さらに、基板上に金属膜を堆積した後、これをパターニングして、ソースコンタクト151とドレインコンタクト152とを形成する。 40

【0075】

本実施形態の半導体装置及びその製造方法によると、第2の従来例とは異なり、 i -Si層120、下部Siキャップ層118にCがドーピングされていることにより、第1のヘテロ界面137、第2のヘテロ界面138及び第3のヘテロ界面139におけるGe原子106の移動・拡散等に伴うヘテロ界面の構造の乱れ、格子欠陥の発生や、Si/SiO₂界面135へのGe原子106の偏析に伴うゲート絶縁膜の信頼性の低下などを抑制することができる。

【0076】

また、第2の実施形態のSi/SiGeヘテロ接合を利用した半導体装置においては、共通の積層構造を、ゲートバイアスの向きを変えることによりNMOSFET, PMOSF 50

ETと使い分けることが可能なので、一連の積層構造をSTIなどで分離してそれぞれソース、ドレイン、ゲートを別々に形成することにより比較的簡単な工程により優れた伝導特性を有するHCMOSデバイスを形成することが可能である。

【0077】

なお、Cの濃度の好ましい範囲については、第1の実施形態で述べたとおりである。

【0078】

(第3の実施形態)

図10は、Si/SiGeヘテロ接合におけるSi層が傾斜したCの濃度分布を有する場合の例である第3の実施形態の半導体装置(HMOSTランジスタ)の一部を示す断面図である。同図は、第1の実施形態における領域R10aに相当する部分の構造を示している

10

【0079】

図10において、101はSi基板を、106はGe原子を、116はp+ポリシリコンからなるゲート電極を、117はSiO₂層を、142はイントリンシックのSiからなるi-Siキャップ層を、118はCを傾斜した濃度分布で含有する下部Siキャップ層を、119はi-Si_{1-y}Ge_y層(0 < y < 1、例えばy = 0.2)を、135はSiO₂/Si界面を、136はSi/Si_{1-y}Ge_yヘテロ界面をそれぞれ示す。

【0080】

本実施形態のHMOSTランジスタは、図6に示すHMOSTランジスタとほぼ同じ構造を有しているが、本実施形態のHMOSTランジスタの特徴は、第1の実施形態とは異なり、下部Siキャップ層118中のCが、Si/SiGeヘテロ界面136付近において最大で、Si/SiGeヘテロ界面136からi-Siキャップ層142に向かって単調に減少していき、i-Siキャップ層142との界面においては、Cの濃度がほぼ0となる濃度分布を有していることである。

20

【0081】

このようなCの濃度分布は、下部キャップ層118を形成する際に、CVD法、UHV-CVD法又はMBE法を用いて、原料ガスに対するC形成用ガスの含有量を徐々に減少させることにより得られる。

【0082】

本実施形態によると、第1の実施形態と同じ効果に加え、下部Siキャップ層118におけるCの濃度が、i-Siキャップ層142との界面で0であるので、C原子がSiO₂層117に達するのを効果的に抑制することができる。したがって、SiO₂層117の信頼性の低下の防止と、界面準位の形成に起因するキャリアの移動度の低下の防止とを図ることができる。

30

【0083】

(第4の実施形態)

図11は、2つのSi/SiGeヘテロ接合におけるSi層がいずれも傾斜したCの濃度分布を有する場合の例である第4の実施形態の半導体装置(HCMOSデバイス)の一部を示す断面図である。同図は、第2の実施形態における図8の領域R20bに相当する部分をゲート電極とパッファ層とを含む領域にまで拡大して示している。

40

【0084】

図11において、101はSi基板を、106はGe原子を、107はC原子を、143はドーパント原子を、116はp+ポリシリコンからなるゲート電極を、117はゲート絶縁膜として機能するSiO₂層を、142はイントリンシックのSiからなるi-Siキャップ層を、118はCを傾斜した濃度分布で含有する下部Siキャップ層を、119は傾斜したGe含有比を有するi-Si_{1-y}Ge_y層(0 < y < 1)を、120はCを傾斜した濃度分布で含有するi-Si層を、121はi-Si_{1-x}Ge_xスペーサ層を、122はドーパ層を、123は歪が緩和されたSi_{1-x}Ge_xパッファ層(x = 0.3)を、135はSiO₂/Si界面を、137は第1のヘテロ界面を、138は第2のヘテロ界面を、139は第3のヘテロ界面をそれぞれ示す。

50

【0085】

本実施形態においても、第2の従来例と同様に、 $Si_{1-y}Ge_y$ 層を含むN型とP型のMOSFETを用いてHCMOSデバイスを構成する例を示している。本実施形態のHCMOSデバイスにおいては、Si基板に形成されるホモ接合型のトランジスタと比較して、優れた伝導特性を有し、かつ、N型MOSFETとP型MOSFETとを共通の積層膜を用いて形成しているために、製造工程の簡略化が図られている。

【0086】

本実施形態のHCMOSデバイスは、図8に示す第2の実施形態のHCMOSデバイスとほぼ同じ構造を有しているが、本実施形態のHCMOSデバイスは、以下の点で第2の実施形態とは異なる特徴を有している。この点について、図12(a)、(b)を参照しながら説明する。

10

【0087】

まず、下部Siキャップ層118中のCが、Si/SiGeヘテロ界面137付近において最大で、Si/SiGeヘテロ界面137からi-Siキャップ層142に向かって単調に減少していき、i-Siキャップ層142との界面においては、Cの濃度がほぼ0となる濃度分布を有している。Cがこのような濃度分布を有することは、すでに説明した第3の実施形態と同様に、SiO₂層117にCが及ぼす好ましくない影響をできるだけ避けるために有効である。

【0088】

次に、i-Si_{1-y}Ge_y層119中のGeの含有比が第2のヘテロ界面138から第1のヘテロ界面137に向かう方向に増大するような分布をもっている。図12(a)に示すように、i-Si_{1-y}Ge_y層119中のGeの含有比を傾斜させることにより、価電子帯端のエネルギーレベルE_vを変調し、第1のヘテロ界面137に形成されホールを閉じ込めるためのPチャネルの深さを上下調整してPMOSFETの閾値電圧を自由に制御することが可能になる。その場合、NMOSFETの特性には何の影響も与えることがないので、PMOSFETの特性を最適値に制御することが可能である。また、ホールを閉じ込める効率を高くすることができるので、Si/SiO₂界面135側に形成される寄生チャネルに流れるキャリアの割合を減少させて移動度の向上を図ることができる。

20

【0089】

次に、i-Si層120中のCが第3のヘテロ界面139から第2のヘテロ界面138へ向かうに従い濃度が低くなるような傾斜分布をしている。このようなCの濃度分布にすることにより、ゲート電極116に正電圧を印加した際にi-Si層120中に形成されるNチャネルが、ドーパント原子143によりデルタドープされたSiGeスペーサ層121に近い位置に形成されるため、キャリアの生成効率が向上してNMOSFETの駆動力の向上を図ることができるとともに、NMOSFETのしきい値電圧を調整することができる。この作用について、図12(b)を参照しながら説明する。

30

【0090】

Si(001)面上に、Cを含むSi層を成長させた場合は、Si層にCを含ませることにより生じる歪は引っ張り歪みであり、Cの濃度をt(%)とすると0.35tの大きさを持つ。計算によると、Cを含むSiの伝導帯端のエネルギーレベルE_cはCを含まないSiの伝導帯端のエネルギーレベルに対して-4.9t(eV)の割合でシフト(価電子帯側にシフト)し、価電子帯端のエネルギーレベルE_vは-1.5t(eV)の割合でシフト(伝導帯側にシフト)する。Cが変化する組成を有する場合、例えば濃度tを0.03%から0%に変化させたとすれば、価電子帯端のエネルギーレベルE_vは約45meVだけ伝導帯側にシフトする。

40

【0091】

本実施形態のPMOSFETの場合は、緩和されたSi_{1-x}Ge_x層の上にCを含むi-Si層120を形成してこのi-Si層120に引っ張り歪を与えているので、下地のSi_{1-x}Ge_x層(ここでは、i-Si_{1-x}Ge_xスペーサ層121)のGe含有比等に応じても変化するが、引っ張り歪みを受けたi-Si層120が同様のバンド変調を受けると考えら

50

れる。

【0092】

すなわち、図12(b)に示すように、C濃度を全体的に増減する、言い換えるとC濃度の傾斜を変化させることにより、Nチャネル付近の伝導帯端のエネルギーレベル E_c を制御して、PMOSFETの特性に悪影響を与えることなく、NMOSFETの閾値電圧をより自由に制御することができる。

【0093】

このようなCの濃度分布は、下部キャップ層118やi-Si層120を形成する際に、CVD法、UHV-CVD法又はMBE法を用いて、原料ガスに対するC形成用ガスの含有量を徐々に減少させることにより得られる。

10

【0094】

なお、本実施形態においては、下部Siキャップ層118及びi-Si層120の双方にCを傾斜した濃度で含有させるようにしたが、いずれか一方のみのC濃度を傾斜させて、他方におけるC濃度はほぼ均一にしておいてもよい。

【0095】

【発明の効果】

本発明の半導体装置又はその製造方法によると、Si、Geの混晶からなる第1の半導体層と第2の半導体層とを積層してヘテロ接合を形成する場合には、第1の半導体層を構成するSi、Geの移動を阻害する機能を有するCを第2の半導体層に含ませるようにしたので、半導体装置のサーマルバジェットを改善することができる。

20

【図面の簡単な説明】

【図1】(a)、(b)は、Si/Si_{0.8}Ge_{0.2}超格子のX線回折による観察結果、スペクトル中のピークの説明をそれぞれ示す図である。

【図2】図1(a)のX線回折スペクトルの基本回折によるピーク(0)付近を拡大した図である。

【図3】実験の試料中の超格子におけるGe濃度を測定した結果を示す図である。

【図4】X線解析のために準備した試料の形状を示す断面図である。

【図5】(a)、(b)は、Cがドーブされた試料とCがドーブされていない試料とについて、アニールによるヘテロ界面の構造の変化を示す断面図である。

【図6】(a)、(b)は、順に、第1の実施形態のHMOSトランジスタの構造を示す断面図、図6(a)中の一領域の構造を示す断面図である。

30

【図7】第1の実施形態の半導体装置の製造工程を示す断面図である。

【図8】第2の実施形態の半導体装置の一部を抜き出して示す断面図である。

【図9】(a)、(b)は、第2の実施形態の製造方法の一部を示す断面図である。

【図10】第3の実施形態の半導体装置の一部を示す断面図である。

【図11】第4の実施形態の半導体装置の一部を示す断面図である。

【図12】(a)、(b)は、それぞれ第4の実施形態におけるNMOSFET、PMOSFETの閾値電圧の調整方法を示す図である。

【図13】(a)~(d)は、順に、第1の従来例のHMOSトランジスタの構造を示す断面図、一領域の構造を示す断面図、Siキャップ層が薄い又は厚い場合におけるアニール後のGe原子の移動等の状態を示す断面図である。

40

【図14】(a)~(c)は、順に、第2の従来例の半導体装置を示す断面図、ゲート電極、ゲート絶縁膜、チャネルなどを含む領域の断面図、アニールした後におけるGe原子の移動、偏析を示す断面図である。

【符号の説明】

101 Si基板

106 Ge原子

107 C原子

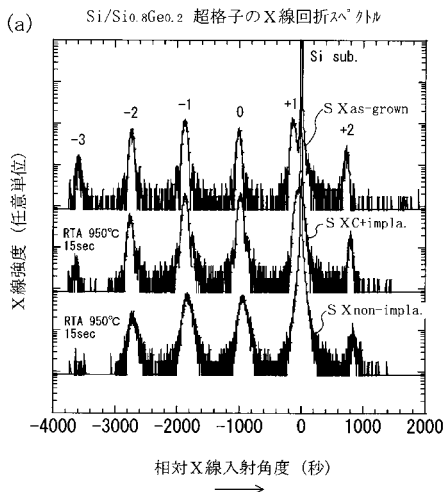
116 ゲート電極

117 SiO₂層

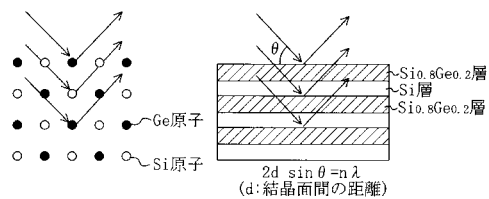
50

- 1 1 8 下部 Si キャップ層
- 1 1 9 i-Si_{1-y}Ge_y 層
- 1 2 0 i-Si 層
- 1 2 1 Si_{1-x}Ge_x スペース層
- 1 2 2 ドープ層
- 1 2 3 Si_{1-x}Ge_x バッファ層
- 1 3 5 Si/SiO₂ 界面
- 1 3 6 Si/Si_{1-y}Ge_y 界面
- 1 3 7 第1のヘテロ界面
- 1 3 8 第2のヘテロ界面
- 1 3 9 第3のヘテロ界面
- 1 4 2 i-Si キャップ層
- 1 5 1 ソースコンタクト
- 1 5 2 ドレインコンタクト
- 1 5 3 ソース
- 1 5 4 ドレイン

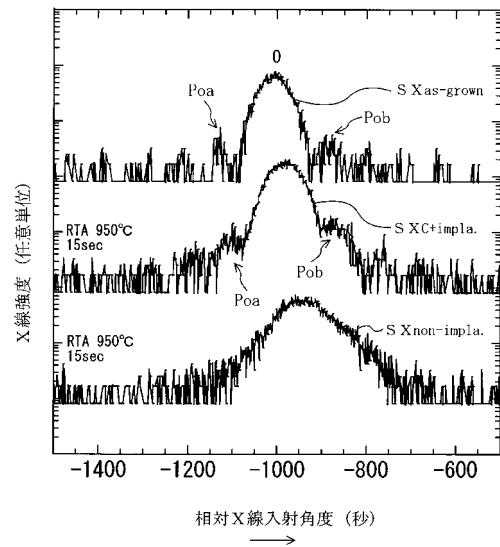
【 図 1 】



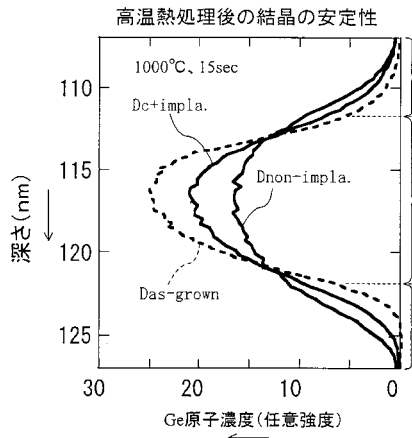
(b) 基本回折によるビーム(0) サライトビーム(…-3, -2, -1, 1, 2, 3, …)



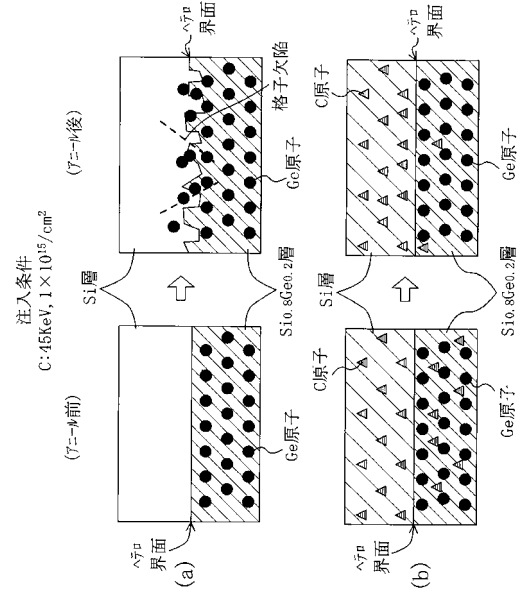
【 図 2 】



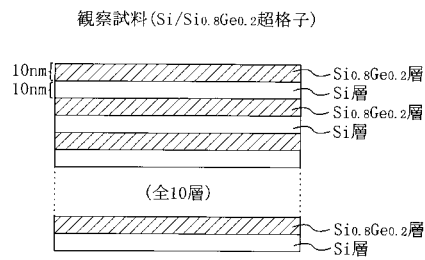
【 図 3 】



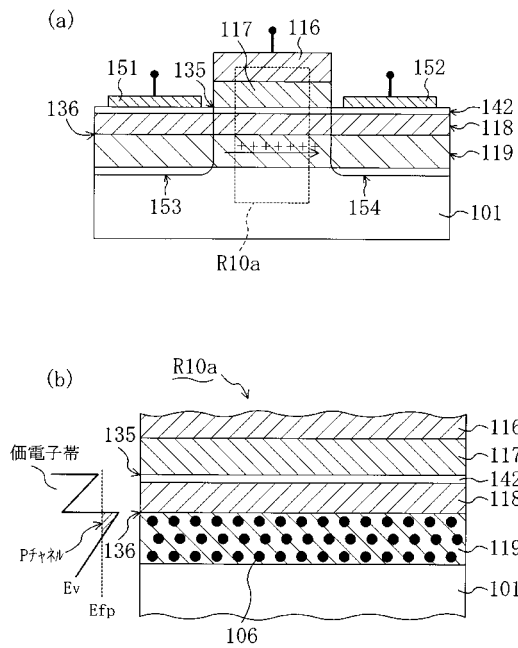
【 図 5 】



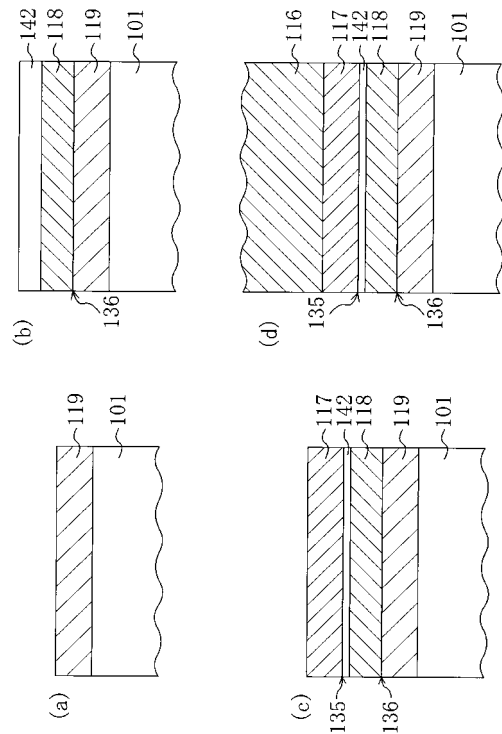
【 図 4 】



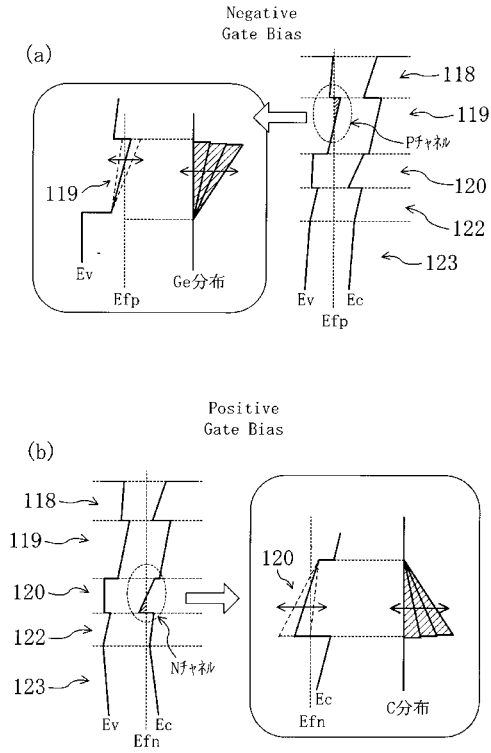
【 図 6 】



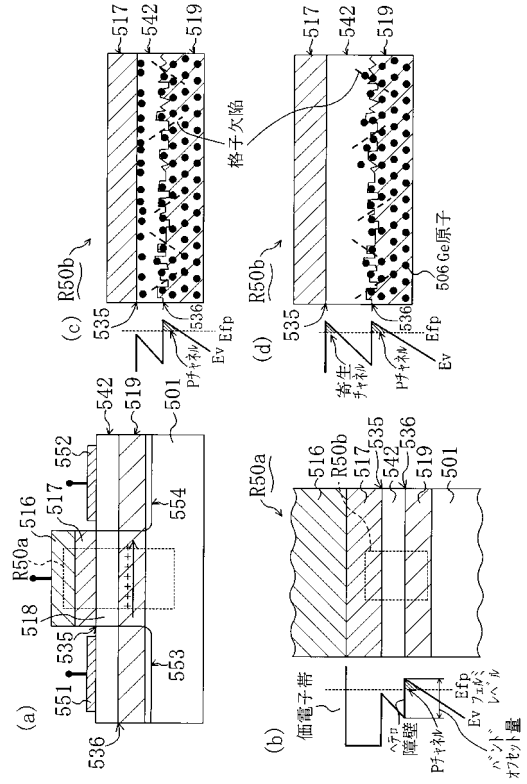
【 図 7 】



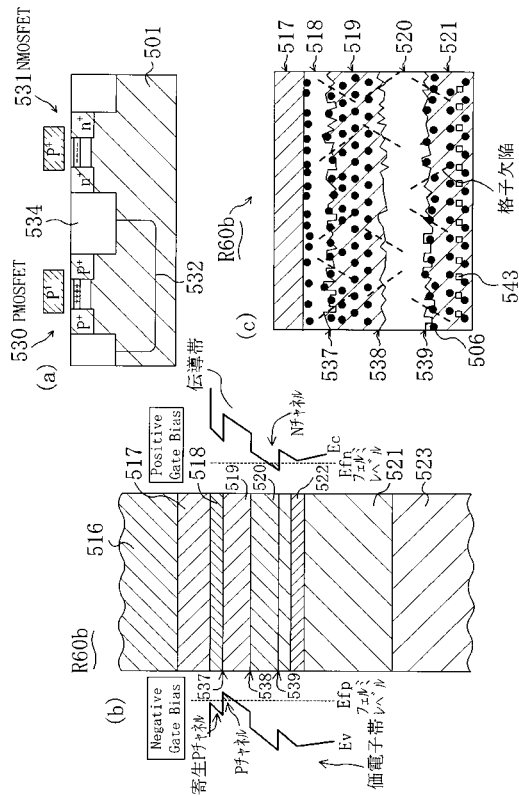
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

- (72)発明者 久保 実
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 大仲 清司
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 浅井 明
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 片山 幸治
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 河口 雅英

- (56)参考文献 特開平10-214906(JP,A)
特開平07-321222(JP,A)
特開平03-003366(JP,A)
特開平10-093076(JP,A)
特開平04-247664(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78
H01L 21/336
H01L 29/16