



(12) 发明专利

(10) 授权公告号 CN 1867225 B

(45) 授权公告日 2010.05.12

(21) 申请号 200610080911.5

(22) 申请日 2006.05.22

(30) 优先权数据

147865/2005 2005.05.20 JP

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 木村润一 本城和彦 川本英司

原田真二 北川元祥

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 李峥 杨光军

(51) Int. Cl.

H05K 1/18(2006.01)

H05K 1/02(2006.01)

H05K 3/46(2006.01)

(56) 对比文件

US 6445591 B1, 2002.09.03, 全文.

CN 1578589 A, 2005.02.09, 全文.

US 6188128 B1, 2001.02.13, 全文.

CN 1456030 A, 2003.11.12, 全文.

CN 1452245 A, 2003.10.29, 说明书第 41 段至第 53 段、附图 2.

CN 1551708 A, 2004.12.01, 全文.

审查员 徐飞兵

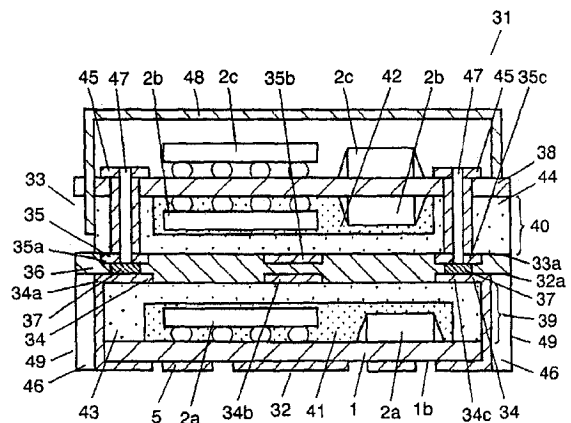
权利要求书 3 页 说明书 10 页 附图 8 页

(54) 发明名称

多层组件及其制造方法

(57) 摘要

使用由在电路基板 (1) 的一个面一侧上覆盖电子部件 (2a) 的树脂层 (39)、设置在该树脂层 (39) 和电路基板 (1) 的另一面一侧的任何一方上的连接端子 (34a、34b)、和把组件 (32) 的两面连接起来的贯通孔 (46) 预先形成的部件内置组件;同时,使用由在组件 (33) 上形成在与连接端子 (34a、34b) 对应的位置上的连接端子 (35a、35b)、和把该连接端子 (35a、35b) 与电子部件 (2b) 之间连接起来的贯通孔 (47) 预先形成的组件;在设置在导体层 (34) 和导体层 (35) 之间的绝缘层 (36) 上,设置分别把连接端子 (34a、34b) 和连接端子 (35a、35b) 之间连接起来导电性粘接剂 (37)。借助于这样的结构,在组件 (33) 中,贯通孔 (47) 和电子部件 (2b) 的位置,就不会受贯通孔 (46) 的位置的限制。



1. 一种多层组件,该多层组件把具备第 2 电路基板和装设在上述第 2 电路基板的一个面一侧上的第 2 电子部件的第 2 组件,叠层并连接到具备第 1 电路基板、装设在上述第 1 电路基板的一个面一侧上的第 1 电子部件和在上述第 1 电路基板的一个面一侧上以覆盖上述第 1 电子部件的方式形成的第 1 树脂层的第 1 组件的上边;

上述第 1 组件还具备:在上述第 1 组件的一个面上形成的第 1 导体层;设置在上述第 1 导体层上的第 1 连接端子;设置在上述第 1 组件的另一个面上的第 2 导体层;和把上述第 2 导体层与上述第 1 导体层连接起来的贯通孔;

上述第 2 组件还具备:与上述第 1 导体层相向配置的第 3 导体层;在上述第 3 导体层上在与上述第 1 连接端子相对应的位置上形成的第 2 连接端子;和把上述第 2 连接端子与上述第 2 电子部件之间连接起来的导体;

在上述第 1 导体层与上述第 3 导体层之间具有绝缘层,另外上述第 1 连接端子与上述第 2 连接端子之间由连接构件连接起来;

并且,上述第 1 树脂层,由覆盖电子部件的树脂埋设部和被形成为覆盖上述树脂埋设部的基材添加树脂部构成,上述基材添加树脂部被形成在上述第 1 树脂层的外周部,在上述第 1 树脂层的外周部的上述基材添加树脂部上形成有上述贯通孔。

2. 根据权利要求 1 所述的多层组件,其中:

在上述第 1 组件与上述第 2 组件的外周部上分别具有切断面;

上述切断面被形成为排列在一条直线上。

3. 根据权利要求 1 所述的多层组件,其中:

上述连接构件是热硬化性的导电性粘接剂。

4. 根据权利要求 1 所述的多层组件,其中:

上述绝缘层是热硬化性树脂。

5. 根据权利要求 4 所述的多层组件,其中:

上述第 2 组件,还具备:

振荡电路和构成上述振荡电路的电感器;

在上述第 3 导体层一侧上设置有进行上述电感器的微调整的调整孔部。

6. 根据权利要求 1 所述的多层组件,其中:

上述贯通孔是半圆状,而且形成在上述第 1 组件的侧面上。

7. 根据权利要求 1 所述的多层组件,其中:

在上述第 1 组件与上述第 2 组件的外周部之间,是上述绝缘层。

8. 根据权利要求 1 所述的多层组件,其中:

上述绝缘层是阻焊剂;

上述连接构件是膏状焊料。

9. 根据权利要求 8 所述的多层组件,其中:

以使得上述第 1 组件和上述第 2 组件的挠曲方向变成为同一方向的方式进行叠层。

10. 根据权利要求 8 所述的多层组件,其中:

上述第 1 组件与上述第 2 组件,挠曲量彼此相同。

11. 根据权利要求 8 所述的多层组件,其中:

上述膏状焊料的熔点,比用于把所述多层组件连接到母基板上所使用的焊料的熔点

高。

12. 根据权利要求 8 所述的多层组件,其中:

上述第 1 组件与上述第 2 组件的挠曲方向彼此相反。

13. 根据权利要求 1 所述的多层组件,其中:

上述第 2 组件,在上述第 2 电路板的一个面一侧还具有以把电子部件覆盖起来的方式形成的第 2 树脂层;

上述第 3 导体层,形成在上述第 2 树脂层与上述第 2 电路板的另一面一侧中的任何一方上。

14. 根据权利要求 13 所述的多层组件,其中:

上述第 2 组件在上述第 1 导体层的相反的面一侧还具有第 4 导体层;

在上述第 4 导体层上装设有上述第 2 电子部件。

15. 根据权利要求 14 所述的多层组件,其中:

上述第 4 导体层是地线。

16. 根据权利要求 13 所述的多层组件,其中:

上述第 1 组件与上述第 2 组件,被配置为使得上述第 1 树脂层与上述第 2 树脂层彼此相向。

17. 根据权利要求 13 所述的多层组件,其中:

上述第 1 组件与上述第 2 组件,被配置为使得上述第 1 电路板与上述第 2 电路板彼此相向。

18. 根据权利要求 16 所述的多层组件,其中:

上述第 1 树脂层与上述第 2 树脂层的厚度相等。

19. 根据权利要求 13 所述的多层组件,其中:

上述第 2 树脂层用热硬化性树脂进行填充。

20. 根据权利要求 13 所述的多层组件,其中:

以使得上述第 1 组件与第 2 组件的挠曲方向变成为彼此相反的方式进行叠层。

21. 根据权利要求 13 所述的多层组件,其中:

上述绝缘层用热硬化性树脂进行填充。

22. 根据权利要求 13 所述的多层组件,其中:

上述绝缘层用基材添加树脂进行填充。

23. 一种多层组件的制造方法,其中,具有:

薄片组件制造步骤,所述薄片组件制造步骤包括:

在把多个电路板连接起来而成的薄片基板上装配电子部件的部件装配步骤,

在上述部件装配步骤之后将预先形成有与电子部件相对应的孔部的预浸渍坯件叠层到所述薄片基板的电子部件装设面侧上的叠层步骤,

把预先形成有导体图形的电路板以使得导体图形朝向外侧的方式叠层在所述预浸渍坯件之上的电路板叠层步骤,

在所述电路板叠层步骤之后,在所述薄片基板、所述预浸渍坯件和所述电路板叠层后的状态下,通过压缩和加热使含浸在预浸渍坯件中的树脂向上述孔部的间隙流入,在流入完全结束之后进行冷却的树脂强制流入步骤,

在上述树脂强制流入步骤之后加工用来把所述电路基板的导体图形和所述薄片基板的导体图形之间连接起来的贯通孔的贯通孔加工步骤；

连接构件供给步骤,在与上述薄片组件的连接端子相对应的位置将预先埋入了连接构件的未硬化预浸渍坯件叠层到上述薄片组件上表面上,向上述薄片组件的连接端子上供给上述连接构件；

组件叠层步骤,在上述连接构件供给步骤之后,以使得第 2 薄片组件上的连接端子与上述连接构件相对应的方式将该第 2 薄片组件叠层到上述埋入有连接构件的未硬化预浸渍坯件上；

一体化步骤,通过在上述组件叠层步骤之后进行加热,使上述埋入有连接构件的未硬化预浸渍坯件硬化,在上述薄片组件与上述第 2 薄片组件之间形成绝缘层,同时使上述薄片组件与上述第 2 薄片组件一体化；以及

将上述叠层薄片组件切断的切断步骤。

24. 如权利要求 23 所述多层组件的制造方法,其中,在上述一体化步骤和上述切断步骤之间,还具有：

在上述叠层薄片组件的导体图形上装配第 2 电子部件的部件装配步骤；以及

在上述部件装配步骤之后,在上述叠层薄片组件的装设上述第 2 电子部件的一侧上装设外壳的外壳装设步骤。

## 多层组件及其制造方法

### 技术领域

[0001] 本发明涉及把多个组件重叠起来的多层组件。

### 背景技术

[0002] 以下,用附图对现有的多层组件进行说明。

[0003] 图 12 是现有的多层组件的剖面图。在图 12 中,电路板 300 是多层基板,在该电路板 300 的上表面一侧 300a 上,形成有导体图形 400,在该导体图形 400 上装配有半导体元件或芯片部件等的电子部件 200a。此外,在电路板 300 的下表面一侧 300b 上则形成有导体图形 500。

[0004] 在这样的电路板 300 的上表面一侧 300a 上,以把电子部件 200a 的外周覆盖起来的方式形成有树脂层 600。另外,在树脂层 600 的上表面 600a 上形成有导体图形 700。此外,形成在树脂层 600 的上表面 600a 上的导体图形 700a 与形成在电路板 300 的下表面一侧 300b 上的导体图形 500a,通过贯通电路板 300 和树脂层 600 的贯通孔 800 而连接起来。

[0005] 在导体图形 700 上边,进而装配有半导体元件或芯片部件等的电子部件 200b。此外,树脂层 600 的上表面 600a 一侧,以把电子部件 200b 覆盖起来的方式形成有树脂层 900。另外,在树脂层 900 的上表面 900a 上设置有导体图形 1000。此外,为了把树脂层 900 的上表面 900a 的导体图形 1000a 和树脂层 600 的上表面 600a 的导体图形 700b 连接起来,形成有贯通树脂层 600、900 这双方、同时在电路板 300 的下表面一侧 300b 与导体图形 500b 进行连接的贯通孔 1300。

[0006] 在像这样地形成的多层组件 1200 中,进而在电路板 300 的下表面一侧 300b 与树脂层 900 的上表面 900a 各自的外周附近上,形成导体图形 500c、1000b。此外,这些导体图形 500c、1000b 由设置在多层组件 1200 的侧面上的贯通孔 1300 而连接起来。在这里,导体图形 500c 和贯通孔 1300,被用做向母基板上装设多层组件 1200 的情况下的连接端子。

[0007] 以下,用附图对像这样地构成的现有的多层组件的制造方法进行说明。

[0008] 图 13 是现有的多层组件的制造流程图。

[0009] 在图 13 中,首先,在部件装配步骤 S21a 中在把多个电路板 300 连结起来的状态下,把半电子部件或芯片部件 200a 装设到电路板 300 的上表面一侧 300a 上。树脂层形成步骤 S22a,是以将在部件装配步骤 S21a 中所装设的半电子部件或芯片部件 200a 覆盖起来的方式向电路板 300 的上表面一侧 300a 供给树脂、并通过加热而使树脂硬化的步骤。在像这样地在树脂层形成步骤 S22a 中形成树脂层 600 之后,在导体层形成步骤 S23a 中,借助于粘接剂等把铜箔粘贴到树脂层 600 的上表面 600a 上。

[0010] 其次,在端子和图形形成步骤 S24a 中,借助于刻蚀等而使铜箔形成规定的形状的导体图形 700、700a,同时,形成把导体图形 700a、500a 连接起来的贯通孔 800,完成多层组件 1200 的第 1 层。

[0011] 然后,第 2 层或以上的组装,与第 1 层同样,使从部件装配步骤 S21a 到端子和图形

形成步骤 S24b 为止的步骤反复进行将树脂层重叠起来那么多次。在端子和图形形成步骤 S24b 中,在完成了作为多层组件 1200 的布线之后,在切断步骤 S25 中切断电路板 300 与树脂层 600、900。

[0012] 另外,与本申请的发明有关联的在先技术,已经公开于例如特开 2000-183283 号公报、特开 2003-31954 号公报。

[0013] 但是,在这样的现有的多层组件中,把导体图形 1000a 和导体图形 700b 连接起来的贯通孔 1300,由于是在电路板 300 上边依次堆叠了树脂层 600、900 之后形成的,因此形成为贯通树脂层 600、900 这双方。因此,在已经形成有贯通孔 1300 的位置上,就不能装设半电子部件或芯片部件 200a。为此,要进行重叠的树脂层的层数越多则由贯通孔所产生的不能装设电子部件的区域就会变得越大。此外,贯通孔 800 由于已被设置为贯通树脂层 600,故在该贯通孔 800 上边,就不能再装配半电子部件或芯片部件 200a。

[0014] 如上所述,在现有的多层组件中,由于通过为了把层间连接起来而形成的贯通孔 800、1300 会产生不能装设电子部件的区域,故存在着多层组件会大型化的课题。

[0015] 发明的内容

[0016] 本发明,解决了该问题,提供一种与树脂层的层数无关的小型的多层组件。

[0017] 本发明的多层组件,是把具备第 2 电路基板和已经装设到第 2 电路板的一个面一侧上的第 2 电子部件的第 2 组件,叠层并连接到具备第 1 电路基板和已经装设到第 1 电路板的一个面一侧上的第 1 电子部件的第 1 组件的上边的组件。第 1 组件还具备:在第 1 电路板的一个面一侧上以覆盖第 1 电子部件的方式形成的第 1 树脂层,在第 1 树脂层和第 1 电路板的另一面一侧中的任何一方上形成的第 1 导体层,设置在第 1 导体层上的第 1 连接端子,设置在第 1 导体层的相反的面上的第 2 导体层,和第 2 导体层与第 1 导体层连接起来的贯通孔。第 2 导体层还具备:与第 1 导体层相向配置的第 3 导体层,在第 3 导体层上在与第 1 连接端子相对应的位置上形成的第 2 连接端子,和第 2 连接端子和第 2 电子部件之间连接起来的连接导体。

[0018] 此外,本发明的多层组件,在第 1 导体层与第 3 导体层之间具有绝缘层,具有把第 1 连接端子和第 2 连接端子连接起来的连接构件。此外,在第 1 组件与第 2 组件的外周部上分别具有切断面,切断面被形成为排列在一条直线上。

[0019] 通过采用这样的结构,在第 2 组件中把第 2 连接端子与电子部件之间连接起来的连接导体或电子部件的位置,就不会因第 1 组件上的贯通孔的位置而受到限制。因此,由于可以缩小由贯通孔所产生的电子部件的装设位置的限制区域、可以高密度地装配电子部件而与要进行重叠的组件的层数无关,故可以使多层组件小型化。

## 附图说明

[0020] 图 1 是本发明的实施方式 1 的多层组件的剖面图。

[0021] 图 2 是本发明的实施方式 1 的多层组件的制造流程图。

[0022] 图 3 是在本发明的实施方式 1 的多层组件中使用的薄片组件制造流程图。

[0023] 图 4 是在本发明的实施方式 1 的多层组件中使用的一体化步骤的薄片组件的剖面图。

[0024] 图 5 是在本发明的实施方式 1 的多层组件中使用的切断步骤的薄片组件的剖面

图。

[0025] 图 6 是在本发明的实施方式 1 中把 3 个组件叠层起来的情况下的多层组件的剖面图。

[0026] 图 7 是在本发明的实施方式 1 中作为连接构件使用膏状焊料的情况下的多层组件的剖面图。

[0027] 图 8 是在本发明的实施方式 1 中以电路板彼此件相向的方式把组件叠层起来的多层组件的剖面图。

[0028] 图 9 是本发明的实施方式 2 的多层组件的剖面图。

[0029] 图 10 是本发明的实施方式 2 的多层组件的制造流程图。

[0030] 图 11 是在本发明的实施方式 3 的多层组件的母基板装配状态下的剖面图。

[0031] 图 12 是现有的多层组件的剖面图。

[0032] 图 13 是现有的多层组件的制造流程图。

[0033] 标号说明

[0034] 1 : 电路板 (第 1 电路板)

[0035] 2a : 电子部件 (第 1 电子部件)

[0036] 2b : 电子部件 (第 2 电子部件)

[0037] 2c : 电子部件 (第 3 电子部件)

[0038] 5 : 导体图形 (第 2 导体层)

[0039] 32 : 第 1 组件

[0040] 33 : 第 2 组件

[0041] 34 : 导体图形 (第 1 导体层)

[0042] 35 : 导体图形 (第 3 导体层)

[0043] 45 : 导体图形 (第 4 导体层)

[0044] 34a : 连接端子 (第 1 连接端子)

[0045] 35a : 连接端子 (第 2 连接端子)

[0046] 36 : 绝缘层

[0047] 37 : 导电性粘接剂 (连接构件)

[0048] 38 : 电路板 (第 2 电路板)

[0049] 39 : 树脂层 (第 1 树脂层)

[0050] 40 : 树脂层 (第 2 树脂层)

[0051] 46 : 贯通孔

[0052] 47 : 贯通孔 (连接导体)

### 具体实施方式

[0053] 以下,用附图对本实施方式 1 进行说明。

[0054] 图 1 是本发明的实施方式 1 的多层组件的剖面图。在图 1 中,在本实施方式 1 的多层组件 31 中,是把组件 33 (第 2 组件) 重叠到了组件 32 (第 1 组件) 的上边的构造。此外,以把绝缘层 36 夹在中间的方式配置在组件 32 的上表面上 32a 上形成的导体图形 34 (第 1 导体层) 和在组件 33 的下表面 33a 上形成的导体图形 35 (第 3 导体层)。另外,绝缘层

36 使用硬化性树脂的环氧树脂。此外,绝缘层 36,作为基材使用在其中心部上加入了玻璃纤维布的绝缘层,提高了多层组件 31 的弯曲强度。

[0055] 在这里,在导体图形 34、35 中的每一个中,都设置有连接端子 34a(第 1 连接端子)、34b、35a(第 2 连接端子)、35b。另外,在这些组件 32 和 33 中,把对应的连接端子 34a 和 35a、34b 和 35b 设置在相对的位置上,这些连接端子 34a、34b、35a、35b 彼此间,分别由导电性粘接剂 37(连接构件)连接起来。另外,在本实施方式 1 中,虽然作为连接构件使用的是导电性树脂,但是,连接构件也可以是热硬化性的导电性膏等。

[0056] 其次,对组件 32、33 的结构进行说明。组件 32、33 的电路板 1(第 1 电路板)、电路板 38(第 2 电路板)是多层基板,这些多层基板 1、38 的上表面侧 1a、38a 一侧与下表面侧 1b、38b 或内层导体(图未示)等之间,分别用贯通孔(图未示)或导电性粘接剂(图未示)等连接起来。

[0057] 此外,这些组件 32、33,在各自的电路板 1、38 上都装设有半导体元件或芯片部件等电子部件 2a(第 1 电子部件)、电子部件 2b(第 2 电子部件)。此外,在这些电路板 1、38 的电子部件 2a、2b 装配面一侧上,都以把这些电子部件 2a、2b 覆盖起来的方式装设有树脂层 39(第 1 树脂层)、树脂层 40(第 2 树脂层)。另外,这些树脂层 39、40 中的每一个,都是由覆盖电子部件 2a、2b 的树脂埋设部 41、42,和覆盖该树脂埋设部 41、42 的基材添加树脂部 43、44 形成的。另外,树脂埋设部 41、42 是环氧树脂,基材添加树脂部 43、44 为把环氧树脂和作为基材的玻璃纤维布交替地叠层起来的结构。如上所述,树脂层 39、40 由覆盖电子部件的树脂埋设部 41、42 及基材添加树脂部 43、44 构成。

[0058] 此外,树脂层 1、38,使用由玻璃纤维布基材和环氧树脂构成的基板。借助于此,结果就变成成为组件 32、33 的上下都可以由基材添加层构成,故可以加大组件 32、33 的弯曲强度。此外,作为基材的玻璃纤维布等那样的基材,由于线膨胀系数小,故可以实现挠曲小的多层组件。

[0059] 在这些基材添加树脂部 43、44 表面上,分别布线有导体图形 34、35。另一方面,在电路板 1、38 的树脂层 39、40 形成一侧的相反的一侧上,分别布线有导体图形 5(第 2 导体层)、导体图形 45(第 4 导体层)。然后,用贯通孔 46 把这些导体图形 34 和导体图形 5 连接起来,用贯通孔 47(连接导体)把导体图形 35 与导体图形 45 连接起来。

[0060] 另外,贯通孔 46、47,优选为都预先形成于基材添加树脂部 43、44 上。这是因为玻璃纤维布的线膨胀系数与环氧树脂比起来小的缘故。即,若在已添加进玻璃纤维布基材的基材添加树脂部 43、44 上设置贯通孔 46、47,则贯通孔 46、47 对热变动的伸缩率就要减小,就难于在贯通孔 46、47 上产生因热变动而产生的裂纹等。因此,就可以实现可靠性良好的多层组件。

[0061] 进而,采用把电子部件 2c(第 3 电子部件)装配到导体图形 45 上,并以把这些电子部件覆盖起来的方式装设金属制的外壳 48 的办法,完成多层组件 31。

[0062] 如上所述,组件 33 也内置电子部件 2b。此外,对于该组件 33,还可以装设电子部件 2c。因此,在本实施方式 1 中就变成成为 3 层构造,可以实现小型的多层组件 31。

[0063] 通过采用这样的结构,就可以把贯通孔 46 形成为使得仅仅贯通组件 32。然后,以使之相对的方式配置导体图形 34 和导体图形 35,在这些导体图形 34、35 之间形成绝缘层 36。



[0064] 此外,在组件 33 中,贯通孔 47 把导体图形 35 和电子部件 2b 连接起来。借助于此,在组件 33 中,贯通孔 47 的位置,就不会因组件 32 中的贯通孔 46 的位置而受到限制。因此,就可以减小因贯通孔 46 引起的电子部件 2b 的装设位置的限制区域而与要进行重叠的组件的层数无关。因此,由于可以高密度地装配电子部件 2b,故可使多层组件 31 小型化。

[0065] 另外,导电性粘接剂 37 和绝缘层 36,由于都是热硬化性的,故不会因在向母基板等上焊接装配组件 31 的情况下的热等而熔融,不会出现组件 32 和组件 33 被剥离那样的情况。因此,组件 32、33 的各个电路间的连接可靠性变高。

[0066] 此外,贯通孔 46 是在组件 32 的侧面上以半圆状的形状形成的,故可以效率良好地把电子部件 2a 配置装配到电路基板 1 的中央部上。此外,由于可以把贯通孔 46 用做用来装设多层组件 31 的端子,故可以有效地利用空间而使多层组件 31 小型化。

[0067] 其次,用附图对多层组件 31 的制造方法进行说明。

[0068] 图 2 是本发明的实施方式 1 的多层组件 31 的制造流程图。图 3 是在本发明的实施方式 1 的多层组件中使用的薄片组件 81(示于图 4)的制造流程图。图 4 是在本发明的实施方式 1 的多层组件中使用的一体化步骤的薄片组件 81 的剖面图。

[0069] 图 3 的薄片组件制造步骤 S61,是制造把多个组件 32 或组件 33 连结起来的薄片组件 81(示于图 4)的步骤。

[0070] 以薄片组件制造步骤 S61a 为代表对该薄片组件制造步骤 S61 的细节进行说明。在图 2、图 3、图 4 中,在薄片组件制造步骤 S61a 中,进行把电子部件 2a 装配到已把多个电路基板 1 连结起来的薄片基板 62 上的部件装配步骤 S64。在这里,电子部件 2a 使用高熔点的膏状焊料等,进行软化回流焊接。此外,集成电路元件等则可对电路基板 1 面朝下进行倒装装配。另外,在薄片基板 62 的下表面 62a 上预先形成有导体图形 5。

[0071] 其次,在部件装配步骤 S64 之后进行叠层步骤 S65,首先把 4 块在孔加工步骤 S66 中已预先形成了与电子部件 2a 相对应的孔部 82 的预浸渍坯件 67(用作树脂薄片的一个例子)叠层到薄片基板 62 的电子部件 2a 装设面一侧上。然后,在预浸渍坯件 67 的上边,把已预先形成了导体图形 35 的电路基板 68(已硬化完毕)以使得导体图形 35 朝向外侧的方式叠层。如上所述,在这里把 4 块预浸渍坯件 67 叠层起来的厚度,设置得比电子部件 2a 的高度还大。此外,为了使预浸渍坯件 67 的叠层变得容易进行,孔部 82 设置得比电子部件 2a 的外周更大。这样一来,就可以在电子部件 2a 的上方和侧方形成间隙 83。

[0072] 在叠层步骤 S65 之后,设置树脂强制流入步骤 S69。在该树脂强制流入步骤 S69 中,在将预浸渍坯件 67 和电路基板 68 叠层到了薄片基板 62 的上边的状态下,用压板 84 把该叠层部分的上下夹住。然后,在图 4 中,在向 A 方向进行压缩,同时进行加热。

[0073] 在这里,浸渗于预浸渍坯件 67 内的树脂,是热硬化性树脂的环氧树脂。此外,本实施方式 1 的环氧树脂,从常温到约 90℃(第 1 温度范围)是板状体。但是,伴随着温度上升黏度变小变成为可流动。本实施方式 1 的由压板 84 施加的压力约为 40kg/cm<sup>2</sup>,在该压力下环氧树脂在从约 90℃到约 150℃的温度(第 2 温度范围)下变成为可流动。然后,当超过了 150℃以上的温度(第 3 温度范围)后就要硬化。另外,这些环氧树脂的黏度,也将随着环氧树脂的升温条件等的变化而变化。此外,流动开始的温度也随着压板 84 的压力的值的变动而变动。因此,在树脂强制流入步骤 S69 中使用的环氧树脂的特性等,并不限于上述条件,只要设为与使用的设备或使用的树脂相对应地使用的条件即可。

[0074] 如上所述,在树脂强制流入步骤 S69 中,通过以  $40\text{kg}/\text{cm}^2$  的压力压缩预浸渍坯件 67 的办法,强制性地使温度在  $90^\circ\text{C}$  或以上而且在  $150^\circ\text{C}$  或以下变成为可流动的环氧树脂向间隙 83 内流入。然后,在该流入完全结束之后通过冷却,形成树脂流动埋设部 41,完成内置有电子部件的树脂层 39。借助于此,即便是电子部件 2a 与电路板 1 之间的狭窄的间隙等,也可以可靠地填充树脂。因此,就没有必要预先在电子部件 2a 与电路板 1 之间放入中间材料(底充)等。

[0075] 另外,在冷却时在树脂层 39(参看图 1)上会产生热收缩。于是,可以通过把树脂层 39 夹在硬化完毕的电路板 68 与电路板 1 之间的办法,减小由树脂层 39 的收缩引起的挠曲。于是,优选把电路板 68 与电路板 1 的厚度设为同一厚度。

[0076] 在贯通孔加工步骤 S70 中,在该树脂强制流入步骤 S69 之后,加工用来把导体图形 34 和导体图形 5 之间连接起来的贯通孔 46。

[0077] 通过以上那样的步骤,完成薄片组件 81。另外,在这里,虽然是对把多个组件 32 连结起来的薄片组件 81 的制造步骤进行了说明,但是,对于把多个组件 33 连结起来的薄片组件,也可以经过与薄片组件 81 相同的步骤而形成。借助于这样的步骤,组件 32、33 就可以作为部件内置组件而完成。

[0078] 其次,在图 2 中,连接构件供给步骤 S71,是向在薄片组件制造步骤 S61a 中所制作的薄片组件 81 的连接端子 34a、34b 上边供给导电性粘接剂 37 的步骤。在这里,对于未硬化预浸渍坯件,准备在与连接端子 34a、34b、35a、35b 对应的位置上预先进行孔加工、并把导体膏埋入到该孔部内的预浸渍坯件。然后,通过把该未硬化预浸渍坯件叠层到组件 32 的上表面 32a 上边的办法,向连接端子 34a、34b 上边供给导电性粘接剂 37,同时,也供给用来形成绝缘层 36 的树脂。另外,该未硬化预浸渍坯件使用的是已把环氧树脂浸渗于玻璃基材内的预浸渍坯件。

[0079] 其次,叠层步骤 S72,在连接构件供给步骤 S71 之后,把薄片状态的组件 33 叠层到未硬化预浸渍坯件的上边。另外,这时组件 33 被叠层为使得组件 32 与组件 33 的树脂层 39 和树脂层 40 相向。

[0080] 在一体化步骤 S73 中,通过在叠层步骤 S72 之后进行加热的办法,使未硬化预浸渍坯件硬化,在组件 32 与组件 33 之间形成绝缘层 36,同时,使薄片状态的组件 32 与薄片状态的组件 33 一体化。此外,同时也使导电性粘接剂 37 硬化,由此分别把连接端子 34a、34b 和连接端子 35a、35b 连接起来。

[0081] 在这里,由于在薄片组件制造步骤 S61 的冷却时树脂层 39 会进行收缩,故在树脂层 39 形成一侧就易于产生挠曲。于是,在本实施方式 1 中,为了对该挠曲进行矫正,以使得树脂层 39 与树脂层 40 相向的方式叠层组件 33。即,以使得组件 32 与组件 33 的挠曲变成相反的方向的方式进行叠层。借助于此,由于组件 32 与组件 33 的挠曲变成相反的方向,结果就变成在一体化之后彼此的挠曲互相抵消,故可以减小薄片组件的挠曲。

[0082] 此外,除此之外,优选把组件 32、33 的树脂层 39、40 的厚度设为相等。这是因为组件 32、33 的挠曲量与树脂层的厚度成比例地增加的缘故,如上所述,若将树脂层 39 与树脂层 40 的厚度设为相等,则就可以使组件 32 与组件 33 的挠曲量变成为相等。借助于此,由于一体化后的组件的挠曲减小,故在该薄片组件的状态下就可以进一步装配电子部件等。因此,可以在保持薄片的状态下进行电子部件的装配,可以实现生产性优异的多层组件。

[0083] 另外,在一体化步骤 S73 中,与树脂强制流入步骤 S69 同样,在加热的同时供给压力。借助于此,就可以进一步矫正由冷却时的树脂层的热收缩而产生的薄片状组件的挠曲。此外,借助于该加压,组件 32 与组件 33 之间,由于可以无间隙地用环氧树脂进行填充,故组件 32 与组件 33 之间的接合强度增强。

[0084] 此外,在一体化步骤 S73 中使用的设备,由于可以使用在树脂强制流入步骤 S69 中使用的设备,故不需要一体化步骤 S73 专用的设备。因此,还具有可以减少设备投资、实现低价格的多层组件的效果。

[0085] 此外,未硬化预浸渍坯件,使用在中心上具有约 80 微米的玻璃纤维布的预浸渍坯件。借助于此,在一体化步骤 S73 中,即便是加上了压力,绝缘层 36 也不会变成为小于玻璃纤维布的厚度。因此,就可以可靠地形成绝缘层 36。

[0086] 图 5 是在本发明的实施方式 1 的多层组件中使用的切断步骤的薄片组件的剖面图。在图 5 中,薄片状态的组件 32 和薄片状态的组件 33 成为一体的叠层薄片组件 91,借助于上边所说的一连串制造步骤完成。

[0087] 其次,在部件装配步骤 S74 中,在叠层薄片组件 91 的导体图形 45(示于图 1) 上边,装设有电子部件 2c。另外,用于装配该电子部件 2c 的焊料,使用与部件装配步骤 S64 的高熔点焊料相比熔点低的焊料。这是因为要防止:因为由部件装配步骤 S74 的软化回流热所产生的组件 32、33 内的焊料的再熔融,而在树脂层 39、40 内发生电路短路等。

[0088] 其次,外壳装设步骤 S75,在部件装配步骤 S74 之后,把外壳 48(示于图 1) 装设、焊接到叠层薄片组件 91 的装设电子部件 2c 一侧上。

[0089] 其次,在切断步骤 S76 中,借助于预先设置在连结部 92 的每一个间隔内的切断刀齿 93 切断图 5 所示的叠层薄片组件 91 的连结部 92。借助于此,将组件 32、33 和绝缘层 36 一起切断。另外组件 32 与组件 33 的切断面变成为在一条直线上。如上所述,由于可以一起切断组件 32、33 和绝缘层 36,故生产性良好,同时,外形尺寸也稳定。

[0090] 在这里,切断步骤 S76,由于在已装设有外壳 48 的状态下进行连结部的切断,故为使得切断刀齿 93 不会伤及外壳 48,必须设置得在外壳 48 的外形与切断刀齿 93 之间具有间隙 94。因此,外壳 48 的外形必须设置得小于切断面(示于图 1) 的宽度。

[0091] 另外,导电性粘接剂 37(示于图 1),优选设置为使之在该切断步骤 S76 中不会被切断。即,以在组件 32、33 的外周端面之间形成绝缘层 36 的方式,连接端子 34a、35a、34b、35b 形成在相对于切断面 49 成为内侧那样的位置上。通过采用这样的结构,可以减少导电性粘接剂 37 因由切断所产生的应力而剥落的情况。

[0092] 如上所述,在本实施方式 1 的多层组件 31 的制造方法中,在薄片组件制造步骤 S61 中预先制作多个薄片组件。然后,在连接构件供给步骤 S71 之后,以使得组件 32 与组件 32 之间存在绝缘层的方式进行叠层,在该进行了叠层的状态下使组件 32 与组件 33 一体化。借助于此,在组件 33 中,贯通孔 47 的位置就不会因组件 32 的贯通孔 46 的位置而受到限制。因此,可以减小由贯通孔 46 产生的电子部件 2b 的装设位置的限制区域而与要进行重叠的组件的层数无关。因此,由于可以高密度地装配电子部件 2b,故可使多层组件 31 小型化。

[0093] 此外,借助于绝缘层而使预先在薄片组件制造步骤 S61 中制造的多个的薄片状态的组件一体化,然后再分割成单片。形成树脂层 39、40 的步骤,在各个组件中只进行一次,可以一起使这些单独地制作的组件 32、33 一体化。借助于此,在使组件多层化的情况下,因

树脂层 39、40 的热收缩所产生的挠曲就不会积累。因此,像现有技术的多层组件那样与叠层次数的增加对应的挠曲的增加就会减小。

[0094] 进而,在本实施方式 1 中,绝缘层 36 由 1 块预浸渍坯件形成,绝缘层 36 的厚度比组件 32、33 的厚度更薄。因此,在一体化步骤 S73 中,就可以减小因未硬化预浸渍坯件硬化时的热收缩而产生的多层组件 31 的挠曲。而且,如后所述,即便是相对于例如形成把 3 块或以上的组件叠层起来的多层组件的情况,也具有同样的效果。

[0095] 另外,本实施方式 1 的多层组件 31,把 2 个组件重叠了起来,但是该多层组件也可以把 3 个或以上的组件叠层起来。

[0096] 图 6 是把 3 个组件叠层起来的情况下的多层组件 100 的剖面图。在图 6 中,多层组件 100 在组件 33a 的导体图形 45 上也形成连接端子 45a、45b。该连接端子 45a、45b,借助于导电性粘接剂 37 而连接到在组件 101 的下表面上形成的连接端子 102a、102b 上。此外,在在组件 101 的下表面的导体图形 102 与导体图形 45 之间形成了绝缘层 103 的状态下,将组件 32、33a、101 一体化。

[0097] 另外,组件 101 也与组件 32、33a 同样,借助于薄片组件制造步骤 S61,作为内置有电子部件 2c 的薄片状的部件内置组件而完成。

[0098] 此外,在该多层组件 100 的制造方法中,与多层组件 31 的制造方法不同的是,在图 2 所示的连接构件供给步骤 S71 中,在组件 33a 的上表面上也叠层未硬化预浸渍坯件。另外,在该未硬化预浸渍坯件上,在与连接端子 45a、45b、102a、102b 相对应的位置上设置有孔部,在该孔部内填埋有导电性粘接剂 37。

[0099] 然后,在叠层步骤 S72 中,把这 3 个组件 32、33a、101 叠层起来,在一体化步骤 S73 中一起进行加热·压接。

[0100] 如上所述,即便是在把 3 层或以上的组件重叠起来的多层组件中,在各个组件中用于形成树脂层的步骤每个组件也各进行一次。此外,这些单独地制作的组件可以通过一次加热·压接步骤同时一体化。因此,即便是在 3 层或以上多层组件中,也可以不使树脂层的热收缩的挠曲累积地减小挠曲,

[0101] 特别是在要把偶数个数的部件内置组件叠层起来形成多层组件的情况下,优选将这些部件内置组件的树脂层朝向上方(以下叫做正方向)进行叠的组件、和朝向下方(以下叫做反方向)进行叠层的组件的个数设为相等。这是因为:由于在正方向上进行叠层的组件和在反方向上进行叠层的组件的挠曲方向相反,故一体化后就可以实现挠曲小的多层组件。

[0102] 此外,在正方向上叠层起来的组件的树脂层的总厚度与在反方向上叠层起来的组件的树脂层的总厚度,优选设为大体上相等。这是为了要减小一体化后的多层组件 100 的挠曲的缘故。此外,特别是在树脂层 39、40 中,优选把成为挠曲的主要原因的树脂流动埋设部 41、42 的厚度设为相等。于是,例如在图 6 的多层组件 100 中,将正方向的组件 32、101 的树脂流动埋设部 41 与树脂流动埋设部 105 之间的合计厚度,与组件 33 的树脂流动埋设部 42 的厚度设为相等。

[0103] 进而,在图 6 所示的多层组件中,在最上层的组件 101 的上表面上形成有地线图形(グラウンドパターン)104。此外,在对于例如高频组件使用这样的多层组件 100 的情况下,由于在最上层上设置有地线图形 104,故可以屏蔽高频信号。借助于此,由于可以去掉外壳 48

自身,也不再需要外壳装设步骤 S75,故可以实现低价格的高频组件。

[0104] 在本实施方式 1 中,在图 2 所示的连接构件供给步骤 S71 中作为连接构件向组件 32 上供给导电性树脂,但是也可以供给膏状焊料。

[0105] 图 7 是作为连接构件使用膏状焊料的情况下的多层组件 110 的剖面图。在图 7 中,组件 32 的连接端子 34a、34b 和内置有部件的组件 33b 的连接端子 35a、35b,分别通过膏状焊料 111 进行连接。如上所述,即便是在使用膏状焊料 111 的情况下,组件 33 的贯通孔 47 的位置,也不会因组件 32 的贯通孔 46 的位置而受到限制。因此,就可以减小因贯通孔 46 引起的电子部件 2b 的装设位置的限制区域而与要进行重叠的组件的层数无关。因此,由于可以高密度地装配电子部件 2b,故可使多层组件 110 小型化。

[0106] 另外,在使用膏状焊料 111 连接组件 32 和组件 33b 的情况下,优选把组件 33b 的电路板 38 和组件 32 的树脂层 39 配置为相向。如果像这样地进行叠层,由于组件 32 与组件 33b 的挠曲方向变成为同一方向,故在一体化步骤 S73 中就不需要用压板等夹住而进行压缩。因此,在图 2 所示的多层组件 110 的一体化步骤 S73 中,就可以使用一般的软化回流炉容易地进行一体化。

[0107] 此外,连接构件的向连接端子 34a、34b 上的供给,可以使用丝网漏印等。因此,孔加工、或向孔部内填埋导电性粘接剂 37 等的步骤就不再需要,可以实现生产性良好的多层组件。进而,在组件 32 与组件 33 相向的一侧的表面上,如果分别形成阻焊剂 112(用做绝缘层的一个例子),则可以通过容易的结构进行绝缘。

[0108] 图 8 是以使得多个电路板彼此相向的方式把组件叠层起来的多层组件的剖面图。在图 1 中,把组件 32、33 的树脂层 39 和树脂层 40 叠层为使得它们相向,但是,如图 8 所示,也可以把电路板 1 和电路板 38 叠层为以中间存在着绝缘层 36 的方式相向。在这样的情况下,由于也以使得组件 32 与组件 33 的挠曲变成为反方向的方式进行叠层,故也可以通过进行一体化而使彼此的挠曲相抵消,实现挠曲小的多层组件。

[0109] (实施方式 2)

[0110] 以下用附图对实施方式 2 进行说明。

[0111] 图 9 是实施方式 2 的多层组件的剖面图。在图 9 中,组件 32b 是内置有解调电路的部件内置组件,组件 33d 是内置有包括振荡电路的接收电路的部件内置组件。此外,通过把组件 33d 叠层到组件 32b 上,形成高频组件 130。构成振荡电路的电感器 121,由电路板 38 的内层图形形成,通过该电感器 121 与电子部件 2b 构成振荡电路和接收电路等。另外,电子部件 2a、2b 分别在装配于电路板 1、38 上的状态下内置于树脂层 39、40 内。

[0112] 图 10 是本发明的实施方式 2 的多层组件(高频组件)的制造流程图。在图 10 中,在薄片组件制造步骤 S61 与连接构件供给步骤 S71 之间,存在着微调整步骤 S131。在该微调整步骤 S131 中,借助于激光光束等从背面一侧(导体图形 35 面一侧)进行微调整。然后调整电感器 121 的电感值。使得振荡电路的振荡频率变成为规定的值。

[0113] 在叠层步骤 S72 中,以使得电路板 38 这一侧变成为绝缘层 36 这一侧的方式对组件 33d 进行叠层。这样一来,在一体化步骤 S73 中浸渗于未硬化预浸渍坯件内的环氧树脂就会熔融而流入到激光微调整孔部 122 内,激光微调整孔部 122 被环氧树脂所填埋起来。因此,由于激光微调整孔部 122 被环氧树脂所密封,故相对于湿度等,振荡电路的振荡频率变得在很长时间内很难发生变化。

[0114] 此外,在本实施方式 2 中,组件 33d 的上侧的导体图形 45 被设为地线。借助于此,由于没有必要另外使用外壳等,故可以实现低价格的多层组件。

[0115] (实施方式 3)

[0116] 以下,用附图对实施方式 3 进行说明。

[0117] 图 11 是本实施方式 3 的多层组件的母基板装配状态下的剖面图。在图 11 中,作为把组件 32c 和组件 33c 之间连接起来的连接构件,使用的是膏状焊料 111。此外,多层组件 141 与母基板的导体图形 143 之间的连接也通过膏状焊料 144 进行。在这里,优选使用膏状焊料 111 的熔点比膏状焊料 144 的熔点更高的膏状焊料。借助于此,即便由向母基板 142 上软化回流焊接多层组件 141 时的热,膏状焊料 111 也不会熔融。因此,由于在母基板 142 的软化回流步骤中在膏状焊料 111 中难于产生断线等,故可以实现可靠性高的多层组件。

[0118] 此外,通过设为这样的结构,故可以使得组件 32c 与组件 33c 的挠曲变成为相反的方向的方式进行叠层。在母基板 142 的软化回流步骤中,当膏状焊料 111 熔融时,组件 32c、33c 要返回原来的挠曲方向。但是,由于膏状焊料 111 不熔融,故在连接部上就不会产生断线。此外,还可以减小多层组件 141 的挠曲。

[0119] 工业上应用前景

[0120] 本发明的多层组件,具有可以使复合有多种功能的组件小型化的效果,作为可装载于便携用设备的组件而有用。

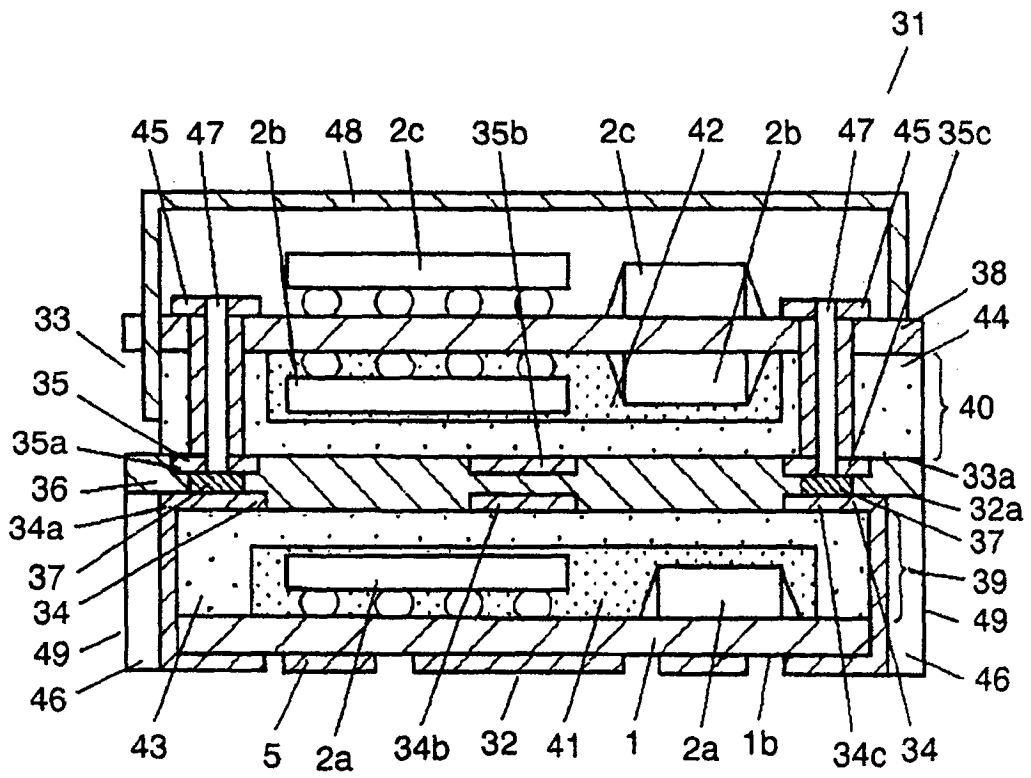


图 1

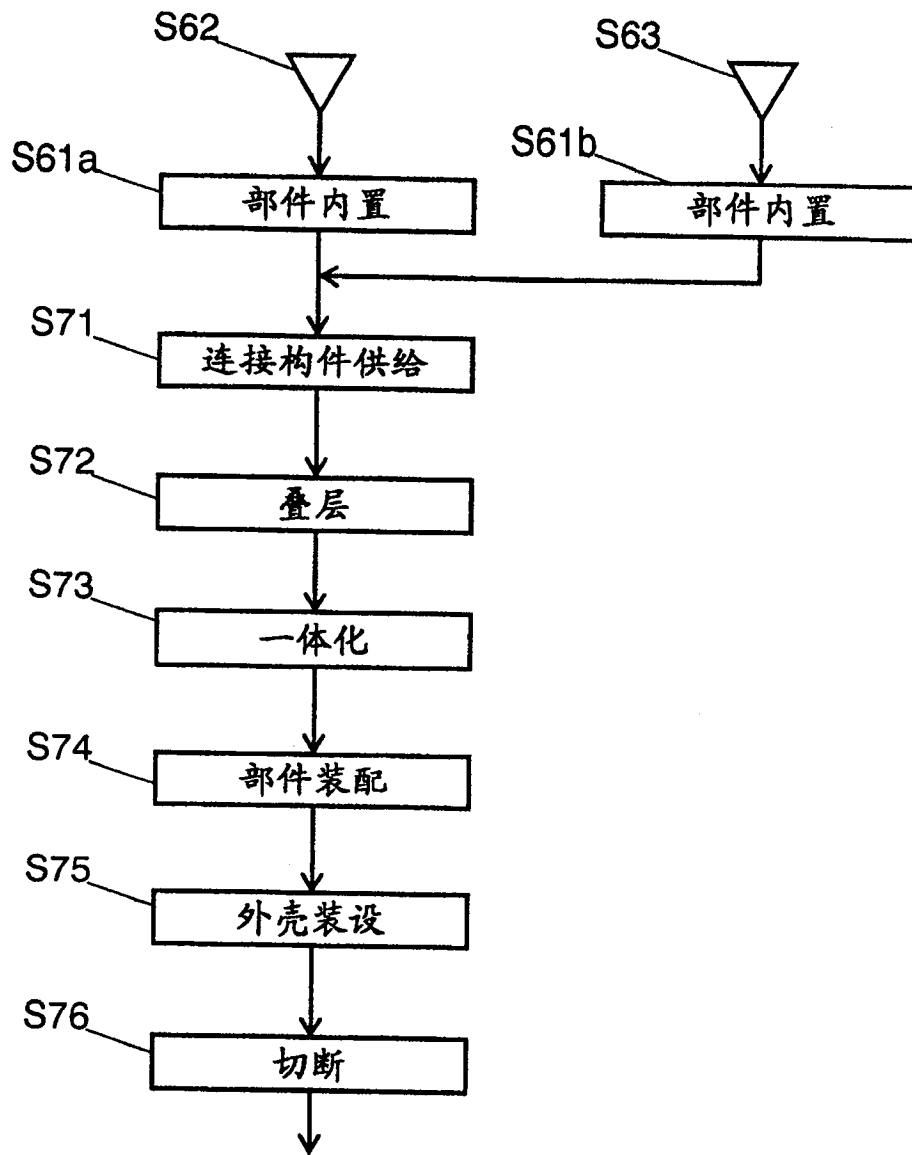


图 2



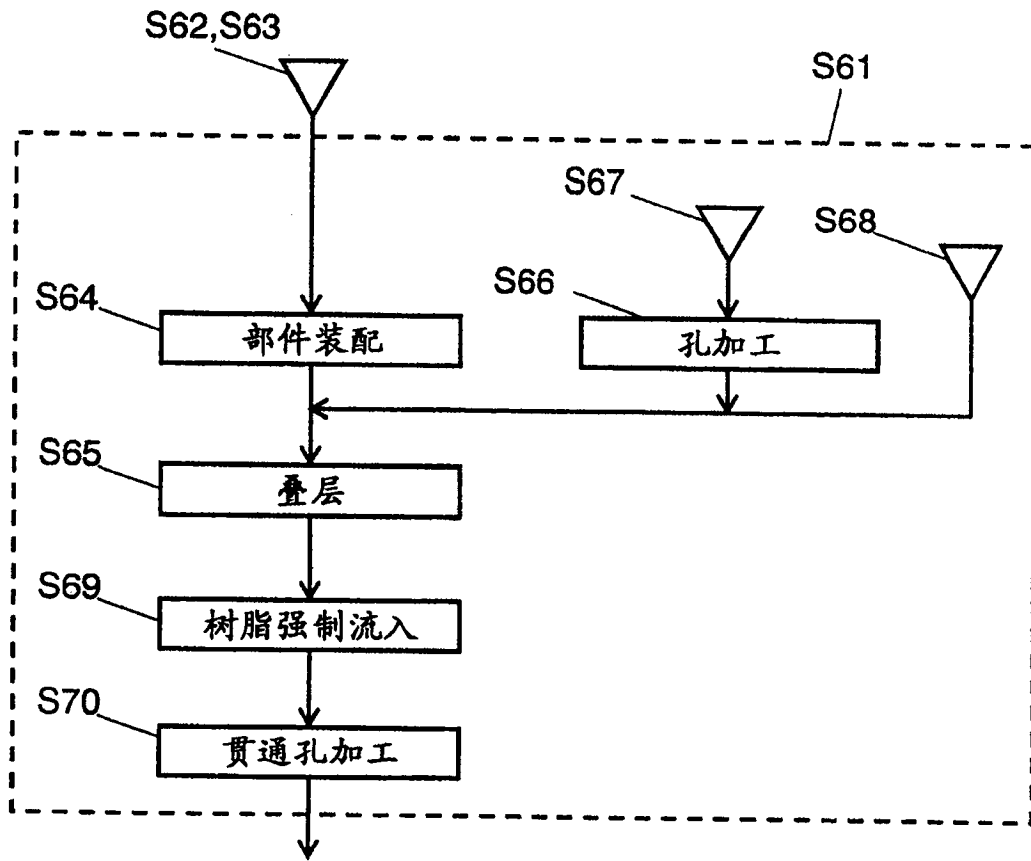


图 3

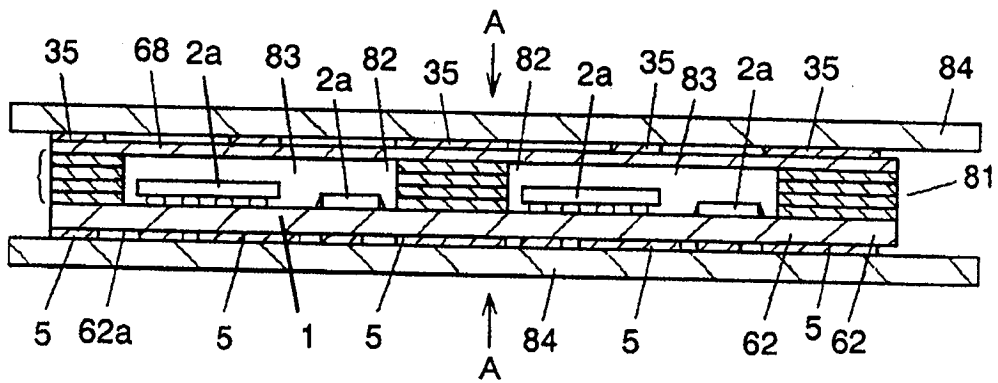


图 4

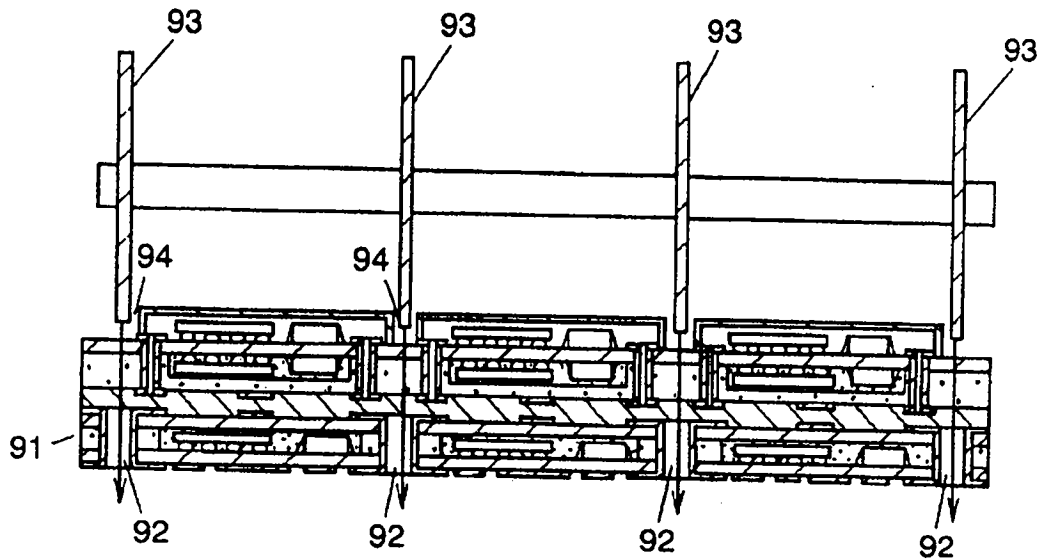


图 5

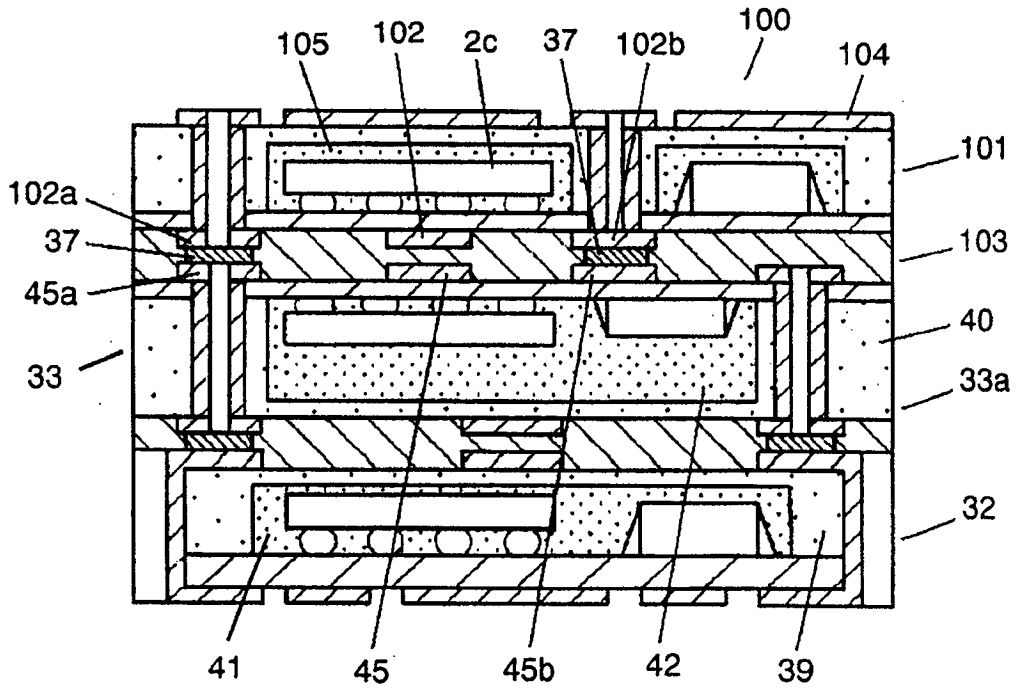


图 6

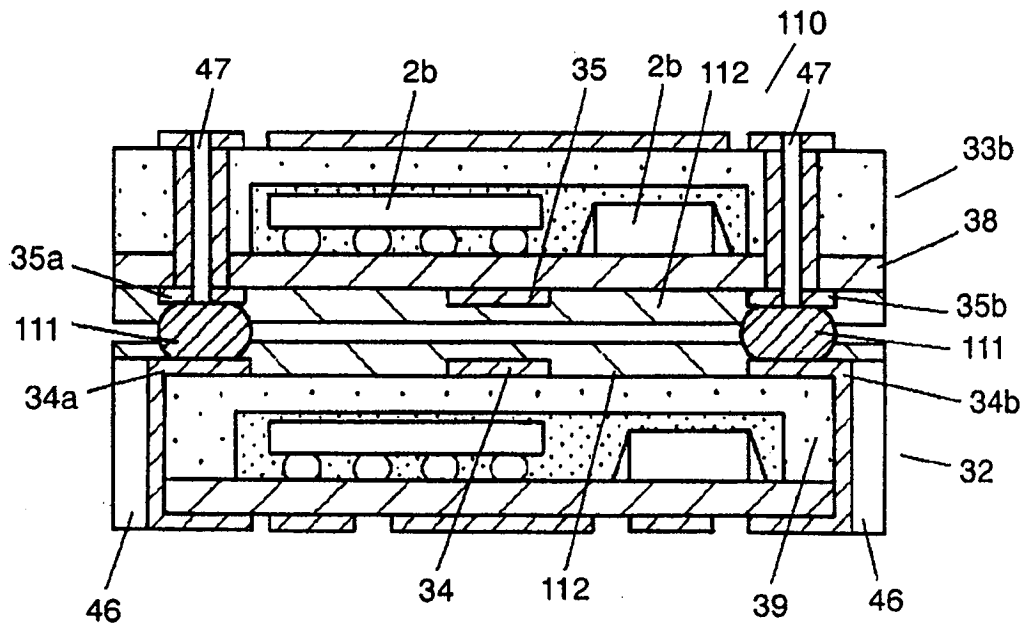


图 7

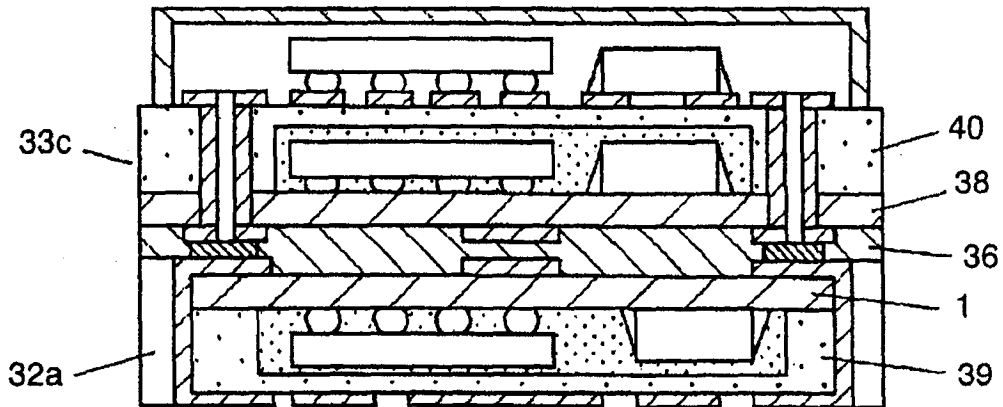


图 8

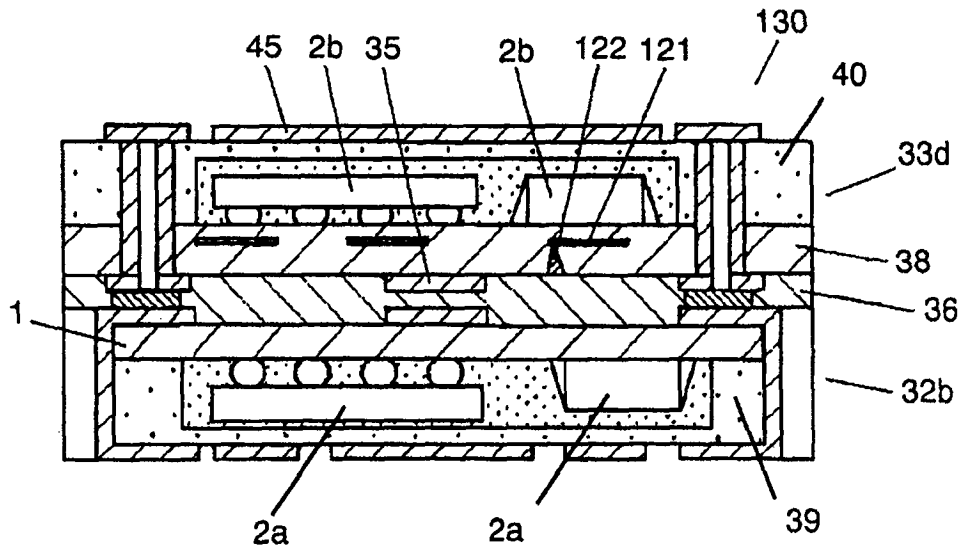


图 9

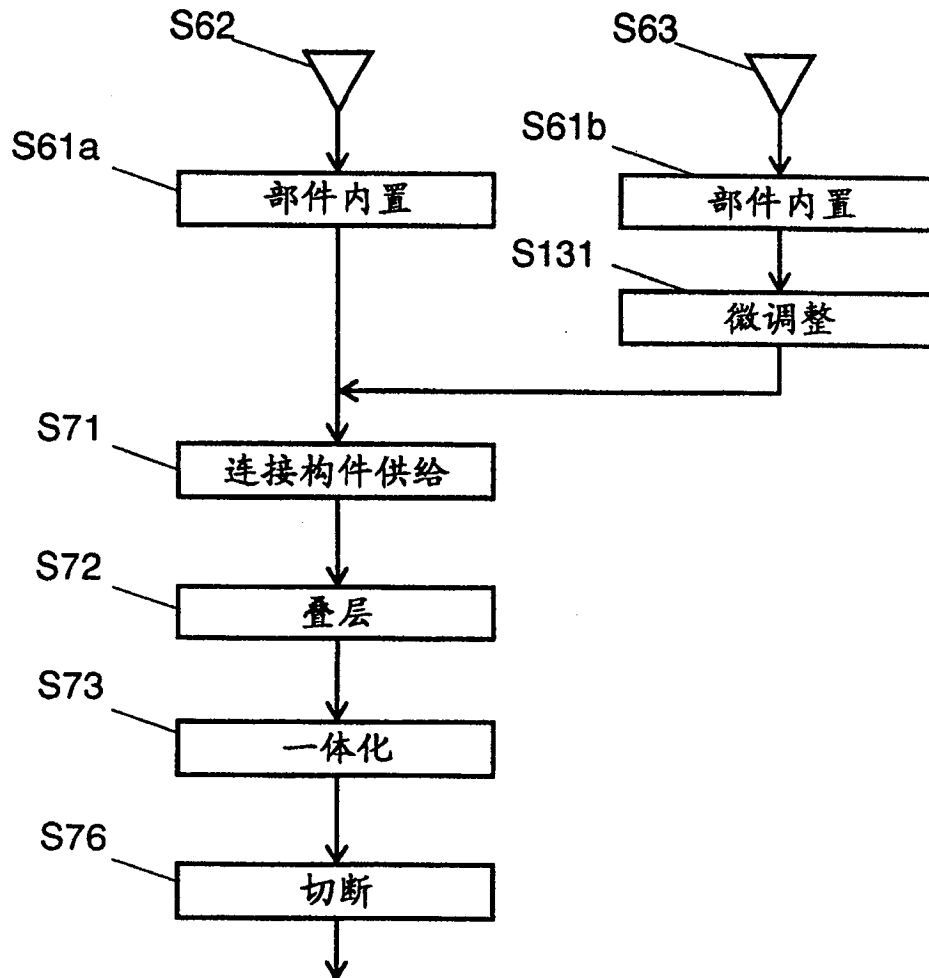


图 10

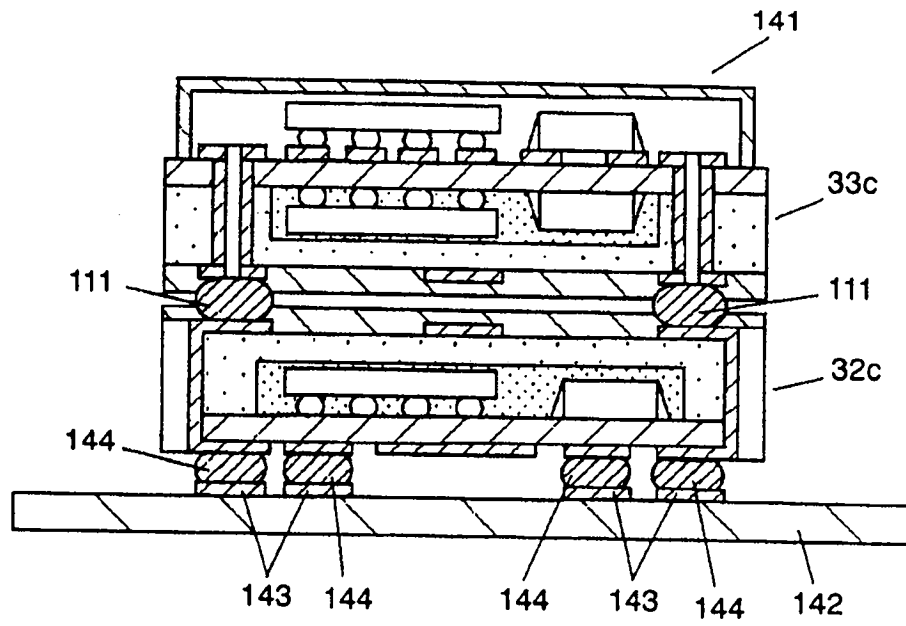


图 11

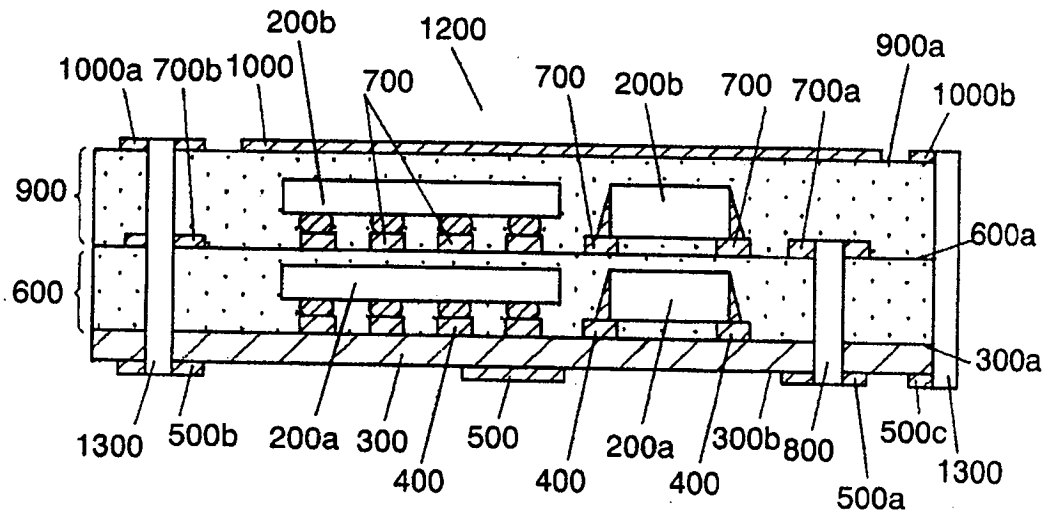


图 12

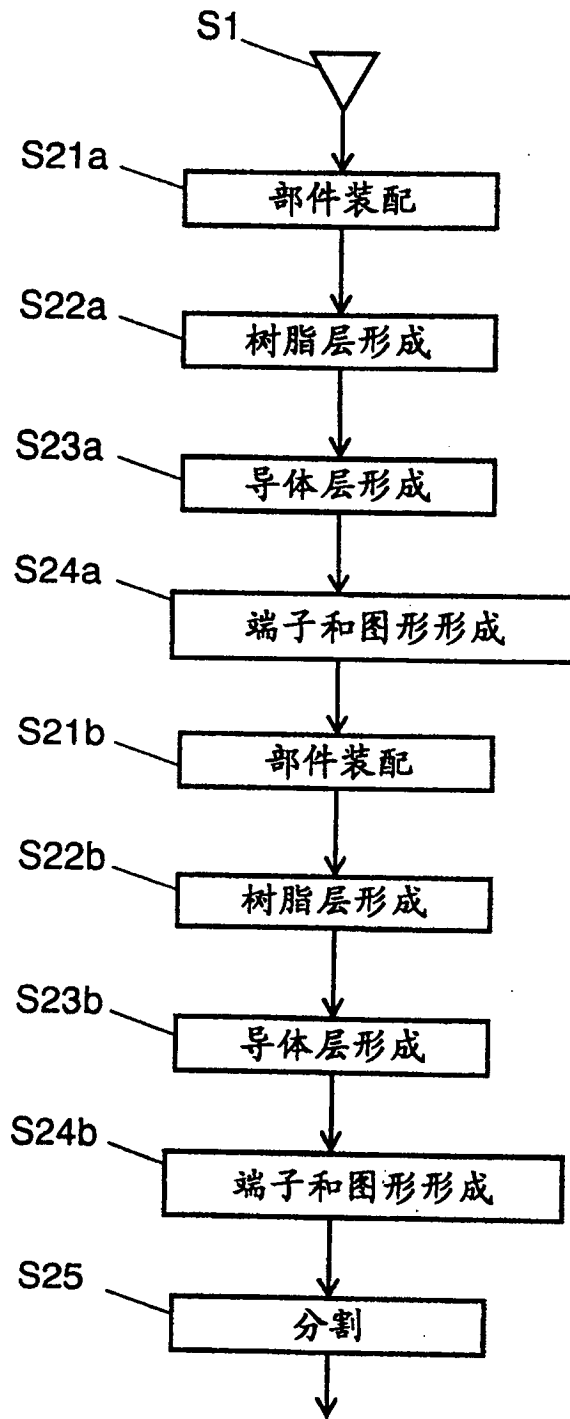


图 13